

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3935847号
(P3935847)

(45) 発行日 平成19年6月27日(2007.6.27)

(24) 登録日 平成19年3月30日(2007.3.30)

(51) Int.C1.

F 1

HO3K 19/173 (2006.01)

HO3K 19/173 101

請求項の数 13 (全 60 頁)

(21) 出願番号 特願2002-591993 (P2002-591993)
 (86) (22) 出願日 平成14年4月17日 (2002.4.17)
 (65) 公表番号 特表2004-529581 (P2004-529581A)
 (43) 公表日 平成16年9月24日 (2004.9.24)
 (86) 國際出願番号 PCT/US2002/012234
 (87) 國際公開番号 WO2002/095598
 (87) 國際公開日 平成14年11月28日 (2002.11.28)
 審査請求日 平成17年3月10日 (2005.3.10)
 (31) 優先権主張番号 09/861,112
 (32) 優先日 平成13年5月18日 (2001.5.18)
 (33) 優先権主張国 米国(US)

(73) 特許権者 591025439
 ザイリンクス インコーポレイテッド
 XILINX INCORPORATED
 アメリカ合衆国 カリフォルニア州 95
 124-3400 サンホセ ロジック
 ドライブ 2100
 (74) 代理人 100064746
 弁理士 深見 久郎
 (74) 代理人 100085132
 弁理士 森田 俊雄
 (74) 代理人 100083703
 弁理士 仲村 義平
 (74) 代理人 100096781
 弁理士 堀井 豊

最終頁に続く

(54) 【発明の名称】プログラマブルインターフェイスコアおよび中央処理装置を含むプログラマブルロジックデバイス

(57) 【特許請求の範囲】

【請求項1】

プログラマブルロジックデバイスであって、
 中央処理装置と、
 前記中央処理装置に結合されるプログラマブルインターフェイスとを含み、前記プログラマブルインターフェイスは、コアを含み、前記プログラマブルロジックデバイスはさらに、

前記プログラマブルインターフェイスに結合される周辺バスを含み、ブリッジモジュールが、前記周辺バスを前記プログラマブルインターフェイスに結合し、前記プログラマブルロジックデバイスはさらに、

前記プログラマブルインターフェイスを介して情報を前記中央処理装置へ提供すること、および前記プログラマブルインターフェイスを介して情報を前記中央処理装置から受取ることのうちの一方のための第1のデバイスを含む、プログラマブルロジックデバイス。

【請求項2】

複数のデバイスをさらに含み、各デバイスは、前記プログラマブルインターフェイスを介して情報を前記中央処理装置に提供すること、前記プログラマブルインターフェイスを介して情報を前記中央処理装置から受取ること、および前記プログラマブルインターフェイスを介して別のデバイスと通信することのうちの1つのためにある、請求項1に記載のプログラマブルロジックデバイス。

【請求項3】

10

20

前記プログラマブルインターフェイスは、前記複数のデバイスを結合するためのクロスポイントスイッチを含み、

前記クロスポイントスイッチは、アドレス / 制御経路およびデータ経路を含む、請求項 2 に記載のプログラマブルロジックデバイス。

【請求項 4】

前記アドレス / 制御経路は、第 1 のプログラマブルリソースセットから形成され、前記データ経路は、第 2 のプログラマブルリソースセットから形成される、請求項 3 に記載のプログラマブルロジックデバイス。

【請求項 5】

前記アドレス / 制御経路およびデータ経路は、トリミング可能である、請求項 3 に記載のプログラマブルロジックデバイス。 10

【請求項 6】

前記クロスポイントスイッチは、パラメータ表示可能である、請求項 3 に記載のプログラマブルロジックデバイス。

【請求項 7】

前記複数のデバイスからの第 1 のデバイスグループが、前記周辺バスに結合され、前記プリッジモジュールを介して前記プログラマブルインターフェイスに結合される、請求項 1 に記載のプログラマブルロジックデバイス。

【請求項 8】

前記複数のデバイスからの第 2 のデバイスグループは、前記プリッジモジュールを介して前記プログラマブルインターフェイスに接続されない、請求項 7 に記載のプログラマブルロジックデバイス。 20

【請求項 9】

前記第 1 のデバイスグループは、ユーザによって指定される複数のコアを含む、請求項 7 に記載のプログラマブルロジックデバイス。

【請求項 10】

少なくとも 1 つのコアが、マスター / スレーブ機能、または、マスター機能またはスレーブ機能を提供する、請求項 9 に記載のプログラマブルロジックデバイス。

【請求項 11】

少なくとも 1 つのメモリデバイスをさらに含み、前記少なくとも 1 つのメモリデバイスは、前記第 2 のデバイスグループの一部である、請求項 8 に記載のプログラマブルロジックデバイス。 30

【請求項 12】

オフチップデバイスをさらに含み、前記オフチップデバイスは、前記第 2 のデバイスグループの一部であり、

前記オフチップデバイスは、ダブルデータレートデバイスまたはメモリデバイスを含む、請求項 8 に記載のプログラマブルロジックデバイス。

【請求項 13】

前記プログラマブルインターフェイスおよび前記周辺バスに結合される高速バスインターフェイスをさらに含み、前記高速バスインターフェイスは、オフチップデバイスに対して通信を提供する、請求項 1 に記載のプログラマブルロジックデバイス。 40

【発明の詳細な説明】

【技術分野】

【0001】

発明の分野

この発明は、プログラマブルロジックデバイスに関し、具体的には、インターフェイスコアおよび中央処理装置を含むプログラマブルロジックデバイスに関する。

【背景技術】

【0002】

関連技術の説明

マイクロプロセッサは、コンピュータを制御する周知の集積回路である。マイクロプロセッサがコンピュータを制御する様態によって、コンピュータの速度およびパワーが決定される。コンピュータを制御するために、マイクロプロセッサは、無数の命令を処理し、その各々が、マイクロプロセッサに対してある特定の動作を実行するように伝える。典型的なマイクロプロセッサは、所望の演算および論理機能を実行する中央処理装置（CPU）およびCPUが入力を受取ってこれらの機能を実行し、および／または、その結果をコンピュータの構成要素の残りの部分と通信することを可能にする入力／出力ユニットを含む。

【0003】

図1は、CPU101および2つの拡張バス102および103を含む公知のマイクロプロセッサ100を例示する。拡張バスによって、CPU101が他のデバイスと通信することが可能となり、マイクロプロセッサの動作が拡張される。プロセッサローカルバス（PLB）とも称される拡張バス102は、CPU101を高速デバイス104に接続する。これらの高速デバイス104は、メモリおよび高性能の周辺装置を含み得る。PLB102を制御してそれ自体の転送を扱うデバイスが、「マスタ」と呼ばれ、マスタからコマンドを受取ってデータを送るデバイスが、「スレーブ」と呼ばれる。

【0004】

オンチップ周辺バス（OPB）とも称される拡張バス103が、低速デバイス105へのアクセスをCPU101に提供する。これらの低速デバイス105は、UARTおよびイーサネット（R）接続を含み得る。なお、低速デバイス105は、高速デバイス104のように、マスタとスレーブとの両方を含み得る。しかしながら、これらの低速デバイス105がCPU101の性能に影響を及ぼすことを防ぐために、OPB103は、CPU101に直接接続されない。代わりに、OPB103は、OPBブリッジ106を介してPLB102に結合される。低速デバイスにメインバス上の貴重な帯域幅を消費させないように、大部分のシステムで、バスのセグメンテーションが行なわれることが検討されることが注目されるべきである。しかしながら、メインバスにほとんど影響を及ぼさずに、より高速の周辺装置の有利な動作を可能にする、メインバスと並列なバスとして、セグメンテーション部を扱うことが、多くの場合に有利である。OPBブリッジ106は、データを1つのバスから別のものへと移動させるように設計されるシステムビルディングブロックである。OPBブリッジ106は、自動的にデータフォーマットおよびプロトコルを変換し得、OPB103とPLB102との間の情報転送を容易にする。

【0005】

特定用途向け集積回路（ASIC）も、集積回路技術において周知である。ASICは、予め定められたアプリケーション用に設計されるチップである。ASICを構築するために、複数の基本的な回路セルが相互接続される。通例、これらの回路セルは、ASICのメーカーによって提供されるライブラリ内で見つけられる。現在、いくつかのメーカーは、ASIC上の集積のためのマイクロプロセッサセルを提供している。これらの種類のマイクロプロセッサは、「組込用(embedded)」マイクロプロセッサと呼ばれる。

【0006】

プログラマブルロジックデバイス（PLD）も、集積回路技術において周知である。PLDは、論理設計を実現するフィールドでユーザによってプログラムされ得る。1つの種類のPLDは、書替え可能ゲートアレイ（FPGA）である。通例のアーキテクチャでは、FPGAは、プログラマブル入力／出力ブロック（IOB）によって囲まれるコンフィギュラブルロジックブロック（CLB）のアレイを含む。IOBは、パッケージピンとCLBとの間でインターフェイスを提供し、CLBは、FPGA上でロジックを構成するための機能的要素を提供する。CLBおよびIOBは、プログラマブルルーティングリソースの階層によって相互接続される。これらのCLB、IOB、およびプログラマブルルーティングリソースは、コンフィギュレーションビットストリームをFPGAにロードすることによって、カスタマイズされる。このコンフィギュレーションビットストリームは、ソフトウェアツールを用いて生成される。

10

20

30

40

50

【0007】

図2は、ザイリンクス社(Xilinx, Inc.)が販売するバーテックス(Virtex)（商標）FPGA内のCLB200を示す簡素化されたブロック図を例示する。CLB200は、2つの「スライス」201Aおよび201Bを含む。各スライス201は、プログラマブルインターフェクトから第1の複数の入力信号G1-G4を受けるための第1のLUT202と、同様にプログラマブルインターフェクトから第2の複数の入力信号F1-F4を受けるための第2のLUT203とを含む。各スライス201は、LUT202からの出力信号Yを（そのD端子上で）受け、さらには信号YQを（そのQ端子上で）出力するためのフリップフロップ204をさらに含む。同様の構造で、各スライス201は、LUT203からの出力信号Xを（そのD端子上で）受け、さらには信号XQを（そのQ端子上で）出力するためのフリップフロップ205をさらに含む。バーテックス（商標）FPGAについてのこれ以外の詳細は、ザイリンクス社によって出版される「Programmable Logic Data Book 2000」（“The Programmable Logic Data Book 2000”）の第3-7頁から第3-17頁、および第3-76頁から第3-87頁上に開示される。10

【0008】

バーテックスFPGAのようないくつかのFPGAは、「コア」と呼ばれる予め設計された機能を備えたブロックを組み込むようにプログラムされ得る。一実施例では、コアは、1つ以上の機能を実行するようにFPGAをプログラムする予め定められたコンフィギュレーションビットセットを含み得る。別の実施例では、コアは、設計の接続性および論理を示す回路図(schematics)またはソースコードを含み得る。典型的なコアは、デジタル信号処理(DSP)機能、メモリ、記憶素子、および数学的機能を提供し得るが、これらに限定されているわけではない。コアには、特定のFPGAのための、最適に構成されたレイアウトが提供され得る。コアはさらに、パラメータ表示可能であり得、つまり、ユーザがパラメータを入力して特定のコア機能を活性化または変更することを可能にする。20

【0009】

図3は、FPGA内で1つ以上のコアを用いるための1つのIPプロセスレイアウト300を例示する。ここで、IPとは、FPGAのための論理設計等の一般的な知的財産を指す。この発明の譲受人または他によって開発された、ユーザおよびコアによって提供される両方の論理設計が、IPとみなされる。レイアウト300では、システムレベルツール301によって活性化されるコアジェネレータ304が、サードパーティが提供する1つ以上のプラグインコア302を受取り得る。代替的には、コアジェネレータ304は、ライブラリセット303内で提供されるコアを用い得、これらのライブラリ303は、コアジェネレータ304の一部を形成する。一旦コアが選択されると、それは、FPGAソフトウェアツール306に提供され得る。例示的なFPGAソフトウェアは、アライアンス(Alliance)（商標）、ファンデーション(Foundation)（商標）、またはファンデーションISE（商標）ソフトウェアを含み得、すべてが、この発明の譲受人によってライセンス供与されている。このソフトウェアは、ユーザが提供するトップレベル設計305を受取ることもできる。このトップレベル設計は、コアに加えてFPGA上で実現される論理設計を示す。一実施例では、FPGAソフトウェアツール306は、VHDL、Verilog、または標準の概略的な形で、トップレベル設計305を受取り得る。FPGAソフトウェアツール306は、FPGA307をプログラムするコンフィギュレーションビットストリームを生成して、コアおよびトップレベル設計によって指定される機能を提供する。3040

【発明の開示】**【発明が解決しようとする課題】****【0010】**

技術の向上が実現されるにつれて、FPGAは、以前はASIC専用であったアプリケーションへとますます移行しつつある。しかしながら、物理的なリソースは、ASIC上よりもFPGA上においてより制約される。したがって、FPGA上でマイクロプロセッサ構成要素を提供することは、特別な配慮を必要とする重要な作業となる。50

【課題を解決するための手段】**【0011】****発明の概要**

この発明に従うと、プログラマブルロジックデバイス（PLD）は、中央処理装置（CPU）およびCPUに結合されるプログラマブルインターフェイスを含み、プログラマブルインターフェイスは、ユーザによって指定されるコアにより作成される。通常、PLDは、複数のデバイスをさらに含み、各デバイスは、プログラマブルインターフェイスを介してCPUに情報を提供するか、プログラマブルインターフェイスを介してCPUから情報を受取るか、またはプログラマブルインターフェイスを介して別のデバイスと通信するかのいずれかである。

10

【0012】

一実施例では、プログラマブルインターフェイスは、複数のデバイスを結合するためのクロスポイントスイッチを含む。クロスポイントスイッチは、アドレス／制御経路とデータ経路との両方を含む。アドレス／制御経路は、PLD上の第1のプログラマブルリソースセットから形成され得、データ経路は、PLD上の第2のプログラマブルリソースセットから形成され得る。第1および第2のプログラマブルリソースセットは、別々であり得るか、またはPLD上でオーバーラップし得る。

【0013】

一実施例では、PLDは、プログラマブルインターフェイスに結合されるオンチップ周辺バス（OPB）をさらに含む。ブリッジモジュールが、OPBをプログラマブルインターフェイスに結合する。マスタとスレーブとの両方を含む、PLD上の第1のデバイスグループが、OPBに結合され得る。したがって、この第1のマスタおよびスレーブグループは、ブリッジモジュールを用いてプログラマブルインターフェイスと通信し得る。第1のマスタおよびスレーブグループは、低速デバイスとして通常特徴づけられる周辺デバイスを含み得る。一実施例では、これらのマスタおよびスレーブのうちの少なくとも1つが、コアを用いるPLD上で作成される。別の実施例では、これらのマスタおよびスレーブのうちの少なくとも1つが、チップ外に置かれる。さらに別の実施例では、コアを用いて、マスタ機能とスレーブ機能との両方を有するデバイス（第1のグループのうちの1つ）が作成され得る。第1のデバイスグループは、PLD上またはチップ外に存在し得る。

20

【0014】

同様にマスタおよびスレーブを含む、PLD上の第2のデバイスグループは、プログラマブルインターフェイスに結合され得る。第2のデバイスグループは、メモリデバイスまたはダブルデータレートデバイス等の高速デバイスを含み得る。第2のデバイスグループは、PLD上またはチップ外に存在し得る。一実施例では、第2のデバイスグループ内のマスタのうちの1つは、プログラマブルインターフェイスおよびOPBに結合される高速バスインターフェイスを含み、高速バスインターフェイスは、チップ外のデバイスに通信を提供する。この発明のPLDは、他の構成要素を含むシステムに容易に組込まれ得、プログラマブルインターフェイスおよび高速バスインターフェイスは、有利なことには、これらの構成要素に対して、CPU関連の機能への効率的なアクセスを提供する。

30

【0015】

この発明の一実施例では、プログラマブルインターフェイスは、クロスポイントスイッチを含む。アドレス／制御論理では、クロスポイントスイッチは、アドレスをマスタから受取るための複数のアドレスデコーダと、デコードされたアドレスをアドレスデコーダから受取り、さらにはマスタとスレーブとの間でトランザクションをアービトレートするための複数のアクセスマビタとを含み得る。クロスポイントスイッチは、アドレスデコーダとアクセスマビタとの間で、十分な、またはそれ未満の接続性を提供し得る。

40

【0016】

データ論理では、クロスポイントスイッチは、マスタから書きデータを受取るための複数の書きマルチプレクサを含み得、各書きマルチプレクサは、書きデータを1つのスレーブに対して選択的に提供し、クロスポイントスイッチは、スレーブから読みデータを受取

50

るための複数の読み出マルチプレクサを含み得、各読み出マルチプレクサは、読み出データを1つのマスタに選択的に提供する。書き込みマルチプレクサおよび読み出マルチプレクサは、複数のアクセスアービタによって制御され得る。クロスポイントスイッチは、各書き込みマルチプレクサと複数のマスタデバイスとの間で、十分な、またはそれ未満の接続性を提供し得る。クロスポイントスイッチはまた、各読み出マルチプレクサと複数のスレーブデバイスとの間で、十分な、またはそれ未満の接続性を提供し得る。一実施例では、アドレス／制御および／またはデータ論理は、マスタとスレーブとの間のトランザクションをパイプライン化するためのレジスタをさらに含む。

【0017】

この発明の別の実施例に従うと、組込用中央処理装置（CPU）を有する書き替え可能ゲートアレイ（FPGA）は、コアによって作られるハイブリッドスイッチを含み、ハイブリッドスイッチは、FPGA上で実現されるユーザ論理とCPUとの間で通信を提供する。この実施例では、CPUは、マスタデバイスを含み、論理は、複数のスレーブデバイスおよび複数のマスタデバイスを含む。このハイブリッドスイッチは、クロスポイントおよび共有バス構成の両方を含んで、マスタデバイスとスレーブデバイスとの間に経路を提供する。

【0018】

具体的には、ハイブリッドスイッチは、マスタからアドレスを受取るための複数のアドレスデコーダと、デコードされたアドレスをアドレスデコーダから受取り、さらにはマスタとスレーブとの間でトランザクションをアービトレートするための複数のアクセスアービタとを含み得る。少なくとも1つのアクセスアービタが、1つよりも多くのスレーブに対してアービトレーションを提供し、少なくとも1つのアクセスアービタが、1つのスレーブに対してのみアービトレーションを提供する。クロスポイントスイッチはまた、書き込みデータをマスタから受取り、さらには書き込みデータをスレーブに提供するための複数の書き込みマルチプレクサを含み得る。一実施例では、少なくとも1つの書き込みマルチプレクサが、その書き込みデータを1つよりも多くのスレーブに提供し、少なくとも1つの書き込みマルチプレクサが、その書き込みデータを1つのスレーブに対してのみ提供する。クロスポイントスイッチは、読み出データをスレーブから受取り、さらには読み出データをマスタに選択的に提供するための複数の読み出マルチプレクサも含み得る。一実施例では、少なくとも1つの読み出マルチプレクサが、その読み出データを1つよりも多くのマスタに提供し、少なくとも1つの読み出マルチプレクサが、その読み出データを1つのマスタに対してのみ提供する。書き込みマルチプレクサおよび読み出マルチプレクサは、複数のアクセスアービタによって制御され得る。ハイブリッドスイッチは、この発明のクロスポイントスイッチのように、マスタとスレーブとの間のトランザクションのためのパイプライン方式を含み得る。

【0019】

この発明の一実施例に従うと、書き替え可能ゲートアレイ（FPGA）は、複数のマスタデバイスを含み、組込用マイクロプロセッサは、少なくとも1つのこのようなマスタデバイスであり、書き替え可能ゲートアレイ（FPGA）はさらに、複数のスレーブデバイス、および複数のマスタデバイスと複数のスレーブデバイスとの間で接続性を選択的に提供するための手段を含む。接続性を選択的に提供するための手段は、コアによって生成され得る。

【0020】

アドレス／制御論理では、十分な接続性を選択的に提供するための手段は、マスタデバイスからのアドレスをデコードするための手段と、デコードされたアドレスに基づいて、複数のマスタデバイスと複数のスレーブデバイスとの間でトランザクションをアービトレートするための手段とを含み得る。一実施例では、接続性を選択的に提供するための手段は、デコードするための手段とアービトレートするための手段との間で、十分な接続性を提供し、他の実施例では、接続性を選択的に提供するための手段は、デコードするための手段とアービトレートするための手段との間で、十分には満たない接続性を提供する。

【0021】

10

20

30

40

50

データ論理では、接続性を選択的に提供するための手段は、書込データを複数のマスタデバイスから受取り、さらには指定されるスレーブデバイスに書込データを選択的に提供するための手段と、読み出データを複数のスレーブデバイスから受取り、さらには指定されるマスタデバイスに読み出データを選択的に提供するための手段とを含み得る。一実施例では、書込データを受取るための手段と読み出データを受取るための手段とは、アビトレー
トするための手段によって制御される。

【0022】

接続性を選択的に提供するための手段は、書込データを受取るための手段と複数のマスタデバイスとの間で、十分な、またはそれ未満の接続性を提供し得る。加えて、接続性を選択的に提供するための手段は、読み出データを受取るための手段と複数のスレーブデバイ
スとの間で、十分な、またはそれ未満の接続性を提供し得る。
10

【0023】

有利なことには、この発明は、公知のPLDソフトウェアツールに含まれ得る。一実施例では、システムレベルツールによって活性化されるコアジエネレータは、サードパーティによって提供される、この発明のプログラマブルインターフェイスコアを受取り得る。代替的には、コアジエネレータは、コアジエネレータの一部を形成するライブラリセット内で提供されるプログラマブルインターフェイスコアを用い得る。一旦プログラマブルインターフェイスコアが選択されると、それは、PLDソフトウェアツールに提供され得る。このソフトウェアは、ユーザが提供するトップレベル設計も受取り得る。このPLDソフトウェアツールは、PLDをプログラムするコンフィギュレーションビットストリームを生成して、プログラマブルインターフェイスコアおよびトップレベル設計が指定する機能を提供する。
20

【0024】

重要なことには、この発明のプログラマブルインターフェイスコアは、複数のコンプライアンスレベルを有し得る。たとえば、コアは、特定の機能だけがPLD上で提供されることを許容し得る。たとえば、一実施例では、プロセッサローカルバス(PLB)機能のサブセットが許容される。既存のIPまたはパラメータ表示されないIPを含む実施例等の他の実施例では、この発明は、サブセットを、そのIPによって必要とされる機能に(または、そのIPに基づいた、予め定められたコンプライアンスレベルに)調整し得る。
30

【0025】

この発明に従うと、プログラマブルロジックデバイス(PLD)上の中央処理装置(CPU)とユーザによって実現されるPLD上の論理との間でインターフェイスを提供するための方法が提供される。この方法は、論理が提供する複数のマスタデバイスと論理が提供する複数のスレーブデバイスとの間で接続性を選択的に提供するステップを含み、CPUは、少なくとも1つのマスタデバイスを含む。アドレス/制御論理中に接続性を選択的に提供するステップは、アドレスデコーダを用いてマスタデバイスからのアドレスをデコードし、さらにはアクセスアービタおよびデコードされたアドレスを用いて複数のスレーブデバイスと複数のマスタデバイスとの間でトランザクションをアビトレー
トするステップを含む。一実施例では、接続性を選択的に提供するステップは、アドレスデコーダとアクセスアービタとの間の十分な接続性を提供する。別の実施例では、接続性を選択的に提供するステップは、アドレスデコーダとアクセスアービタとの間の十分には満たない接続性を提供する。
40

【0026】

この発明の方法では、データ論理内で接続性を選択的に提供するステップは、複数のマスタデバイスから書込データを受取り、さらには第1のマルチプレクサセットを用いて書込データを指定されるスレーブデバイスに選択的に提供するステップと、複数のスレーブデバイスから読み出データを受取り、さらには第2のマルチプレクサセットを用いて読み出データを指定されるマスタデバイスに選択的に提供するステップとを含む。接続性を選択的に提供するステップは、第1のマルチプレクサセットと複数のマスタデバイスとの間で、十分な、またはそれ未満の接続性を提供し得る。接続性を選択的に提供するステップは、
50

第2のマルチプレクサセットと複数のスレーブデバイスとの間で、十分な、またはそれ未満の接続性も提供し得る。

【0027】

この発明の方法では、接続性を選択的に提供するステップは、複数のマスタデバイスと複数のスレーブデバイスとの間でトランザクションをパイプライン化するステップを含む。有利なことには、このパイプライン化は、アドレス／制御論理およびデータ論理内で提供され得、したがって、両方において性能が向上する。

【0028】

この発明に従うと、プログラマブルロジックデバイス（PLD）上の中央処理装置（CPU）とユーザによって実現されるPLD上の論理との間のインターフェイスを提供するための方法が与えられる。この方法は、ライブラリからコアを選択するステップを含み、コアは、論理が提供する複数のマスタデバイスと論理が提供する複数のスレーブデバイスとの間の接続性を選択的に提供し、CPUは、少なくとも1つのマスタデバイスを含む。この方法は、コア内で少なくとも1つのパラメータをセットするステップをさらに含み、したがって、接続性に影響を及ぼす。

【0029】

別の実施例では、システムを構築するために必要とされる各コアからの情報内容が、データ分析のために、集中型機構に集められる。このデータは、コアをインスタンス生成する上で、またはパラメータ表示において、ユーザが代替的な選択を行なうことができるようにするために、ユーザにとって利用可能である。たとえば、コアのパラメータ表示における特定の選択によって、結果として、システム全体に関して異なる性能が得られ得る。

【発明の効果】

【0030】

この発明は、ASIC環境での標準的な組込CPUと比較して、いくつかの重要な利点を提供する。第1に、この発明は、ユーザのニーズおよび／または関連の設計に基づいてパラメータ表示され得る機能の提供において、かなりの柔軟性を提供する。これらのパラメータ表示される機能は、PLD上のプログラマブルリソース内で実現され得、これらの機能がいつでも修正されることが可能になる。第2に、これらのプログラマブルリソースのため、プログラマブルインターフェイス用に実際に必要とされるリソースのみが実現され得、ユーザがPLDの残りの部分の使用を最適化することが可能となる。たとえば、アドレス／制御論理とデータ論理との両方が、「トリミング」され得る。言い換えると、ユーザの設計によって必要とされていない経路（および、それらの関連論理）が除去され得、信号速度を上昇させ、シリコン面積が縮小され得る。別の例では、追加的な領域が利用可能となるため、マスタまたはスレーブデバイスの数が増加し得る。第3に、この発明は、プロセッサローカルバスの機能を効率的に制限することができ、したがって、PLDがASICの性能レベルに近づくか、それどころか、それを超えることを可能にする。

【発明を実施するための最良の形態】

【0031】

図の詳細な説明

以下の目次は、主題構成の概要を読者に伝えるために提供される。

【0032】

目次

I . 用語および規定

A . 定義

B . 信号の名称および番号付け規定

C . タイミング規定

II . リソース区別の認識

III . 制約的バス機能

A . PLBサブセット機能

1 . アービトレーション制御機能

10

20

20

30

40

50

2 . データ転送機能	
B . P L B スーパーセット機能	
C . 信号 : P L B から P I C へのマッピング	
IV . F P G A 実現例 : 概要	
A . 中央処理装置	
B . プログラマブルインターフェイスコア (P I C)	
C . マスタおよびスレーブデバイス	
D . オンチップ周辺バス (O P B)	
E . 高速バスインターフェイス	
V . F P G A 実現例 : 詳細	10
A . マスタ / スレーブデバイス : ポートおよびタイミング	
1 . マスタデバイスと P I C との間の通信	
a . マスタのためのアドレスポート	
b . マスタのための書込ポート	
c . マスタのための読出ポート	
2 . マスタデバイスのタイミング	
3 . スレーブデバイスと P I C との間の通信	
a . スレーブのためのアドレスポート	
b . スレーブのための書込ポート	
c . スレーブのための読出ポート	20
4 . スレーブデバイスのタイミング	
B . プログラマブルインターフェイスコア	
C . D C U / I C U : P L B に対するインターフェイス	
D . B R A M : P L B に対するインターフェイス	
E . O P B ブリッジモジュール	
1 . ブリッジアウトモジュール	
2 . ブリッジインモジュール	
F . ハイブリッドプログラマブルインターフェイスコア	
G . ソフトウェアツール。	
【 0 0 3 3 】	30
I . 用語および規定	
この発明は、当業者にとって馴染みのあり得る、または馴染みのない場合もある、特定の用語および規定を用いて説明される。したがって、以下の定義、信号および番号付け規定、およびタイミング規定は、読者がこの発明を理解するときの助けとなるように、さらに詳細に説明される。	
【 0 0 3 4 】	
A . 定義	
この説明で用いられる頭文字、略記、および技術用語は、この段落の後で、アルファベット順に定義される。なお、いくつかの頭文字、略記、および技術用語は、詳細な説明で定義され得る。	40
【 0 0 3 5 】	
B E A R : バスエラーアドレスレジスタ	
B E S R : バスエラーシンドロームレジスタ	
B R A M : プログラマブルロジックデバイス上で提供されるブロックランダムアクセスメモリ (R A M)	
バースト : 1つよりも多くのデータ単位が転送されるトランザクションであり、通例、マスタとスレーブとの間で迅速にデータブロックを移動させるために用いられる	
キャッシュ : 命令および / またはデータを含む、最近アクセスされたデータ内容を記憶するための C P U 内部の小さく、かつ速いメモリ	
コア : ある特定の機能を提供するための、予め設計されたプログラマブルロジックデバ	50

イス部分であって、この部分は、通例、プログラマブルロジックデバイス上の予め定められた量の物理的リソースを用いて実現される

C P U : 通例、制御ユニットおよび算術演算装置 (A L U) を含む中央処理装置

D C U : データキャッシュユニット

D D R : ダブルデータレート

H S B I : P I C 上の高速マスターを有するデバイスとして、ここで包括的に言及される高速バスインターフェイス

I C U : 命令キャッシュユニット

I P : 集積回路、特に、F P G A に組込むための設計

リトルエンディアン : 16 ビットまたは 32 ビットワードを仮定した場合、より低いア 10
ドレスでのバイトがより低い有効性を有するアーキテクチャ

I S A : 命令セットアーキテクチャ

O P B : オンチップ周辺バス

P I C : この発明に従って、C P U とプログラマブルロジックデバイスリソースとの間に提供されるプログラマブルインターフェイスコア

パイプライン方式 : 第 1 のバスサイクルが完了する前に、マスターデバイスが第 2 のバスサイクルを実行し始め得るプロセス、つまり、いくつかのバスサイクルを、各々、異なるステージで同時に処理すること

P L B : プロセッサローカルバス

パワー P C : I B M、モトローラ、およびアップルコンピュータによって共同で設計された規格を満たす R I S C マイクロプロセッサであって、規格は、共通の命令セットアーキテクチャ (I S A) を特定する 20

レジスタ : F P G A 上で提供される高速記憶領域

S D R A M : 従来のメモリよりも高いクロック速度で動作することができ、さらにはそれ自身をいくつかの C P U のバスと同期させることのできる同期ダイナミックランダムアクセスメモリ (D R A M)

シングルデータビート : 非バースト転送、つまり、バスにおけるシングルクロックサイクル内のシングルデータ

ワード : 32 ビットのデータ量を示す。

【 0 0 3 6 】

B . 信号の名称および番号付け規定

この発明の特徴を説明するために、さまざまな信号が参照される。ここで用いられる規定に従うと、図 6 および図 8 の信号名は、信号の流れの方向、どのデバイスがその信号を送っているのか、どのデバイスがその信号を受取るのかを表す接頭部で始まる。他の図の信号名は、送信を行なうデバイスのみを表す接頭部で開始し得る。デバイス名は、参照しやすくするために、略されている。接頭部の後に下線 () が続き、次に、信号自体の名前が続く。接尾部「_n」は、アクティブロー信号を表す。たとえば、信号名 P I C 2 M _f o o は、プログラマブルインターフェイスコア (P I C) によって駆動され、かつマスターデバイスによって受取られる信号 "f o o" を示す。

【 0 0 3 7 】

N ビットバスビットは、右側の 0 から左側の N - 1 にまで番号が付けられる。なお、この番号付け規定は、さまざまなプロセッサエタリ C P U との互換性の問題にかかわらず、P I C _I S A を変更せず、または C P U ソフトウェア互換性に影響を及ぼさない。

【 0 0 3 8 】

C . タイミング規定

高性能を達成するために、タイミングが考慮されるべきである。当業者に知られているように、タイミングは、多くの場合、ある特定の設計実現例に特有である。したがって、例示的なタイミング参照を含むことは、この発明のパイプライン方式をここでサポートするが、すべての設計のためのタイミングをカバーすることは意図されない。

【 0 0 3 9 】

30

30

40

50

タイミング情報に関して、用語「早い」、「中位」、および「遅い」が用いられ得る。ここで用いられる規定では、早いタイミングが最善であり、遅いタイミングが最も望ましくない。

【0040】

入力信号が早いタイミングを有する場合、ユーザは、データを、それをラッチする前に処理するためにフルクロックサイクルを有する。早い入力信号タイミングは、信号がレジスタ出力部から駆動されることを暗示する。出力信号が早いタイミングを有する場合、ユーザは、データを送り出す前に、フルクロックサイクルを用い得る。早い出力信号タイミングは、信号がレジスタの入力を駆動することを暗示する。

【0041】

入力信号が中位のタイミングを有する場合、ユーザは、データを、それをラッチする前に処理するために、約半分のクロックサイクルを有する。中位の入力信号タイミングは、信号が、少量の論理またはユーザへのルーティングを通して、レジスタ出力部から駆動されることを暗示する。出力信号が中位のタイミングを有する場合、ユーザは、データを送り出す前に約半分のクロックサイクルを用い得る。中位の出力信号タイミングは、信号が、レジスタの入力部に到達する前に、少量の論理またはルーティングを駆動することを暗示する。

10

【0042】

入力信号が遅いタイミングを有する場合、ユーザは、データを、それをラッチする前に処理するために、クロックサイクルのごく一部を有する。遅い入力信号タイミングは、信号が、多量の論理およびルーティングを通してレジスタ出力部から駆動されることを暗示する。したがって、ユーザは、データを、それを用いる前にラッチするための小さなウィンドウを有する。出力信号が遅いタイミングを有する場合、ユーザは、データを送り出す前に、クロックサイクルのごく一部を用い得る。遅い出力信号タイミングは、信号が、多量の論理またはルーティングを通してレジスタ入力部を駆動することを暗示する。したがって、ユーザは、レジスタから直接この出力を駆動すべきである。

20

【0043】

上記の点を考慮すると、特定の実現例が、各信号が提供する手段を説明し得る。いくつかの信号は、より多くの時間を必要とし（たとえば、遅い信号）、これは、システムの動作時の周波数に悪影響を及ぼし得る。これらの問題点に対処するために、パイプライン方式が実現されて、信号のタイミングを緩和し得る。これらのパイプラインレジスタは、たとえレイテンシがあったとしても、クロック周期内に遅い部分に信号を同期させる機会を提供する。

30

【0044】

II. リソース区別の認識

A S I C 内ではなく、プログラマブルロジックデバイス（たとえば、F P G A）内に中央処理装置（C P U）を組込むためには、これらの2種類のデバイスの区別が理解され、対処されなければならない。

【0045】

性能に影響を及ぼし得る、F P G AとA S I Cとの間の1つの重要な違いは、論理リソースである。具体的には、上述のように、F P G A内の論理ジェネレータは、通例、C L B内のルックアップテーブルを用いて構築される。したがって、高いファンインまたは複雑な組合せの論理機能が、一般に、いくつかのルックアップテーブルレベルを必要とし、したがって、かなりの遅延が作られる。対照的に、A S I Cは、特定の論理機能を実行するためには設計されるカスタム構造を提供し得、したがって、多数の論理レベルを除去する。

40

【0046】

性能に影響を及ぼし得る、F P G AとA S I Cとの間の別の重要な違いは、ルーティングリソースである。具体的には、F P G Aは、プログラマブルおよび専用の（たとえば、キャリーチェーンロジック）ルーティングチャネル両方の上で信号をルーティングする。

50

対照的に、ASICは、カスタマイズされた信号経路を提供し、したがって、プログラマビリティのオーバーヘッドを解消する。したがって、ASIC相応の速度に近づくために、FPGAは、通例FPGA上で提供されるよりも厚いトレースおよびより大きなバッファを含む必要があり得る。これらのルーティングリソースのアップサイジングは、FPGAのシリコン領域の増大を必要とし得、したがって、その製造コストを望ましくないほど上昇させる。

【0047】

上述の区別に関して、CPUとインターフェイスをとるFPGAリソースは、高速設計で性能と帯域幅との両方を達成することを著しく妨害し得る。しかしながら、この発明に従うと、さらには以下で詳細に説明されるように、FPGAファブリックを有利に活用して、CPUを含む、向上されたトランザクションと標準のトランザクションとの両方が提供され得る。結果として得られるシステムは、現在のASICシステムに近づくことができ、さらにはそれを超えることさえもできる。なぜならば、システムは、この問題に対処するために、IC技術ではなくアーキテクチャを用いるためである。

10

【0048】

III. 制約的PLB機能

通例のCPUは、PLBプロトコルセットとともに動作して、他のデバイスと通信する。FPGA上で完全なPLBプロトコルセットを提供することは、かなりの論理を必要とし得、したがって、性能と面積との両方に悪影響を及ぼす。したがって、この発明の1つの特徴に従うと、FPGA性能に大きな影響を及ぼすことなく、標準のPLBプロトコルのうちのいくつかが、有利に除去され得る。

20

【0049】

総括では、この発明は、複雑なデータ経路操作を必要とするPLBプロトコルを解消する。複雑なデータ経路操作は、広いバスおよび長距離に広がる多量の論理を用いる。したがって、FPGA内での複雑なデータ経路操作は、IPユーザに対して制約のある機能だけを追加しながら、かなりのリソースを独占し得る。

【0050】

この発明は、非同期ハンドシェーディングを必要とするPLBプロトコルも解消する。非同期ハンドシェーディングでは、信号は、通例、長い距離（つまり、マスタからスレーブまで、さらにはマスターに戻るまでの経路）を伝わり、有効な論理を通り、これらのすべては、単一のクロックサイクル内にある。したがって、非同期ハンドシェーディングは、複雑なデータ経路操作のように、このタイミング目標を達成するために、かなりのリソースを独占しなければならない。

30

【0051】

さまざまな標準PLBプロトコルをサポートしないことによって、いくつかの利点が実現され得る。第1に、この発明は、データ論理内のクリティカルパスをかなり簡素化することができる。データ経路論理を簡素化することは、重要である。なぜならば、これらの広いバスは、FPGAにおいて長距離に及ぶためである。言換えると、データ経路内の論理を減じることによって、有利なことには、信号速度が上がる。第2に、この発明は、制御論理内のクリティカルパスをかなり簡素化することができ、したがって、信号速度をさらに上げる。第3に、これらのPLBプロトコルを除去することによって、トランザクションがより確定的となり得る。たとえば、マスターが所与のトランザクションに対してスレーブからより小さなセットの応答を予測できる場合、論理は、通例、簡素化され得る。明らかに、マスターまたはスレーブが有し得る応答またはアクションの種類が多いほど、論理は、これらの応答またはアクションに対応するために、より複雑にならなければならない。

40

【0052】

なお、PLBプロトコルの除去は、CPUとともに実行され得るPLB機能の数に直接的な影響を及ぼす。しかしながら、以下で詳細に説明されるように、この発明は、この問題に対処する。

50

【0053】

A. PLBサブセット機能

この発明に従うと、FPGA内で実現されるPLB機能のサブセットは、CPUが通常実行するトランザクションの種類に焦点を置き、このクリティカルコンポーネントの性能を最適化する。具体的には、PLB上の大部分のデータ転送は、デバイスメモリ間、またはメモリーデバイス間であり、デバイス間では行われない。したがって、メモリ性能は、PLBにおいて貴重である。重要なことには、大部分のFPGAユーザメモリインターフェイスが、CPUのそれらと同様のトランザクションを実行する。したがって、PLB機能のサブセットは、FPGA上で起こる可能性が最も高いさまざまな種類のトランザクションを有利にサポートし得る。さまざまなPLB機能をFPGAに組込むことに関する分析が、以下に提供される。

10

【0054】

1. アービトレーション制御機能

アドレスデコード機能：標準的なPLB内のスレーブ内でアドレスデコードを実現することは、現在、共有バスを用いて行われている。共有バスでは、マスタが要求するアドレスが、バス上のすべてのスレーブに提供される。スレーブは、アドレスをデコードし、選択されたスレーブは、次に、アドレス肯定応答をルーティングして、要求をしているマスタに戻す。残念ながら、このプロセスによって、かなりの遅延が起こる。したがって、この発明に従うと、アドレスデコーディングは、（図5A - 図5Eで説明される）プログラマブルインターフェイスコア（PIC）内で分散されて実行される。このコアのトランザクションフォワードの性質のために、スレーブには、トランザクションがそれに対して呈示される場合、アドレスヒットが保証される。この様態で、この発明は、現在スレーブ内で提供されるアドレスデコード論理を大きく減じ、より容易なスレーブの開発および構築が促進される。なお、ハイブリッドシステムでは、多数のスレーブがバスを共有する場合、追加的なアドレスデコーダがスレーブ内に提供され得る。このハイブリッドシステムでは、バスを共有するスレーブの数は、比較的小さく、したがって、アドレスデコード論理が簡素化される。

20

【0055】

バスエラー（アドレスまたはデータエラー）機能：バスエラー機能は、この発明のPICコアと標準のPLBとの両方によってサポートされる。

30

【0056】

アボート機能：アボート機能をサポートすることは、トランザクションフォワードシステム内では困難である。なぜならば、トランザクションは、アボート信号がアサートされる機会を持つ前に、スレーブに渡され得るためである。なお、標準のPLBでは、トランザクションは、スレーブが要求を肯定応答した後は、アボートされ得ない。さらに、アボートをPICコアへと渡すためには、追加的な論理が必要とされ得、システムのタイミングにマイナスの影響を与える。したがって、この発明では、一般的なルールとして、マスタは、アボート信号を生成しない。

【0057】

マスタがアボート信号を生成する場合、マスタは、インターフェイスモジュールを用い得、これは、要求を迅速に認識し、要求を肯定応答し、さらには要求を直接関連のスレーブに送る。このインターフェイスモジュールは、PICに対するポートとマスタとの間の経路内に置かれる。したがって、マスタはアボート信号を生成しないという一般的なルールは、維持される。

40

【0058】

なお、パイプライン化されたシステム内でアボート信号をサポートすることによって、結果として、ユーザのコードが分岐する、または割込む場合に性能の向上がいくらか得られ得る。具体的には、アボートがサポートされ、マスタが、アボートをアサートする時間を許容されている場合、不必要的トランザクションは、早くに中止され得、データ論理の使用が有利に減じられる。分岐する、または割込むコードは、現在マスタが要求する情報

50

の必要性をなくす。データは必要とされていないことを発見した後に、マスタがトランザクションをアボートできる場合、性能が向上する。しかしながら、この利点は、システムの残りの部分のより低いクロック周波数および複雑性によって相殺され得る。

【0059】

優先されるアービトレーション機能：動的プライオリティに基づいてマスタ間でアービトレートするための組合せ論理を構築することによって、FPGA内の性能を著しく落とすおそれのある多くの論理レベルが必要とされ得る。したがって、この発明の一実施例では、ラウンドロビンまたは固定プライオリティアービトレーションが提供される。他の実施例では、ユーザが選択するアービトレーションが提供され得る。

【0060】

再試行機能：（時として、再アービトレート機能とも呼ばれる）再試行機能が、通常、複数のマスタ間のデッドロックを防止するために、共有バスアーキテクチャ内で必要とされる。しかしながら、この発明のPICコアに従うと、多数のトランザクションが並列に進行し得、再試行の必要性を著しく減じるか、または単に減じる。なお、トランザクションフォワードシステム内で再試行機能を実現することによって、スレーブからマスタへと信号を渡すことが必要とされ得、アービタ内の論理の複雑性が望ましくないほど増す。

【0061】

なお、再試行機能は、共有バスを用いるハイブリッドシステム内で提供され得る。ハイブリッドシステムでは、アクセスアービタが修正されて再試行機能が活性化され得、再試行信号がマスタに戻される必要がなくなる。

【0062】

バスロック機能：バスロック機能によって、ある特定のスレーブが1つのマスタによってのみアクセス可能であることが保証される。しかしながら、バスロック機能は、クリティカルタイミングバス内にある、PICコア内のアービトレーション論理に影響を及ぼし得る。したがって、バスロック機能がイネーブルされ得るが、おそらくは、いくらかの性能損失を伴う。

【0063】

アドレスパイプライン機能：アドレスパイプライン機能が、標準のPLBと、この発明のPICコアとの両方においてサポートされる。パイプライン方式は、多数のトランザクションが並列に進行することを可能にすることによって、システム性能を著しく向上させ得る。なお、コード分岐は、パイプライン方式の利点を衰えさせ得る。

【0064】

転送タイプ機能：標準のPLB内の転送タイプ機能は、たとえば、ダイレクトメモリアクセス(DMA)およびフライバイ(fly-by)を含み得る。一般に、各転送タイプは、異なるプロトコルの組合せを必要とする。したがって、複数の転送タイプを提供することによって、かなりの複雑性がFPGAシステムに追加され得る。この発明に従うと、転送は、基本的なメモリ転送に限定されており、したがって、FPGAの複雑性および論理が簡素化される。

【0065】

2. データ転送機能

シングルデータビット転送機能：シングルデータビット転送機能、つまり、單一データ単位転送は、CPUの基本的な動作であり、したがって、この発明によってサポートされる。なお、この転送機能は、書込動作または読出動作のいずれかであり得、いずれかのバイトイネーブルパターンを含み得る。各トランザクションは、データにおいて最大バス幅のサイズを転送するのみである。なお、この機能は、バーストとは異なる。

【0066】

不確定な長さのバースト機能：この発明によって提供されるように、パイプライン化されたアドレスおよびデータ経路内で不確定な長さのバースト機能を提供することによって、重大な性能問題がもたらされる。たとえば、マスタは、バーストの終りを、要求されるスレーブに伝達するために、1つ以上のサイクルを必要とし得る。しかしながら、その間

10

20

30

40

50

、スレーブは、あまりに多すぎるデータを送るおそれがある。さらに、アドレスデコーディング論理は、不確定な長さのバーストが、割当てられた時間内にアドレス境界をオーバーランするかを判断することを計算的に困難と認識し得る。したがって、この発明では、不確定な長さのバーストは、サポートされない。

【0067】

バースト終了機能：標準のPLBによって、スレーブがいつでも固定長のバーストを終了させることが可能となる。しかしながら、再度、マスタは、終了信号をスレーブに伝達するために、1つ以上のサイクルを必要とし得る。この時間期間、スレーブは、あまりに多すぎるデータを送るおそれがある。したがって、一実施例では、この発明は、バースト終了機能をサポートしない。代わりに、この発明は、確定的な挙動を、つまり、スレーブが読み出肯定応答(RdAck)信号および書込肯定応答(WrAck)信号の正確な数を戻すことを必要とする。別の実施例では、バースト終了信号を用いてデータの流れが制御される場合、スレーブは、RdAck信号とWrAck信号との間に待ち状態を挿入して、より多くの時間を提供し得る。代替的には、問題が生じた場合、スレーブは、読み出エラーを示すか、または割込を生成し得る。

【0068】

確定した長さのバースト機能：確定した長さのバーストを、つまり、2から16の転送を提供することによって、マスタの設計が簡素化されるが、代わりに、アドレス境界またはページ境界交差を検出するために論理をスレーブに追加することが必要とされる。したがって、一実施例では、この機能は、この発明においてサポートされず、代わりに、キャッシュラインアライメントが提供される。この実施例では、PICコアは、そのサイズにアライインされる2のべき乗の固定長バーストを実行し得る(すなわち、キャッシュライン転送)。別の実施例では、確定した長さのバースト機能がサポートされ、ユーザは、アドレス修飾子を定義し、これらの修飾子をサポートするようにマスタ/スレーブIPを設計する。別の実施例では、確定した長さのバースト機能が、バースト長サイズに対するアライインされた転送として強制的に実現され、アドレス境界チェックを有する必要性をなくす。

【0069】

バーストサイズ機能：バーストサイズを変化させることによって、スレーブ内の設計経路の複雑性が増す。具体的には、スレーブは、いずれかの数のデータ幅を扱うために、データ経路を実現する必要があり得る。一実施例では、バーストサイズは、データ経路幅にセットされ得る。

【0070】

キャッシュライン転送機能：キャッシュライン転送、つまり、特定の長さおよびアライメントのアトミックデータバーストが、アドレスまたはページ境界アライメントに関してスレーブの設計を簡素化する。この発明に従うと、キャッシュライン転送がサポートされる。この発明の実施例では、2、4、8、16、および32ワードのキャッシュライン転送が提供される。なお、これらのサイズは、DDR SDRAMを有利にサポートする。

【0071】

ダイナミックバスサイジング機能：ダイナミックバスサイジングは、FPGAの複雑性を著しく増すおそれのあるデータミラーリングおよびステアリングロジックを必要とする。さらに、マスタとスレーブとの両方は、それらの内部論理をデータ転送サイクルの正確な数に調整できるように、転送幅を把握しなければならない。したがって、この発明に従うと、PICコアは、異なる幅のマスタおよびスレーブをサポートしない。代わりに、転送幅は、システムを通して固定されており、したがって、FPGA内の複雑性が減じられる。一実施例では、パラメータ表示されるIPは、32ビットまたは64ビット転送にセットされ得る。ダイナミックバスサイジングの効果は、バイトイネーブル信号およびソフトウェア制御の使用を通して適応され得る。

【0072】

この発明に従うと、いくつかの実現される機能は、標準の P L B 機能のスーパーセットである。たとえば、この発明は、ダブルデータレート (D D R) データ経路のためのサポートを提供し、データ経路は、アドレス経路のクロック周波数の 2 倍で動作し得る。加えて、この発明は、ダイナミック書込バイトイネーブルメカニズムを含んで、書込トランザクションが接続ファブリックにおいて最適化されることが可能になる。具体的には、転送される書込データの各バイトに対して、この発明は、追加的なビットを提供し得、データの各バイトが選択的にスキップされることが可能となる。この様態で、ダイナミック書込バイトイネーブルメカニズムは、効率的にバイトパターンを書込むことができ、非連続的なメモリ書込動作中のシステム性能が強化される。これは、D M A を用いるシステムにおいて特に有利である。具体的には、D M A エンジンは、ミスアラインされたデータを順に実行する (sequence through) ための複雑な論理をもはや必要としない。代わりに、D M A エンジンは、転送内容に適応するために適切なバイトイネーブルパターンを示すのみでよい。さらに、D M A エンジンは、そのデータを転送するために多くのバスサイクルをもはや消費せず、追加的な利用可能な性能がシステムに加えられる。最後に、この発明の P I C コアは、トランザクションフォワードアーキテクチャを用いてパイプライン方式をサポートし、より高い全システム性能を可能にする。これらのスーパーセット機能は、F P G A 内の I P 性能を飛躍的に高める。
10

【 0 0 7 3 】

C . 信号 : P L B から P I C へのマッピング

上述の P L B 機能を提供するために、さまざまな信号が、システムのマスター / スレーブと P L B との間で転送される。これらの P L B 信号は、以下に列挙されており、この発明に対するマッピングを示す。たとえば、表 1 は、マスターの観点からさまざまな P L B 信号を、これらの信号が基本的な C P U 内で必要とされるか、および、これらの信号が妥当な性能でもって F P G A 内で実現され得るかを列挙する。
20

【 0 0 7 4 】

【表 1】

表 1

信号名	方向	CPUが必要とするか	FPGA内
PLB 命令修飾子			
SYS_plbClk	入力	Yes	Yes
SYS_plbReset	入力	Yes	Yes
PLB_MnAddrAck	入力	Yes	Yes
PLB_MnRearbitrate	入力	No	Yes (共有バス)
PLB_MnSSize	入力	No	No
PLB_MnBusy	入力	Yes	Yes
PLB_MnErr	入力	Yes	Yes
PLB_pendReq	入力	No	Yes (スタティック値)
PLB_pendPri	入力	No	Yes
PLB_reqPri	入力	No	Yes (スタティック値)
Mn_request	出力	Yes	Yes
Mn_priority	出力	No	Yes
Mn_busLock	出力	No	Yes
Mn_RNW	出力	Yes	Yes
Mn_BE	出力	Yes (非バースト)	Yes (非バーストまたは固定長バースト)
Mn_size	出力	Yes (非バースト またはキャッシュ ライン)	Yes (非バースト、 固定長バースト、または キャッシュライン)
Mn_type	出力	No	No
Mn_Msize	出力	No	No
Mn_compress	出力	Yes	Yes
Mn_guarded	出力	Yes	Yes
Mn_ordered	出力	No	Yes
Mn_locker	出力	No	Yes
Mn_abort	出力	Yes	No
Mn_Abus	出力	Yes	Yes
PLB 書込データバス			
PLB_MnWrDAck	入力	Yes	Yes
PLB_MnWrBTerm	入力	No	Yes
Mn_wrBurst	出力	No	No
Mn_wDBus	出力	Yes	Yes
PLB 讀込データバス			
PLB_MnRdAck	入力	Yes	Yes
PLB_MnRdBTerm	入力	No	Yes
PLB_MnRdWdAddr	入力	Yes	Yes
PLB_MnRdBDBus	入力	Yes	Yes
Mn_rdBurst	出力	No	No
スペーセット信号			
SYS_plbClk2x	入力	No	Yes
PLB_MnWrAck	入力	No	Yes

10

20

30

40

【0075】

表2は、スレーブの観点からさまざまなPLB信号を、これらの信号が基本的なCPU内で必要とされるか、および、これらの信号が妥当な性能でもってFPGA内で実現され

50

得るかを列挙する。

【 0 0 7 6 】

【表2】

表 2-1

信号名	方向	CPU内で必要とされる	FPGA内
PLB_転送修飾子			
SYS_plbClk	入力	Yes	Yes
SYS_plbReset	入力	Yes	Yes
PLB_PAValid	入力	Yes	Yes
PLB_busLock	入力	No	Yes
PLB_pendReq	入力	No	Yes
PLB_pendPri	入力	No	Yes (スタティック値)
PLB_reqPri	入力	No	Yes (スタティック値)
PLB_masterID	入力	No	Yes
PLB_RNW	入力	Yes	Yes
PLB_BE	入力	Yes (非バースト) (非バーストまたは 固定長バースト)	Yes (非バーストまたは 固定長バースト)
PLB_size	入力	Yes (非バーストまたは キャッシュライン)	Yes (非バースト、 固定長バースト、 またはキャッシュライン)
PLB_type	入力	No	No
PLB_Msize	入力	No	Yes (スタティック値)
PLB_compress	入力	Yes	Yes
PLB_guarded	入力	Yes	Yes
PLB_ordered	入力	No	Yes
PLB_lockErr	入力	No	Yes
PLB_abort	入力	No	Yes (スタティック値)
PLB_Abus	入力	Yes	Yes
S1_addrAck	出力	Yes	Yes
S1_wait	出力	No	No
S1_Ssize	出力	No	No
S1_rearbitrate	出力	No	Yes (共有バス)
S1_Mbusy	出力	Yes	Yes
S1_Merr	出力	Yes	Yes
PLB_APレス パケット			
PLB_SAValid	入力	Yes (性能)	Yes
PLB_rdPrim	入力	Yes (性能)	Yes

10

20

30

40

【表3】

表2-2

PLB_wrPrim	入力	Yes (性能)	Yes
PLB 書入データバス			
PLB_wrDBus	入力	Yes	Yes
PLB_wrBurst	入力	No	No
S1_wDAck	出力	Yes	Yes
S1_wrComp	出力	Yes	Yes
S1_wrBTerm	出力	No	Yes
PLB 読出データバス			
PLB_rdBurst	入力	No	No
PLB_S1_rdDBus	出力	Yes	Yes
PLB_rdWdAddr	出力	Yes	Yes

10

【0078】

I V . F P G A 実現例

この発明の一実施例に従うと、プログラマブルインターフェイスコア（P I C）は、F P G A 上およびF P G A 外の両方にある他の装置と中央処理装置（C P U）との間で通信を提供する。この発明によって指定される上述のP L B 機能サブセットのために、P I C コアは、標準のF P G A リソース、つまり、ルックアップテーブル、マルチプレクサ、およびフリップフロップを有利に用いて、これらの機能を効率的に実現し得る。この発明は、これらのリソースにうまくマッピングされる論理機能およびパイプライン方式を活用する。

20

【0079】

A . 中央処理装置（C P U）

図4は、F P G A 4 0 0 上の非プログラマブルリソースから形成される中央処理装置（C P U）4 0 1を含むF P G A 4 0 0 を例示する。一実施例では、C P U 4 0 1は、I B MのパワーP C 4 0 5 C P Uを含む。しかしながら、この発明は、いずれのC P Uにも同様に適用可能である。さらに、この発明は、いくつの数のC P Uとともに用いられてもよい。具体的には、図4に例示されるアーキテクチャが、F P G A 上の各C P Uに対して繰返され得る。

30

【0080】

この実施例では、C P U 4 0 1は、プロックランダムアクセスメモリ（B R A M）4 0 8 A および4 0 8 B 等の複数の「オンチップ」メモリと直接通信し得る。各C P Uは、このようなオンチップメモリに対するプロプログラタリ接続およびそれ自体のポートを規定するため、これらの詳細は、ここで提供されない。

【0081】

40

C P U 4 0 1は、任意の数の周辺モジュール、つまり、マスタモジュール4 0 6またはスレーブモジュール4 0 4によってC P U 4 0 1に送られる「フラグ」を妨害および優先する割込コントローラ（I N T C）4 0 9にも結合される。したがって、いずれかのスレーブモジュール4 0 4またはマスタモジュール4 0 6が、割込コントローラ4 0 9に結合され得る（線は図示せず）。これらのフラグは、C P U 4 0 1からの即時アテンションを要求する周辺モジュールに関連した「イベント」を表す。この様態で、C P U 4 0 1は、周辺モジュールの連続的なチェックを行なうことから解放され、C P U 4 0 1が可能な限り効率的に動作し得ることが確実となる。たとえば、周辺モジュールからの1つのフラグは、C P U 4 0 1に対して、ユーザがキーボード上の「入力」キーを押したことを探らせ得る。これらのフラグの生成は、当業者には周知であるため、ここで詳細に説明されない

50

。周辺モジュールによって生成される割込に応答するために、CPU401は、PIC402およびOPB403を用いる（両方が以下で詳細に説明される）。

【0082】

なお、CPU401は、FPGAファブリックに対するCPU401の専用ピンアウトの結合を容易にする構造を含み得る。この発明は、異なる構造を有するさまざまなCPUとともに機能し得る。

【0083】

FPGA400は、複数の高速デバイス410およびマスタ／スレーブモジュール404／406からCPU401までのデータ転送を可能にする複数のデータ経路（図示せず）をさらに含む。したがって、図4に示される経路は、この発明に従ったトランザクション経路を示すことが意図される。10

【0084】

B. プログラマブルインターフェイスコア（PIC）

この発明に従うと、（FPGA400上およびチップ外の両方にある）他のデバイスとの高性能通信を提供するために、CPU401は、プログラマブルインターフェイスコア（PIC）402を用いる。プログラマブルインターフェイスコア402は、名前が示すように、FPGAソフトウェアツール（図3のFPGAソフトウェアツール306参照）によって生成されるコンフィギュレーションビットを用いてFPGA400上で実現される。1つの最適な実施例では、プログラマブルインターフェイスコア402は、クロスポートスイッチを含み、クロスポートスイッチは、（CPU401または高速バスインターフェイス（HSBI）407等の）いずれかのマスタデバイスがいずれかのスレーブデバイス410と通信することを選択的に可能にする。さらに、クロスポートスイッチでは、第1のトランザクションが進行している間に、別のマスタデバイスが、同時に別のスレーブデバイスと通信することができる。この様態で、この発明は、FPGA400上およびチップ外の両方における、スレーブデバイスとマスタデバイスとの間の高性能インターフェイスを提供し得る。20

【0085】

図4に示される実施例では、プログラマブルインターフェイスコア402は、4入力（マスタ）×4出力（スレーブ）（4×4）クロスポートスイッチを用いて、マスタデバイスをスレーブデバイスに接続し得る。具体的には、マスタデバイスは、CPU401の命令キャッシュユニット（ICU）と、CPU401のデータキャッシュユニット（DCU）と、高速バスインターフェイス（HSBI）407と、OPBプリッジインモジュール（OPB/BI）とを含み得、スレーブデバイスは、DDR SDRAMコントローラデバイス410Aと、オフチップメモリ410B-410Dのうちの1つと、オンチップメモリ410E（一実施例では、BRAM）と、OPBプリッジアウトモジュール（OPB/BO）とを含み得る。NのマスタデバイスとMのスレーブデバイスとを有する他の実施例では、プログラマブルインターフェイスコア402は、N×Mクロスポートスイッチとして構成され得る。しかしながら、重要なことには、他の種類のスイッチと比較して増大するクロスポートスイッチ接続性のために、クロスポートスイッチの実現は、FPGA400上の利用可能なリソースを最適化するように慎重に評価されなければならない。この評価は、以下で詳細に説明される。3040

【0086】

図5Aは、プログラマブルインターフェイスコアの一部として提供される、簡素化された4×4クロスポートスイッチ500を例示し、クロスポートスイッチ500は、4つのマスタデバイス501A-501Dおよび4つのスレーブデバイス502A-502Dを選択的に結合する。一実施例では、クロスポートスイッチ400のサイズは、16×16スイッチにまで拡大され得る。なお、論理リソースによって、通例、クロスポートスイッチのサイズが制限されるが、ルーティングリソースも制限的であり得る。したがって、クロスポートスイッチの最大サイズは、FPGAに左右される。一実施例では、最大サイズは、PICを生成するために用いられるパラメータおよびN×Mサイズを考慮50

に入れて計算され得る。クロスポイントスイッチ 500 は、トランザクションのアドレスおよびデータ経路のための 2 つの別個の構造を含む。実際の F P G A では、図 5 B (500 A) および図 5 C (500 B) を参照して説明されるこれらの構造は、オーバーラップするプログラマブルリソース上に置かれ得る。他の実施例では、トランザクションのアドレスおよびデータ論理内で用いられる構造は、オーバーラップしないプログラマブルリソースから形成される。

【 0087 】

図 5 B は、アドレス論理内のクロスポイントスイッチ（以下では、クロスポイントスイッチ 500 A ）の一実現例のより詳細な図を示す。この実現例では、クロスポイントスイッチ 500 A は、N のアドレスデコーダ 511 (N は、マスタデバイス 501 の数に等しい) と、M のアクセスアービタ 512 (M は、スレーブデバイス 502 の数に等しい) を含む。マスタデバイス 501 A - 501 D は、データキャッシュユニット (D C U) 、命令キャッシュユニット (I C U) 、高速バスインターフェイス (H S B I) 、およびオンチップ周辺バスプリッジインモジュール O P B / B I を含む。スレーブデバイス 502 A - 502 D は、D D R デバイス、スタティックランダムアクセスメモリ (S R A M) 、ロック R A M (B R A M) 、および O P B プリッジアウトマスタ O P B / B O を含む。

【 0088 】

O P B / B I および O P B / B O モジュールに関して、C P U 401 (図 4) がスレーブモジュール 404 またはマスタ / スレーブモジュール 405 と通信する必要がある場合 (以下で説明) 、プログラマブルインターフェイスコア (P I C) 402 内の O P B ブリッジアウトモジュール O P B / B O が、C P U のコマンドを O P B 403 に対して駆動することが注目される。しかしながら、P I C 402 の観点からは、この O B P / B O モジュールは、スレーブデバイスとして機能する。対照的に、マスタモジュール 406 またはマスタ / スレーブモジュール 405 がデバイス 410 に対してコマンドを発行する場合、その要求は、プログラマブルインターフェイスコア 402 内のブリッジインモジュール O P B / B I によって受取られる。したがって、P I C 402 の観点からは、O P B / B I は、マスタとして機能するように見える。したがって、O P B / B O および O P B / B I は、マスタ機能とスレーブ機能との両方を有するプログラマブルインターフェイスコア 502 内のブリッジモジュールとして特徴付けられ得る。O P B / B O M および O P B / B I は、図 16 および図 17 を参照しながらより詳細に説明される。

【 0089 】

クロスポイントスイッチ 500 A 内では、アクセスデコーダ 511 は、そのそれぞれのマスタデバイス 501 からアドレスを受取り、次に、アドレスをデコードして、マスタデバイスがどのスレーブデバイス 502 にアクセスすることを望むかを判断する。デコーディングの後、アドレスデコーダ 511 は、要求されたスレーブデバイス 502 に関連したアクセスアービタ 512 にアドレスを送る。多数のマスタデバイス 501 が 1 つのスレーブデバイス 502 にアクセスすることを望み得ることが思い出されたい。したがって、アクセスアービタ 512 を用いて、要求を行なうマスタデバイス間でプライオリティを決定する。アクセスアービタ 512 によって用いられ得るいくつかの公知のアルゴリズムは、シングルレベルラウンドロビン、マルチレベルラウンドロビン、最長時間未使用法、およびプライオリティベースのアプローチ (O P B バスアービタ 503 A を参照しながら以下により詳細に説明) を含む。なお、トランザクションは読み出動作であるのか、または書き込み動作であるかということ、およびデータ転送サイズを含む、マスタデバイス 501 からの追加的な情報が、デコードされたアドレスとともにスレーブデバイス 502 に転送される。

【 0090 】

クロスポイントスイッチ 500 A 内でアドレスデコーダ 511 およびアクセスアービタ 512 を用いることによって、前のトランザクションが完了する前に、マスタデバイス 501 が別のトランザクションを開始することが可能になる。言い換えると、デコードされたアドレスがアクセスアービタ 512 に一旦提供されると、アドレスデコーダ 511 は、

10

20

30

40

50

次のアドレスをデコードし始め得る。この種のプロセスは、「トランザクションフォワード」と呼ばれる。この発明は、トランザクションフォワードを有利に用いて、クロスポイントスイッチの性能を高める。

【0091】

この発明の一実施例では、このトランザクションフォワード特徴は、（簡素化のために1つしか示されていない）多数のレジスタ513をアドレス論理内に含むことによって、さらに強化され得る。図5Bでは、これらのレジスタは、アドレスデコーダ511の前に、アドレスデコーダ511の後およびアクセスアービタ512の前に、および／または、アクセスアービタ512の後およびスレーブデバイス502の前に、置かれ得る。なお、追加的なレジスタが、アドレス論理内のいずれかのポイントに置かれ得る（しかしながら、各アドレス経路は、アドレス／制御経路において一貫したタイミングを保証するために、同じ場所にレジスタを有するべきである）。この発明では、これらのレジスタ513は、アドレスおよび制御情報のためにパイプライン方式を提供し得、したがって、他のトランザクションが処理されている間に、要求を行なうマスタが別のトランザクションを開始することが可能になる。したがって、この様態で、この発明のパイプライン方式は、システムの全アドレス／制御帯域幅を増大させることができ、多数のトランザクションのためのアドレス論理の速度を上げる。10

【0092】

ある特定のスレーブデバイス502が、トランザクションに対して解放されているとアクセスアービタ512によって判断された後、そのアクセスアービタ512は、データ論理内で提供される構造と通信して、図5Cを参照しながら説明されるような適切な接続を生成する。図5Cは、データ論理のためのクロスポイントスイッチ（以下では、クロスポイントスイッチ500B）の一実現例のより詳細な図を示す。この実現例では、クロスポイントスイッチ500Bは、Nの書きマルチプレクサ514（Nは、書き動作において書き込まれるスレーブデバイス502の数に等しい）と、Mの読み出マルチプレクサ515（Mは、読み出動作においてデータを受取り得るマスタデバイス501の数に等しい）とを含む。マルチプレクサ514A - 514Dおよび515A - 515Dは、アクセスアービタ512A - 512D（図5B）によって制御される。20

【0093】

アドレス論理と同様に、クロスポイントスイッチ500Bは、レジスタ513によって提供されるパイプライン方式を含み得る。一実施例では、これらのレジスタ513は、マスタデバイス501と書きマルチプレクサ514との間に、および、スレーブデバイス502と読み出マルチプレクサ515との間に置かれる。なお、追加的なレジスタがデータ論理内のいずれかのポイントに置かれ得る。しかしながら、各データ経路は、データ経路において一貫したタイミングを保証するために、同じ場所にレジスタを有するべきである。この発明では、これらのレジスタ513は、転送されるデータに対してパイプライン方式を提供し得、別の読み出または書きトランザクションが処理されている間に、要求を行なうマスタまたはアクセスされるスレーブのいずれかが、別の読み出または書きトランザクションを開始することが可能になる。したがって、この様態で、この発明のパイプライン方式は、システムの全データ帯域幅も増大させることができ、多数のトランザクションのデータ論理のスループットを上げる。30

【0094】

上述のように、この発明は、アドレスおよびデータ論理の両方においてトランザクションフォワードを有利に用い得る。パイプライン方式によって、トランザクションフォワードの最適化が可能になる。具体的には、マスタデバイスは、スレーブデバイスと直接通信しないため、パイプラインレジスタが、アドレス／データ論理内の多数の場所で提供され得る。したがって、一旦マスタデバイスがアドレスを送り出し、スレーブから肯定応答を受取ると、マスタデバイスは、そのトランザクションに関連した情報の残り（制御とデータとの両方）をパイプライン処理し得る。一旦スレーブデータ肯定応答信号がマスタに到達すると、マスタは、スレーブが実際にデータを受取るのを待たずにデータを供給できる4050

点において、パイプライン方式は役立つ。この時点で、マスタデバイスは、別のトランザクションを開始できる。パイプライン化の量によって、同時にアクティブになり得るトランザクションの数が決定される。

【0095】

なお、全システム性能に関して、レイテンシ(つまり、このパイプライン方式に関連した遅延)も考慮されなければならない。たとえば、一実施例では、レジスタは、クロック信号を必要とするフリップフロップを用いて実現され得る。このクロック信号は、アドレスコードおよびアドレスアービタがそれらのそれぞれの機能を実行するために必要な時間に基づいてセットされ得る。なお、パイプライン方式は、周波数と直接相関関係がある。したがって、パイプライン化すればするほど、より高い周波数が提供される。しかしながら、周波数を増大させることは、また、レイテンシを望ましくないほど増大させる。したがって、以下にさらに詳細に説明されるように、この発明は、(パイプライン方式によって提供されるような)帯域幅とレイテンシとの間でバランスを確立する。

【0096】

別の利点として、この発明は、各スレーブデバイス内で提供される論理を大きく減じることができる。具体的には、この発明に関連するマスタデバイスと通信するスレーブデバイスは、アドレスコードするために必要とされる複雑な回路をなくすことができる。したがって、この発明は、スレーブデバイスの設計、実現、および製造の作業を簡素化する。

【0097】

対照的に、共有バスシステムでは、マスタデバイスは、アドレスをすべてのスレーブデバイスに一斉送信し得る。したがって、このシステムでは、各スレーブデバイスは、アドレスをデコードし、アドレスがそのスレーブデバイスに関するかを判断するための論理を含み得る。アドレスがデコードされた後、適切なスレーブデバイスが信号をマスタデバイスに送り返し、これが、次に、トランザクションに関する情報の残りを、識別されたスレーブデバイスに送り得る。

【0098】

上の説明から理解され得るように、共有バスシステムは、システム内に含まれ得るパイプラインの量を大きく制限し得る。たとえば、一旦マスタデバイスがアドレスを送り出すると、すべてのスレーブデバイスがアドレスをデコードしなければならず、他の指定されていないスレーブデバイスが、他のマスタデバイスとの他のトランザクションを進めることができ妨げられる。したがって、先行技術の共有バスシステムは、本質的に、この発明のクロスポイントスイッチよりも低い性能を提供する。なお、(以下で説明される)ハイブリッドシステムでは、共有バス上のスレーブの数が制限され得る。この様態で、アドレスを一斉送信し、さらにはスレーブからの応答を待つ時間が、最小限にされ得る。言い換えると、高い帯域幅を必要とするデバイスは、共有バス構成に内在する余分なレイテンシを支え得るものと釣り合わされ得、ある特定のシステムが最適化される。

【0099】

この発明のスイッチファブリックとしてFPGA内のクロスポイントスイッチを構成することによって、いくつかの利点が提供される。第1に、クロスポイントスイッチは、「非閉塞的」であり、入力は、出力に対する非輻輳経路が保証されることが確実である。この局面は、この発明のパイプライン化されたアーキテクチャにおいて特に有利である。第2に、FPGAリソースを用いて実現されるクロスポイントスイッチによって、接続が迅速に、選択的に変更されることが可能となる。なお、このような接続の変更は、したがって、経路の変更も、他のいずれの経路の接続にも影響を及ぼさない。第3に、クロスポイントスイッチは、プログラマブルに「トリミング」されて、FPGA上で用いられるリソースを最小にし得る。

【0100】

たとえば、図5Dは、アドレス/制御論理がトリミングされるクロスポイントスイッチ500Aの一実施例を示す。この実施例では、ユーザは、あるアドレス/制御論理が用い

10

20

30

40

50

られないことを決定した。なお、ソフトウェアは、どの論理がトリミングされ得るかをユーザが特定する助けとはなり得るが、このような決定をするためには、ユーザが通例、ソフトウェアに基本的なパラメータを提供しなければならない。この発明は、用いられない論理を除去し、その論理に関連するリソースがユーザの設計の他のコンポーネントのために用いられることを可能にする。代替的には、たとえユーザの設計の他のコンポーネントが、トリミングされた論理を用いない場合でも、ユーザの設計は縮小され得、おそらくは、より小さなFPGAが用いられるか、またはより多くのマスタまたはスレーブが同じサイズのFPGA内で実現されることさえも可能となる。図5Dでは、以下のアドレス／制御論理が除去される。すなわち、ICUからOPB／BO、HSB1からBRAM、HSB1からOPB／BO、OPB／BIからBRAM、およびOPB／BIからOPB／BOである。

【0101】

別の例として、図5Eは、データ論理がトリミングされるクロスポイントスイッチ500Bの一実施例を示す。この実施例では、ユーザは、あるデータ論理が用いられないことを決定した。この発明は、用いられない論理を有利に除去し得る。図5Eでは、以下の書き込みデータ論理が除去される。すなわち、HSB1からBRAMおよびOPB／BO、ICUからいずれかのスレーブデバイス（つまり、ICUはリードオンリデバイス）、OPB／BIからBRAMおよびOPB／BOである。加えて、この実施例では、以下の読み出論理も除去される。すなわち、BRAMからHSB1およびOPB／BI、およびOPB／BOからHSB1およびOPB／BIである。

【0102】

この発明に従うと、いずれかの経路（および、関連の論理）のトリミングによって、残りの回路が簡素化され得る。たとえば、図5Eでは、書き込みマルチプレクサ514Cおよび514Dの各々は、1つの入力のみを有する。したがって、これらのマルチプレクサは、たとえば、簡素なパストランジスタとして実現され得る。読み出マルチプレクサ515Cおよび515D等の他のマルチプレクサも簡素化され得る。論理を簡素化することによって、システムの速度および他の性能パラメータが改善され得る。したがって、この発明に従ったプログラマブルリソースをトリミングする能力によって、FPGAの性能および面積において、著しい改善が提供され得る。

【0103】

この発明の一実施例では、クロスポイントスイッチ500A／500Bは、アドレス／制御論理がCLKで動作し、さらにはデータ論理がCLK2Xで動作するように、設計される。具体的には、スレーブデバイス502がトランザクションに利用可能であることが、アクセスマービタ512によって一旦判断されると、そのアクセスマービタ512は、適切な書き込みマルチプレクサ514または読み出マルチプレクサ515を制御することによって、そのトランザクションのための必要な論理を生成し得る。したがって、この時点では、追加的な論理または経路変更が必要とされないため、書き込みまたは読み出動作は、さらなる遅延を伴わずに進行することができる。したがって、一実施例では、アドレス／制御論理は、133MHzで動作し得、データ論理は、266MHzで動作し得る。

【0104】

重要なことには、デュアルクロックシステムでは、制御経路は、公称データクロックレートの1／2で動作して、そのタスクを達成するための優先的な時間をこの経路に提供する。さらに、1／2対1比が存在するため、データレイテンシは、実質的に減じられ、データ転送周波数が上昇し得る。

【0105】

なお、クロスポイントスイッチ500A／500Bは、1つ以上の特定の信号をマスタデバイス501に転送するための専用の追加的なラインを含み得る。これらの追加的なラインは、肯定応答信号を転送し得るが、転送に限定されているわけではない。たとえば、一実施例では、トランザクションフォワードは、要求を行なうマスタデバイス501に対してアクセスマービタ512により提供される肯定応答信号によって、トリガされ得る。

具体的には、制御信号およびデータのパイプライン処理は、要求を行なうマスタデバイス 501 が肯定応答信号を受け取った後に、開始される。

【0106】

C. マスタおよびスレーブモジュール

この発明に従うと、通例、先行技術のシステム内では周辺デバイスとして提供される、マスタモジュール 406 とスレーブモジュール 404 との両方が、ユーザのトップレベル設計の一部として、またはコアとして、FPGA 上に置かれ得る。この発明の一実施例では、FPGA 400 は、マスタとスレーブとの両方として働くハイブリッドモジュール 405 を含み得る。具体的には、ハイブリッドマスタ / スレーブモジュール 405 は、特定の時間期間中にトランザクションを開始し、オンチップ周辺バス (OPB) 403 を制御することができ、他の期間中は、トランザクションを受入れ、データを OPB バス 403 に提供し得る。たとえば、ネットワーキングアプリケーションでは、データパケットが、スレーブとしてのハイブリッドモジュール 405 によって受取られると、ハイブリッドモジュール 405 は、DMA を用いるマスタとしてパケットをメモリに送り得る。別の実施例では、マスタ機能は、スレーブモジュール内に組込まれる。

【0107】

有利なことには、この発明によって、パラメータ表示が容易にされるため、マスタおよびスレーブモジュールの数は、動的にさえも、変更され得る。したがって、この発明は、ユーザの設計を実現するために必要とされる FPGA 上のリソースのみを用いる。

【0108】

D. OPB バス

この発明に従うと、オンチップ周辺バス (OPB) 403 は、プログラマブルインターフェイスコア 402 とモジュール 404 / 406 との間の通信を容易にする接続インフラストラクチャを含む。OPB 403 は、複数のより低い性能の周辺デバイス、つまり、モジュール 404 / 406 をサポートする共有バスアーキテクチャを用いる。これらのモジュール 404 / 406 は、たとえば、シリアルポートおよびイーサネット (R) 接続を用い得る。一実施例では、モジュール 404 / 406 は、IBM のコアコネクト (CoreConnect) (商標) OPB 仕様に従い得る。

【0109】

重要なことには、OPB 403 は、FPGA 400 上に提供されるプログラマブルルーティングリソースから形成され得る。具体的には、バスのラインがプログラマブルルーティングリソースから形成され得、スイッチング論理は、CLB 内のプログラマブルリソースから形成され得る。この様態で、OPB 403 は、FPGA 400 上のどこに位置付けられてもよい。さらに、OPB 403 は、いかなる数のモジュール 404 / 406 にも対応するように構成され得る。言い換えると、3 つのマスタモジュール 406 および 1 つのスレーブモジュール 404 のみが、ユーザによって FPGA 400 上に置かれる場合、この発明は、これらの 4 つのモジュールのみのためのポートが作成されることを保証する。したがって、この発明に従うと、OPB 403 は、完全にパラメータ表示可能である。

【0110】

OPB 403 は、単一のマスタモジュール 406 がスレーブモジュール 404 またはマスタ / スレーブ 405 と通信することを可能にするスイッチング論理を含む。具体的には、共有バスアーキテクチャのために、他のマスタモジュール 406 またはマスタ / スレーブ 405 は、各アクティブランザクション中に、それらのそれぞれのスレーブモジュール 404 とのそれらのトランザクションを開始することを待たなければならない。これらのトランザクションにプライオリティを割当てるために、OPB アービタ 403A が提供される。

【0111】

この発明の一実施例に従うと、OPB アービタ 403A は、いずれかの種類のアービトリエーション方式を提供するように構成され得、さらには FPGA 400 が動作しているときに動的に変化するようにさえも構成され得るコアである。なお、OPB 403 のように

10

20

30

40

50

、O P B アービタ 4 0 3 A は、完全にパラメータ表示可能である。したがって、O P B アービタ 4 0 3 A は、ユーザによって指定された数のマスタモジュール 4 0 6 をアービトレートするために必要な F P G A 4 0 0 上のプログラマブルリソースのみを用いる。一般に、O P B アービタ 4 0 3 A は、予め構築されたアルゴリズムを用いて、どのマスタモジュール 4 0 6 が O P B 4 0 3 を制御し得るかということと、その制御の時間期間とを決定する。

【 0 1 1 2 】

アービトレーションは、公平性とプライオリティという相反する目標を解決しなければならない。公平性は、1つのマスタモジュール 4 0 6 が O P B 4 0 3 を独占することを許可されるべきではないことを要求する。しかしながら、プライオリティは、特定の状況下では、予め定められたマスタモジュール 4 0 6 がより頻繁に O P B 4 0 3 を用いてタイムクリティカルな目標を達成すべきであることを要求する。O P B アービタ 4 0 3 A によって用いられ得るいくつかの典型的なアルゴリズムは、シングルレベルラウンドロビン、マルチレベルラウンドロビン、最長時間未使用法、およびプライオリティベースのアプローチである。

【 0 1 1 3 】

シングルレベルラウンドロビンアプローチでは、小さな時間単位、つまり、量子が定義される。（特定のマスタ 3 0 6 に関する）すべてのトランザクションが、巡回待ち行列内に置かれる。O P B アービタ 4 0 3 A は、待ち行列に従い、マスタモジュールによる O P B 4 0 3 の使用を割当てて、1量子の時間間隔のためのトランザクションを達成し得る。待ち行列内の最後のトランザクションの後に、いずれかの新しいトランザクションが加えられ得る。

【 0 1 1 4 】

量子の終わりの前にトランザクションが終了すると、マスタモジュール 4 0 6 は、自発的に O P B 4 0 3 を解除し得る。しかしながら、トランザクションが量子の終わりにおいても依然として動作している場合、マスタモジュール 4 0 6 は、プリエンプトされ得、トランザクションは、待ち行列の終わりの部分に加えられ得る。なお、別の実施例では、マスタモジュール 4 0 6 は、そのトランザクションを完了することができる。このとき、O P B アービタ 4 0 3 A は、O P B 4 0 3 を待ち行列内の次のトランザクションに割当て得る。

【 0 1 1 5 】

マルチレベルラウンドロビンアプローチでは、少なくとも2つの巡回待ち行列が形成される。たとえば、第1の待ち行列と第2の待ち行列とが形成されると仮定すると、O P B 4 0 3 を頻繁に用いるトランザクションが、第1の待ち行列内に置かれ得、O P B 4 0 3 をそれほど頻繁に用いないトランザクションが、第2の待ち行列内に置かれ得る。第2の待ち行列内のトランザクションは、同じ待ち行列内に存在するならば、O P B 4 0 3 に対して等しいアクセスを有し得る。しかしながら、第2の待ち行列内のトランザクションは、グループとして、第1の待ち行列内の各トランザクションと同等の、O P B 4 0 3 に対するアクセスを有し得る。言い換えると、第2の待ち行列のトランザクションは、「スーパートランザクション」を効率的に形成し、スーパートランザクションは、第1の待ち行列内のトランザクションのうちの1つであると考えられる。したがって、第1の待ち行列トランザクションのラウンドごとに、第2の待ち行列の1つのトランザクションが実行され得る。このアプローチでは、量子の終わりの前にトランザクションが終了すると、マスタモジュール 4 0 6 は、自発的に O P B 4 0 3 を解除し得る。しかしながら、トランザクションが量子の終わりにおいても依然として動作している場合は、マスタモジュール 4 0 6 は、プリエンプトされ得、トランザクションは、適切な待ち行列の終わりの部分に加えられ得る。

【 0 1 1 6 】

最長時間未使用法では、任意の待ち行列が形成される。O P B アービタ 4 0 3 A は、最初は待ち行列に従い、待ち行列内の次のマスタモジュール 4 0 6 が O P B 4 0 3 の制御権

10

20

30

40

50

を得ることを可能にする前に、各トランザクションを終了させ得る。しかしながら、O P Bアービタ4 0 3 Aが、待ち行列内において次ではないマスタモジュール4 0 6からバス制御の要求を受取った場合、O P Bアービタ4 0 3 Aは、最長時間未使用のO P B 4 0 3を有したマスタモジュール4 0 6に対して（実行されているトランザクションの完了後に）O P B 4 0 3の制御権を与え得る。

【0117】

最後に、プライオリティベースのアプローチでは、O P Bアービタ4 0 3 Aは、マスタモジュール4 0 6によって実行される関連のトランザクションのプライオリティにのみ基づいて、バス制御を決定し得る。このアプローチでは、より高いプライオリティの各トランザクションが、より低いプライオリティのトランザクションが開始許可され得る前に、完了し得る。一実施例では、プライオリティベースのアプローチは、F P G A内の性能に最も大きな影響を及ぼすマスタに対してプライオリティを許可することを含む。10

【0118】

E . 高速バスインターフェイス

この発明の一実施例に従うと、F P G A 4 0 0は、バス4 0 7 Aおよび4 0 7 Bを介して、プログラマブルインターフェイスコア4 0 2とオフチップデバイス（図示せず）との間で多くの量のデータを転送することができる高速バスインターフェイス（H S B I）4 0 7を含む。例示的なオフチップデバイスは、ギガビットI / O、高速I / O、P C I - X、または他の公知の高性能プロトコルを用いて、インターフェイス4 0 7と通信し得る。このインターフェイス4 0 7は、コアの形で提供され得る。なお、転送されるデータは、（フラッシュメモリ、S R A Mメモリ、および／または別の種類のメモリ等の）オフチップメモリまたは（B R A M等の）オンチップメモリから、またはそこへと、転送され得る。20

【0119】

一実施例では、H S B I 4 0 7は、バス4 0 7 Cを通じて非データ移動のためにアドレス指定され得る。これらのバスは、C P U 4 0 1または他のバスマスタが、H S B I 4 0 7の内部レジスタセットに対する局所的なアクセスを有することを可能にする。たとえば、H S B I 4 0 7は、I N T C 4 0 9に対する割込を生成して、それがデータパケットを受取り、さらにはそれを外部のD D Rメモリデバイスに転送することを完了したことを示し得た。C P U 4 0 1は、割込に応答するとき、バス4 0 7 Aを用いてH S B I 4 0 7と対話（talk）して、サービスに対するその要求が何についてであるかを把握し得る。しかしながら、バス4 0 7 Aを用いる行為は、いずれの進行中のデータ移動動作も割込まれる必要があり得ることを意味する。したがって、一実施例では、テリアリ（tertiary）バス4 0 7 Cセットが、O P B 4 0 3に対するマスタおよびスレーブ動作の両方のために存在する。バス4 0 7 Cを用いることにより、C P U 4 0 1は、バス4 0 7 A上のデータ移動に影響を与えることなく、H S B I 4 0 7と対話できる。さらに、H S B I 4 0 7がデータをデバイス4 0 4 Cに移動させたい場合、それは、まずP I C 4 0 2にアクセスする必要なしに、および／または、それをメモリに記憶することなく、それを行ない得る。むしろ、H S B I 4 0 7は、O P B 4 0 3上でトランザクションを開始し、データを直接転送することができ、データをダブルバッファする必要性をなくし、システム全体の著しい性能向上に貢献する。3040

【0120】

V . F P G A 実現例：詳細

A . P I C およびデバイス：ポート、タイミング、および実施例

マスタデバイスおよびスレーブデバイスは、よりモジュラな設計を可能にする包括的インターフェイスを用いる。具体的には、これらのモジュールは、プログラマブルインターフェイスコアに「プラグイン」され得る包括的なポート（以下で詳細に説明）を用いる。ここでの説明では、用語「ポート」は、マスタ／スレーブデバイスとプログラマブルインターフェイスコアとの間に提供される信号セットを含み得る。これらの包括的ポートのため、いかなる数のマスタデバイスおよびスレーブデバイスが、いずれの組合せで、この発

明に含まれてもよい。一実施例では、NのマスタデバイスとMのスレーブデバイスとが、プログラマブルインターフェイスコアに結合され、NおよびMは、1以上の整数である（いくつかの事例では、同じ整数である）。

【0121】

なお、この発明では、より多くの機能を提供する複雑なプロトコルとより速く実行され得る簡潔なプロトコルとの間で、正しいバランスを選ぶことの重要性が認識される。ここで詳細に説明される実施例では、比較的簡素なプロトコルが用いられ、依然として大部分のタスクを達成しながらも、非常に速く実行される。

【0122】

1. マスタデバイスとP I Cとの間の通信

図6は、いずれかのマスタデバイスとプログラマブルインターフェイスコアとの間で転送され得る典型的な信号を例示する。この転送を容易にするために、マスタデバイスは、アドレスポート601A、書込データポート602A、および読出データポート603Aを有するインターフェイス600Aを含む。同様の構成で、プログラマブルインターフェイスコアは、アドレスポート601B、書込データポート602B、および読出データポート603Bを有するP I Cインターフェイス600Bを含む。一実施例では、ポート間で転送される各信号（または、信号セット）は、関連のライン／バスを有し、その信号の効率的な転送を容易にする。なお、ここでの説明では、信号の名称は、関連のライン／バスも指し得る。以下に説明される実施例に従うと、標準のP L Bプロトコルが制限され、より少ない機能が提供されるが、F P G Aがずっと速く動作することが可能になる。

10

20

【0123】

a. マスタのためのアドレスポート

アドレスポート601Aは、以下の信号を出力し得る。

【0124】

M 2 P I C _ A d d r R e q

このステータス信号は、マスタがデータ転送を要求することを望むことを表す。なお、M 2 P I C _ A d d r R e q がアクティブである場合、他の信号、具体的には、M 2 P I C _ A d d r [3 1 : 0]、M 2 P I C _ A d d r Q u a l、およびM 2 P I C _ R d W r _ n も有効でなければならない。この発明の一実施例では、論理1信号（1）が、要求はペンドイングであることを表し、論理0（0）信号が、1つの要求もペンドイングでないことを表す。この信号は、中位のタイミングの信号として特徴づけられ、C L Kのクロックドメインを有する。

30

【0125】

M 2 P I C _ A d d r [0 : 3 1]

この32ビット信号は、アドレス、つまり、要求される転送の、メモリスペース内の特定のバイトを表す。上述のように、この信号は、M 2 P I C _ A d d r R e q が有効である同じサイクル上で有効でなければならない。このバスは、クリティカルバス上にある。なぜならば、それは、プログラマブルインターフェイスコアのためのアドレスデコーダ（たとえば、図5Bのアドレスデコーダ511参照）に信号を与えるためである。したがって、一実施例では、上位ビットのみが実際には比較され、下位のビットは、中位のタイミングを有するとして扱われ得る。具体的には、上位ビットは、スレーブのアドレスを識別し、下位ビットは、スレーブ内の目標メモリを識別する。したがって、スレーブの識別が本発明のアービトレーションに先行し（たとえば、図5Bのアクセスアービタ512を参照）、いずれかの1つの時間期間中に、1つのトランザクションのみがスレーブ内でアクティブになり得るため、上位ビットの読み出しは、遅いタイミングとして特徴づけるべきであり、スレーブ内の実際の記憶場所は、中位のタイミングとして特徴づけられるべきである。

40

【0126】

なお、要求されるデータ転送は、好ましくは、転送サイズに対してアドレスアラインされる。たとえば、8ワード転送では、アドレスは8ワード境界上にあるべきである。言い換えると、2ワード転送は、論理アドレス0、2、4等で始まり得、4ワード転送は、論

50

理アドレス 0、4、8 等で始まり得、8 ワード転送は、論理アドレス 0、8、16 等で始まり得る（例外として、目標ワード第 1 転送(target word first transfer)を特定する場合、アラインされていないアドレスが与えられ得る）。アライメントは、DDR SDRAM のようなデバイスのために必要とされる。なぜならば、これらのデバイスは、アラインされたブロック転送を実行するように設計されているためである。この信号は、CLK のクロックドメインを有する。

【0127】

M2PIC_RdWr_n

この信号は、アドレス要求信号(M2PIC_AddrReq)に付随するための読み出または書き込みフラグを提供する。上述のように、この信号は、M2PIC_AddrReq が有効である同じサイクル上で有効でなければならない。一実施例では、論理 1 信号(1)が、読み出動作が要求されることを表し、論理 0(0)信号が、書き込み動作が要求されることを表す。この信号は、中位のタイミングの信号として特徴づけられ、CLK のクロックドメインを有する。

【0128】

M2PIC_AddrQual[16:0]

このアドレス転送修飾子信号は、プロプライエタリ CPU、一実施例では、IBM の PowerPC 405 に特有である。上述のように、この信号は、M2PIC_AddrReq が有効である同じサイクル上で有効でなければならない。これらの信号は、プログラマブルインターフェイスコアによってデコードまたは処理されず、適切なスレーブデバイスへとルーティングされるだけである。この信号は、中位のタイミングの信号として特徴づけられ、CLK のクロックドメインを有する。この信号のためのビット定義は、以下のとおりである。

【0129】

【表 4】

ビット	名称	記述
[16]	キャッシュ可能な属性	データのキャッシュ可能性 (未使用の場合、0 に設定)
[15]	ガード付き属性	ガードデータ (未使用の場合、0 に設定)
[14]	ユーザによって定義される属性	ユーザによって定義される属性 (未使用の場合、0 に設定)
[13]	ライトスルー	ライトスルー属性 (未使用の場合、0 に設定)
[12:11]	プライオリティ	転送要求プライオリティ-番号が大きいほど、要求は重要である。この情報は、現在、スレーブアビトリエーション論理内で用いられない。 (00 への設定を推奨)
[10:8]	転送サイズ	000=1 ワード(1-4 バイト) - 32 ビット 000=2 ワード(1-8 バイト) - 64 ビット 001=4 ワードバースト 010=8 ワードバースト 011=16 ワードバースト 100=32 ワードバースト 101-111=リザーブされる
[7:0]	シングルビート転送 バイトイネーブル	これらは、シングルデータビート転送中のバイトイネーブルである(転送サイズ=000)。ビット[7:4]は、32 ビット PIC システム内で定義されない

10

20

30

40

50

【0130】

なお、32ビットシステムでは、ユーザは、32ワードバーストモードをサポートすることを望まない場合もある。なぜならば、これは、FPGAプリミティブに効率的にマッピングしない構造を必要とし得るためである。

【0131】

バイトイネーブルがシングルビート(つまり、1または2ワード)転送に提供されて、CPUのようなデバイスが、バイトおよびハーフワード読出のようより小さなサイズの読出を実行することを可能にする。この機能は、たとえば、(図16および図17を参照しながら詳細に説明される)OPBブリッジ内で特に重要である。なぜならば、いくつかのOPBデバイス(特に、スレーブ)は、バイト長レジスタのみを有し得るためである。DRAMまたはSRAM等のメモリデバイスにとっては、たとえバイトのみが必要とされている場合でも、ワードまたはダブルワードで読出すことに問題はなく、これらのデバイスは、シングルビート転送バイトイネーブルを無視し得る。これらのバイトイネーブルビットは、情報がデータ経路バイトイネーブルに対して冗長ではあるが、書込に対しても有効である。10

【0132】

アドレスポート601Aは、以下の信号を受取ることもできる。

【0133】**PIC2M_AddrAck**

(プログラマブルインターフェイスコアからの)このストローブ信号は、現在のアドレスを肯定応答し、もしあれば、次のアドレス要求をフェッチする。PIC2M_AddrAckがアサートされた後のサイクル上で、M2PIC_AddrReq、M2PIC_Addr、M2PIC_RdWr_n、およびM2PIC_AddrQualが更新される。この信号は、アドレス要求当たり、CLKサイクルだけアサートされる。この信号は、遅いタイミングの信号として特徴づけられ、CLKのクロックドメインを有する。20

【0134】**PIC2M_Busy**

この信号は、要求しているマスタに対して、そのトランザクションのうちの1つがスレーブ内で進行していることを伝える。この信号は、プログラマブルインターフェイスコアがそのPIC2M_AddrAckを発行した後に、ハイとなり、スレーブが(以下で詳細に説明される)そのS2PIC_RdXferDoneまたはS2PIC_WrXferDone信号をアサートしたときにローに戻って、データ転送がスレーブによって完了したことを表す。一実施例では、PIC2M_Busy信号およびマスタのM2PIC_AddrReq信号が、ORゲートに提供される。この様態で、マスタは、それがプログラマブルインターフェイスコア上のすべてのそのトランザクションをいつ完了したかを判断し得る。この信号は、“Sync”または“EIIEIO”(エンフォース命令実行インオーダー(Enforce Instruction Execution In Order))命令をCPU内でサポートする。一実施例では、論理1は、プログラマブルインターフェイスコアがデータ転送でビジーであることを示し、論理0は、進行中のトランザクションが存在しないことを示す。なお、スレーブは、それがトランザクションを内部で完了していない場合、それがS2PIC_RdXferDone/S2PIC_WrXferDoneをアサートした後、信号PIC2M_Busyをアクティブに保持することが許可されている。この信号は、中位のタイミングの信号として特徴づけられ、CLKのクロックドメインを有する。3040

【0135】**PIC2M_Error**

この信号は、マスタに対して、その進行中のトランザクションのうちの1つがエラーを生じさせたことを伝える。読出エラーに対しては、この信号は、(以下で説明される)PIC2M_RdDataAckとともにアクティブになり得る。書込エラーに対しては、この信号は、プログラマブルインターフェイスコア上のトランザクション中またはその後に、アサートされ得る。より具体的には、PIC2M_Busy信号がアクティブなまま50

である限り、書込トランザクションがプログラマブルインターフェイスコア上で完了した後に、エラー信号がアサートされ得るのみである。この時点で、要求を行なっているマスタは、エラーレジスタ、つまり、スレーブのB E A R およびB E S Rを調べて、エラーは何であったのかを判断し得る。この信号は、遅いタイミングの信号として特徴づけられ、C L K 2 X のクロックドメインを有する。

【 0 1 3 6 】

b . マスタのための書込ポート

この発明に従うと、マスタは、それが転送要求している全書込データを、それが供給できることを確信していなければならぬ。データフロー制御信号は存在しないため、マスタは、転送されているデータの流れを遅くする、または中断することはできない。しかしながら、スレーブデバイスは、データ肯定応答信号（つまり、P I C 2 M _ W r D a t a A c k ）を遅らせる(hold off)ことによって、データ転送間で待機状態を強制することができる。これらの制約の観点から、マスタ書込ポート 6 0 2 A は、以下の信号を出力し得る。

【 0 1 3 7 】

M 2 P I C _ D a t a

この信号は、書込転送データを提供する。一般に、転送されるべき書込データの第1の部分は、対応のアドレス要求がスレーブに到達する機会を持つときまでに、利用可能である。一実施例では、アドレスデータがプログラマブルインターフェイスコアをパイプライン方式で通る(pipeline through)ために2つのC L K（または、4つのC L K X 2 ）サイクルのレイテンシが存在する。したがって、アドレス要求が発行された後、書込データは、2つのC L K サイクルに対して準備ができているべきである。なお、スレーブが書込に対して所与の最小応答時間を有するカスタムシステムでは、書込データのアベイラビリティは、この量だけ遅延され得る。

【 0 1 3 8 】

一実施例では、書込転送データは、64ビットを含む。しかしながら、他の実施例では、より少ない、またはより多くのビットが用いられ得る。いずれの場合も、書込転送データを運ぶバスは、最適な幅にまでスケールダウン／アップされ得る。なお、このバスは、プログラマブルインターフェイスコアにおいて長い距離に及び得るため、そのタイミングが重要である。したがって、この信号は、遅いタイミングの信号として特徴づけられ、C L K 2 X のクロックドメインを有する。

【 0 1 3 9 】

M 2 P I C _ D a t a B E [7 : 0]

この書込転送データバイトイネーブル信号は、M 2 P I C _ D a t a 信号と同じタイミングを有し、バイトイネーブル修飾子として書込データに付随する。一実施例では、インターリードビットまたはオールビットオフを含むいずれかのバイトイネーブルパターンが許容される。たとえば、高速マスタは、16ワードバースト転送を開始し、第1のデータ転送上ですべてのバイトイネーブルをオフにして、3動作ではなく1動作で14ワードバーストを効率的に実行し得る（8ワードバースト + 4ワードバースト + 1ダブルワード）。この信号は、32ビットP I Cシステム内では4ビット幅であり得る。この信号は、遅いタイミングの信号として特徴づけられ、C L K 2 X のクロックドメインを有する。

【 0 1 4 0 】

M 2 P I C _ D a t a Q u a l [N : 0]

この信号は、追加的な情報が書込データおよび／または書込バイトイネーブルとともに転送されることを可能にする。たとえば、一実施例では、パリティまたはエラー訂正コードビットが、書込データとともに転送され得る。なお、各M 2 P I C _ D a t a Q u a l 信号は、各データとともに変化し得る。この信号は、遅いタイミングの信号として特徴づけられ、C L K 2 X のクロックドメインを有する。

【 0 1 4 1 】

P I C 2 M _ W r D a t a A c k [7 : 0]

10

20

30

40

50

このストローブは、書込データを肯定応答し、次のデータ部分が転送されることを可能にする。P I C 2 M_W r D a t a A c k 信号がアサートされた後のサイクル上では、もしあれば、次のデータが駆動されなければならない。各P I C 2 M_W r D a t a A c k ビット（この実施例では、合計8ビット）は、その対応のバイトトレーンのデータを肯定応答する。この様態で、より小さな幅またはより遅いスレーブが、一度にいくつかのバイトトレーンを肯定応答できる。しかしながら、たとえバイトイネーブルビットがそのバイトトレーンのためにセットされていなくても、トランザクションは、すべてのバイトトレーンに対して肯定応答される。この様態で、マスタは、データが適切に書込まれたことを知る。P I C 2 M_W r D a t a A c k 信号の動的な性質は有利である。なぜならば、それによつて、データが転送において連続しないことが可能となるためである。一実施例では、P I C 2 M_W r D a t a A c k ビットは、増加するバイトアドレスの順序で（つまり、システムに応じて、ビット[7]から[0]、または[0]から[7]で）サイクルする。10 32ビットシステムでは、この信号は、4ビット幅であり得る。この信号は、遅いタイミングの信号として特徴づけられ、C L K 2 Xのクロックドメインを有する。

【0142】

c. マスタのための読み出ポート

読み出動作では、マスタデバイスは、それが転送要求している全データを、それが受取ることができるることを確信していかなければならない。データフロー制御信号は存在しないため、マスタデバイスは、転送されているデータの流れを遅くする、または中断することはできない。しかしながら、スレーブデバイスは、データ肯定応答信号（つまり、P I C 2 M_R d D a t a A c k）を遅らせる（hold off）ことによって、データ転送間で待機状態を強制することができる。20

【0143】

読み出ポート603Aは、以下の信号を受取り得る。

【0144】

P I C 2 M_D a t a

この信号は、転送されるべき読み出データを含む。一実施例では、これは、64ビットのデータを含む。別の実施例では、より少ない、またはより多くのビットが転送され得る。いずれの場合にも、この信号バスを転送しているバスは、適切なサイズにスケールダウン／アップされ得る。このバスは、プログラマブルインターフェイスコアにおいて長い距離に及び得るため、そのタイミングは、重要である。したがって、この信号は、遅いタイミングの信号として特徴づけられ、C L K 2 Xのクロックドメインを有する。30

【0145】

P I C 2 M_D a t a Q u a l

この信号は、読み出データ転送修飾子を指す。一実施例では、ビット定義は、以下のとおりである。

【0146】

【表5】

ビット	名称	記述
[4:0]	読み出ワードアドレス	キャッシュライン転送内のどのワードまたはダブルワードが送られているのかを特定する。ビット[0]は、64ビットデータ経路を備えたシステム内では常に0である。

40

【0147】

なお、一実施例では、C P Uは、サイズにおいて最大32ワードの転送を要求し得る。したがって、5ビットの「読み出ワードアドレス」が、C P Uをサポートするために必要とされる（論理的に、この信号は、32ワードよりも大きな転送を定義できない）。この信号は、遅いタイミングの信号として特徴づけられ、C L K 2 Xのクロックドメインを有する。50

【0148】

P I C 2 M _ R d D a t a A c k [7 : 0]

この読み出ストローブ信号は、読み出データが受取られることを許可する。各 P I C 2 M _ R d D a t a A c k ビットは、その対応のバイトトレーンのためのデータを個別に肯定応答し、より小さな幅またはより遅いスレーブが一度に数個のバイトトレーンを肯定応答することを可能にする。スレーブは、たとえバイトイネーブルビットがそのバイトトレーンに対してセットされていなくても、すべてのバイトトレーンが肯定応答されることを保証する。加えて、増加するバイトアドレスの順序で（これは、システムがビッグエンディアンまたはリトルエンディアンであるかに応じて、ビット [7] から [0]、または [0] から [7] になり得る）、スレーブは、P I C 2 M _ R d D a t a A c k ビットをサイクルし得る。結果として、32ビットP I Cシステムでは、この信号は、4ビット幅になり得る。この信号は、遅いタイミングの信号として特徴づけられ、C L K 2 X のクロックドメインを有する。

【0149】

2. マスタデバイスのタイミング

図7は、マスタデバイスが、8ワード書込動作を生成し、次に8ワード読み出動作を生成するタイミング図を示す。書込動作では、マスタは、時間t1においてアドレス要求(m _ a d d r _ r e q)をアサートする。同時に、マスタは、トランザクションが書込動作であることを示し(m _ a d d r _ r _ w nがローに遷移する)、書込アドレス(m _ a d d r [31 : 0])および転送サイズならびに他のいずれかの修飾子(m _ a d d r _ q u a l [])を送る。

【0150】

1クロック(c1k)サイクルのレイテンシ後（レイテンシは、他の実施例では異なり得る）、マスタは、時間t3においてプログラマブルインターフェイスコアからアドレス肯定応答(m _ a d d r _ a c k)を受取り、マスタが時間t5において別のトランザクションを開始することを可能にする。なお、時間t1において、マスタは、書込データ(D1w)を送るが、時間t3においてアドレス肯定応答(m _ a d d r _ a c k)の受取り後まで待機してから、時間t3、t4、およびt5において書込データの残り(D2w、D3w、およびD4w)を引き続き送る(DDRクロック(c1k2x)サイクルのレイテンシ)。（この実施例では、ワードは、32ビットに等しい。したがって、64ビットデータ経路では、4つの64ビット転送のみが必要とされる。）

図7では、読み出動作が書込動作の直後に続く。したがって、アドレス要求(m _ a d d r _ r e q)は、論理1のままである。しかしながら、マスタは、トランザクションが読み出動作であることを示さなければならない。したがって、m _ a d d r _ r _ w nは、時間t5においてハイに遷移する。この発明の一実施例のパイプライン方式に従うと、時間t5において、つまり、書込動作が時間t7で完了する前に、マスタは、読み出アドレス(m _ a d d r [31 : 0])およびアドレス修飾子(m _ a d d r _ q u a l [])を送り得る。マスタデバイスは、時間t8で開始し、かつ時間t12で終了する読み出修飾子(Q1r、Q2r、Q3r、およびQ4r)および読み出データ(D1r、D2r、D3r、およびD4r)を受取る。

【0151】

3. スレーブデバイスとP I Cとの間の通信

スレーブデバイスは、データを転送するためのコマンドを受取り、マスタデバイスが要求する読み出動作または書込動作を実行する。図8は、スレーブデバイスとプログラマブルインターフェイスコアとの間で転送され得る典型的な信号を示す。この転送を容易にするために、スレーブデバイスは、アドレスポート801A、書込データポート802A、および読み出データポート803Aを有するインターフェイス800Aを含む。同様の構成で、プログラマブルインターフェイスコアは、アドレスポート801B、書込データポート802B、および読み出データポート803Bを有するP I Cインターフェイス800Bを含む。なお、いくつかの信号は、マスターポートのためのそれら（図6）と類似しており、

10

20

40

50

それらの信号の方向が逆になっている。

【0152】

a. スレーブのためのアドレスポート

アドレスポート 801A は、以下の信号を受取り得る。

【0153】

P I C 2 S _ A d d r R e q

このステータス信号は、マスタからのペンドィングアドレス要求が存在するかを示す。

P I C 2 S _ A d d r R e q がアクティブであるとき、アドレス (P I C 2 S _ A d d r) およびアドレス修飾子 (P I C 2 S _ A d d r Q u a l, P I C 2 S _ R d W r _ n) も有効でなければならない。一実施例では、論理 1 は、要求がペンドィングであることを示し、論理 0 は、要求がペンドィングでないことを示す。この信号は、早いタイミングの信号として特徴づけられ、CLK のクロックドメインを有する。

10

【0154】

P I C 2 S _ R d W r _ n

アドレス要求信号に付随するこの信号は、要求が読み出動作であるか、または書き込み動作であるかを識別する。この信号は、P I C 2 S _ A d d r R e q が有効である同じサイクル上で有効でなければならない。一実施例では、論理 1 は、READ 動作を示し、論理 0 は、WRITE 動作を示す。この信号は、早いタイミングの信号として特徴づけられ、CLK のクロックドメインを有する。

【0155】

20

P I C 2 S _ A d d r [31 : 0]

この信号は、要求される転送のアドレスを提供する。具体的には、アドレス値は、メモリースペース内の特定のバイトを示し、P I C 2 S _ A d d r R e q が有効である同じサイクル上で有効でなければならない。なお、マスタは、データ転送のサイズに関してアラインされたアドレス値を提供する。この信号は、早いタイミングの信号として特徴づけられ、CLK のクロックドメインを有する。

【0156】

P I C 2 S _ A d d r Q u a l [20 : 0]

このアドレス転送修飾子信号は、プロセッサ CPU、一実施例では、IBM のパワ - PC 405 に特有である。上述のように、このアドレス修飾子情報は、P I C 2 S _ A d d r R e q 信号が有効である同じサイクル上で有効でなければならない。この信号は、早いタイミングの信号として特徴づけられ、CLK のクロックドメインを有する。ビット定義は、以下のとおりである。

30

【0157】

【表 6】

ビット	名称	記述	
[20:17]	マスタ ID	この信号は、現在スレーブにアクセスしているマスターの ID 番号を特定する。この情報は、たとえば、性能の最適化、または特定のマスターのための挙動の修正に有用であり得る。マスターの場所はシステム固有であるため、この信号が用いられる場合には、ユーザは、互換性の問題を考慮すべきである。	10
[16]	キャッシュ可能な属性	データのキャッシュ可能性 (未使用の場合、0 に設定)	
[15]	ガード付き属性	ガードデータ (未使用の場合、0 に設定)	
[14]	ユーザによって定義される属性	ユーザによって定義される属性 (未使用の場合、0 に設定)	
[13]	ライトスルー	ライトスルー属性 (未使用の場合、0 に設定)	
[12:11]	プライオリティ	この信号は、転送要求プライオリティを提供する。一実施例では、番号が大きいほど、要求は重要である。	20
[10:8]	転送サイズ	000=1 ワード(1-4 バイト、32 ビットシステム) 000=1 ダブルワード(1-8 バイト、64 ビットシステム) 001=4 ワードバースト 010=8 ワードバースト 011=16 ワードバースト 100=32 ワードバースト 101-111=リザーブされる	
[7:0]	シングルビート転送バイトイネーブル	これらは、シングルデータビート転送中に提供されるバイトトイネーブルである(転送サイズ=000)。ビット[7:4]は、32 ビットシステム内では定義されない	30

【0158】

バイトトイネーブルがシングルビート転送のために提供されて、C P U のようなデバイスが、バイトおよびハーフワード読出のようなより小さなサイズの読出を実行することを可能にする。これは、たとえば、O P B ブリッジにおいて特に重要である。なぜならば、いくつかのO P B デバイスは、バイト長レジスタのみを有し得るためである。D R A M またはS R A M 等のメモリデバイスにとっては、たとえバイトのみが必要とされている場合でも、ワードまたはダブルワードで読出すことに問題はなく、これらのデバイスは、シングルビート転送バイトトイネーブルを無視し得る。これらのバイトトイネーブルビットは、たとえ情報がデータ経路バイトトイネーブルに対して冗長であっても、書込に対して有効である。

【0159】

アドレスポート 8 0 1 A は、以下の信号を出力することもできる。

【0160】

S 2 P I C _ A d d r A c k

このストローブ信号は、アドレスを肯定応答し、もしあれば、次のアドレス要求を取出す。S 2 P I C _ A d d r A c k 信号がアサートされた後のサイクル上では、P I C 2 S _ A d d r R e q 信号、P I C 2 S _ A d d r 信号、P I C 2 S _ R d W r _ n 信号、お

および P I C 2 S _ A d d r Q u a l 信号が、もしあれば、次のアドレス要求に更新される。このストローブ信号は、アドレス要求当り 1 C L K サイクルに対してアサートされるのみである。この信号は、早いタイミングの信号として特徴づけられ、C L K のクロックドメインを有する。

【 0 1 6 1 】

アドレスパイプライン方式をサポートすることを望むスレーブは、この発明のコアが次のアドレスを取出すことができるよう、アドレス情報を迅速に肯定応答し得る。第 1 の要求に関連するデータ転送をスレーブが完了するまでは、スレーブは、第 2 のアドレス要求を肯定応答することはできない。言い換えると、スレーブは、パイプラインアドレス要求を用いて次の転送をセットアップすることはできるが、スレーブは、時期尚早に第 2 のアドレスを肯定応答してはならない。10

【 0 1 6 2 】

この一般的なルールに対する 1 つの例外は、第 2 の要求が異なるデータポートを用いる場合、スレーブは、迅速に第 2 の要求を肯定応答してもよいことである。たとえば、スレーブは、読み出転送を肯定応答し、次に、書き込み転送を肯定応答し、次に、第 3 のアドレスを見ることが可能である。

【 0 1 6 3 】

S 2 P I C _ B u s y [1 5 : 0]

この信号は、マスタに対して、そのトランザクションのうちの 1 つがスレーブ内で進行中であることを伝える。具体的には、スレーブは、トランザクションを開始した対応のマスタまでビジー信号を駆動して戻すことを担う。この発明の相互接続コアは、スレーブが（以下で説明される）S 2 P I C _ R d X f e r D o n e または S 2 P I C _ W r X f e r D o n e 信号を発行する時まで、マスタに対してこのビジー信号を自動的にアサートし得る。代替的には、スレーブは、S 2 P I C _ W r / R d X f e r D o n e 信号の後にビジー信号を駆動し続けて、トランザクションがスレーブ内で完了していないこと（つまり、トランザクションが依然として別のバス上でペンドィングであるか、または依然としてスレーブ内で待ち行列を作っていること）をマスタに対して伝え得る。この信号は、“S y n c” または “E I E I O”（エンフォース命令実行インオーダ）命令を C P U 内でサポートする。一実施例では、論理 1 は、スレーブが依然としてデータ転送にビジーであることを示し、論理 0 は、スレーブが進行中のトランザクションを有さないことを示す。この信号は、中位のタイミングの信号として特徴づけられ、C L K のクロックドメインを有する。2030

【 0 1 6 4 】

S 2 P I C _ E r r [1 5 : 0]

この信号は、マスタに対して、その進行中のトランザクションのうちの 1 つがエラーを引き起こしたことを伝える。具体的には、スレーブは、トランザクションを開始した対応のマスタに対して E r r 信号を駆動して戻すことを担う。読み出エラーでは、この信号は、S 2 P I C _ R d D a t a A c k 信号とともにアクティブになり得る。書き込みエラーでは、この信号は、（S 2 P I C _ B u s y 信号がアクティブのままであるならば）コア上のトランザクション中または後の任意のときにアサートされ得る。エラーを生成し得るスレーブは、（B E A R および B E S R 等の）エラーレジスタを含み得、マスタがエラーの原因を見つけ出すことを可能にする。この信号は、遅いタイミングの信号として特徴づけられ、C L K 2 X のクロックドメインを有する。40

【 0 1 6 5 】

b . スレーブのための書き込みポート

書き込みデータポート 8 0 2 A は、以下の信号を受取り得る。

【 0 1 6 6 】

P I C 2 S _ W r D a t a R e q

スレーブは、書き込みデータがマスタから転送されることを要求し始める前に、この信号がアクティブになるのを待つ。マスタは、マスタが書き込むことを望む全データをそれが供給

10

20

30

40

50

できることを保証しなければならないため、この信号は、データ転送の途中で変更されることはない。この信号がアクティブになった後、それは、スレーブが S2P1C_WrXferDone 信号をアサートするまで、ハイのままである。スレーブは、S2P1C_WrDataAck 信号をアサートし、P1C2S_WrDataReq 信号がアクティブになる同じサイクル上でデータを転送し始め得る。この信号は、早いタイミングの信号として特徴づけられ、CLK のクロックドメインを有する。

【0167】

P1C2S_Data[63:0]

この信号は、書込転送データを含む。なお、64ビットが示されているが、このバスは、32ビット幅にまでスケールダウンされて、32ビットシステム内で用いられ得る。このバスは、コアにおいて長い距離に及び得るため、そのタイミングが重要である。この信号は、中位のタイミングの信号として特徴づけられ、CLK2X のクロックドメインを有する。

10

【0168】

P1C2S_DataBE[7:0]

この信号は、P1C2S_Data 信号と同じタイミングを有し、バイトイネーブル修飾子として書込データに付随する。「インターリーブド」ビットまたは「オールビットオフ」を含むすべてのバイトイネーブルパターンが許容される。なお、32ビットシステムでは、このバスは、4ビット幅にまでスケールダウンされ得る。書込データのように、このバスも、コアにおいて長い距離に及び得るため、そのタイミングも重要である。この信号は、中位のタイミングの信号として特徴づけられ、CLK2X のクロックドメインを有する。

20

【0169】

P1C2S_DataQual[N:0]

この信号は、通例は CPU によって必要とされないが、P1Cのために提供され得る。たとえば、別の CPU またはシステムが、書込データおよび / または書込バイトイネーブル信号とともに転送される追加的な情報から利益を得ることができ得る。一実施例では、この追加的な情報は、パリティビットまたはエラー訂正コードを含み得る。この信号は、中位のタイミングの信号として特徴づけられ、CLK2X のクロックドメインを有する。

【0170】

30

書込データポート 802A は、以下の信号を出力することもできる。

【0171】

出力：S2P1C_WrDataAck[7:0]

このストローブ信号は、書込データを肯定応答し、次のデータ部分が転送されることを可能にする。S2P1C_WrDataAck 信号と P1C2S_Data 信号上で利用可能な次のデータワードとの間のレイテンシは、システムに左右される。一実施例では、デフォルトは、S2P1C_WrDataAck 信号とアサートされている次のデータとの間の 3 CLK2X サイクル遅延であり得る。S2P1C_WrDataAck 信号の各ビットは、その対応のバイトトレーンのためのデータを個別に肯定応答し、より小さな幅またはより遅いスレーブが一度にいくつかのバイトトレーンを肯定応答することを可能にする。なお、スレーブは、たとえバイトイネーブルビットがそのバイトトレーンのためにセットされていなくても、すべてのバイトトレーンを肯定応答しなければならない。加えて、スレーブは、増加するバイトアドレスの順序で（これは、システムがビッグエンディアンまたはリトルエンディアンであるかに応じて、ビット [7] から [0]、または [0] から [7] になり得る）S2P1C_WrDataAck ビットをアサートしなければならない。遅いスレーブデバイスはまた、S2P1C_WrDataAck 信号のアサート間にギャップを挿入して、スレーブがデータを転送するレートを制御することが許可される。結果として、32ビットシステムでは、この信号は、4ビット幅であり得る。この信号は、遅いタイミングの信号として特徴づけられ、CLK2X のクロックドメインを有する。

40

【0172】

50

S 2 P I C _ W r X f e r D o n e

スレーブは、この信号をアサートして、スレーブが書込データバスの使用を終え、さらには全データを転送したことを示す。この信号は、スレーブが送る必要のある S 2 P I C _ W r D a t a A c k 信号の最後のサイクル上でアサートされ得る。なお、S 2 P I C _ W r X f e r D o n e 信号は、対応の書込データが P I C 2 S _ D a t a 信号および P I C 2 S _ D a t a B E 信号を介して到着する前に、アサートされ得る。この信号は、中位のタイミングの信号として特徴づけられ、C L K のクロックドメインを有する。

【 0 1 7 3 】**c . スレーブのための読出ポート**

読出ポート 8 0 3 A は、以下の信号を受取り得る。

10

【 0 1 7 4 】**P I C 2 S _ R d D a t a R e q**

スレーブは、マスタが要求する読出データを転送し始め得る前に、この信号がアクティブになることを待たなければならない。マスタは、それが読出すことを望むすべてのデータをそれが受取り得ることを保証しなければならないため、この信号は、データ転送の途中で変化することはない。この信号がアクティブになった後、それは、スレーブが S 2 P I C _ R d X f e r D o n e 信号をアサートするまで、ハイのままである。スレーブは、S 2 P I C _ R d D a t a A c k 信号をアサートし、P I C 2 S _ R d D a t a R e q 信号がアクティブになる同じサイクル上でデータを転送し始めることができる。この信号は、早いタイミングの信号として特徴づけられ、C L K のクロックドメインを有する。

20

【 0 1 7 5 】

読出データポート 8 0 3 A は、以下の信号を出力することもできる。

【 0 1 7 6 】**S 2 P I C _ D a t a [6 3 : 0] (C L K 2 X 、 中位)**

この信号は、転送される読出データを含む。この信号は、3 2 ビットシステム内の 3 2 ビットにまでスケールダウンされ得る。この信号は、中位のタイミングの信号として特徴づけられ、C L K 2 X のクロックドメインを有する。

【 0 1 7 7 】**S 2 P I C _ D a t a Q u a l [2 : 0]**

この信号は、読出データ転送修飾子を含む。一実施例では、ビット定義は、以下のとおりである。

30

【 0 1 7 8 】**【表 7】**

ビット	名称	記述
[4:0]	読出ワードアドレス	キャッシュライン転送内のどのワードまたはダブルワードが送られているのかを特定する。ビット[0]は、64 ビットデータ経路を備えるシステム内では常に 0 である。

40

【 0 1 7 9 】

一実施例では、C P U は、サイズにおいて最大 3 2 ワードまでの転送を要求し得る。したがって、5 ビットの「読出ワードアドレス」が、このC P U をサポートするために必要とされる。論理的には、したがって、「読出ワードアドレス」フィールドは、3 2 ワードよりも大きな転送に対して定義されないことになる。目標ワード第 1 転送（つまり、任意の順序でワードを転送する能力）をサポートしないスレーブは、通常のシーケンシャルな順序でデータを転送し、応じて「読出ワードアドレス」ビットをセットするだけでよい。この信号は、中位のタイミングの信号として特徴づけられ、C L K 2 X のクロックドメインを有する。

【 0 1 8 0 】

50

S 2 P I C _ R d D a t a A c k [7 : 0]

この読み出ストローブ信号は、読み出データが受取られることを許可する。各 S 2 P I C _ R d D a t a A c k ビットは、その対応のバイトトレーンのためのデータを肯定応答し、より小さな幅またはより遅いスレーブが一度にいくつかのバイトトレーンを肯定応答することを可能にする。スレーブは、たとえバイトイネーブルビットがそのバイトトレーンに対してセットされていなくても、すべてのバイトトレーンを肯定応答しなければならない。加えて、スレーブは、増加するバイトアドレスの順序で（これは、システムがビッグエンディアンまたはリトルエンディアンであるかに応じて、ビット [7] から [0]、または [0] から [7] にまでなり得る）、S 2 P I C _ R d D a t a A c k ビットをアサートしなければならない。結果として、32ビットシステムでは、この信号は、4ビット幅であり得る。この信号は、遅いタイミングの信号として特徴づけられ、C L K 2 X のクロックドメインを有する。10

【 0 1 8 1 】**S 2 P I C _ R d X f e r D o n e (C L K 、 中位)**

この信号は、スレーブによってアサートされて、それが、読み出データバスの使用を終え、すべての要求されるデータを転送したことを示す。この信号は、早いタイミングの信号として特徴づけられ、C L K のクロックドメインを有する。

【 0 1 8 2 】**4 . スレーブデバイスのタイミング**

図9は、8ワード書込動作中のスレーブのタイミング図を示す。時間t1において、スレーブは、アドレス要求(s_addr_req)、アドレス(s_addr[31:0])、およびアドレス修飾子(s_addr_qual[])を受取る。時間t3では、スレーブは、アドレス肯定応答(s_addr_ack)を生成し、マスタが別のトランザクションを進めることを可能にし、時間t3では、データD1wの書込動作を始める。なお、この実施例では、時間t7においてスレーブがデータD2wを書込む前に、2クロック(c1k)サイクルのレイテンシが提供される。このレイテンシは、パイプライン方式に基づき、他の実施例では異なり得る。20

【 0 1 8 3 】

一旦スレーブが時間t3において書込動作を開始すると、スレーブは、データを書込むために必要とされる時間（つまり、2クロック(c1k)サイクル）の間、書込肯定応答(s_wdata_ack[0])をアサートする。言い換えると、スレーブは、すべてのデータを求め、それが実際にデータを受取る前に、書込トランザクションのサイズを肯定応答する。この様態で、一旦データの残り（つまり、データD2w - D4w）が受取られると、スレーブは、3DDRサイクルで、つまり、時間t7 - t9で、このデータを書込み得る。スレーブが、時間t9（1クロック(c1k)サイクルのレイテンシ）でトランザクションのためのデータを受取ったことを確認した後、スレーブは、書込転送終了信号(s_wxfer_done)をマスタに戻す。なお、P I Cは、書込データ要求を時間t3 - t11の間、アサートし、これは、スレーブに対するアクティブ書込期間を示す。30

【 0 1 8 4 】

図10は、8ワード読み出動作中のスレーブのタイミング図を示す。時間t1において、スレーブは、アドレス要求(s_addr_req)、アドレス(s_addr[31:0])、およびアドレス修飾子(s_addr_qual[])を受取る。時間t3において、スレーブは、アドレス肯定応答(s_addr_ack)を生成し、マスタが別のトランザクションを進めることを可能にする。なお、スレーブは、マスタからの書込データを待っていないため、スレーブは、1クロック(c1k)サイクルのレイテンシの後、時間t5において、その読み出動作をすぐに開始できる。40

【 0 1 8 5 】

一旦、時間t5においてスレーブが読み出動作を開始すると、スレーブは、データを読み出すために必要とされる時間（つまり、2クロック(c1k)サイクル）の間、読み出肯定応答50

答 (s_r_d a t a _ a c k [0]) をアサートする。1クロック (c l k) サイクルの
レイテンシ後、スレーブは、読出転送終了信号 (s_r_x_f e r _ d o n e) をマスタに
戻す。なお、スレーブは、読出データ要求を時間 t₃ - t₉ の間、アサートし、これは、
スレーブのためのアクティブ読出期間を示す。

【 0 1 8 6 】

B . プログラマブルインターフェイスコア

図 11 A および図 11 B は、P I C に関するさまざまなアドレス / 制御信号を含むプ
ログラマブルインターフェイスコア (P I C) 内のアドレス / 制御経路の一実施例を示す
。図 11 A および図 11 B では、4つのマスタデバイスが示される。すなわち、D C U
1101A (C P U のデータキャッシュユニット)、I C U 1101B (C P U の命令
キャッシュユニット)、O P B スレーブ (ブリッジイン) 1101C、および高速バスイ
ンターフェイス (H S B I) 1101D を示す。この実施例では、各マスター 1101 は、
その要求をファーストインファーストアウト (F I F O) レジスタ 1104 に提供する。
したがって、マスター 1101 からの要求は、F I F O 1104 内で待ち行列に入れられる
。

【 0 1 8 7 】

マスター 1101 A 内に示されるレジスタへの書き込みおよび活性化のための回路 1
102 が、マスター 1101 B - 1101 D において繰り返され得る。具体的には、
各マスター 1101 は、論理ゲート 1102、たとえば、(簡素化のために、1つ
のフリップフロップとして図示される) 複数のフリップフロップ 1103 を活性化するため
の A N D ゲートを含み得る。論理ゲート 1102 が受取る制御信号に基づいて、適切な
制御信号が、レジスタ 1104 の書き込みネーブル (W E N) 端子に提供される。レジスタ
1104 は、一杯のときは、その F U L L 端子上で適切な論理信号をアサートし、これが
次に論理ゲート 1102 に提供されて、レジスタ 1104 の W E N を不活性化する。

【 0 1 8 8 】

フリップフロップ 1103 も、トランザクションのためのアドレス修飾子およびアドレ
スを受取る。なお、フリップフロップ 1103 は、D D R 、つまり、c l k 2 × で、この
情報を受取り得、F I F O 1104 は、標準の F P G A クロック、つまり、c l k で、こ
の情報を受取る。F I F O 1104 A - 1104 D は、それらのそれぞれのアドレスを P
I C 1100 内の複数のアドレスコンパレータ 1105 A - 1105 D に提供する。各ア
ドレスコンパレータ 1105 は、その入来アドレスをデコードし、デコードされたアドレス
を F P G A 内のスレーブデバイスの、その記憶されたアドレスと比較する。

【 0 1 8 9 】

上述のように、一実施例では、アドレスの上位ビットのみが、スレーブデバイスを識別
し、下位ビットは、スレーブデバイス内のメモリアドレスを識別する。この様態で、アド
レスコンパレータ 1105 は、どのスレーブデバイスが要求されているのかを迅速に判断
することができる。一旦「ヒット」が判断されると、つまり、要求されるスレーブが、ト
ランザクションに対して識別されると、スレーブ識別情報が、複数のレジスタ 1106 に
提供され、これらが、次に、情報をアービトレーション論理 1108 に転送する。なお、
アドレスに関連するアドレス修飾子は、エンコードされず、したがって、アドレスコンパ
レータ 1105 を通過しない。一実施例では、アドレス修飾子は、F I F O 1104 から
レジスタ 1106 へと直接転送され、次に、マルチプレクサ 1107 に転送される。

【 0 1 9 0 】

マルチプレクサ 1107 は、どのアドレス修飾子が別のレジスタ 1109 セットに出力
されるのかを選択的に選ぶ。なお、レジスタ 1109 は、レジスタ 1106 のように、こ
の発明のパイプライン方式を提供し得る。この発明の他の実施例は、より少ない、または
より多くのレジスタを含み得る。マルチプレクサ 1107 は、ステートマシン 1110 によ
って制御され、これは、循環アービトレーション論理 1108 およびマルチプレクサ 1
107 から入力を受取る (なお、一旦ステートマシン 1110 が適切なマスターを選択する
と、ステートマシン 1110 は、選択されたマスターが読出または書き込トランザクションを
50

要求しているのかを知る必要がある）。最初、ステートマシン 1110 は、アイドル状態にあり、それは、（レジスタ 1109 を介して）スレーブデバイスに対し、1 つの要求もペンドィングでないことを伝える。アービトレーション論理 1108 によって提供される、選択されるアドレス要求を受けた後、ステートマシン 1110 は、「チャネル」がセットされるアドレス送信状態に入る。言換えると、ステートマシン 1110 は、トランザクションのための選択されたマスタデバイスを肯定応答し、アドレス要求およびアドレス修飾子を適切なスレーブデバイスに送り始める。一旦、スレーブデバイスがアドレス要求を受取ると、スレーブは、受取りを肯定応答し、ステートマシン 1110 をアイドル状態に再セットし得る。この様態で、ステートマシン 1110 は、次のトランザクションを見ることができる。なお、次のトランザクションが、現在のトランザクションに現在関与しているスレーブに対するものであるならば、現在のトランザクションが完了するまで、スレーブは、その肯定応答を送らない。

【0191】

図 12A および図 12B は、この発明に従った書込データ経路に関する回路の一実施例を示す。図 12A は、図 11A に示される同じ 4 つのマスタデバイスを示す。すなわち、DCU 1101A、ICU 1101B、OPB スレーブ 1101C、および高速バスインターフェイス (HSBI) 1101D を示す。この実施例では、各マスタ 1101 は、そのデータをファーストインファーストアウト (FIFO) レジスタ 1204 に提供する。したがって、マスタ 1101 からの要求は、FIFO 1204 内で待ち行列に入れられる。

10

【0192】

マスタデバイス 1101A 内で示される FIFO 1204 にデータを転送するための回路が、マスタデバイス 1101B - 1101D において繰返され得る。具体的には、各マスタデバイス 1101 は、論理ゲート 1202、たとえば、（簡素化のために、1 つのフリップフロップとして図示される）複数のフリップフロップ 1203 を活性化するための AND ゲートを含み得る。論理ゲート 1202 が受取る制御信号に基づいて、適切な制御信号が、FIFO 1204 の書込イネーブル (WEN) 端子に提供される。

20

【0193】

フリップフロップ 1203 も、トランザクションのためのデータを受取る。なお、フリップフロップ 1203 は、この情報を DDR、つまり、c1k2x で受取り得、FIFO 1204 は、この情報を標準の FPGA クロック、つまり、c1k で受取る。FIFO 1204A - 1204D は、それらのそれぞれのデータをパイプライン方式のために複数のレジスタ 1205 に提供し、次に、マルチプレクサ 1206 に提供する。なお、フリップフロップ対 FIFO の実現は、アプリケーションに依存し得る。たとえば、マスタが書込データの全 DDR レートについていくことができる場合、フリップフロップが用いられ得る。しかしながら、マスタが全 DDR レートについていくことができない場合、書込データは FIFO に送られ、マスタがそれ自体のペースで書込データを処理することが可能となり得る。

30

【0194】

マルチプレクサ 1206 は、どのデータがデータ経路に沿って別のパイプラインレジスタ 1210 に出力されるのかを選択的に選ぶ。なお、PIC 1200 のフルクロスポイント実現例では、ステートマシン 1208、マルチプレクサ 1206、およびパイプラインレジスタ 1210 が、各スレーブデバイスごとに繰返され得る。マルチプレクサ 1206 は、（フリップフロップ 1209 を介して）ステートマシン 1208 によって制御され、これは、このデータ経路が現在用いられているかを示すスレーブから入力を受取る。経路が用いられている場合（この場合には、論理 1 信号がアサートされる）、データ経路は、「ビジー」であり、ステートマシン 1208 は、別のマスタがその同じデータ経路上で書込動作を開始することを可能にしない。

40

【0195】

最初は、ステートマシン 1208 は、アイドル状態にあり、それは、スレーブデバイス

50

に対して、1つの書込要求もペンドティングでないことを伝える。なお、別のスレーブがそれを用いているために、書込データリソースがビジーである場合には、ステートマシン1208は、IDLEでとどまらなければならない。書込要求を受けた後、ステートマシン1208は、転送状態に入り、(1つのスレーブデバイスに対するデータ経路に関連した)マルチプレクサ1206を活性化してデータを送る。一旦スレーブデバイスがデータを受取ると、スレーブは、適切な論理信号を論理(AND)ゲート1211に提供することによって、受取りを肯定応答し得る。なお、論理ゲート1211およびパイプラインレジスタ1212は、スレーブデバイスの数だけ繰返される。論理ゲート1211もマルチプレクサ選択信号を受ける。言換えると、論理ゲート1211のうちの1つのみが、マルチプレクサ選択信号と書込肯定応答との両方のためのアクティブ信号を受取る。次に、レジスタ1212の出力が、ORゲート1213に提供され、これは、次に、書込肯定応答信号をマスタ1101のうちの1つ(この場合、マスタデバイス1101A)に提供する。書込トランザクションが完了した後、スレーブは、書込転送終了信号をステートマシン1208に送り、ステートマシン1208がそのアイドル状態に再び入ることを可能にする。
。

【0196】

図13Aおよび図13Bは、この発明に従った読出データ経路に関連する回路の一実施例を示す。図13Aでは、図11Aと同じ4つのマスタデバイスが示される。すなわち、DCU 1101A、ICU 1101B、OPBスレーブ1101C、および高速バスインターフェイス(HSBI)1101Dが示される。この実施例では、マスタデバイス1101Aおよび1101Bは、それぞれ、それらの読出データを受取るためのフリップフロップ1301Aおよび1301Bを含み、マスタデバイス1101Cおよび1101Dは、それぞれ、それらの読出データを受取るためのファーストインファーストアウト(FIFO)レジスタ1302Cおよび1302Dを含む。なお、フリップフロップ対FIFOの実現は、アプリケーションに依存し得る。たとえば、マスタが、読出データの全DDRレートについていくことができる場合には、フリップフロップが用いられ得る。しかしながら、マスタが全DDRレートについていくことができない場合には、データはFIFOに送られ得、マスタがそれ自体のペースで読出データを処理することが可能になる。

【0197】

最初は、ステートマシン1303は、アイドル状態にあり、それは、スレーブデバイスに対して、1つの読出要求もペンドティングでないことを伝える。この状態は、ORゲート1304に提供される複数の読出マルチプレクサ選択信号によって決定される。これらのマルチプレクサ選択信号のうちのいずれか1つがアクティブハイであって、読出データ経路がアクティブであることを示す場合、ステートマシン1303は、アイドル状態にとどまる。読出要求を受取り、かつ読出データ経路がインアクティブであることを確認した後、ステートマシン1303は、転送状態に入り、(1つのマスタデバイスに対するデータ経路に関連した)マルチプレクサ1307を活性化してデータを送る。なお、フリップフロップ1306は、読出データ経路内でパイプライン方式を提供する。したがって、スレーブデバイス(図示せず)とフリップフロップ1306との間、およびステートマシン1303とフリップフロップ1306との間で実質的に等しい遅延を保証するために、フリップフロップ1305が、フリップフロップ1306への制御経路内に加えられる。

【0198】

一旦スレーブデバイスが要求を受取ると、スレーブは、適切な論理信号を論理(AND)ゲート1308に提供することによって、要求を肯定応答し得る。なお、論理ゲート1308およびパイプラインレジスタ1309は、スレーブデバイスの数だけ繰返される。論理ゲート1308も、マルチプレクサ選択信号を受ける。言換えると、論理ゲート1308のうちの1つのみが、マルチプレクサ選択信号と読出肯定応答との両方のためのアクティブ信号を受ける。次に、レジスタ1309の出力がORゲート1310に提供され、これは、次に、読出肯定応答信号をマスタ1101のうちの1つ(この場合、マスタデバイス1101A)に提供する。書込トランザクションが完了した後、スレーブは、書込転

10

20

30

40

50

送終了信号をステートマシン 1208 に送り、ステートマシン 1208 がそのアイドル状態に再び入ることを可能にする。

【0199】

重要なことには、図 11A / 11B、図 12A / 12B、および図 13A / 13B に示される回路によって例示されるように、この発明は、パイプラインレジスタ間の論理の量を最小にする。この様態で、アドレス / 制御経路とデータ経路との両方が、「バランスをとる」。言換えると、両方の経路に沿った論理およびパイプラインレジスタは、均一に分配され、レジスタ（または、論理）間の遅延が実質的に同じになることが保証される。次に、このセットされたタイミングによって、経路の論理が簡素化され得る。

【0200】

C . D C U / I C U : P L B に対するインターフェイス

図 14 は、P L B に対するデータキャッシュユニット (D C U)（または、命令キャッシュユニット (I C U)）インターフェイスの一実施例を示す。この種のインターフェイスは、当該技術分野では公知であり、設計内で用いられている C P U に対してプロプラエタリである。なお、この発明は、いずれの C P U にも適用可能であるため、インターフェイス 1400 は、使用される C P U に基づいて変わり得る。図 14 では、インターフェイス 1400 は、IBM のパワーピーク 405 C P U 用として示される。

【0201】

D . ブロック R A M : P I C に対するインターフェイス

図 15 は、2つのポート A および B を有するブロック R A M (B R A M) 1501 を示し、各ポートは、それ自体のクロッキング、制御、アドレス、読出 / 書込機能、およびデータ幅を有し、独立した読出 / 書込能力を可能にする。この実施例では、ポート B は、F P G A 上のユーザ論理に結合され、ポート A は、インターフェイス 1502 に結合される。インターフェイス 1502 は、有限ステートマシン (F S M) 1503 を介して、P I C から信号を受け、P I C にさまざまな信号を提供する。次に、F S M 1503 は、B R A M 1501 内のポート A の書込イネーブルを制御する。インターフェイス 1502 は、カウンタ 1504 をさらに含み、P I C から複数のアドレスを受け取り、さらにはそのカウンタに基づいて、ある特定のアドレスを提供する。なお、このカウンタのロードおよびイネーブル機能も、F S M 1503 によって制御される。この様態で、さまざまなアドレスがロードされ得るが、F S M 1503 が、いつそれらが B R A M 1501 に提供されるのかを決定する。ポート A の書込および読出データ端子は、P I C に結合される。

【0202】

B R A M 1501 は、ポート A とポート B との両方からの同じメモリセルの同時アクセスを可能にする。したがって、一方のポートが、所与のメモリセルに書込む場合、他方のポートは、その書込動作中は、同じメモリセルをアドレス指定できない。なお、競合の解消に取組むために、ユーザは、データコヒーレンシおよび同期の問題に対処するようにユーザ論理およびソフトウェアを設計し得る。

【0203】

E . O P B ブリッジモジュール

1 . O P B ブリッジアウトモジュール

O P B / B O は、プログラマブルインターフェイスコア (P I C) に対するスレーブデバイスおよび O P B に対するマスタデバイスとして働くブリッジアウトモジュールである。図 16 は、ブリッジアウトモジュール 1600 の一実施例のハイレベル図を示し、これは、パイプラインアーキテクチャを用いて、それが高クロック周波数で O P B マスタンダード上で動作することを可能にする。一実施例では、O P B / B O は、P I C 側で 64 ビット D D R データ経路をサポートし、O P B 側で 32 ビットバイトイネーブル転送をサポートする。ブリッジアウトモジュール 1600 は、論理 1601 を含んで P I C 転送要求をデコードし、F I F O 1602 および 1603 を含んでトランザクション待ち行列に入れる。具体的には、ダイナミックバイトイネーブルを備えた書込トランザクションは、F I F O 1602 および 1603 内で待ち行列に入れられて、O P B 転送が完了

10

20

30

40

50

することを待たずに、P I C マスタ（図示せず）からデータをオフロードすることができる。ブリッジアウトモジュール 1600 は、O P B マスタ 1605 の制御およびデータ経路論理の一部として含まれる複数のステータスレジスタも含む。これらのステータスレジスタは、P I C マスタによって開始されるトランザクションから結果として得られるいずれかのO P B エラーを記録し得る。O P B マスタ 1605 は、エラーおよびビジー信号を適切に生成して各 P I C マスタに戻す論理をさらに含む。

【0204】

ブリッジアウトモジュール 1600 を含む書込動作では、プログラマブルインターフェイスコア（P I C）は、論理 1601 によってデコードされる書込コマンド（スレーブ制御信号 1606 のうちの 1 つ）を発行する。ブリッジアウトモジュール 1600 が別のトランザクションの実行にビジーではないと、デコード論理 1601 が判断すると、デコード論理 1601 は、データを書込データ F I F O 1603 に転送し始める。デコード論理 1601 は、アドレスおよび転送修飾子をアドレス F I F O 1602 にもロードする。ブリッジアウトモジュール 1600 は、F I F O 1602 / 1603 が一杯になったとき、さらなるいずれのデータ転送も停止する。一実施例では、書込データ F I F O 1603 は、64 ビット幅であるが、転送サイズに応じて、32 ビットまたは 64 ビット幅の量のデータで書込まれ得る。

【0205】

O P B マスタ 1605 のポートに接続される別個の論理グループが、ペンドィングトランザクションを求めてアドレス F I F O 1602 をポーリングする。アドレス F I F O 1602 が空でない場合、トランザクション要求がそこから読出される。アドレス、転送サイズ、および読出 / 書込情報が、O P B データ転送プロセスを開始するO P B マスタ 1605 内のステートマシンに送られる。O P B マスタ 1605 内のO P B 転送論理は、O P B に対するバスアクセスを要求し、O P B マスタ 1605 にO P B バスが許可された場合に書込転送を開始する。転送がバースト（つまり、1つよりも多いフルワード）である場合、（バスロックおよびシーケンシャルアドレス信号等の）適切な信号がアサートされてO P B 書込バーストが実行される。書込データが、書込データ F I F O 1603 から転送されてデータをO P B に供給する。転送が完了すると、アドレス F I F O 1602 は、追加的な転送要求を求めて再びポーリングされる。いずれかの肯定応答またはタイムアウト状態が、B E A R / B E S R（図示せず）が更新された状態で、対応のP I C マスタにシグナルバックされる。

【0206】

ブリッジアウトモジュール 1600 を含む読出動作では、読出転送要求は、論理 1601 によってデコードされ、アドレス F I F O 1602 内で、それが一杯でないと仮定して、待ち行列に入れられる。アドレス F I F O 1602 をポーリングするO P B マスタ 1605 内の論理は、ペンドィング読出要求を認識し、O P B 上において読出転送を実行する。1つよりも多くのフルワードが読出されるべき場合、バースト読出動作が実行される。読出データは、フリップフロップ 1604 を介して P I C マスタに戻される。再び、いずれかの肯定応答またはタイムアウト状態が、B E A R / B E S R が更新された状態で、対応のP I C マスタにシグナルバックされる。

【0207】

O P B とインターフェイスをとるO P B マスタ 1605 内の論理は、好ましくは、設計のO P B 性能目標を満たすように設計される。具体的には、O P B は、シングルサイクルハンドシェーリングプロトコルを用いるため、O P B マスタ 1605 の出力がフリップフロップから直接駆動されることが重要である。言換えると、最悪の事態の分析では、すべての信号は、遅いタイミングを有すると仮定されるべきであり、したがって、レジスタ駆動されてO P B における最大伝搬時間を提供すべきである。加えて、一実施例では、O P B マスタ 1605 によって受取られている信号は、再びレジスタされる前に、1つ以下の論理レベルをトラバースし、信号がO P B を通ってスレーブモジュールへと伝搬し、ブリッジアウトモジュール 1600 に戻る時間量を最大にする。

10

20

30

40

50

【0208】

ブリッジアウトモジュール1600では、アドレスおよび書込データFIFO1602/1603は、高いクロックレートで実行するように設計され得る。一実施例では、FIFO設計は、シフトレジスタルックアップテーブル(SRL)FPGAプリミティブに基づいており、読み出ポートと書込ポートとの間で同期的関係を必要とする。なお、SRLベースのFIFOの実現は、どのシフトレジスタタップがアクセスされるかを制御するアップ/ダウンカウンタを通例含む。カウンタは、FIFOが書込まれるが、読み出されない場合にカウントアップし、FIFOが読み出されるが、書込まれない場合に、カウントダウンする。他の様態では、カウンタは、変更されない。それらの簡素性のため、SRLベースのFIFOは、通例、いずれの保護メカニズムもサポートしない。したがって、空のときにFIFOが読み出される場合、または一杯の状態でFIFOが書込まれる場合、回復不能なエラーが生じ得る。これを防ぐために、論理1601は、FIFO1602/1603が適切に用いられることを保証するように設計されるべきである。

【0209】

上述のように、ブリッジアウトモジュール1600は、フルワードバイトインペブル転送を用い得る。より高い性能およびより少ない面積を提供するために、ブリッジアウトモジュール1600は、従来のOPBデバイスによって用いられる「ダイナミックバスサイジング」機能を取除き得る。したがって、この実施例では、ブリッジアウトモジュール1600に接続されるOPBモジュールは、フルワードバイトインペブル転送プロトコルを用い得る。

【0210】

しかしながら、FPGAファブリックの観点では、ブリッジアウトモジュール1600は、性能と論理使用との間で異なるトレードオフを提供するように、容易にカスタマイズされ得る。たとえば、ポストされる書込動作がサポートされない場合、アドレスFIFO1602は除去され、書込データFIFO1603は簡素化され得る。エラーおよびビギー信号を扱うOPBマスター1605内の論理を簡素化することによって、さらなる論理減少がなされ得る。なお、トランザクションをブリッジアウトモジュール1600内で待ち行列に入れることはできないため、これらの変形例は、性能を低下させ得るが、面積を著しく減少させ得る。

【0211】

この発明の別の実施例に従うと、アドレスFIFO1602および書込データFIFO1603は、SRL FIFOとともに設計される代わりに、ブロックRAM(BRAM)ベースのFIFOに変えられて、論理使用を減じる。さらに、BRAM FIFOは、より高いクロック対出力遅延を有し、達成され得る最大OPBクロックレートを潜在的に減じる。BRAM FIFOは、非同期FIFOを実現するためにも用いられ得、OPBクロックがブリッジアウトモジュール1600のクロックからデカップルされることを有利なことには可能にする。

【0212】

デカップリングが望まれる場合、最高の性能が必要とされないことを仮定して、OPBマスター1605内の論理は、簡素で、容易な態様で設計され得る。具体的には、(ブリッジアウトモジュール1600のクロックレートの半分等の)より遅いOPBクロックレートでは、論理のうちの多くは、マルチサイクル経路を含むかまたはより多くの論理レベルが用いられることを可能にするように、設計され得、設計の論理使用を著しく減じる。

【0213】

2. OPBブリッジインモジュール

OPB/BIMモジュールは、スレーブとしてOPBトランザクション要求を受取り、マスターとして、それらの要求をPCI転送に変換する。図17は、この発明に従ったブリッジインモジュール1700の一実施例のハイレベル図を示す。ブリッジインモジュール1700内では、OPBからトランザクションをオフロードするためにデータをバッファリングする書込データFIFO1704にOPB書込データが記憶される。可変長バースト

10

20

30

40

50

が P I C スレーブモジュールによってサポートされない一実施例では、O P B バースト書込は、P I C 上で一連のシングルビートまたはキャッシュライン転送に変換され得る。O P B 読出の結果として、P I C スレーブモジュールに対して発行されるデータフェッチが得られる。バースト読出要求は、ブリッジインモジュール 1700 に最大 8 ワードのデータプリフェッチを実行させる。ブリッジインモジュール 1700 は、必要なクロックドメインおよびバス幅変換も実行して、P I C 64 ビット D D R 読出 / 書込データ経路と O P B 32 ビット非 D D R 共有データ経路との間でデータを移動させ得る。

【 0 2 1 4 】

書込動作では、O P B ブリッジインモジュール 1700 によって受取られる O P B 上のトランザクションは、書込データ F I F O 1704 へとバッファリングされる。書込データ F I F O 1704 は、書込ポスティングをサポートして、トランザクションが P I C 上で実行されている間に O P B が停滞する(tied up)ことを防ぐ。書込トランザクションの行先アドレスおよび書込バーストの長さが、別個の書込要求 F I F O 1705 に記録される。書込要求がブリッジインモジュール 1700 内で完全に待ち行列に入れられた後、O P B トランザクションは完了し、O P B は、他のトランザクションに利用可能となる。書込データ F I F O 1703 または書込要求 F I F O 1705 が一杯である場合、いずれかの追加の書込要求が、再試行信号が論理 1701 によりアサートされるようにする。

【 0 2 1 5 】

アドレスポート制御論理 1706 内のステートマシンは、ペンドィング書込トランザクションを求めて書込要求 F I F O 1705 を連続的にポーリングする。書込要求 F I F O 1705 が空ではないことを、制御論理 1706 が認識すると、待ち行列に入れられた書込トランザクションが取出され、処理される。O P B からの書込トランザクションは、いずれかのワード境界で開始し、最大 32 ワード長になり得る。したがって、書込トランザクションは、P I C によってサポートされる一連のワードまたはキャッシュラインアライメント転送に変換され得る。この変換は、開始アドレスおよびバースト長を見て、用いられる最大の P I C 転送サイズを計算する、制御論理 1706 内でも提供される要求アライメント論理の助けを用いて実行される。P I C 転送は、アドレス F I F O 1710 へと入れられ、ここで、トランザクションは、P I C (マスタ) ポート上で表示され得る。完全なトランザクションセットがアドレス F I F O 1710 にロードされるまで、元の書込バーストの任意の残りの部分は、反復的に制御論理 1706 を通して送られる。なお、この時点では、書込データは、待ち行列に入れられ、P I C にとって利用可能である。

【 0 2 1 6 】

読み出しトランザクションは、P I C スレーブからの読み出フェッチを制御し、さらにはデータを O P B を通して戻す制御論理 1706 内の別個のステートマシンを通して扱われる。O P B 読出要求が非バーストである場合、シングルワード読み出要求が、アドレス F I F O 1710 にロードされる。O P B 読出要求がバースト動作である場合、ブリッジインモジュール 1700 は、必要な最小のサイズの読み出要求をアドレス F I F O 1710 にロードすることによって、次の 8 ワードキャッシュライン境界までのデータをフェッチする。

【 0 2 1 7 】

読み出要求から戻されるデータは、P I C 64 ビット D D R 読出データ経路をサポートするシフトレジスタ 1709 に記憶される。シフトレジスタ 1709 内のデータは、次に、(上で詳細に説明される) 適切な 32 ビット O P B データ経路へと多重伝送され、対応の転送肯定応答信号がアサートされる。8 ワード境界を超えて続く読み出バーストについては、新しい 8 ワードキャッシュライン要求が、P I C を介して次の記憶場所に対して作成されてバーストを続ける。ブリッジインモジュール 1700 がデータをキャッシュしない一実施例では、たとえデータが前のトランザクションから利用可能であったとしても、各読み出は、新しい P I C トランザクション要求を必要とする。なお、P I C からのいずれかの読み出エラーにより、O P B エラー肯定応答信号がアサートされ得る(図示されないが、シフトレジスタ 1709 の論理によってキャプチャされ得る)。一実施例では、論理 1701 は、それが読み出データが戻されるのを待つ間、タイムアウト抑制をアサートし得る。こ

10

20

30

40

50

の機能は、P I Cトランザクションが完了するために不確定な量の時間がかかり得るため、有益である。

【0218】

書込制御論理1703および1707の一部を形成するアドレスデコーダ論理は、P I Cから複製され、プリッジインモジュール1700は、P I C側に存在することが知られているアドレスのためのトランザクションのみを受入れる。この様態で、プリッジインモジュール1700は、アドレスエラーを生成することを妨げられ、さらにはプリッジアウトモジュール(図16参照)を備えたフィードバックループを引起することを妨げられる。さらに、この複製によって、プリッジインモジュールとプリッジアウトモジュールとの間のP I C接続経路が取除かれることも可能となり、貴重な論理リソースが節約される。

10

【0219】

アドレスFIFO 1710、書込要求FIFO 1705、および書込データFIFO 1704は、高いクロックレートで実行されるように設計され得る。具体的には、一実施例では、これらのFIFOは、読出ポートと書込ポートとの間で同期的な関係を必要とするシフトレジスタルックアップテーブル(SRL)FPGAプリミティブに基づき得る。上述のように、それらの簡素化のために、SRLベースのFIFOは、通例、いずれの保護メカニズムもサポートしない。したがって、空のときにFIFOが読出される場合、または一杯であるときにFIFOが書込まれる場合、回復不能なエラーが生じ得る。これを防ぐために、論理1706/1703/1707は、FIFO1710/1705/1704が適切に用いられることを保証するように設計されるべきである。

20

【0220】

プリッジインモジュール1700内のP I Cマスタポートの高クロック周波数は、設計のタイミング要件を満たすことを困難にし得る。したがって、2Xクロックドメインで動作するか、または1Xクロックの経路に敏感な(sensitive)論理は、フリップフロップ間に最大1論理レベルが存在するように、慎重に設計されなければならない。この設計制約によって、タイミングを改善する助けとなり得る特定のFPGAプリミティブおよび/または効率的な論理構造の使用が促進される。

【0221】

この発明の一実施例では、読出プリフェッチサイズは、8ワードから16(または、32)ワードへと増大し、長いOPB読出バーストが一般的である場合に、プリッジインモジュール1700の効率を改善する。なお、短いOPBバースト読出は、より高いレイテンシを経験し得る。したがって、設計者は、何が最適なプリフェッチサイズであるかを決定しなければならない。有利なことには、この発明は、追加的な論理をほとんど用いることなく16または32ワードプリフェッチを用いるように変更され得る。具体的には、上述のように、P I Cからの読出データは、64ビット幅SRLアレイに記憶され得る。各SRLは、本質的には16のレジスタの深さ(deep)であるため、32ワードの読出データのための十分な記憶部分が既に存在する。したがって、この場合、ユーザは、読出データ多重論理を変更し、読出ステートマシン論理を修正して、より長い読出要求をアドレスFIFO1710にロードし得る。

30

【0222】

この発明の別の実施例では、書込要求FIFO1705が除去されて、設計内で用いられる論理の量が減じられ得る。しかしながら、このFIFOの除去は、書込ポスティング機能をディセーブルにし得る。書込ポスティング機能をディセーブルにすることは、P I C上のペンドィングトランザクションにより停止される書込トランザクションのために、OPB性能を減じるおそれがある。

40

【0223】

書込データFIFO1704内の制御論理は、多量の冗長論理を用いる。この冗長性は、ファンアウトを減じ、FIFO1704が所望のDDRクロックレートまでランすることを可能にする。より低いクロック速度では、この冗長制御論理のうちの多くが除去され得る。加えて、タイミング制約が緩和されている場合には、図17のレジスタ1711、

50

1702、および1708等のいくつかの読出データ経路パイプラインレジスタも取出されて、レイテンシおよびリソース使用が減じられ得る。

【0224】

F. ハイブリッドプログラマブルインターフェイスコア

この発明の別の実施例では、プログラマブルインターフェイスコア（P I C）は、上で詳細に説明されたクロスポイントスイッチに加えて、共有バスの要素を含む。読者の便宜を図って、図18Aおよび図18Bは、それぞれ、共有バスアーキテクチャのアドレス／制御経路およびデータ経路を示す。図18Aに示されるように、アドレス／制御経路のための共有バス1800Aは、マスタデバイス1801のアドレス／制御信号を受取るアービタ1803を提供することによって、実現され得る。一旦、アクセスアービタ1803が、どのマスタデバイス1801が選択されてそのトランザクションを進めるべきかを決定すると、要求は、すべてのスレーブデバイス1802に送られる。各スレーブデバイス1802は、アドレス／制御情報をデコードし、それがそのトランザクションのための要求されるスレーブであるかを判断する。図18Bを参照して、データ経路用の共有バス1800Bは、マスタデバイス1801から書込データを受取る単一の書込マルチプレクサ1804を提供することによって、実現され得る。共有バス内では、すべてのスレーブデバイス1802が、選択される書込データを受取るが、1つのスレーブデバイス1802しか、実際にはデータを書込まない。読出動作では、スレーブデバイス1802は、そのスレーブデバイスが読出トランザクションにおいてアクティブでない限りは、論理0信号を出力し得る。この様態で、ORゲート1805は、読出情報を読出マルチプレクサ1806に転送する。制御回路は、図示されていないが、書込動作を完了するために、どの書込データが書込マルチプレクサ1804によって選択されるのかを決定し、さらには、読出動作を完了するために、どの読出マルチプレクサ1806が選択されるのかを決定する。

【0225】

図19Aおよび図19Bは、それぞれ、この発明の別の実施例に従ったハイブリッドクロスポイント／共有バスアーキテクチャのアドレス／制御経路およびデータ経路を示す。図19Aに示されるように、アドレス／制御経路用のハイブリッドスイッチ1900Aは、それぞれ、マスタデバイス1901A - 1901Dからアドレス／制御情報を受取るための複数のアドレスデコーダ1911A - 1911Dを含む。ハイブリッドスイッチ1900A内では、3つのアクセスアービタ1912A - 1912Cが、アドレスデコーダ1911A - 1911Dから、デコードされたアドレスを受取り得る。アクセスアービタ1912Cは、2つのスレーブデバイス1922Aおよび1922Bのためのアービトレーションを決定する。この実施例では、アクセスアービタ1912Cに結合される共有バスのために、スレーブデバイス1922Aおよび1922Bのうちの1つのみが、トランザクション内でアクティブになり得る。スレーブデバイス1902Aおよび1902Bとは異なり、スレーブデバイス1922Aおよび1922Bは、デコーディング論理を含んで、それらのうちのどれがトランザクションのために選択されたのかを判断しなければならない。なお、ハイブリッドスイッチ1900Aの共有バス部分では、パイプラインレジスタが除去された。

【0226】

図19Bに示されるように、データ経路用のハイブリッドスイッチ1900Bは、複数の読出マルチプレクサ1919を含み、その1つ1つは、各マスタデバイス1901用である。なお、スレーブデバイス1902Cおよび1902Dは、クロスポイントスイッチ（図5C参照）内でのように読出マルチプレクサ1901に直接出力を提供する代わりに、論理（OR）ゲート1930に出力を提供する。したがって、ハイブリッドスイッチ1900B内では、任意の時点において、1つのスレーブデバイス1902Cまたは1902Dしか、読出情報をマスタデバイス1901に提供し得ない。この実施例では、スレーブデバイス1902Cおよび1902Dのうちのインアクティブスレーブデバイスが、論理0を出力し得る。ハイブリッドスイッチ1900Bは、スレーブデバイス1902の数

に満たない、複数の書きマルチプレクサ 1914A - 1914C も含む。したがって、スレーブデバイス 1902C と 1902D の両方が、書きマルチプレクサ 1914C によって提供される書きデータを受取る。(アクセスアービタ 1912C によって提供されるアドレスにより決定されるような(図 19A 参照)) 選択されるスレーブデバイス 1902 は、データを書き込み、選択されていないスレーブデバイス 1902 は、データを無視する。

【0227】

重要なことには、ハイブリッドスイッチ 1900A / 1900B 内のマスタプロトコルおよびスレーブプロトコルの両方が、クロスポイントスイッチ 500A / 500B に関して上で詳細に説明されたように同じままであり得る。しかしながら、一実施例では、再アービトレートポートが追加されて、ハイブリッドスイッチの共有バス部分上のデッドロックが防がれ得る。なお、ハイブリッドスイッチ 1900A / 1900B は、クロスポイントスイッチのように、不必要的経路をなくすためにトリミングされ得る。したがって、たとえば、マスタデバイス 1901B (つまり、I C U) に関する書き経路が、トリミングされ得る。

【0228】

ハイブリッドスイッチ 1900A / 1900B は、フルクロスポイントスイッチと比較して、用いられるリソースの数を減じ得る。具体的には、ハイブリッドスイッチ内で用いられる論理ゲートは、クロスポイントスイッチのマルチプレクサよりも、より少ないリソースを用いる。しかしながら、この利点は、潜在的な性能低下とバランスをとらなければならない。一実施例では、この発明は、第 2 のスレーブデバイスセットよりも遅い第 1 のスレーブデバイスセットが、ハイブリッドスイッチの共有バス部分を用いるように構成され得、第 2 のスレーブデバイスセットがハイブリッドスイッチのクロスポイント部分を用いるように構成され得ることを決定し得る。F P G A 環境では、システム設計者は、共有バス / クロスポイントスイッチリソースの適切な混合を容易に決定して性能を最大にし、面積を最小にすることができる。

【0229】

G . ソフトウェアツール

この発明に従うと、プログラマブルロジックデバイス (P L D) のためのコンフィギュレーションビットストリームを生成するための方法が提供される。この方法は、図 3 を参照しながら説明されるシステムに容易に組込まれ得る。具体的には、この発明の方法は、コアジェネレータを活性化することと、コアジェネレータを用いてプログラマブルインターフェイスコアを選択することと、コンフィギュレーションビットストリームを生成する P L D ソフトウェアツールにプログラマブルインターフェイスコアを提供することを含む。P L D ソフトウェアは、この発明のプログラマブルインターフェイスを受取ることに加えて、ユーザが提供するトップレベル設計を受取ることができる。重要なことには、プログラマブルインターフェイスコアは、複数のコンプライアンスレベルを選択的に提供することができる。たとえば、プログラマブルインターフェイスコアは、上で詳細に説明されたように、プロセッサローカルバス (P L B) 機能のサブセットを提供し得る。一実施例では、プログラマブルインターフェイスコアは、トップレベル設計が必要とする機能にサブセットを調整することができる。

【0230】

ここで提供されるこの発明の説明は、例示にすぎず、限定ではない。具体的には、この発明のさまざまな実施例が、上で詳細に説明された。これらの実施例の変形例は、当業者には明らかであろう。したがって、この発明の範囲は、添付の請求項によってのみ規定され得る。

【図面の簡単な説明】

【0231】

【図 1】中央処理装置、プロセッサローカルバス、およびオンチップ周辺バスを含むマイクロプロセッサを示す、簡素化された図である。

10

20

30

40

50

【図2】この発明の譲受人が販売するパーテックスFPGA内のコンフィギュラブルロジックブロックを示す、簡素化されたブロック図である。

【図3】FPGA内の1つ以上のコアを用いるための1つのIPプロセスレイアウトを示す図である。

【図4】この発明に従った基本的な組込用プロセッサFPGAシステムを示す図である。

【図5A】この発明に従った 4×4 クロスポイントスイッチを示す簡素化された図である。

【図5B】アドレス論理内での図5Aのクロスポイントスイッチの一実現例を示すより詳細な図である。

【図5C】データ論理内での図5Aのクロスポイントスイッチの一実現例を示すより詳細な図である。 10

【図5D】アドレス/制御論理がトリミングされる図5Bのクロスポイントスイッチの一実施例を示す図である。

【図5E】データ論理がトリミングされる図5Cのクロスポイントスイッチの一実施例を示す図である。

【図6】本発明のプログラマブルインターフェイスコアおよびマスタデバイスのために提供されるポートと、このようなポート間で転送され得る信号との全体像を示す図である。 20

【図7】8ワード書込動作およびその後に続く8ワード読出動作中のマスタのタイミング図である。

【図8】本発明のプログラマブルインターフェイスコアおよびスレーブデバイスのために提供されるポートと、このようなポート間で転送され得る信号との全体像を示す図である。 20

【図9】8ワード書込動作中のスレーブのタイミング図である。

【図10】8ワード読出動作中のスレーブのタイミング図である。

【図11A】この発明に従ったプログラマブルインターフェイスコア内のアドレス/制御論理の一実施例であって、経路が、コアに関連するさまざまなアドレス/制御信号を含む、一実施例を示す図である。

【図11B】この発明に従ったプログラマブルインターフェイスコア内のアドレス/制御論理の一実施例であって、経路が、コアに関連するさまざまなアドレス/制御信号を含む、一実施例を示す図である。 30

【図12A】この発明に従った書込データ論理に関連する回路の一実施例であって、論理は、コアに関連するさまざまな書込信号を含む、一実施例を示す図である。

【図12B】この発明に従った書込データ論理に関連する回路の一実施例であって、論理は、コアに関連するさまざまな書込信号を含む、一実施例を示す図である。

【図13A】この発明に従った読出データ論理に関連する回路の一実施例であって、論理は、コアに関連するさまざまな読出信号を含む、一実施例を示す図である。

【図13B】この発明に従った読出データ論理に関連する回路の一実施例であって、論理は、コアに関連するさまざまな読出信号を含む、一実施例を示す図である。

【図14】プロセッサローカルバスに対する命令キャッシュユニットまたはデータキャッシュユニットのインターフェイスの一実施例を示す図である。 40

【図15】この発明のプログラマブルインターフェイスコアに対するデュアルポート機能を有するブロックRAM(BRAM)のインターフェイスを示す図である。

【図16】この発明に従ったプログラマブルインターフェイスコア内のブリッジアウトモジュールの一実施例を示すハイレベル図である。

【図17】この発明に従ったプログラマブルインターフェイスコア内のブリッジインモジュールの一実施例を示すハイレベル図である。

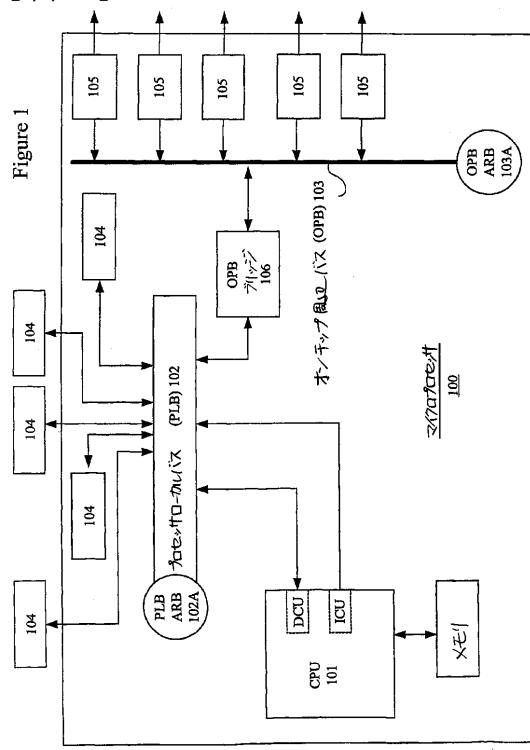
【図18A】共有バスアーキテクチャのアドレス/制御論理を示す図である。

【図18B】共有バスアーキテクチャのデータ論理を示す図である。

【図19A】この発明の一実施例に従ったハイブリッドクロスポイント/共有バスアーキテクチャのアドレス/制御論理を示す図である。 50

【図19B】この発明の一実施例に従ったハイブリッドクロスポイント／共有バスアーキテクチャのデータ論理を示す図である。

【図1】



【図2】

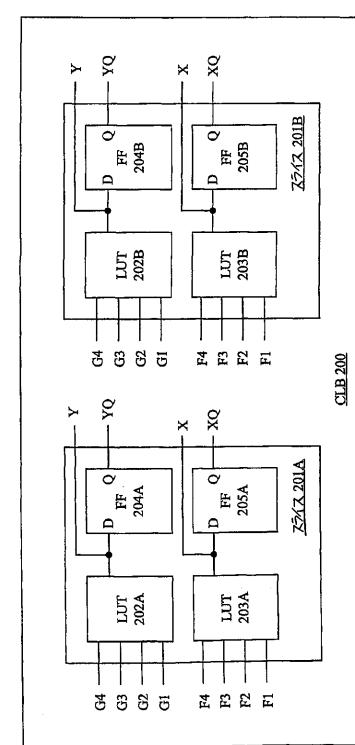


Figure 2

【図3】

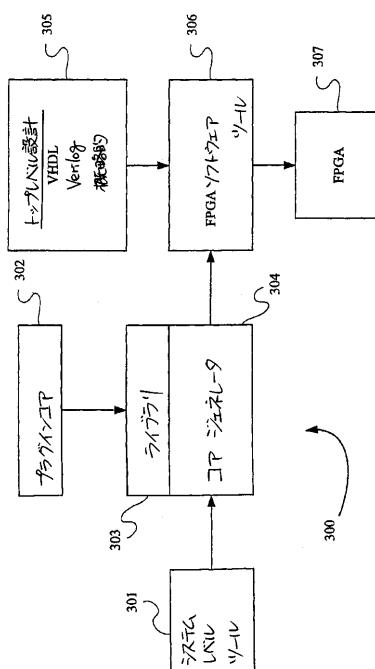


Figure 3

【図4】

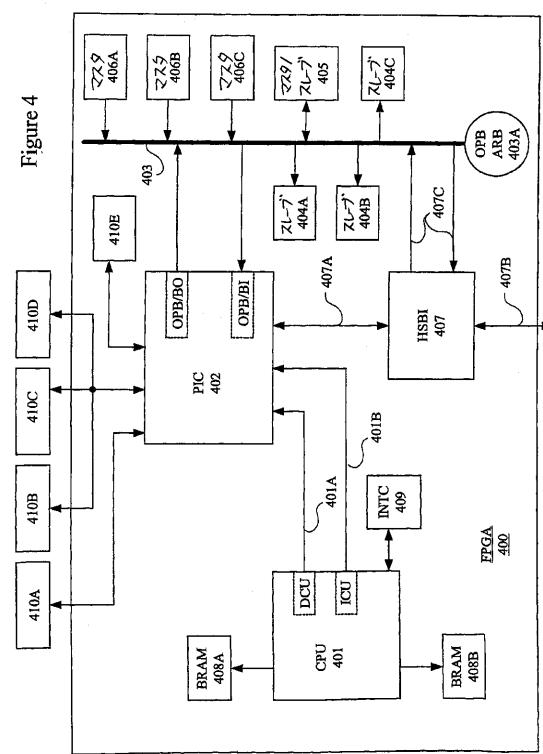


Figure 4

【図5A】

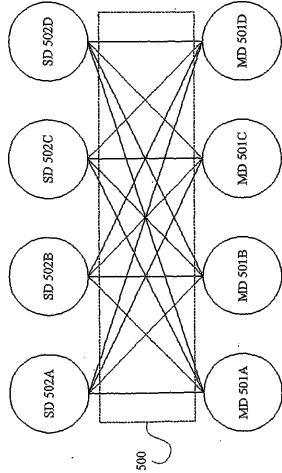


Figure 5A

【図5B】

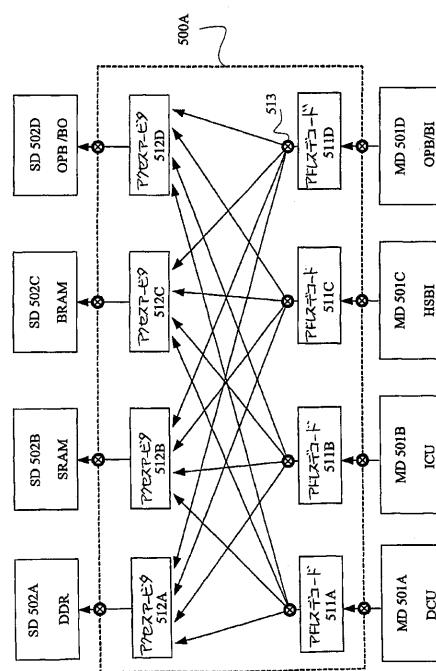


Figure 5B

【図 5 C】

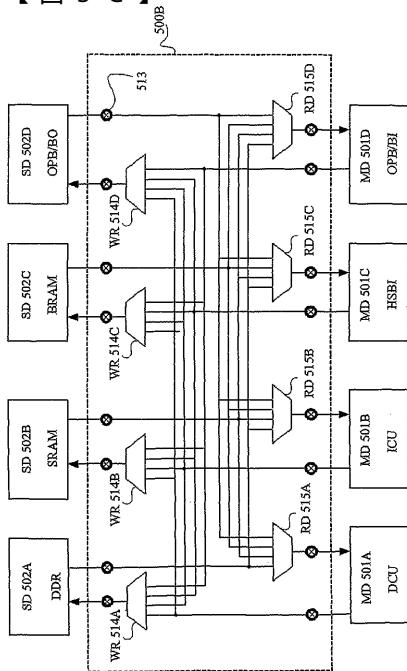


Figure 5C

【図 5 D】

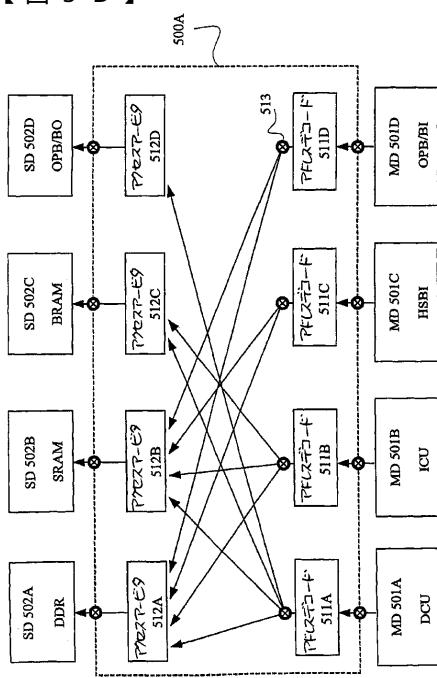


Figure 5D

【図 5 E】

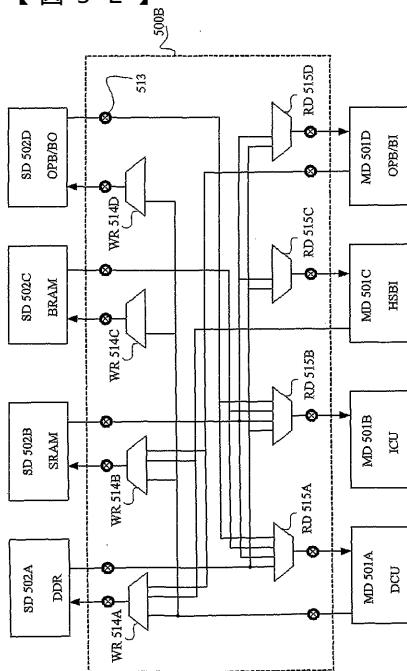


Figure 5E

【図 6】

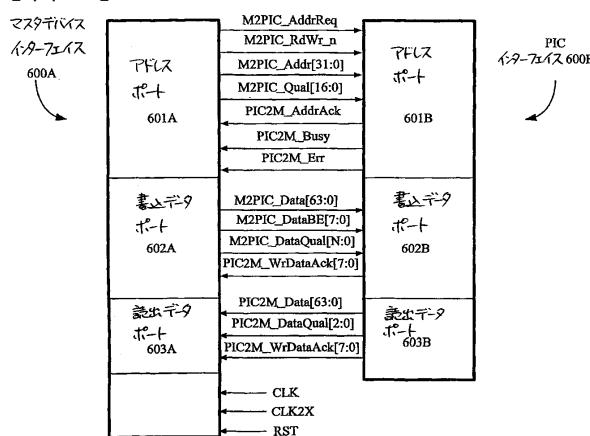


Figure 6

【図7】

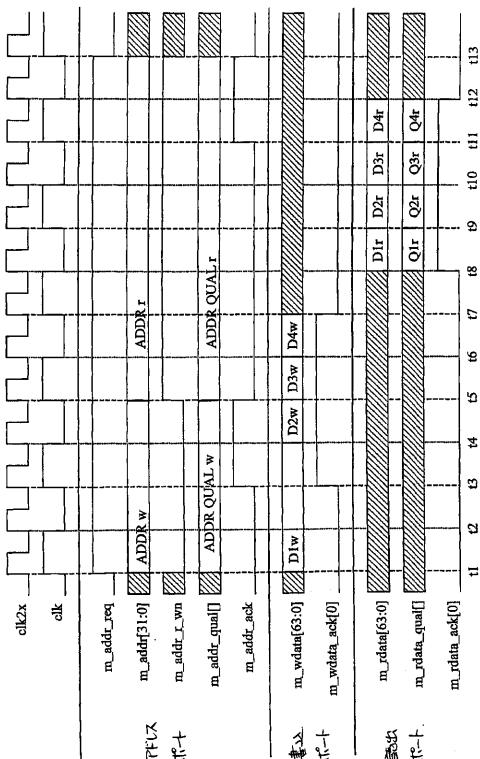


Figure 7

【図8】

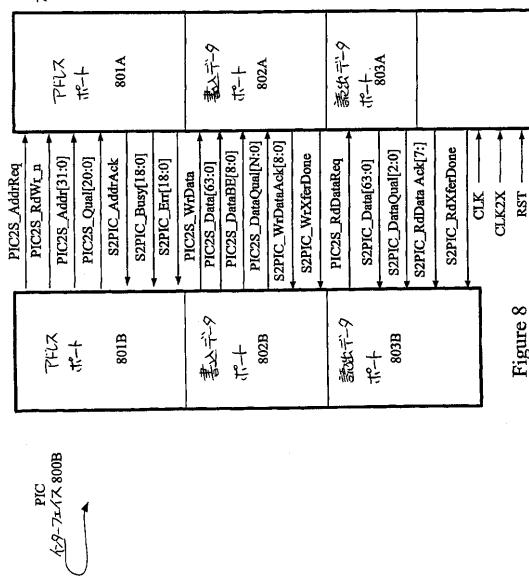


Figure 8

【図9】

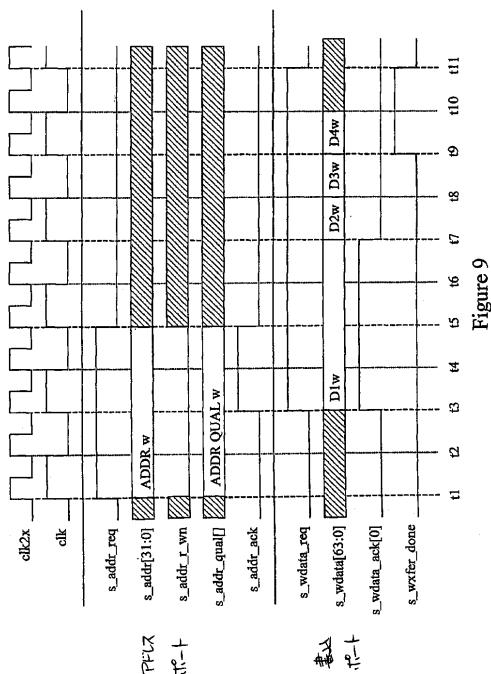


Figure 9

【図10】

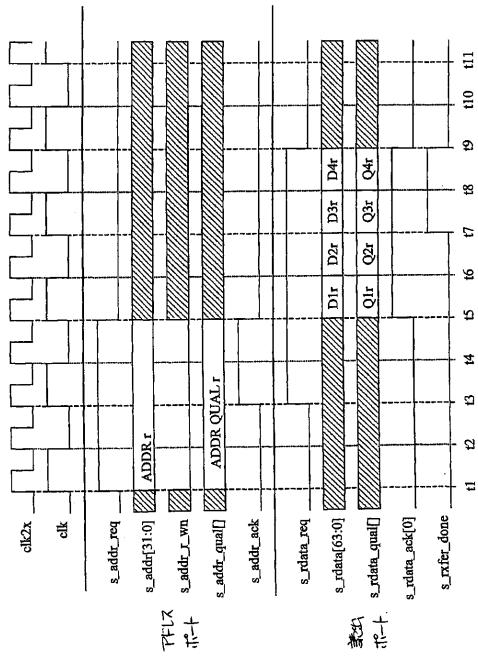


Figure 10

【図11A】

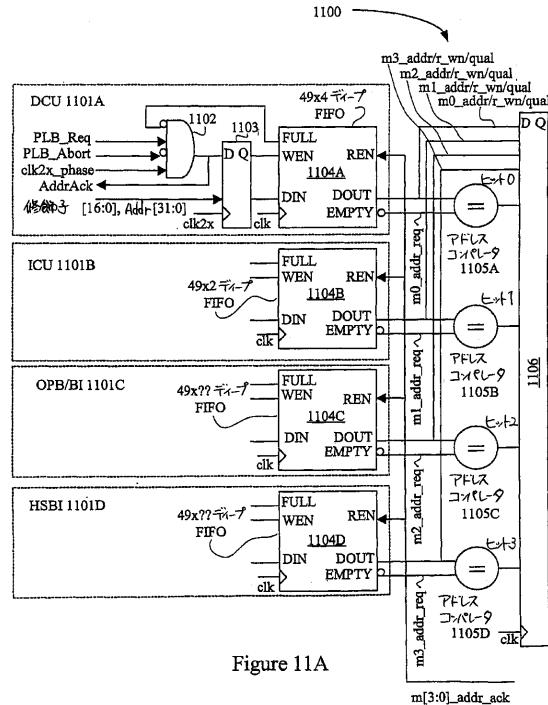


Figure 11A

Figure 11A | Figure 11B

R64

【図11B】

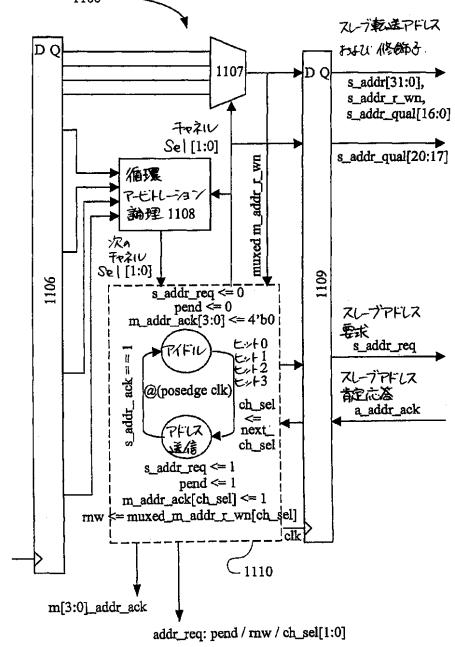


Figure 11B

【図12A】

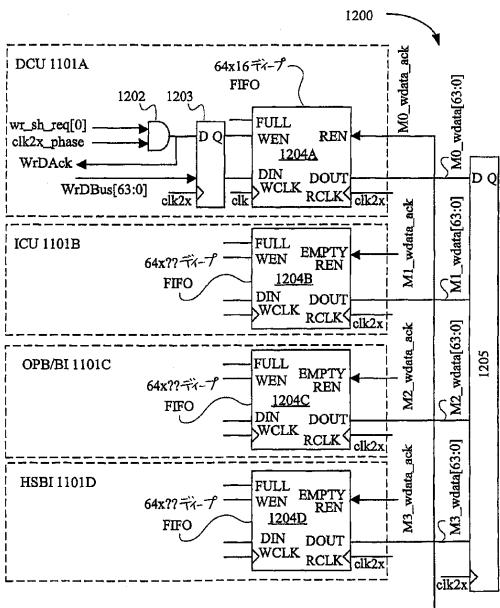


Figure 12A

Figure 12A | Figure 12B

R64

【図12B】

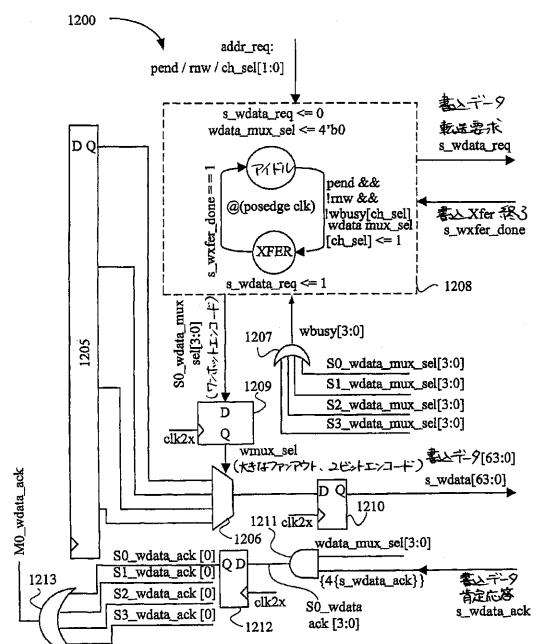


Figure 12B

【図13A】

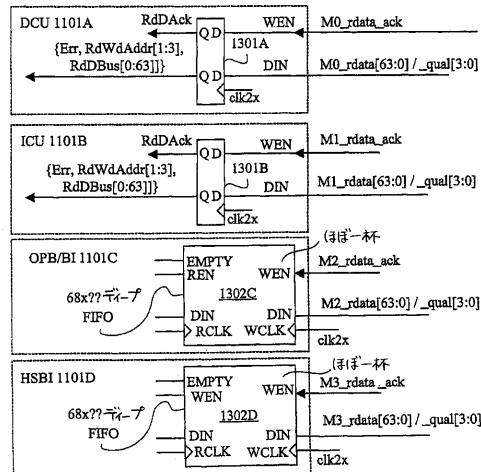


Figure 13A

Figure 13A | Figure 13B
図13B

【図13B】

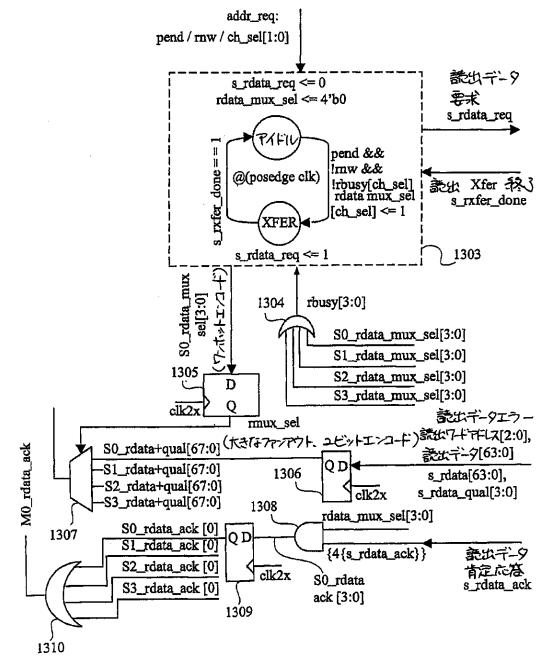


Figure 13B

【図14】

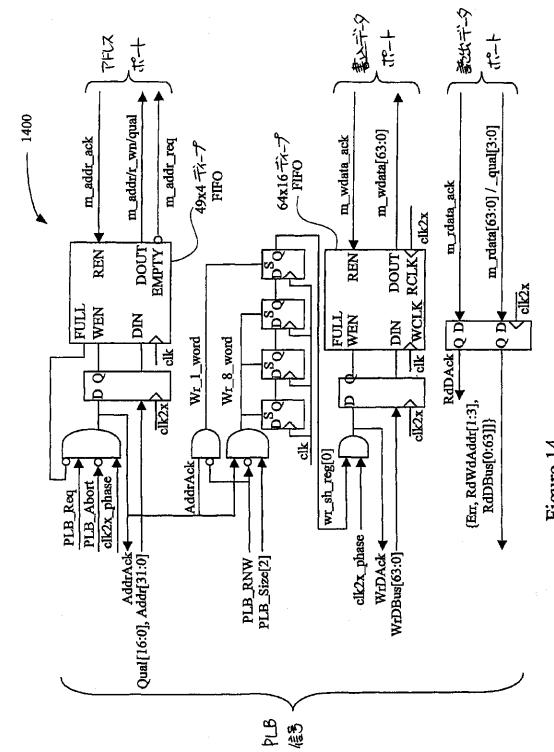


Figure 14

【図15】

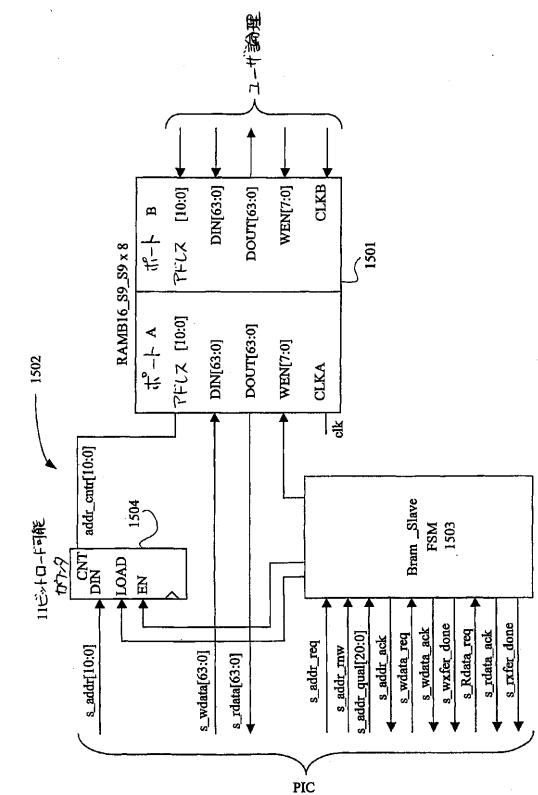


Figure 15

【図 16】

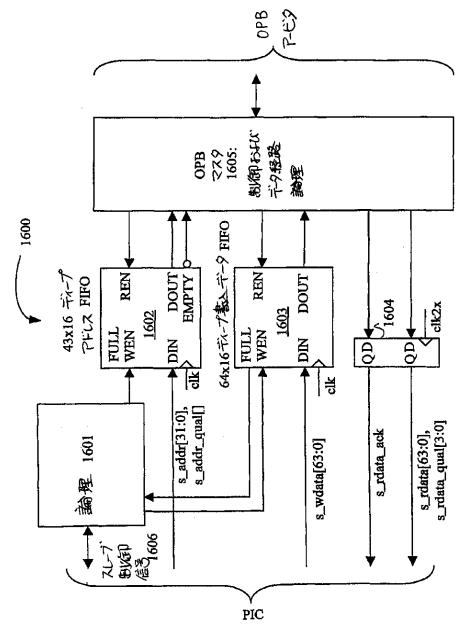


Figure 16

【図 17】

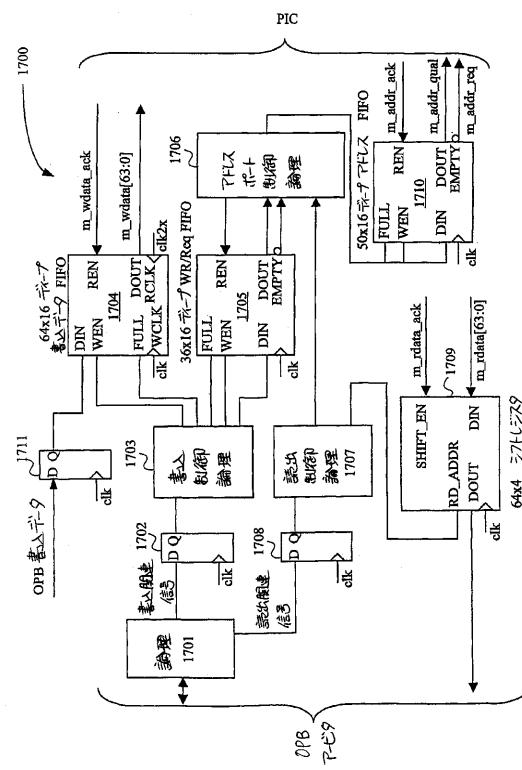


Figure 17

【図 18A】

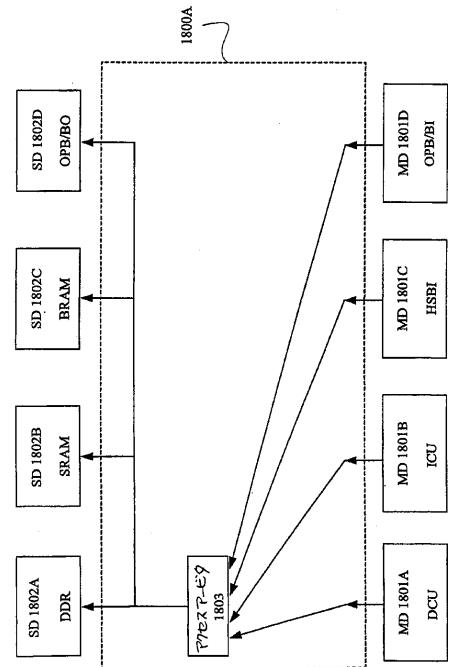


Figure 18A

【図 18B】

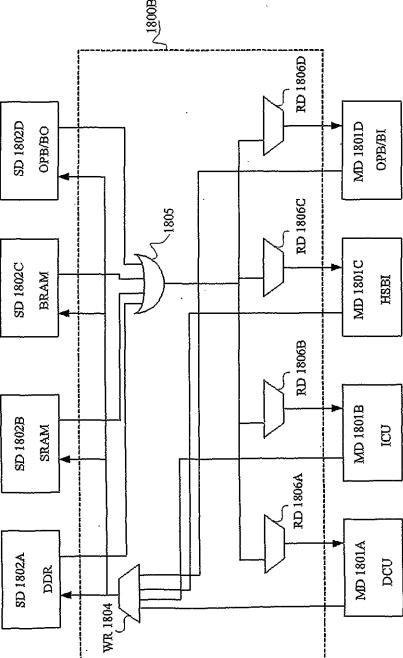


Figure 18B

【図19A】

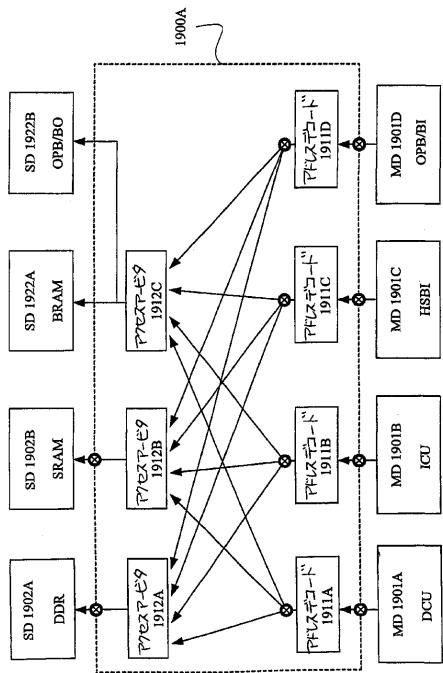


Figure 19A

【図19B】

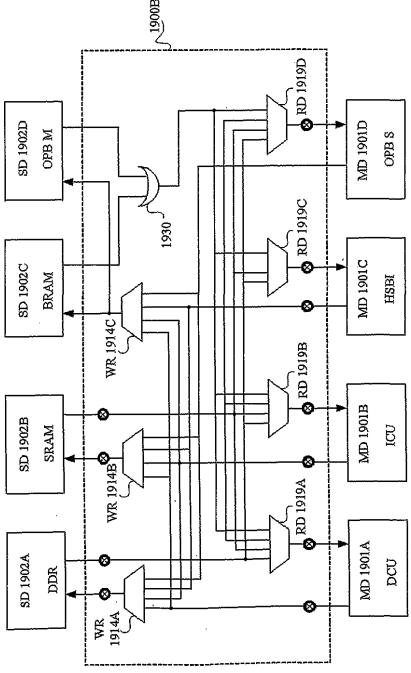


Figure 19B

フロントページの続き

(74)代理人 100098316

弁理士 野田 久登

(74)代理人 100109162

弁理士 酒井 將行

(72)発明者 ダオ, カン・キム

アメリカ合衆国、95131 カリフォルニア州、サン・ノゼ、モーニング・スター・ドライブ、
609

(72)発明者 バクスター, グレン・エイ

アメリカ合衆国、95033 カリフォルニア州、ロス・ガトス、ステージ・トップ・ウェイ、
24055

審査官 清水 稔

(56)参考文献 特開2000-105759(JP,A)

特表2000-509948(JP,A)

特表平07-503804(JP,A)

特開平08-328824(JP,A)

特開平08-069447(JP,A)

特開2001-092648(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 19/173