

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3989600号
(P3989600)

(45) 発行日 平成19年10月10日(2007.10.10)

(24) 登録日 平成19年7月27日(2007.7.27)

(51) Int. Cl.		F I			
H04B	7/26	(2006.01)	H04B	7/26	102
H04B	1/707	(2006.01)	H04J	13/00	D

請求項の数 10 (全 11 頁)

(21) 出願番号	特願平9-278193	(73) 特許権者	504199127
(22) 出願日	平成9年9月25日(1997.9.25)		フリースケール セミコンダクター イン
(65) 公開番号	特開平10-242906		コーポレイテッド
(43) 公開日	平成10年9月11日(1998.9.11)		アメリカ合衆国 78735 テキサス州
審査請求日	平成16年5月27日(2004.5.27)		オースティン ウィリアム キャノン
(31) 優先権主張番号	808331		ドライブ ウェスト 6501
(32) 優先日	平成9年2月28日(1997.2.28)	(74) 代理人	100116322
(33) 優先権主張国	米国 (US)		弁理士 桑垣 衛
		(72) 発明者	クリストファー・ピーター・ラローザ
			アメリカ合衆国イリノイ州レーク・ズリッ
			チ、ソーンデール・コート835
		(72) 発明者	マイケル・ジョン・カーニー
			アメリカ合衆国イリノイ州マンデルリン
			、オーランズ・ドライブ1302

最終頁に続く

(54) 【発明の名称】 ダイナミック係数スケーリングを利用するCDMA電力制御チャネル推定

(57) 【特許請求の範囲】

【請求項1】

復調器(140)であって:

パイロット相関信号(202)およびデータ相関信号(204)を判定するレーキ分岐相関器(150);

前記レーキ分岐相関器(150)に結合され、前記パイロット相関信号(202)から受信信号強度インジケータ(RSSI)値信号を判定する受信信号強度インジケータ(RSSI)経路(163);

前記レーキ分岐相関器(150)に結合され、前記パイロット相関信号(202)および前記データ相関信号(204)から主データ信号を判定する主データ経路(165);
および

前記レーキ分岐相関(150)に結合され、前記パイロット相関信号(202)および前記データ相関信号(204)から電力制御データ信号を判定する電力制御データ経路(161);

によって構成され、前記RSSI経路(163)及び前記電力制御データ経路(161)は、ダイナミック係数スケーリングを有し、かつ前記RSSI経路(163)及び前記電力制御データ経路(161)によってタイム・シェアリングされる無限インパルス応答(IIR)フィルタ(250)を含むことを特徴とする復調器(140)。

【請求項2】

前記RSSI経路(163)は:

20

所定数のシンボル期間で前記パイロット相関信号(202)を加算して、実数成分および虚数成分を有する平均パイロット相関信号を判定するアキュムレータ(220)；

前記アキュムレータ(220)に結合され、前記平均パイロット相関信号の実数成分および虚数成分を二乗・加算して、エネルギー推定信号を判定する二乗ブロック(230)；および

前記二乗ブロック(230)に結合され、第1係数セットを利用して前記エネルギー推定信号を濾波して、RSSI値信号を判定するダイナミック係数スケーリング機能を有する前記IIRフィルタ(250)；

によって構成されることを特徴とする請求項1記載の復調器。

【請求項3】

10

前記主データ経路(165)は：

前記パイロット相関信号を濾波して、第1濾波パイロット相関信号を判定するチャンネル推定フィルタ(240)；

前記チャンネル推定フィルタ(240)に結合され、前記第1濾波パイロット相関信号の複素共役を判定する複素共役発生器(270)；および

前記複素共役発生器(270)および前記レーキ分岐相関器(150)に結合され、前記第1濾波パイロット相関信号の複素共役に前記データ相関信号(204)を乗ずる複素乗算器(280)；

によって構成されることを特徴とする請求項2記載の復調器(140)。

【請求項4】

20

前記レーキ分岐相関器(150)と前記複素乗算器(280)との間で結合され、前記データ相関信号(204)を所定第1期間だけ遅らせる第1遅延素子(210)；

をさらに含んで構成されることを特徴とする請求項3記載の復調器(140)。

【請求項5】

前記所定の第1期間は、前記チャンネル推定フィルタ(240)によって生じる遅延に相当することを特徴とする請求項4記載の復調器(140)。

【請求項6】

前記電力制御データ経路(161)は：

第2係数セットを利用して前記パイロット相関信号(202)を濾波して、第2濾波パイロット相関信号を判定する、前記ダイナミック係数スケーリング機能を有するIIRフ 30
ィルタ(250)；

前記ダイナミック係数スケーリング機能を有するIIRフィルタ(250)に結合され、前記第2濾波パイロット相関信号の複素共役を判定する前記複素共役発生器(270)；および

前記複素共役発生器(270)および前記レーキ分岐相関器(150)に結合され、前記第2濾波パイロット相関信号の複素共役に前記データ相関信号(204)を乗ずる前記複素乗算器(280)；

によって構成されることを特徴とする請求項3記載の復調器(140)。

【請求項7】

前記レーキ分岐相関器(150)と前記複素乗算器(280)との間に結合され、前記 40
データ相関信号を所定の第2期間だけ遅らせる第2遅延素子(215)；をさらに含んで構成されることを特徴とする請求項6記載の復調器(140)。

【請求項8】

前記所定の第2期間は、前記ダイナミック係数スケーリングを有するIIRフィルタによって生じる遅延に相当することを特徴とする請求項7記載の復調器(140)。

【請求項9】

前記複素乗算器(280)に結合され、前記複素乗算器(280)の出力の実数成分を抽出して、主データ信号および電力制御データ信号を判定する実数成分抽出器(290)；

によって構成されることを特徴とする請求項6記載の復調器(140)。

50

【請求項 10】

通信チャネル上で送信された受信スペクトル拡散信号を復調する方法であって：

前記受信スペクトル拡散信号からパイロット相関信号（202）およびデータ相関信号（204）を判定する段階；

チャネル推定フィルタ（240）を用いて前記パイロット相関信号（202）を濾波して、第1濾波パイロット相関信号を生成する段階；

ダイナミック係数スケーリング機能を有するフィルタ（250）をタイム・シェアリングし、第1セットのフィルタ係数を用いて前記パイロット相関信号（202）から受信信号強度インジケータ（RSSI）値を判定し、かつ第2セットのフィルタ係数を用いて前記パイロット相関信号（202）から第2濾波パイロット相関信号を判定する段階；

前記第1濾波パイロット相関信号および前記データ相関信号から主データ信号をコヒーレント検出する段階；および

前記第2濾波パイロット相関信号および前記データ相関信号から電力制御データ信号をコヒーレント検出する段階；

によって構成されることを特徴とする方法。

【発明の詳細な説明】**【0001】****【産業上の利用分野】**

本発明は、一般に、スペクトル拡散無線通信に関し、さらに詳しくは、直接シーケンス符号分割多元接続（DS-SS）通信システムにおける電力制御チャネル推定に関する。

【0002】**【従来の技術】**

一般に直接シーケンス符号分割多元接続（DS-SS）システムとして知られる、直接シーケンス・スペクトル拡散方式を採用する一つの種類のセルラ無線電話システムは、米国電気通信工業界（TIA：Telecommunications Industry Association）によって採用されたIS-95規格によって統制される。同様なスペクトル拡散システムであるデジタル通信システム（DCS）1900は、1900MHzで動作する。これらのスペクトル拡散通信システムなどでは、個別の信号はワイドバンド疑似雑音符号を利用して拡散されてから、広帯域無線周波数（RF）バンド上で送信される。スペクトル拡散受信機は、信号を拡散するために用いられた同じ符号を利用して受信ワイドバンド信号を逆拡散（despread）することによって、目的の信号を得る。

【0003】

多くのスペクトル拡散通信システムでは、基地局から加入者ユニットへのダウンリンク送信は、パイロット・チャネルとさまざまなトラヒック・チャネルとを含む。すべての加入者ユニットはパイロット・チャネルを復号し、そのためすべての加入者ユニットはパイロット・チャネルの拡散符号を把握している。しかし、各トラヒック・チャネルは、一つの加入者ユニットによってのみ復号されることを意図する。従って、基地局は、一度に一つの加入者ユニットによってのみ用いられる個別の拡散符号で、各トラヒック・チャネルを符号化する。

【0004】

あるCDMAシステムでは、トラヒック・チャネル・ダウンリンク信号は、基地局がそのカバー・エリア内の加入者ユニットの送信電力を個別に制御することを可能にする電力制御インジケータをデータ・ストリーム内に含む。電力制御インジケータを抽出した後、加入者ユニットは自局の送信電力を調整することによって電力制御コマンドに応答する。この電力制御方法は、フェージングまたはブロッキングなどの変化するチャネル状態に対応し、しかもスペクトル効率を維持し、かつシステム内の干渉を最小限に抑える。

【0005】**【発明が解決しようとする課題】**

効果的かつ効率的な電力制御は、システム性能にとって重要である。実際、IS-95規

10

20

30

40

50

格のセクション 6 . 1 . 2 . 4 . 2 では、加入者ユニットが電力制御インジケータを受信してから 5 0 0 マイクロ秒以内に電力制御コマンドに応答することを必要としている。従って、処理条件を大幅に増加せずに、トラヒック・チャネル・ダウンリンク信号に含まれるスペクトル拡散電力制御インジケータの高速かつ正確な検出が必要になる。

【 0 0 0 6 】

【実施例】

主データ経路と、電力制御データ経路と、受信信号強度インジケータ (R S S I : received signal strength indicator) 経路との間で復調器ハードウェアをタイムシェアリングすることにより、スペクトル拡散加入者ユニット受信機の電力制御データ経路全体は、ゲート数をあまり増加させずに構築できる。主データ経路および電力制御データ経路は、複素共役発生器 (complex conjugate generator) , 複素乗算器 (complex multiplier) および実数成分抽出器 (real component extractor) をタイムシェアリングする。ただし、タイミング条件のため、主データ経路のチャネル推定フィルタは電力制御データ経路とタイムシェアリングできない。その代わり、R S S I 経路における無限インパルス応答 (I I R : infinite-duration impulse response) フィルタにダイナミック係数スケーリング (dynamic coefficient scaling) が追加され、そのためダイナミック係数スケーリングを有する I I R フィルタは R S S I 経路と電力制御データ経路との間でタイムシェアリングできる。

【 0 0 0 7 】

図 1 は、無線電話加入者ユニット 1 0 1 を含む D S - C D M A 通信システム 1 0 0 のブロック図である。加入者ユニット 1 0 1 は、音声信号を受けるマイクロフォン 1 2 5 を有する。加入者ユニット 1 0 1 は、送信機 1 2 0 を利用して通信チャネル上でスペクトル拡散送信するため音声信号を処理する。送信信号は、デュプレクサ 1 1 3 を介してアンテナ 1 0 5 に達する。スペクトル拡散基地局トランシーバ 1 9 0 などの補足的な通信装置は、アンテナ 1 9 5 を利用して、通信チャネル上で加入者ユニット 1 0 1 から信号を受信する。また、トランシーバ 1 9 0 は、トラヒック・チャネル信号およびパイロット・チャネル信号を加入者ユニット 1 0 1 に送信し、これらの信号は通信チャネル上でアンテナ 1 0 5 によって受信される。

【 0 0 0 8 】

受信信号は、デュプレクサ 1 1 3 を介して受信機 1 3 0 に達する。受信機 1 3 0 は、R F フロント・エンド 1 1 5 , アナログ / デジタル (A / D) コンバータ 1 1 6 , 復調器 1 4 0 , デコーダ 1 7 0 , デジタル / アナログ (D / A) コンバータ 1 8 0 および音声増幅器 1 8 5 を含む。復調器は、好ましくは 3 つのフィンガ (finger) 1 5 2 , 1 5 4 , 1 5 6 を具備するレーキ分岐相関器 (rake branch correlator) 1 5 0 を有する。レーキ分岐相関器 1 5 0 の 3 つのフィンガのそれぞれからのパイロット相関信号およびデータ相関信号は、R S S I 経路 1 6 3 と、電力制御データ経路 1 6 1 と、シンボル・レート・プロセッサ 1 6 0 の主データ経路 1 6 5 とに送出される。R S S I 経路 1 6 3 の出力は、マイクロプロセッサ 1 1 7 に接続される。マイクロプロセッサ 1 1 7 は、加入者ユニット 1 0 1 全体でデータ・ライン , アドレス・ライン , 割り込みラインおよび制御ラインを処理する。マイクロプロセッサ 1 1 7 は、加入者ユニットの他の要素に接続されるが、これらの接続は図面をあまり複雑にしないように図示されていない。

【 0 0 0 9 】

主データ経路 1 6 5 の出力からの主データ信号は、デコーダ 1 7 0 に接続される。復号されたシンボルは、受信信号をスピーカ 1 3 5 上で音声再生するため、D / A コンバータ 1 8 0 および音声増幅器 1 8 5 に送出される。Fuyun Lingらにより 1 9 9 6 年 3 月 2 9 日に出願された米国特許出願第 0 8 / 6 2 4 , 3 2 9 号で説明しているように、通信チャネルの位相および利得を推定するため、主データ経路 1 6 5 において低域通過フィルタを利用することにより、ほぼ最適な D S - C D M A ダウンリンク受信機性能が達成できる。ただし、このほぼ最適な性能を達成することの結果、1 ~ 2 ミリ秒程度の復調遅延が生じる。

【 0 0 1 0 】

10

20

30

40

50

このようなわずかな遅延はスピーチ通信では許容可能であるが、基地局からトラヒック・チャンネル・ダウンリンクにおいて送信され、かつ加入者ユニットにて受信される電力制御インジケータの検出および復調には望ましくない。例えば、IS-95規格では、電力制御インジケータの受信から500マイクロ秒以内に加入者ユニット出力電力を最終値の0.3dB以内で加入者ユニットによって確立することを規定している。電力制御インジケータ検出のために必要な時間を最小限に抑えるため、電力制御インジケータは符号化されず、また電力制御データ経路161の出力からの電力制御データ信号はデジタル信号プロセッサ(DSP)119に直接送られる。従って、電力制御インジケータおよび主データ・トラヒック・チャンネル信号は、個別の復調経路を有する。ただし、特定の用途では、マイクロプロセッサ117は、DSP119の代わりに、復元された電力制御データ信号を受信できる。

10

【0011】

図2は、図1に示す復調器140のブロック図である。トラヒック・チャンネル性能を犠牲にせず電力制御インジケータの検出の遅延を低減するため、復調器140のシンボル・レート・プロセッサ160は、電力制御インジケータおよび主データ・トラヒック・チャンネル信号を個別に復調する。つまり、シンボル・レート・プロセッサ160は、ほとんどあるいはまったく復調遅延のないトラヒック・チャンネルに含まれる電力制御インジケータの復調のために電力制御データ経路161を採用し、また主データ信号のほぼ最適な復調のために適切な、より長い遅延を有する主データ経路165を採用する。

【0012】

20

機能的には、主データ経路および電力制御データ経路は同じであるが、チャンネル推定フィルタの構築の点のみが異なる。これらのフィルタは、データをコヒーレント復調するために必要な、通信チャンネル利得および位相の推定を行うために用いられる。具体的には、主データ経路165は、復元されたデータ・ストリームにおける遅延を犠牲にして性能を最適化する通信チャンネル推定フィルタ240を利用する。例えば、61タップの有限インパルス応答(FIR)フィルタは、1.5ミリ秒の遅延でほぼ最適な性能を発揮する。このFIRフィルタは、同等なIIRフィルタと置換でき、4次IIRフィルタはほぼ同じ遅延で同様な性能を発揮する。これとは対照的に、電力制御データ経路における通信チャンネル推定は、IS-95規格に基づいて500マイクロ秒以下の遅延を有し、単極IIRフィルタでより高速なチャンネル推定フィルタが構築される。IIRフィルタからのデータ・ストリームは、ほんのわずかな遅延しかない。

30

【0013】

動作時に、レーキ分岐相関器150は、ライン202上でパイロット相関信号と、ライン204上でデータ相関信号とを生成する。パイロット相関信号は、RSSI経路163、電力制御データ経路161および主データ経路165に接続される。主データ経路165では、チャンネル推定フィルタ240は通信チャンネル位相および利得の複素表現を推定する。複素共役発生器270、チャンネル推定フィルタ240の出力の複素共役をとる。複素乗算器280は、遅延素子210を利用して所定の量の時間だけ遅延されるように、スイッチ205によって選択されたライン204からのデータ相関信号で、この複素共役を乗算する。

40

【0014】

主データ経路165および電力制御データ経路161はほぼ同じなので、これら2つのデータ経路はハードウェアを最小限に抑えるためタイム・シェアリングを採用する。例えば、複素共役発生器270、複素乗算器280および実数成分抽出器290は、電力制御データ経路161と主データ経路165との間でタイム・シェアリングされる。ただし、主データ経路および電力制御データ経路のチャンネル推定フィルタは、共通の回路を共有しない。その代わりに、RSSI経路163における単極IIRフィルタ250は、電力制御データ経路161とタイム・シェアリングできるように、ダイナミック係数スケーリングを含む。

【0015】

50

電力制御データ経路 161 では、ライン 202 上のパイロット相関信号は、ダイナミック係数スケーリングを有する IIR フィルタ 250 に送られる。チャンネル推定フィルタ 240 と同様に、この単極 IIR フィルタも通信チャンネル位相および利得の複素表現を推定する。IIR フィルタ 250 はチャンネル推定フィルタ 240 のように最適ではないが、遅延の少ない結果を生成する。複素共役発生器 270 は、ダイナミック係数スケーリングを有する IIR フィルタ 250 の出力の複素共役をとり、この複素共役を複素乗算器 280 に接続する。スイッチ 205 は、遅延素子 215 を介してライン 204 上のデータ相関信号を選択する。遅延素子 215 における遅延値は、ダイナミック係数スケーリングを有する IIR フィルタ 250 によって生じるわずかな遅延に相当する。実数成分抽出器 290 は、複素乗算器 280 の出力の実数成分を取り、電力制御データ信号を生成する。

10

【0016】

スイッチ 205 は、ライン 204 からのデータ相関信号を遅延素子 210 または遅延素子 215 のいずれかに与える。復調器制御ユニット 155 は、スイッチ 205 の動作を含め、復調器ユニット 140 内のすべてのタイム・シェアリングを制御する。主データ信号を処理することを復調器制御ユニット 155 が指示すると、スイッチ 205 はデータ相関信号を遅延素子 210 に与え、電力制御データ信号を処理することを復調器制御ユニット 155 が指示すると、スイッチ 205 はデータ相関信号を遅延素子 215 に与える。両方の遅延素子 210、215 は、FIFO (first-in-first-out) バッファとして構築される。遅延素子 215 の遅延は、IS-95 規格に準拠するため、好ましくは 500 マイクロ秒以下である。復調された電力制御データおよび復調された主データは異なる遅延値を有するが、これらの遅延値は固定であり、既知である。従って、復調された信号の性質について混乱はない。

20

【0017】

電力制御データを個別に復調する方法は、DS-SSMA システムに対して、電力制御ビットは符号化されておらず、かつ符号化されていない信号の誤り率曲線は目的の信号対雑音比範囲において一般にかなり平坦であるので可能となる。その結果、ダイナミック係数スケーリングを有する IIR フィルタ 250 は、電力制御インジケータを復調・検出するために、ほとんどあるいはまったく遅延なしに通信チャンネル位相および利得を推定する。このようなゼロ遅延または短遅延チャンネル推定器を利用して生成される電力制御インジケータの誤り率は、十分な遅延を有するほぼ最適なチャンネル推定器を利用して生成される誤り率に比べてわずかだけ劣る。そのため、電力制御データ経路においてゼロ遅延または短遅延チャンネル推定器を利用することにより、システム性能が目立って劣化することはない。

30

【0018】

RSSI 経路 163 は、特定の数のシンボル期間においてパイロット相関信号を加算して、平均パイロット相関信号を生成するアキュムレータ 220 を有する。好ましくは、パイロット相関信号は 8 つの連続したシンボル期間で累算されるが、少ない 2 シンボル期間で累算することによってさらに高速な RSSI 演算を達成でき、またより多くのシンボル期間で累算することによってさらに正確な RSSI 演算を達成できる。二乗ブロック 230 は、アキュムレータ 220 からの平均パイロット相関信号の実数成分および虚数成分を二乗・加算して、エネルギー推定信号を得る。次に、単位利得 (unity gain) を有する単極 IIR フィルタは、二乗ブロック 230 からのエネルギー推定信号を濾波する。IIR フィルタの出力である RSSI 値信号は、信号強度の更新をマイクロプロセッサ 117 (図 1 に図示) に与える。RSSI 経路 163 の処理のために IIR フィルタによって用いられる係数セットと、電力制御データ経路においてチャンネル推定のために IIR フィルタによって用いられる係数セットには共通性がなく、これら 2 つのフィルタは根本的に異なる帯域幅を必要とする。従って、IIR フィルタ 250 は、RSSI 経路 163 と電力制御データ経路 161 との間で単極 IIR フィルタのタイム・シェアリングを可能にするためダイナミック係数スケーリングを含む。

40

【0019】

50

図3は、図2に示すダイナミック係数スケーリングを有するIIRフィルタ250の第1実施例のブロック図である。図示のフィルタは、単極単位利得IIRフィルタである。ダイナミック係数スケーリングは、多極およびゼロを有するフィルタを含め他のIIRフィルタ構成にも適用できる。ダイナミック係数スケーリング方法を利用することにより、RSSI経路163におけるIIRフィルタは、電力制御データ経路161（図2に図示）におけるチャネル推定フィルタとしても利用できる。ダイナミック係数スケーリングを有するIIRフィルタは、異なる帯域幅を有する任意のIIRフィルタ・セットに拡張できる。

【0020】

一般に、フィルタ係数セットは次式によって表すことができる。

【0021】

【数1】

$$\alpha_1 = \sum_{i=j}^k \{c[i] 2^{-i}\}$$

ここで、 $c[i]$ の値は0または1のいずれかにプログラムできる。より小さい係数値を生成する第2セットは次式によって表すことができる。

【0022】

【数2】

$$\alpha_2 = \sum_{i=j+m}^{k+m} \{c[i-m] 2^{-i}\}$$

変数の代入により、次式が成り立つことがわかる。

【0023】

【数3】

$$\alpha_2 = [\sum_{i=j}^k \{c[i] 2^{-i}\}] = [2^{-m} \sum_{i=j}^k \{c[i] 2^{-i}\}] = 2^{-m} \alpha_1$$

上記のように、係数セット₂は、整数セット₁の単純にスケーリングされたものである。従って、係数セット₂に対応する帯域幅は、係数セット₁を利用して構築されるフィルタをタイム・シェアリングすることによって実現できる。単極IIRフィルタにおけるビット・シフトおよび加算ブロック(bit shift-and-add block)に対する入力、係数セット₂の帯域幅が用いられるたびに、単純に 2^{-m} でスケーリングされる。 m の値は、2つの係数セットに対応する帯域幅の差が増加するにつれて増加する。単一の値によるスケーリングは余分なハードウェアを必要としないので、電力制御データ経路フィルタは、ビット・シフトおよび加算ブロックへの入力信号を時間多重化するために必要なゲートのみをRSSIフィルタに追加することによって構築できる。

【0024】

RSSI経路163および電力制御データ経路161（図2に図示）は、ダイナミック係数スケーリングを有するIIRフィルタ250をタイム・シェアリングするので、入力信号はRSSI経路163における二乗ブロック230の出力でも、あるいは電力制御データ経路におけるライン202上のパイロット相関信号のいずれでもよい。係数選択ブロック350は、 2^{-m} スケーラ352を利用して加算器320の出力をスケーリングする。マルチプレクサ354は、RSSI選択信号356がオフまたはオンであるかに応じて、ス

10

20

30

40

50

ケーリングされた信号またはスケーリングされていない信号を選択する。選択された信号は、係数セット γ を有するビット・シフトおよび加算ブロック 358 に送られる。係数選択ブロック 350 の出力は、加算器 360 に接続される。遅延ブロック 370 は、加算器 360 の出力を遅延し、遅延された信号を加算器 360 に正帰還し、遅延された信号を加算器 320 に負帰還する。遅延ブロック 370 の遅延は、電力制御データ経路 161 については 1 シンボル時間期間に等しく、RSSI 経路 163 (図 2 に図示) については 8 シンボル時間期間に等しい。これらの遅延、ならびに RSSI 選択信号 356 のタイミングは、復調器制御ユニット 155 (図 1 に図示) によって決定される。

【0025】

図 4 は、図 2 に示すダイナミック係数スケーリングを有する IIR フィルタ 250 の別の実施例のブロック図である。このフィルタは、直接型構成の単極 IIR フィルタである。もちろん、他の IIR フィルタ構成も利用でき、フィルタは多極またはゼロに拡張できる。

【0026】

RSSI 経路 163 および電力制御データ経路 161 は IIR フィルタ 250 をタイム・シェアリングするので、IIR フィルタ 250 への入力信号は、RSSI 経路 163 (図 2 に図示) における二乗ブロック 230 の出力でも、電力制御データ経路 161 (図 2 に図示) におけるライン 202 上のパイロット相関信号のいずれでもよい。IIR フィルタ 250 において、遅延ブロック 470 は、RSSI 経路 163 について 8 シンボル時間期間だけ、また電力制御データ経路 161 については 1 シンボル時間期間だけ、加算器 420 の出力を遅延する。係数選択ブロック 450 は、 2^{-m} スケーラ 452 を利用して遅延ブロック 470 の出力をスケーリングする。マルチプレクサ 454 は、RSSI 選択信号 456 がオフまたはオンであるかに応じて、スケーリングされた信号またはスケーリングされていない信号を選択する。復調器制御ユニット 155 (図 1 に図示) は、遅延ブロック 470 の遅延、ならびに RSSI 選択信号 456 のタイミングを制御する。選択された信号は、係数セット γ を有するビット・シフトおよび加算ブロック 458 に送られる。係数選択ブロック 450 の出力は、加算器 420 に負帰還される。

【0027】

以上、ダイナミック係数スケーリングを利用する CDMA 電力制御チャネル推定は、CDMA トラヒック・チャネル信号に含まれる電力制御インジケータを高速に復調する低コストな方法を提供する。ダイナミック係数スケーリングを利用する CDMA 電力制御チャネル推定の特定の構成要素および機能について説明してきたが、本発明の真の精神および範囲内で、さらに少ないあるいは追加の機能を当業者によって採用できる。本発明は、特許請求の範囲によってのみ制限されるものである。

【0028】

本出願は、"Method and Apparatus for Demodulation and Power Control Bit Detection in a Spread Spectrum Communication System" という名称の、Fuyun Lingらによって 1996 年 3 月 29 日に提出された米国特許出願第 08/624,329 号の一部継続出願である。この関連出願は本出願の譲受人に譲渡され、この参考として本明細書に完全に含まれるものとする。

【図面の簡単な説明】

【図 1】無線電話加入者ユニットを含む DS-SSMA 通信システムのブロック図である。

【図 2】図 1 に示す復調器のブロック図である。

【図 3】図 2 に示すダイナミック係数スケーリングを有する無限インパルス応答 (IIR: infinite-duration impulse response) フィルタのブロック図である。

【図 4】図 2 に示すダイナミック係数スケーリングを有する IIR フィルタの別の実施例のブロック図である。

【符号の説明】

100 DS-SSMA 通信システム

10

20

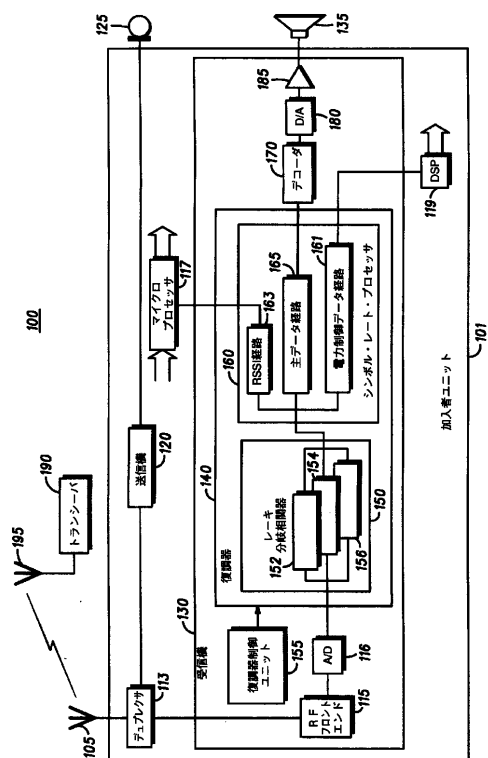
30

40

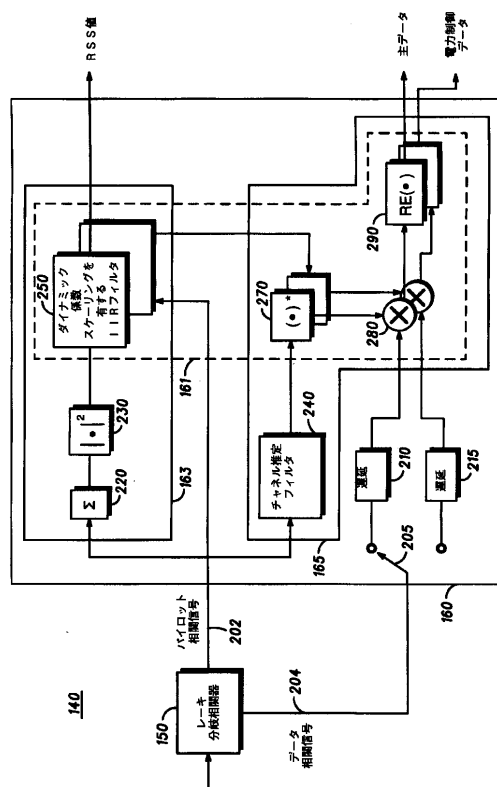
50

1 0 1	無線電話加入者ユニット	
1 0 5	アンテナ	
1 1 3	デュプレクサ	
1 1 5	R Fフロント・エンド	
1 1 6	アナログ／デジタル（A／D）コンバータ	
1 1 7	マイクロプロセッサ	
1 1 9	デジタル信号プロセッサ（DSP）	
1 2 0	送信機	
1 2 5	マイクロフォン	
1 3 0	受信機	10
1 4 0	復調器	
1 5 0	レーキ分岐相関器	
1 5 2 , 1 5 4 , 1 5 6	フィンガ	
1 5 5	復調器制御ユニット	
1 6 0	シンボル・レート・プロセッサ	
1 6 1	電力制御データ経路	
1 6 3	R S S I 経路	
1 6 5	主データ経路	
1 7 0	デコーダ	
1 8 0	デジタル／アナログ（D／A）コンバータ	20
1 8 5	音声増幅器	
1 9 0	スペクトル拡散基地局トランシーバ	
1 9 5	アンテナ	
2 0 2 , 2 0 4	ライン	
2 0 5	スイッチ	
2 1 0 , 2 1 5	遅延素子	
2 2 0	アキュムレータ	
2 3 0	二乗ブロック	
2 4 0	通信チャネル推定フィルタ	
2 5 0	単極 I I F フィルタ	30
2 7 0	複素共役発生器	
2 8 0	複素乗算器	
2 9 0	実数成分抽出器	
3 2 0	加算器	
3 5 0	係数選択ブロック	
3 5 2	2^{-m} スケーラ	
3 5 4	マルチプレクサ	
3 5 6	R S S I 選択信号	
3 5 8	ビット・シフトおよび加算ブロック	
3 6 0	加算器	40
3 7 0	遅延ブロック	
4 2 0	加算器	
4 5 0	係数選択ブロック	
4 5 2	2^{-m} スケーラ	
4 5 4	マルチプレクサ	
4 5 6	R S S I 選択信号	
4 5 8	ビット・シフトおよび加算ブロック	
4 7 0	遅延ブロック	

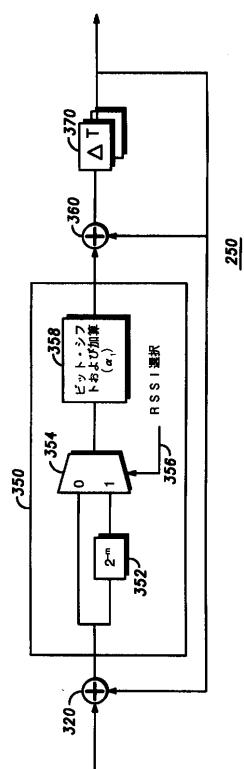
【 図 1 】



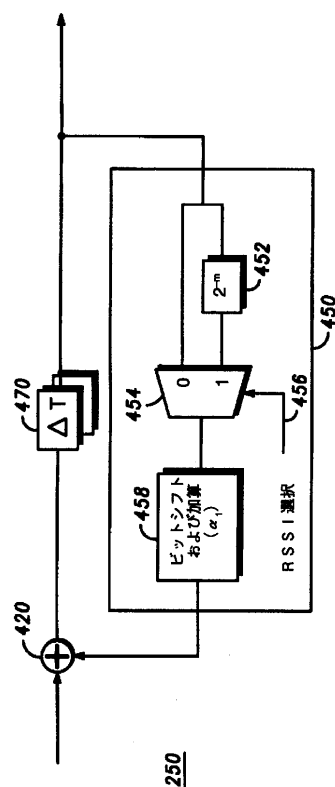
【圖 2】



【 図 3 】



【 図 4 】



フロントページの続き

(72)発明者 クリストファー・ジョン・ベッカー

アメリカ合衆国イリノイ州パラチネ、スターリング・アベニュー 1 0 9 5

(72)発明者 フユン・リン

アメリカ合衆国イリノイ州ホッフマン・エステーツ、マムフォード・ドライブ 4 1 9 0

審査官 青木 健

(56)参考文献 国際公開第 9 5 / 0 0 8 2 2 4 (W O , A 1)

特開平 0 9 - 0 0 8 7 7 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H04B 7/26

H04Q 7/00 - 7/38