

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4214775号  
(P4214775)

(45) 発行日 平成21年1月28日(2009.1.28)

(24) 登録日 平成20年11月14日(2008.11.14)

(51) Int.Cl.	F I
HO 1 L 21/82 (2006.01)	HO 1 L 21/82 C
GO 6 F 17/50 (2006.01)	HO 1 L 21/82 T
HO 1 L 21/336 (2006.01)	GO 6 F 17/50 6 6 6 Y
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 0 1 Z
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 0 2 Z
請求項の数 10 (全 24 頁) 最終頁に続く	

(21) 出願番号 特願2002-368046 (P2002-368046)	(73) 特許権者 000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日 平成14年12月19日(2002.12.19)	(74) 代理人 100094053 弁理士 佐藤 隆久
(65) 公開番号 特開2004-200461 (P2004-200461A)	(72) 発明者 白井 弘樹 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(43) 公開日 平成16年7月15日(2004.7.15)	審査官 池淵 立
審査請求日 平成16年4月30日(2004.4.30)	(56) 参考文献 特開2001-331545 (JP, A) 特開平11-219380 (JP, A)
最終頁に続く	

(54) 【発明の名称】 半導体装置特性シミュレーション方法及び半導体装置特性シミュレータ

(57) 【特許請求の範囲】

【請求項1】

トランジスタの特性をシミュレーションする半導体装置特性シミュレーション方法において、

複数の使用条件に基づいて、特性パラメータが設定された前記トランジスタを用いて劣化前の前記トランジスタのシミュレーションを行なう第1のシミュレーション工程と、

前記複数の使用条件に基づいて、該トランジスタの第1期間における劣化の基礎劣化量と劣化変動量と第2期間における回復量から総劣化量を求め、該総劣化量から前記トランジスタの特性パラメータを算出し、該特性パラメータを用いて劣化後の前記トランジスタのシミュレーションを行なう第2のシミュレーション工程と、

前記第1のシミュレーション工程で得られた結果と前記第2のシミュレーション工程で得られた結果とを比較し、劣化による前記トランジスタの特性を評価する評価工程と

を備えることを特徴とする

半導体装置特性シミュレーション方法。

【請求項2】

半導体装置におけるMIS (Metal Insulator Semiconductor) トランジスタの特性の経時変化をシミュレーションする方法であって、

少なくとも前記トランジスタに印加されたゲート電圧、前記トランジスタの温度、前記トランジスタを形成してから経過した時間に依存する前記トランジスタの特性の基礎劣化量  $X_D$  を求める基礎劣化量算出工程と、

前記トランジスタに印加されたゲート電圧の第1のレベル期間において、少なくとも前記ゲート電圧の第1のレベルと、前記ゲート電圧の第1のレベルを印加してから経過した時間と、前記トランジスタの温度に依存する前記トランジスタの特性の劣化の劣化変動量  $P_D$  を求める劣化変動量算出工程と、

前記トランジスタに印加されたゲート電圧の第2のレベル期間において、少なくとも前記ゲート電圧の第2のレベルと、前記ゲート電圧の第2のレベルを印加してから経過した時間と、前記トランジスタの温度に依存する前記トランジスタの特性の回復量  $P_R$  を求める回復量算出工程と、

前記ゲート電圧の第1のレベル期間において、前記基礎劣化量  $X_D$  と前記劣化変動量  $P_D$  とを加算し、前記ゲート電圧の第2のレベル期間において、前記基礎劣化量  $X_D$  と前記回復量  $P_R$  とを減算し、前記トランジスタの特性の総劣化量  $P$  を求める総劣化量算出工程と、

を有する

半導体装置特性シミュレーション方法。

【請求項3】

前記劣化変動量算出工程において、式1を用い、前記劣化変動量  $P_D$  の経時変化を求める

【数1】

$$\Delta P_D(t) = C_D + B_D \cdot \log(t) \quad (1) \quad 20$$

ここで、 $C_D$ 、 $B_D$  は定数である

請求項2に記載の半導体装置特性シミュレーション方法。

【請求項4】

前記回復量算出工程において、式2を用い、前記回復量  $P_R$  の経時変化を求める

【数2】

$$\Delta P_R(t) = C_R + B_R \cdot \log(t) \quad (2)$$

ここで、 $C_R$ 、 $B_R$  は定数である

請求項2に記載の半導体装置特性シミュレーション方法。

【請求項5】

前記基礎劣化量算出工程において、前記トランジスタを形成してから経過した時間を複数の領域に分割し、各領域において異なる関数を用いて前記基礎劣化量  $X_D$  の経時変化を表わす

請求項2に記載の半導体装置特性シミュレーション方法。

【請求項6】

前記劣化変動量算出工程において、少なくとも、前記トランジスタに印加された現在のゲート電圧  $V_g$  により発生する劣化の変動量と、前記トランジスタに印加された直前のゲート電圧  $V_{gp}$  によって発生する劣化の変動量と、前記トランジスタの温度  $T$  によって発生する劣化の変動量とを求める

請求項2に記載の半導体装置特性シミュレーション方法。

【請求項7】

前記回復量算出工程において、少なくとも、前記回復量の前記トランジスタに印加されたゲート電圧の依存性として、前記トランジスタに過去に印加された最大ゲート電圧  $V_{gm}$  によって発生する回復量と、前記トランジスタに印加された現在のゲート電圧  $V_g$  によって発生する回復量と、前記トランジスタの温度  $T$  によって発生する回復量とを求める

請求項2に記載の半導体装置特性シミュレーション方法。

【請求項8】

前記総劣化量算出工程において、前記トランジスタの特性が所定の許容劣化値まで劣化

10

20

30

40

50

する時は、該劣化値に達するまでの累積時間をトランジスタの寿命として出力する  
請求項 2 に記載の半導体装置特性シミュレーション方法。

【請求項 9】

トランジスタの特性をシミュレーションする半導体装置特性シミュレータにおいて、  
複数の使用条件に基づいて、特性パラメータが設定された前記トランジスタを用いて劣  
化前の前記トランジスタのシミュレーションを行なう第 1 のシミュレーション手段と、  
前記複数の使用条件に基づいて、該トランジスタの劣化の基礎劣化量と劣化変動量と回  
復量から前記トランジスタの特性パラメータを算出し、該特性パラメータを用いて劣化後  
の前記トランジスタのシミュレーションを行なう第 2 のシミュレーション手段と、  
前記第 1 のシミュレーション手段で得られた結果と前記第 2 のシミュレーション手段で  
得られた結果とを比較し、劣化による前記トランジスタの特性を評価する評価手段と  
を備えることを特徴とする  
半導体装置特性シミュレータ。

10

【請求項 10】

前記トランジスタは M I S トランジスタから構成され、前記トランジスタの特性の経時  
変化をシミュレーションする半導体装置特性シミュレータは、

トランジスタが形成されてから経過した時間に依存する前記トランジスタの特性の基礎  
劣化量  $X_D$  を求める基礎劣化量算出手段と、

前記トランジスタに印加されたゲート電圧の第 1 のレベル期間において、少なくとも前  
記ゲート電圧の第 1 のレベルと、前記ゲート電圧の第 1 のレベルを印加してから経過した  
時間と、前記トランジスタの温度に依存する前記トランジスタの特性の劣化変動量  $P_D$   
を求める劣化変動量算出手段と、

20

前記トランジスタに印加されたゲート電圧の第 2 のレベル期間において、少なくともゲ  
ート電圧の前記第 2 のレベルと、前記ゲート電圧の第 2 のレベルを印加してから経過した  
時間と、前記トランジスタの温度に依存する前記トランジスタの特性の回復量  $P_R$  を求  
める回復量算出手段と、

前記ゲート電圧の第 1 のレベル期間において、前記基礎劣化量  $X_D$  と前記劣化変動量  
 $P_D$  とを加算し、前記ゲート電圧の第 2 のレベル期間において、前記基礎劣化量  $X_D$  と前  
記回復量  $P_R$  とを減算し、前記トランジスタの特性の総劣化量  $P$  を求める総劣化量算  
出手段と

30

を有する

請求項 9 に記載の半導体装置特性シミュレータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、M I S (Metal Insulator Semiconductor) トランジスタ及び M I S トランジ  
スタから構成される半導体装置の特性劣化のシミュレーション方法及びシミュレータに関  
し、特に、N B T I (Negative Bias Temperature Instability) 現象による M I S トラ  
ンジスタと半導体装置の特性劣化のシミュレーション方法及びシミュレータに関する。

【0002】

40

【従来の技術】

半導体集積回路装置の高密度化、高集積化、微細化の進行に伴い、それを構成する M O  
S トランジスタの寸法の微細化は著しい。その中で、トランジスタ特性の劣化による M O  
S トランジスタの信頼性が大きな問題となっていた。

M O S トランジスタ特性の劣化により、例えば、ドレイン電流が時間とともに減少し、  
その結果回路の遅延時間が時間とともに増大する。この遅延時間の増大はある程度以上に  
増大すると半導体集積回路内あるいは外部との信号の入出力動作のタイミングエラーを生  
じ、半導体集積回路が組み込まれているシステム全体の誤動作を引き起こす。

【0003】

これまでは、M O S トランジスタの特性劣化について、ホットキャリア劣化が主に研究

50

されてきた。例えば、特許文献 1 と特許文献 2 は、ホットキャリア劣化に関することが開示してある。

ホットキャリア劣化現象は、MOSトランジスタのドレイン端において高電界により高エネルギーの電子・正孔（以下「ホットキャリア」と呼ぶ）が発生し、このホットキャリアがゲート酸化膜の特性を劣化させるものである。

ホットキャリア劣化をシミュレーションする既存技術として、現在も利用されている、1985年のIEEEで発表されているLucky Electronモデル（以後、LEモデルと称す。）は、式3のように示され、Hot Electronに関する1つの現象に限った劣化モデルを計算する方法である。

【0004】

【数3】

$$\Delta P = \left( \text{time} \cdot \frac{I_{ds}}{w} \left( \frac{I_b}{I_{ds}} \right)^m \right)^n \quad (3)$$

ここで、Pは、時間timeを経過した時にトランジスタ特性の劣化量を表わし、I<sub>ds</sub>、I<sub>b</sub>、wはそれぞれソース・ドレイン電流、基板電流、チャンネル幅を表わし、m、nは比例定数である。

【0005】

【特許文献1】

特開平11-135388号公報

【特許文献2】

特開2001-352059号公報

【0006】

【発明が解決しようとする課題】

これまでは、LEモデルで、すなわちI<sub>ds</sub>、I<sub>b</sub>データで表現できるトランジスタ劣化は最も注力すべき劣化現象であった。

しかし、MOSトランジスタの微細化に伴い、NBTI (Negative Bias Temperature Instability) という新たな劣化現象が発見され問題視されるようになってきた。

NBTI劣化の一つには、高温で基板に対して負の電圧をトランジスタのゲート電極に印加し続けるとトランジスタの駆動能力が劣化する現象がある。特に、ゲート絶縁膜に窒化物を採用した表面チャンネル構造のp型MOSトランジスタで劣化が大きい。

MOSトランジスタにおいて、NBTI劣化は、シリコン基板と酸化シリコン絶縁膜の界面で起きる化学反応の平衡状態が高温及び負電圧によって変化することに起因すると解釈されている。

NBTIによる劣化現象では、トランジスタ特性の劣化が時間につれて進みながら、その劣化量が増大したり、減少したりして変動する。

【0007】

NBTI劣化現象に関しては、その劣化を発生させないように、トランジスタの構造を改良する研究がされているが、NBTI劣化現象の存在を前提にして、その詳細を正確に把握し、NBTI劣化を見込んで半導体デバイスを信頼性良く設計する、いわゆるシミュレーションによる研究方法もある。

しかし、従来のシミュレーション手法、例えばLEモデルでは、NBTI劣化現象における劣化の変動に関し対応が出来ず、そのため、NBTI現象による劣化量を正確に見積もって半導体デバイスを信頼性良く設計することができない。これによって、トランジスタの特性劣化に対して、設計マージンを正確に設定することが困難である。

【0008】

トランジスタの特性劣化に対して、必要以上に大きな設計マージンを付けることは、半導体チップの面積を大きくする可能性がある一方で、できる限りさげなければならない。又、トランジスタの特性劣化に対して、必要以上に小さなマージンを付けることは、製品の

10

20

30

40

50

寿命が短くなる恐れがある。

NBTI劣化に関して、式4と式5を実現する信頼性回路シミュレータが既に市販されている。しかしながら、式4と5の関係は、劣化の直流部分の変化を正確に表現していないため、NBTI現象における劣化量を実際より多く見積もる危険性が高いと指摘されている。

また、NBTI劣化において温度やゲート電圧による劣化の変動は今まで全く知られていない。しかし、劣化の変動を考慮しないと、NBTI劣化現象を正確に捉えず、正確な見積りができない、例えば、劣化量を実際より小さく或は多く見積もる危険性がある。

【0009】

【数4】

$$time = e^{Q/k \cdot (1/T_0 - 1/T)} \cdot e^{\alpha} \cdot \sum_{j=1}^{lifetime} (e^{\beta \cdot (V_{gj} - V_{g0})} \cdot \Delta t_j) \quad (4)$$

【数5】

$$\Delta P = C \cdot time^n \quad (5)$$

ここで、Pは、時間timeを経過した時にトランジスタ特性の劣化量を表わし、Q、C、nは比例定数である。Tは絶対温度、T0は実験時の絶対温度、Vg0は基準となるゲート電圧、Vgjはある時点jのゲート電圧、tjはVgjが加えられた時間、timeはVg0、T0に換算された時間を表わす。

【0010】

本発明は、上記の問題に鑑みてなされたものであり、その目的は、トランジスタの劣化現象における劣化量の変動を正確にシミュレーションし、半導体装置を信頼性良く設計することを可能とするシミュレータ及びその方法を提供することにある。以下、半導体装置特性シミュレーション方法を半導体特性シミュレーション方法、また、半導体装置特性シミュレータを半導体特性シミュレータとも記載する。

【0011】

【課題を解決するための手段】

本発明の半導体装置特性シミュレーション方法は、トランジスタの特性をシミュレーションする半導体装置特性シミュレーション方法において、複数の使用条件に基づいて、特性パラメータが設定された前記トランジスタを用いて劣化前の前記トランジスタのシミュレーションを行なう第1のシミュレーション工程と、前記複数の使用条件に基づいて、該トランジスタの第1期間における劣化の基礎劣化量と劣化変動量と第2期間における回復量から総劣化量を求め、該総劣化量から特性パラメータを算出し、該特性パラメータを用いて劣化後の前記トランジスタのシミュレーションを行なう第2のシミュレーション工程と、前記第1のシミュレーション工程で得られた結果と前記第2のシミュレーション工程で得られた結果とを比較し、劣化による前記トランジスタの特性を評価する評価工程とを備えることを特徴とする。

【0012】

本発明の半導体装置特性シミュレータは、トランジスタの特性をシミュレーションする半導体装置特性シミュレータにおいて、複数の使用条件に基づいて、特性パラメータが設定された前記トランジスタを用いて劣化前の前記回路のシミュレーションを行なう第1のシミュレーション手段と、前記複数の使用条件に基づいて、該トランジスタの劣化の基礎劣化量と劣化変動量と回復量から特性パラメータを算出し、該特性パラメータを用いて劣化後の前記トランジスタのシミュレーションを行なう第2のシミュレーション手段と、前記第1のシミュレーション手段で得られた結果と前記第2のシミュレーション手段で得られた結果とを比較し、劣化による前記トランジスタの特性を評価する評価手段とを備えることを特徴とする。

10

20

30

40

50

## 【 0 0 1 3 】

本発明の半導体装置特性シミュレーション方法は、トランジスタはM I S (Metal Insulator Semiconductor) トランジスタから構成され、前記トランジスタの特性の劣化量を求める工程は、少なくとも前記トランジスタに印加されたゲート電圧、前記トランジスタの温度、前記トランジスタを形成してから経過した時間に依存する前記トランジスタの特性起訴劣化量  $X_D$  を求める基礎劣化量算出工程と、前記トランジスタに印加されたゲート電圧の第1のレベル期間において、少なくとも前記ゲート電圧の第1のレベルと、前記ゲート電圧の第1のレベルを印加してから経過した時間と、前記トランジスタの温度に依存する前記トランジスタの特性の劣化の劣化変動量  $P_D$  を求める劣化変動量算出工程と、前記トランジスタに印加されたゲート電圧の第2のレベル期間において、少なくとも前記ゲート電圧の第2のレベルと、前記ゲート電圧の第2のレベルを印加してから経過した時間と、前記トランジスタの温度に依存する前記トランジスタの特性の回復量  $P_R$  を求める前記回復量  $P_R$  と、前記ゲート電圧の第1のレベル期間において、前記基礎劣化量  $X_D$  と前記劣化変動量  $P_D$  とを加算し、前記ゲート電圧の第2のレベル期間において、前記基礎劣化量  $X_D$  と前記回復量  $P_R$  とを減算し、前記トランジスタの特性の総劣化量  $P$  を求める前記総劣化量算出工程と、を有する。

10

## 【 0 0 1 4 】

前記劣化変動量算出工程において、前述した式1を用い、前記劣化変動量  $P_D$  の経時変化を求める。

前記回復量算出工程において、前述した式2を用い、前記回復量  $P_R$  の経時変化を求める。

20

## 【 0 0 1 5 】

前記基礎劣化量算出工程において、前記トランジスタを形成してから経過した時間を複数の領域に分割し、各領域において異なる関数を用いて前記基礎劣化量  $X_D$  の経時変化を表わす。

## 【 0 0 1 6 】

前記劣化変動量算出工程において、少なくとも、前記トランジスタに印加された現在のゲート電圧  $V_g$  により発生する劣化の変動量と、前記トランジスタに印加された直前のゲート電圧  $V_{gp}$  によって発生する劣化の変動量と、前記トランジスタの温度  $T$  によって発生する劣化の変動量とを求める。

30

## 【 0 0 1 7 】

前記回復量算出工程において、少なくとも、前記回復量の前記トランジスタに印加されたゲート電圧の依存性として、前記トランジスタに過去に印加された最大ゲート電圧  $V_{gm}$  によって発生する回復量と、前記トランジスタに印加された現在のゲート電圧  $V_g$  によって発生する回復量と、前記トランジスタの温度  $T$  によって発生する回復量とを求める。

## 【 0 0 1 8 】

前記総劣化量算出工程において、前記トランジスタの特性が所定の許容劣化値まで劣化する時は、該劣化値に達するまでの累積時間をトランジスタの寿命として出力する。

## 【 0 0 1 9 】

本発明の半導体装置特性シミュレータは、トランジスタはM I S (Metal Insulator Semiconductor) トランジスタから構成され、前記回路の劣化をシミュレートするために用いる前記トランジスタの特性の経時変化をシミュレーションする半導体装置特性シミュレータであって、トランジスタが形成してから経過した時間に依存する前記トランジスタの特性の基礎劣化量  $X_D$  を求める基礎劣化量算出手段と、前記トランジスタに印加されたゲート電圧の第1のレベル期間において、少なくとも前記ゲート電圧の第1のレベルと、前記ゲート電圧の第1のレベルを印加してから経過した時間と、前記トランジスタの温度に依存する前記トランジスタの特性の劣化変動量  $P_D$  を求める劣化変動量算出手段と、前記トランジスタに印加されたゲート電圧の第2のレベル期間において、少なくともゲート電圧の前記第2のレベルと、前記ゲート電圧の第2のレベルを印加してから経過した時間と、前記トランジスタの温度に依存する前記トランジスタの特性の回復量  $P_R$  を求める

40

50

回復量算出手段と、前記ゲート電圧の第1のレベル期間において、前記基礎劣化量  $X_D$  と前記劣化変動量  $P_D$  とを加算し、前記ゲート電圧の第2のレベル期間において、前記基礎劣化量  $X_D$  と前記回復量  $P_R$  とを減算し、前記トランジスタの特性の総劣化量  $P$  を求める総劣化量算出手段とを有する。

【0020】

本発明の半導体特性シミュレーション方法において、基礎劣化量  $X_D$  と、劣化変動量  $P_D$  と、特性の回復量  $P_R$  と、総劣化量  $P$  を求める。これによって、特性の変動において、基礎劣化量  $X_D$  に対する劣化の変動（増加）と、特性の回復（基礎劣化量  $X_D$  に対する劣化の減少）とを考慮してシミュレーションを行なう。これによって、トランジスタの形成後、測定工程やバーンイン工程など最初に電圧を加えてから経過した時間または、使用に供し始めてから経過した時間に依存するトランジスタの特性の劣化量を求める。

10

【0021】

本発明によれば、ゲート電圧を印加してから経過した時間  $t$  の対数 ( $\log(t)$ ) を変数となる関数を用い、トランジスタ特性の劣化の変動量の経時変化と、トランジスタ特性の回復量の経時変化を求め、劣化と回復を正確に計算する。

本発明によれば、異なる時間領域において異なる関数を定義し、それらを用い基礎劣化量  $X_D$  の経時変化を表わす。

また、本発明によれば、劣化量と回復量のゲート電圧  $V_g$  の依存性と、温度の依存性とを求める。

これによって、劣化量と、劣化後の回復量と、総劣化量を正確に求める。

20

【0022】

本発明によれば、劣化量ライブラリを作成し、その劣化量ライブラリを用い回路の劣化量を求め、大規模回路について劣化量を高速に求める。

また、本発明によれば、トランジスタの複数の使用条件において、トランジスタの劣化量と回復量を連続的に求め、劣化量を正確に求める。

これによって、実際の使用状態と近い劣化量と、劣化後の回復量と、総劣化量を正確に求める。

【0023】

【発明の実施の形態】

次に、本発明の半導体特性シミュレータ及び半導体特性シミュレーション方法の実施の形態について、添付した図面を参照して説明する。

30

第1の実施の形態

本願発明者は、NBTI劣化現象、特に、劣化、及び劣化後に特性の回復の詳細を実験データにより捉え、その実験データに基づき、NBTI劣化現象をシミュレーションするために、劣化及び回復を表わす経験式を見出した。

図1は、NBTI (Negative Bias Temperature Instability)劣化現象として、例えば、MISトランジスタの駆動能力や、しきい値電圧などの特性の経時変化を概略的に示しており、一例として印加されたゲート電圧によってトランジスタの特性が時間と共に劣化していく例を示している。図1(a)は、ゲート電圧信号  $V_g$  を示し、図1(b)には、縦軸が任意の特性量の総劣化量  $P$ 、横軸が時間を示している。

40

図1(a)と(b)に示すように、負のゲート電圧  $V_g$  を印加すると、トランジスタの特性は曲線Dのように劣化し、即ち、総劣化量  $P$  が増大する。一方、負のゲート電圧  $V_g$  を下げると、トランジスタの特性は曲線Rのように回復する。この劣化と回復は、印加されたゲート電圧信号  $V_g$  と同じ周期で繰り返して発生する。

【0024】

また、ゲート電圧  $V_g$  の各周期において、劣化の最小値或は回復の最大値を結んだ曲線は、特性の変動いわゆる劣化と回復とに関係しない、いわゆる劣化量の直流部分とも言われる。以下、この直流部分の劣化量は、「基礎劣化量」 $X_D$  と呼ぶ。特性の変動は、この基礎劣化量  $X_D$  に対するものである。

従来のシミュレーション方法は、劣化と回復を考慮しないので、この基礎劣化量  $X_D$  部

50

分だけをシミュレーションしていた。

【0025】

図1(b)において、 $V_g$ のローレベルに対応して劣化が発生する期間、即ち、曲線Dの時間領域 $T_D$ は、「劣化期間」と呼ぶ。また、 $V_g$ のハイレベルに対応して回復が発生する期間、即ち、曲線Rの時間領域 $T_R$ は、「回復期間」と呼ぶ。

以下は、劣化期間 $T_D$ において、基礎劣化量 $X_D$ に対して発生する劣化の増加量を「劣化量の変動量」或は只「劣化量」と呼び、 $P_D$ と記し、回復期間 $T_R$ において、基礎劣化量 $X_D$ に対して発生する劣化の減少量は「回復量」と呼び、 $P_R$ と記す。

【0026】

<劣化量  $P_D$  の計算>

10

本発明において、実験測定結果を解析した結果、前述した式1のように、 $V_g$ のローレベル電圧が印加してから経過した時間 $t$ の対数 $\log(t)$ の線形式を用い、劣化量  $P_D$  を計算する。

式1において、 $P_D$ は、トランジスタの特性劣化量又は初期特性からの劣化率、例えば特性値 $V_{th}$ 、 $S_{wing}$ などの劣化量や、 $g_m$ 、 $I_{ds}$ 、 $I_{off}$ 、 $I_g$ 、 $S_{wing}$ などの劣化率、及び例えばSPICEシミュレータのような回路シミュレータの定数 $V_{th0}$ 、 $u_0$ 、 $r_{dsw}$ などの劣化率又は劣化量をあらわす。 $C_D$ 、 $B_D$ は定数をあらわす。

【0027】

図1に示すように、 $P_D$ の経時変化はゲート電圧 $V_g$ に依存する。即ち、定数 $C_D$ 、 $B_D$ は、印加されたゲート電圧 $V_g$ によって決められる。

20

本発明において、実験データに基づいて得られた式6、もしくは、式7を用い、ゲート電圧 $V_g$ に依存する定数 $C_D$ を求める。また、式8、もしくは、式9を用い、ゲート電圧 $V_g$ に依存する定数 $B_D$ を求める。実際に、式6と式8は多くの実験データを再現できたが、一部の実験結果は式7、9とよく一致するので、両方を使用する可能性がある。

【0028】

【数6】

$$C_D = C_{DV} e^{n_{cv}/V_g} \quad (6)$$

30

【数7】

$$C_D = C_{DV} e^{\alpha_{cv} + \beta_{cv} \cdot V_g} \quad (7)$$

ここで、 $C_{DV}$ 、 $n_{cv}$ 、 $\alpha_{cv}$ 、 $\beta_{cv}$ は実験で得られる定数である。

【0029】

【数8】

$$B_D = B_{DV} e^{n_{bv}/V_g} \quad (8)$$

40

【数9】

$$B_D = B_{DV} e^{\alpha_{bv} + \beta_{bv} \cdot V_g} \quad (9)$$

ここで、 $B_{DV}$ 、 $n_{bv}$ 、 $\alpha_{bv}$ 、 $\beta_{bv}$ は実験で得られる定数である

【0030】

劣化量  $P_D$  は、現在印加されているゲート電圧 $V_g$ だけでなく、直前のゲート電圧 $V_{gp}$ にも依存する。図2は、劣化量  $P_D$  の直前のゲート電圧 $V_{gp}$ の依存性を図示している。

図2は、図1と同じように、MISトランジスタの特性のゲート電圧による劣化を示し

50

ている。図 2 ( a ) は、ゲート電圧信号  $V_g$  を示し、図 2 ( b ) には、縦軸が任意の特性量の総劣化量  $P$ 、横軸が時間を示している。

図 2 ( a ) において、期間  $T_1$  に、例えば、2 つの電圧  $V_{g1a}$  と  $V_{g1b}$  をそれぞれトランジスタのゲート電極に印加するとする。一例として、 $V_{g1a} = 0 \text{ V}$ 、 $V_{g1b} = -0.6 \text{ V}$  とする。図 2 ( b ) に示すように、ゲート電圧  $V_{g2}$  をトランジスタに印加すると、トランジスタの特性は劣化する。ゲート電圧  $V_{g2}$  を印加している期間  $T_2$  には、トランジスタの劣化量は、期間  $T_1$  においてトランジスタに印加した電圧  $V_{g1a}$  と  $V_{g1b}$  によって異なる。期間  $T_1$  に電圧  $V_{g1a}$  を印加した場合は、トランジスタの特性が曲線  $D_1$  に沿って劣化する、期間  $T_1$  に電圧  $V_{g1b}$  を印加した場合は、トランジスタの特性が曲線  $D_2$  に沿って劣化する。

10

【 0 0 3 1 】

本発明において、実験データに基づいて、現在のゲート電圧  $V_g$  の依存性を表わす式 6、式 7、式 8、式 9 に劣化量  $P_D$  の直前のゲート電圧  $V_{gp}$  の依存性を加え、式 10、若しくは、式 11、及び式 12、若しくは、式 13 を得て、定数  $C_D$ 、 $B_D$  の現在のゲート電圧  $V_g$  の依存性、及び直前のゲート電圧  $V_{gp}$  の依存性を表わす。これらの式により、例えば、式 1 において時間  $t = 0$  よりも前に加えた直前のゲート電圧  $V_{gp}$  と現在のゲート電圧  $V_g$  から定数  $C_D$ 、 $B_D$  を計算する。

【 0 0 3 2 】

【 数 1 0 】

$$C_D = C_{DV} \left( e^{n_{CV}/V_g} \pm C_{DVp} e^{n_{CVP}/V_{gp}} \right) \quad (10)$$

20

【 数 1 1 】

$$C_D = C_{DV} \left( e^{\alpha_{CV} + \beta_{CV} \cdot V_g} \pm C_{DVp} e^{\alpha_{CVP} + \beta_{CVP} \cdot V_{gp}} \right) \quad (11)$$

ここで、 $C_{DVp}$ 、 $n_{CVP}$ 、 $C_{VP}$ 、 $C_{VP}$  は実験で得られる定数である。

【 0 0 3 3 】

【 数 1 2 】

$$B_D = B_{DV} \left( e^{n_{BV}/V_g} \pm B_{DVp} e^{n_{BVP}/V_{gp}} \right) \quad (12)$$

30

【 数 1 3 】

$$B_D = B_{DV} \left( e^{\alpha_{BV} + \beta_{BV} \cdot V_g} \pm B_{DVp} e^{\alpha_{BVP} + \beta_{BVP} \cdot V_{gp}} \right) \quad (13)$$

ここで、 $B_{DVp}$ 、 $n_{BVP}$ 、 $B_{VP}$ 、 $B_{VP}$  は実験で得られる定数である

40

【 0 0 3 4 】

劣化量  $P_D$  は、動作中のトランジスタの温度にも依存する。劣化量  $P_D$  の温度依存性として、式 10 ~ 13 ( 或は、式 6 ~ 9 ) における定数  $C_{DV}$ 、 $B_{DV}$  の絶対温度  $T$  との関係を示す式 14 と式 15 で表す。式 14 と式 15 には、 $C_{DVT}$ 、 $Q_{DC}$ 、 $B_{DVT}$ 、 $Q_{DB}$  は実験などから得られる定数、 $T_0$  は実験時の絶対温度である。

【 0 0 3 5 】

【 数 1 4 】

$$C_{DV} = C_{DVT} \cdot e^{Q_{DC}/k \cdot (1/T_0 - 1/T)} \quad (14)$$

50

【数 15】

$$B_{DV} = B_{DVT} \cdot e^{\frac{Q_{DB}}{k} \cdot (\frac{1}{T_0} - \frac{1}{T})} \quad (15)$$

【0036】

<回復量  $P_R$  の計算>

本願発明者は、実験測定結果に基づいて、NBTI劣化現象において、劣化後に特性の回復の詳細を実験データにより捉え、その実験データに基づき、回復を表わす経験式を見出した。

本発明において、前述した式2のように、 $V_g$ のハイレベル電圧が印加してから経過した時間  $t$  の対数  $\log(t)$  の線形式を用い、回復量  $P_R$  を計算する。即ち、劣化の後に回復を始めてからの時間  $t$  での回復量  $P_R$  を計算する。

10

【0037】

式2では、 $P_R$  は、トランジスタの特性劣化量又は初期特性からの劣化率、例えば特性値  $V_{th}$ 、 $Swing$  などの劣化量や、 $g_m$ 、 $I_{ds}$ 、 $I_{off}$ 、 $I_g$ 、 $Swing$  などの劣化率、及び例えばSPICEシミュレータのような回路シミュレータの定数  $V_{th0}$ 、 $u_0$ 、 $r_{dsw}$  などの劣化率又は劣化量をあらわす。 $C_R$ 、 $B_R$  は定数をあらわす。

【0038】

図1に示すように、回復量  $P_R$  の経時変化はゲート電圧  $V_g$  に依存する。さらに、回復量  $P_R$  は、劣化に伴う回復量に対して過去に加えた最大ゲート電圧  $V_{gm}$  に依存する

20

。図3は、回復量  $P_R$  の最大ゲート電圧  $V_{gm}$  の依存性を図示している。

図3は、MISトランジスタの特性のゲート電圧による劣化を示している。図3(a)は、ゲート電圧信号  $V_g$  を示し、図3(b)には、縦軸が任意の特性量の総劣化量  $P$ 、横軸が時間の対数を示している。

【0039】

図3(a)において、例えば、ゲート電圧  $V_{gm}$  と  $V_{gx}$  をそれぞれトランジスタのゲート電極に印加するとし、従って、図3(a)でゲート電圧  $V_{gm}$  は最大のゲート電圧となる。図3(b)に示すように、ゲート電圧  $V_{gm}$  と  $V_{gx}$  をトランジスタに印加すると、トランジスタは劣化し、ゲート電圧  $V_{gm}$  と  $V_{gx}$  を下げると、トランジスタの特性はそれぞれ線  $R_3$  と  $R_4$  に沿って回復する。実験結果からは、回復量の経時変化を表わす線  $R_3$  と  $R_4$  の勾配は、主に過去に加えた最大ゲート電圧  $V_{gm}$  に依存する。即ち、図3(b)において、 $R_3$  と  $R_4$  の勾配は、略同じである。

30

【0040】

本発明において、実験データに基づいて得られた式16、もしくは、式17を用い、最大ゲート電圧  $V_{gm}$  に依存する定数  $C_R$  を求める。また、式18、もしくは、式19を用い、最大ゲート電圧  $V_{gm}$  に依存する定数  $B_R$  を求める。劣化量  $P_D$  の計算と同じように、実際に、式16と式18を用いると多くの実験データを再現することができたが、一部の実験結果は式17、式19とよく一致するので、両方を示した。

【0041】

40

【数 16】

$$C_R = C_{RVM} e^{\frac{n_{CRVM}}{V_{gm}}} \quad (16)$$

【数 17】

$$C_R = C_{RVM} e^{\alpha_{CRVM} + \beta_{CRVM} \cdot V_{gm}} \quad (17)$$

ここで、 $C_{RVM}$ 、 $n_{CRVM}$ 、 $\alpha_{CRVM}$ 、 $\beta_{CRVM}$  は実験で得られる定数である

50

【 0 0 4 2 】

【 数 1 8 】

$$B_R = B_{RVM} e^{n_{RBVM}/V_{gm}} \quad (18)$$

【 数 1 9 】

$$B_R = B_{RVM} e^{\alpha_{BRVM} + \beta_{BRVM} \cdot V_{gm}} \quad (19)$$

ここで、 $B_{RVM}$ 、 $n_{RBVM}$ 、 $\alpha_{BRVM}$ 、 $\beta_{BRVM}$  は実験で得られる定数である 10

【 0 0 4 3 】

回復量  $P_R$  は、過去に印加した最大のゲート電圧  $V_{gm}$  だけでなく、現在印加されているゲート電圧  $V_g$  にも依存する。

本発明において、実験データに基づいて、過去に印加した最大のゲート電圧  $V_{gm}$  の依存性を表わす式 16、式 17、式 18、式 19 に回復量  $P_R$  の現在印加されているゲート電圧  $V_g$  の依存性を加え、式 20、若しくは、式 21、及び式 22、若しくは、式 23 とし、定数  $C_R$ 、 $B_R$  の現在のゲート電圧  $V_g$  の依存性、及び過去に印加した最大のゲート電圧  $V_{gm}$  の依存性を表わす。これらの式により、例えば、式 2 において回復の前に ( $t < 0$ ) 印加した最も絶対値の大きいゲート電圧  $V_{gm}$  と現在ゲート電圧  $V_g$  から定数  $C_R$ 、 $B_R$  を計算する。 20

【 0 0 4 4 】

【 数 2 0 】

$$C_R = C_{RVM} \left( e^{n_{CRVM}/V_{gm}} \pm C_{RV} e^{n_{CRV}/V_g} \right) \quad (20)$$

【 数 2 1 】

$$C_R = C_{RVM} \left( e^{\alpha_{RCRVM} + \beta_{RCRVM} \cdot V_{gm}} \pm C_{RV} e^{\alpha_{CRV} + \beta_{CRV} \cdot V_g} \right) \quad (21) \quad 30$$

ここで、 $C_{RV}$ 、 $n_{CRV}$ 、 $\alpha_{CRV}$ 、 $\beta_{CRV}$  は実験で得られる定数である。

【 0 0 4 5 】

【 数 2 2 】

$$B_R = B_{RVM} \left( e^{n_{RBVM}/V_{gm}} \pm B_{RV} e^{n_{BRV}/V_g} \right) \quad (22)$$

【 数 2 3 】

$$B_R = B_{RVM} \left( e^{\alpha_{RBVM} + \beta_{RBVM} \cdot V_{gm}} \pm B_{RV} e^{\alpha_{BRV} + \beta_{BRV} \cdot V_g} \right) \quad (23) \quad 40$$

ここで、 $B_{RV}$ 、 $n_{BRV}$ 、 $\alpha_{BRV}$ 、 $\beta_{BRV}$  は実験で得られる定数である。

【 0 0 4 6 】

回復量  $P_R$  は、動作中のトランジスタの温度にも依存する。回復量  $P_R$  の温度依存性として、式 20 ~ 式 23 (或は、式 16 ~ 19) における定数  $C_{RVM}$ 、 $B_{RVM}$  の絶対温度  $T$  との関係性を式 24 と式 25 で表す。式 24 と式 25 には、 $C_{RVM T}$ 、 $Q_{RC}$ 、 $B_{RVM T}$ 、 $Q_{RB}$  は実験などから得られる定数、 $T_0$  は実験時の絶対温度である。

【 0 0 4 7 】

【 数 2 4 】

$$C_{RVM} = C_{RVMT} \cdot e^{\frac{Q_{rc}}{k} \cdot \left(\frac{1}{T_0} - \frac{1}{T}\right)} \quad (24)$$

【数25】

$$B_{RVM} = B_{RVMT} \cdot e^{\frac{Q_{rb}}{k} \cdot \left(\frac{1}{T_0} - \frac{1}{T}\right)} \quad (25)$$

【0048】

&lt;総劣化量 P の計算&gt;

劣化期間  $T_D$  において発生した総劣化量 P は、式26のように、基礎劣化量  $X_D(t)$  と劣化量  $P_D(t)$  との和になる。 10

回復期間  $T_R$  において発生した総劣化量 P は、式27のように、基礎劣化量  $X_D(t)$  と直前の劣化期間の劣化量  $P_D(t)$  の和から回復量  $P_R(t)$  を差し引いた値になる。

【0049】

【数26】

$$\Delta P = \Delta P_D(t) + X_D(t) \quad (26)$$

【数27】

$$\Delta P = \Delta P_D(t) + \Delta P_R(t) + X_D(t) \quad (27)$$

【数28】

$$X_D(t) = C \cdot e^{\frac{Q}{k} \cdot \left(\frac{1}{T_0} - \frac{1}{T}\right)} \cdot \left( e^{\gamma/Vg1} \cdot time1 + e^{\gamma/Vg2} \cdot time2 \right)^n \quad (28)$$

【数29】

$$X_D(t) = C \cdot e^{\frac{Q}{k} \cdot \left(\frac{1}{T_0} - \frac{1}{T}\right)} \cdot \left( e^{\alpha+\beta \cdot Vg1} \cdot time1 + e^{\alpha+\beta \cdot Vg2} \cdot time2 \right)^n \quad (29)$$

【数30】

$$X_D(t) = C \cdot e^{\frac{Q}{k} \cdot \left(\frac{1}{T_0} - \frac{1}{T}\right)} \cdot \left( \sum_i \left( e^{\gamma/Vgi} \cdot timei \right) \right)^n \quad (30)$$

【数31】

$$X_D(t) = C \cdot e^{\frac{Q}{k} \cdot \left(\frac{1}{T_0} - \frac{1}{T}\right)} \cdot \left( \sum_i \left( e^{\alpha+\beta \cdot Vgi} \cdot timei \right) \right)^n \quad (31)$$

【0050】

式28～式31は、NBTI劣化における基礎劣化量  $X_D(t)$  の従来の計算式であり、前述した式4と式5によって得られる。

式28と29は、例えば、図1(a)に示されるようにローレベル  $Vg1$  とハイレベル  $Vg2$  とからなるパルス状のゲート電圧信号  $Vg$  を加えた時の基礎劣化量  $X_D(t)$  を表わしている。

ここで  $t$  はゲート電圧が  $Vg1$  もしくは  $Vg2$  を印加してから経過した時間、 $time1$  は  $Vg1$  を加えた総累積時間、 $time2$  は  $Vg2$  を加えた総累積時間。又、 $C$  , , , , 50

$n$  ,  $Q$  は実験などによって得られる定数である。

【 0 0 5 1 】

式 3 0 と式 3 1 は、複数の電圧値を有する任意のゲート電圧信号  $V_{g}$  を加えた時の基礎劣化量  $X_D(t)$  を表わしている。即ち、式 2 8 と式 2 9 は、式 3 0 と式 3 1 の特例となる。

式 3 0 と式 3 1 において、 $t$  はゲート電圧が  $V_{gi}$  に変えてからの時間、 $time_i$  は任意の電圧  $V_{gi}$  を加えた総累積時間。又、 $C$  ,  $\alpha$  ,  $n$  ,  $Q$  は実験などによって得られる定数である。

【 0 0 5 2 】

シミュレーションでは、劣化量  $P_D$  の計算、または、回復量  $P_R$  の計算を実行するかどうかを判別する基準を設ける。例えば、ゲート電圧  $V_g$  はある値以上になると、劣化の変動が始まると判定し、式 1、及び式 6 ~ 式 1 5 で表わされる劣化量  $P_D$ 、式 2 6 で表わされる総劣化量  $P$  を求める。ゲート電圧  $V_g$  はある値以下になると、回復が始まると判定し、式 2、及び式 1 6 ~ 式 2 5 で表わされる回復量  $P_R$ 、式 2 7 で表わされる総劣化量  $P$  を求める。

【 0 0 5 3 】

以上に、説明を簡単にするために、基礎劣化量  $X_D(t)$  を従来の計算式 2 8 ~ 式 3 1 (或は、式 4 と式 5) を用いて表わしていたが、本願発明者は実験データに基づいて、実際の基礎劣化量  $X_D(t)$  を、式 4 と式 5 のような 1 つの時間領域に定義された 1 つの関数で表わすのではなく、複数の時間領域における複数の異なる関数で表わすことを見出した。

図 4 は、基礎劣化量  $X_D(t)$  の経時変化を図示し、従来の計算法と本発明の計算法を比較する。

破線は、式 4 と式 5 で表わされる従来の計算式による基礎劣化量  $X_D$  の経時変化を示し、実線は、本発明による基礎劣化量の経時変化を示す。従来の式 4 と式 5 では、基礎劣化量  $X_D$  は全時間範囲で 1 つの関数で表現される。

一方、本発明では、例えば、3 つの時間範囲 ( $t < t_1$ 、 $t_1 < t < t_2$ 、 $t > t_2$ ) に、それぞれ異なる関数を使って各時間範囲内の基礎劣化量  $X_{D1}$ 、 $X_{D2}$ 、 $X_{D3}$  を表わす。例えば、式 3 2 と式 3 3 を用いる。

【 0 0 5 4 】

【 数 3 2 】

$$time = e^{Q/k \cdot (1/T_0 - 1/T)} \cdot e^{\alpha} \cdot \sum_{j=1}^{lifetime} \left( e^{\beta \cdot (V_{gj} - V_{g0})} \cdot \Delta t_j \right) \quad (32)$$

【 数 3 3 】

$$\Delta P = C \cdot \sum_{k=1} \left[ time^n \right]_{time=stime_k}^{time=etime_k} \quad (33)$$

【 0 0 5 5 】

式 3 2 と式 3 3 において、 $V_{g0}$  は基準となるゲート電圧、 $V_{gj}$  はある時点  $j$  のゲート電圧、 $t_j$  は  $V_{gj}$  が加えられた時間、 $time$  は  $V_{g0}$ 、 $T_0$  に換算された時間、 $k$  は時間領域を表す添え字、 $stime_k$  は  $V_{g0}$ 、 $T_0$  条件下における領域  $k$  の始まる時間、 $etime_k$  は同じく領域  $k$  の終了する時間である。

式 3 2 と式 3 3 で総劣化量  $P$  を求める時は、前述と同じように、例えば、劣化量  $P_D$ 、もしくは回復量  $P_R$  を計算しておいて、そして、式 3 2 でこれまで経過した時間  $time$  を計算し、式 3 3 に代入して基礎劣化量  $X_D$  を得る。総劣化量  $P$  は式 2 6 又は式 2 7 で得られる。

10

20

30

40

50

式 3 2 と式 3 3 によって、劣化量は実際の値と近い値となり、実際より多く見積もる可能性が低くなる。

【 0 0 5 6 】

本実施形態によれば、新しい N B T I の劣化及び回復現象を扱うことにより、微細化がさらに進んだ半導体回路（例えば、設計ルールが 1 8 0 n m よりも小さい場合）の設計に対して、高速かつ最適に信頼性劣化マージンを与えるものである。

従来技術の劣化式を時間で区切ることにより劣化量を実際に近いものにできる。多くの場合、劣化量を減らせる。

新しい N B T I 劣化現象として、劣化の変動を考慮することによってより正確な劣化量をシミュレーションできる。多くの場合、劣化量を増える。

新しい N B T I 回復現象を考慮することによってより正確で最終的な劣化量をシミュレーションできる。多くの場合、劣化量を大幅に減らせる。

これら正確な信頼性劣化マージンをシミュレーションすることにより、従来技術より劣化量を減った場合には M I S トランジスタのサイズを小さくすることが可能となり製品のウェハ占有面積を削減し、結果としてウェハ 1 枚あたりに製造できる製品数が増加し、製造コストを下げるのが可能となる。従来技術より劣化量が増える場合、製品に対して寿命をまっとうできるように予め対策を施した回路を設計することが可能である。

【 0 0 5 7 】

第 2 の実施の形態

次に、本発明に係る半導体特性シミュレータの一実施形態を説明する。

本実施形態のシミュレータは、M I S トランジスタなどから構成される一つの回路に対して、半導体製造工程やユーザーの使用などにおける複数のストレス状態及び使用状態を連続的に処理し、トランジスタ及び回路の特性劣化及び回復をシミュレーションし、トランジスタ及び回路の特性変化を評価する。

例えば、半導体製造工程における電圧を加える測定工程における M I S トランジスタの劣化や回復や、測定工程の後の放置による回復、温度を加え初期故障をスクリーニングする製造工程のバーンイン工程における劣化と回復、バーンイン工程の後の放置による回復、ユーザー使用時に電圧、温度を加える時に発生する劣化と回復、ユーザー使用後の放置による回復など、一部または全てを連続的に計算する。こうすることによって、より正確な劣化量をシミュレーションできる。多くの場合、例えば、バーンイン工程を考慮するだけよりは劣化量を劇的に減らすことができる。

【 0 0 5 8 】

図 5 は、本実施形態に係る半導体特性シミュレータ 1 の構成を示す図である。

半導体特性シミュレータ 1 は、第 1 の実施形態で説明した劣化と回復の演算をするコンピュータシステムからなり、例えば、演算、制御を行なうプロセッサ（CPU）2 と、シミュレーションモデル及びこのモデルに必要なデータを格納したメモリ 3 と、シミュレーションに必要な条件などのデータを入力する入力部 4 と、シミュレーションの結果を出力する出力部 5 と、プロセッサ 2、メモリ 3、入力部 4、及び出力部 5 を接続するバス 6 とを含む。なお、半導体特性シミュレータ 1 は、以上の構成を複数有しても良い。

【 0 0 5 9 】

メモリ 3 には、第 1 の実施形態で説明したようなシミュレーションに必要な、実験で得られた定数群 7、シミュレーションを実施すべき対象回路の接続関係のデータであるネットリスト 8、シミュレーションを行なうモデル 9 などを格納している。

入力部 4 から、シミュレーションを実施すべき対象回路のネットリスト 8 とシミュレーションモデル 9 の参照先、例えばトランジスタの S P I C E 回路シミュレータのパラメータの参照先が入力される。

【 0 0 6 0 】

また、回路の複数の使用状態を連続的に処理し、トランジスタ及び回路の特性劣化及び回復を正確にシミュレーションするために、回路とトランジスタの特性劣化をシミュレーションする時に、回路とトランジスタの使用条件、例えば、温度、電圧、その条件での経

10

20

30

40

50

過時間が入力部 4 から入力される。

また、シミュレーションで得られた劣化量を評価するために、劣化後の回路及び各トランジスタの故障判定基準として劣化許容値も入力される。シミュレーションで得られた劣化量を劣化許容値と比較し、劣化後の回路の最適化を行なう。

出力部 5 は、シミュレーションで得られたトランジスタの寿命、劣化量、総劣化量、及び劣化後特性を出力する。

#### 【 0 0 6 1 】

シミュレータ 1 によってシミュレーションを行なう時に必要な定数群 7 は、図 6 に示す構成で測定する。図 6 において、例えば、ソース・ドレイン電流  $I_{ds}$  を測定する DC テスタからなる測定器 1 1 によりトランジスタの特性を測定する。測定器制御部 1 2 は、例えばコンピュータからなり、トランジスタの特性の実験値より、第 1 の実施形態で説明した定数群を計算し、シミュレータ 1 に出力する。測定器制御部 1 2 は、測定器 1 1 を制御してデータの測定や、定数の計算を自動的に行ない、トランジスタと回路の複数の使用条件での劣化を連続的にシミュレーションする。

測定器 1 1 と測定器制御部 1 2 は、シミュレーションに用いられる定数をトランジスタのゲート長毎に測定し、さらに、各トランジスタのソース・ドレイン間電圧に依存して測定し、出力し、メモリ 3 に保存する。

このようにシミュレーションに必要なデータ測定や定数計算を自動化することにより、大量のパラメータを短時間で取得することが可能となり、また、高速に劣化と回復を計算し、新しい NBTI 劣化現象と回復現象を正確に捉えることができる。

#### 【 0 0 6 2 】

次に、図 7 ~ 図 1 0 のフローチャートを参照して、半導体特性シミュレータ 1 の動作を説明する。

図 7 は、半導体装置特性シミュレータ 1 の演算内容を示すフローチャートである。

最初に、シミュレーションを実施すべき対象回路のネットリスト 7 とシミュレーションモデル 9 の参照先、例えばトランジスタの SPICE 回路シミュレータのパラメータの参照先を入力する。シミュレーションモデル 9 を実行し、対象回路の特性及びそれを構成するトランジスタの特性劣化のシミュレーションを開始する。

#### 【 0 0 6 3 】

ステップ S 1 :

対象回路のある使用条件、例えば、温度、電圧、その条件での経過時間を入力する。

ステップ S 2 :

劣化による回路の特性変化を評価するために、劣化前の回路特性をシミュレーションし、その結果をメモリ 3 に保存する。

#### 【 0 0 6 4 】

ステップ S 3 :

対象回路を構成する MIS トランジスタ毎に、例えば、第 1 の実施形態で説明し式 1 , 式 2、式 6 から式 3 3 で定義されるような計算方法によって、入力された使用条件及び指定された経過時間に達するまで、トランジスタの劣化量、回復量、総劣化量、及びそれらの電圧と温度依存性を計算する。得られたトランジスタの寿命、劣化量を出力する。

#### 【 0 0 6 5 】

ステップ S 4 :

さらに別の使用条件でのシミュレーションを続ける場合、例えばバーンイン工程での動作の後にそれとは違う温度、電圧条件で、ユーザーによる動作が続く場合は、ステップ S 1 に戻り、次の使用条件を入力し、その条件で、劣化前の回路特性シミュレーション (ステップ S 2 ) とトランジスタ毎のシミュレーション (ステップ S 3 ) を繰り返す。

これ以上別の使用条件が続かない場合は、ステップ S 5 に進む。

#### 【 0 0 6 6 】

ステップ S 5 :

劣化による回路の特性変化を評価するために、前述した複数の使用条件で得られた総劣

10

20

30

40

50

化量から、劣化後の回路特性をシミュレーションする。

ステップ S 6 :

劣化後のシミュレーション結果とメモリ 3 に保存されている劣化前の回路特性とを表示し比較し、劣化による回路の特性変化を評価する。

また、上記のシミュレーションで得られた各条件でトランジスタ毎の劣化量から、例えば、劣化量ライブラリを作成し保存し、同じトランジスタで構成された他の回路の特性劣化シミュレーションに使う。

また、劣化後のシミュレーション結果から、特性の劣化による回路の遅延時間の増大を算出し、回路毎の遅延量のライブラリを作成し保存し、他の回路の特性劣化シミュレーションに使う。

10

【 0 0 6 7 】

図 8 は劣化前の回路特性のシミュレーションを示している。

ステップ S 1 1 :

メモリ 3 に格納されている回路シミュレータ、S P I C E などの回路シミュレータを用い、対象回路のシミュレーションを行ない、劣化前の回路特性を抽出する。

このシミュレーション結果は、例えば、ゲート電圧やソース・ドレイン電圧の時間推移で構成される。

ステップ S 1 2 :

得られたシミュレーション結果から、M I S トランジスタ毎に実効ゲート電圧を算出し、ステップ 3 に進む。

20

実効ゲート電圧の算出は、測定器 1 1 で計算されメモリ 3 に格納された定数群 7 を用いて行なう。

【 0 0 6 8 】

図 9 はトランジスタ毎の劣化シミュレーションを示している。

ステップ S 2 1 :

M I S トランジスタ毎に、例えば、第 1 の実施形態で説明し式 1 , 式 2、及び式 6 から式 3 3 を用い、入力された使用条件及び指定された経過時間に達するまで、トランジスタの劣化量、回復量、及びそれらの電圧と温度依存性を計算する。

ステップ S 2 2 :

M I S トランジスタ毎に入力された故障判定基準となる劣化許容値を用い、瞬間総劣化量は劣化許容値に達するまでのトランジスタの寿命を計算する。

30

劣化量、回復量の計算、寿命の計算は、測定器 1 1 で計算されてメモリ 3 に格納された定数群 7 を用いて行なう。

計算された劣化量及び寿命を出力する。

【 0 0 6 9 】

ステップ S 2 3 :

入力された全ての使用条件で、過去に計算された劣化量から M I S トランジスタ毎の総劣化量を計算し、ステップ 4 に進む。

例えば、現在の使用条件において、計算された劣化量  $P_D$  の最大値、もしくは回復量  $P_R$  の最小値を調べる。式 3 2 を用いて過去の全て及び現在の使用条件を全て足した時間  $t_{time}$  を計算し、式 3 3 に代入して得た値を  $X_D$  となる。それまでの総劣化量  $P$  は式 2 6 又は式 2 7 で得られる。

40

【 0 0 7 0 】

図 1 0 は劣化後回路特性のシミュレーションを示している。

ステップ S 3 1 :

これまでの各条件で発生した劣化量の和となる総劣化量から、M I S トランジスタ劣化後のモデルパラメータ、例えば S P I C E における劣化後の  $V_{th0}$  や  $u_0$  ,  $r_{dsw}$  を計算する。計算された結果を出力する。

ステップ S 3 2 :

算出されたモデルパラメータを用いて、S P I C E などの回路シミュレーションを行な

50

い、劣化後の回路特性を計算する。

【0071】

このようにして、MISトランジスタなどから構成される一つの回路に対して、複数の使用状態で発生したトランジスタの劣化及び回復は連続的にシミュレーションされ、回路の特性変化は評価される。

【0072】

なお、実際の使用条件では、動作中の周期的なストレス状態と異なって、前述したような処理後の非周期の放置期間、例えば、半導体製造工程において測定した後の放置、パージ工程の後の放置、ユーザー使用後に電源をオンからオフにした後の放置などが多く存在する。

このような放置期間内に、トランジスタ及び回路の特性が回復し続け、劣化のない完全な状態に近い状態まで回復できることもある。

本実施形態のシミュレータは、回復が十分行なわれた後、十分回復したことを検知し、総劣化量の計算に反映させる。例えば、式26～33で計算される総劣化量  $P$  がある一定の値まで回復したことを判定し、その場合に、劣化と回復の計算に必要なパラメータ或は一部をもう一度設定する。例えば、この時に、回復量の最大ゲート電圧  $V_{gm}$  の依存関係がなくなるので、回復量を計算する時に最大ゲート電圧  $V_{gm}$  の値をリセットする。

【0073】

本実施形態によれば、新しいNBTIの劣化及び回復現象を扱うことにより、微細化がさらに進んだ半導体回路（例えば、設計ルールが180nmより小さい場合）の設計に対して、高速かつ最適に信頼性劣化マージンを与えるものである。

実際の半導体製造工程や、ユーザーの使用などの複数の使用条件を考慮することにより、より正確な劣化量をシミュレーションできる。通常、従来のように一工程だけを考慮する場合より、劣化量をさらに大幅に減らすことができる。

シミュレーションに必要な定数の計算及び実験データ測定を自動化することにより、シミュレーションに必要な大量のパラメータを短時間で取得することが可能となり、また、高速に劣化量と回復量を計算でき、新しいNBTI劣化、回復現象を正確に捉えることができる。

【0074】

### 第3の実施の形態

次に、本発明に係る半導体特性シミュレータの他の実施形態を説明する。

本実施形態のシミュレータは、大規模集積回路(VLSI)の劣化シミュレーションに好適である。大規模集積回路の場合は、回路の構成が多くかつ複雑なので、全てのトランジスタについて劣化と回復のシミュレーションを行なうことは非常に時間が掛かるので、非現実である。そのため、事前にトランジスタまたは基本回路の劣化シミュレーションで得られた結果からトランジスタまたは基本回路の劣化量ライブラリを作成しておく。対象回路の劣化シミュレーションを行なう時に、その劣化量ライブラリを用いて対象回路におけるトランジスタ及び基本回路の劣化量を短時間に求めることができる。

【0075】

図11は、本実施形態に係る半導体特性シミュレータ20の構成を示す図である。

半導体特性シミュレータ20の構成は、基本的に第1の実施形態の半導体特性シミュレータ1と同様である、但し、メモリに記憶された、計算に必要なデータが異なる。また、シミュレータ全体の動作手順も異なる。

本実施形態において、第2の実施形態と同じ構成に同じ参照番号を用いる。

【0076】

半導体特性シミュレータ20は、例えば、プロセッサ(CPU)2と、シミュレーションモデル及びシミュレーションに必要なデータを格納したメモリ3と、シミュレーションに必要な条件などのデータを入力する入力部4と、シミュレーションの結果を出力する出力部5と、プロセッサ2、メモリ3、入力部4、及び出力部5を接続するバス6を含む。なお、半導体特性シミュレータ20は、以上の構成を複数有しても良い。

10

20

30

40

50

## 【 0 0 7 7 】

メモリ 3 には、シミュレーションに必要な実験で得られた定数群 7、シミュレーションを実施すべき対象回路の接続関係のデータであるネットリスト 8、シミュレーションを行なうモデル 9 に加えて、事前にトランジスタについて行なったシミュレーション結果から作成した劣化量データである劣化量ライブラリ 2 1、大規模回路となる対象回路を構成する基本回路のデータである基本回路ライブラリ 2 2、対象回路の回路図 2 3 などを格納している。

入力部 4 から、回路の使用条件、例えば、温度、電圧、その条件での経過時間が入力される。また、許容劣化値は故障判定基準として入力される。

出力部 5 は、シミュレーションで発見した故障箇所、及び劣化後の特性を出力する。

また、図示していないが、シミュレーションに必要な定数群 7 を決めるために、実験データを測定し、定数を計算する測定手段は配置されている。

## 【 0 0 7 8 】

構成するか基本的な回路群毎に劣化量ライブラリ 2 1 として予め劣化量を用意しておく。劣化量ライブラリ 2 1 は、例えば、第 2 の実施形態で説明したように、事前に行なったトランジスタと別の回路の劣化シミュレーションの結果をもって作成しても良く、または、全てのトランジスタが最も厳しい劣化をするという仮定で、劣化量を計算しておいてライブラリを作成する。これは、例えば、式 3 2、式 3 3 を用いることで容易に算出できる。

シミュレータ 2 0 は、以上の劣化量ライブラリ 2 1 を用い、基本的な回路群のデータからなる基本回路ライブラリ 2 2 から構成される、回路図 2 3 となる対象回路について、高速かつ正確に特性の劣化を計算する。

## 【 0 0 7 9 】

次に、図 1 2 のフローチャートを参照して、半導体特性シミュレータ 2 0 の動作を説明する。

図 1 2 は、半導体装置特性シミュレータ 2 0 の演算内容を示すフローチャートである。

最初に、シミュレーションを実施すべき対象回路のシミュレーションのモデル 9 の参照先、例えばトランジスタの S P I C E 回路シミュレータのパラメータの参照先を入力する。シミュレーションのモデル 9 を実行し、対象回路の特性及びそれを構成するトランジスタの特性劣化のシミュレーションを開始する。

## 【 0 0 8 0 】

ステップ S 4 1 :

初期の回路シミュレーションを行なう。

具体的に、劣化量ライブラリ 2 1 と基本回路ライブラリ 2 2 を用い、基本回路ライブラリ 2 2 に含まれる基本回路群からなる構成される、回路図 2 3 となる対象回路について、高速に基本回路の劣化量を計算する。

ステップ S 4 2 :

劣化量は入力される故障判定基準の劣化量が無視できない程大きい回路のみを抽出する。同時に対象回路の動作波形と動作パターンも抽出する。

ステップ S 4 3 :

抽出された回路、動作波形及び基本回路ライブラリ 2 2 によって、例えば、S P I C E シミュレーションが可能となるようなネットリスト 8 を合成する。

## 【 0 0 8 1 】

ステップ S 4 4 :

ネットリスト 8 を用い、例えば、第 2 の実施形態で説明したように、より正確な回路シミュレーションを行なう。

ステップ S 4 5 :

回路シミュレーションの結果より、入力された故障判定基準を用いて回路の故障判定を行なう。

ステップ S 4 6 :

10

20

30

40

50

シミュレーション結果として、例えば、故障判定の結果により、故障となった箇所、及び劣化後の回路の遅延値などを出力する。

【0082】

本実施形態によれば、大規模回路の場合であっても、高速に正確に劣化と回復シミュレーションができる。

【0083】

構成する基本的な回路群毎に劣化量ライブラリ21として予め劣化量を用意しておく。劣化量ライブラリ21は、例えば、第2の実施形態で説明したように、事前に行なったトランジスタと別の回路の劣化シミュレーションの結果をもって作成しても良く、または、全てのトランジスタが最も厳しい劣化をするという仮定で、劣化量を計算しておいてライ

10

ブラリを作成する。これは、例えば、式32、式33を用いることで容易に算出できる。シミュレータ20は、以上の劣化量ライブラリを用い、基本的な回路群のデータからなる基本回路ライブラリ22から構成される、回路図23となる対象回路について、高速かつ正確に特性の劣化を計算する。

【0084】

【発明の効果】

本発明によれば、劣化現象において、劣化及び回復現象を扱うことにより、微細化がさらに進んだ半導体回路の設計に対して、高速かつ最適に信頼性劣化マージンを与えるものである。

従来の劣化の計算式を時間で区切ることにより劣化量を実際に近いものにできる。多くの場合、劣化量を減らせる。

20

特性劣化の変動を考慮することによってより正確な劣化量をシミュレーションできる。多くの場合、劣化量が増える。

特性の回復を考慮することによってより正確で最終的な劣化量をシミュレーションできる。多くの場合、劣化量を大幅に減らせる。

半導体装置の製造からユーザーの使用までの複数の使用条件を考慮することにより、より正確な劣化量をシミュレーションでき、一工程だけを考慮する場合より劣化量をさらに大幅に減らすことができる。

また、本発明によれば、大規模回路の場合であっても、高速に正確に劣化と回復シミュレーションができる。

30

【0085】

これら正確な信頼性劣化マージンをシミュレーションすることにより、従来技術より劣化量を減った場合にはMISトランジスタのサイズを小さくすることが可能となり製品のウェハ占有面積を削減し、結果としてウェハ1枚あたりに製造できる製品数が増加し、製造コストを下げるのが可能となる。従来技術より劣化量が増える場合、製品に対して寿命をまっとうできるように予め対策を施した回路を設計することが可能である。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態において、トランジスタ特性劣化と回復、及びそれらのゲート電圧依存性を示す図である。

【図2】 本発明の第1の実施形態において、トランジスタ特性劣化量のゲート電圧依存性を示す図である。

40

【図3】 本発明の第1の実施形態において、トランジスタ特性回復量のゲート電圧依存性を示す図である。

【図4】 本発明の第1の実施形態において、トランジスタ特性の基礎劣化量の時間領域の依存性を示す図である。

【図5】 本発明の第2の実施形態に係る半導体装置特性シミュレータの構成を示す図である。

【図6】 本発明の第2の実施形態に係る定数測定器の構成を示す図である。

【図7】 本発明の第2の実施形態に係る半導体装置特性シミュレータの演算内容を示すフローチャートである。

50

【図8】 図7に続き、本発明の第2の実施形態に係る半導体装置特性シミュレータの演算内容を示すフローチャートである。

【図9】 図8に続き、本発明の第2の実施形態に係る半導体装置特性シミュレータの演算内容を示すフローチャートである。

【図10】 図9に続き、本発明の第2の実施形態に係る半導体装置特性シミュレータの演算内容を示すフローチャートである。

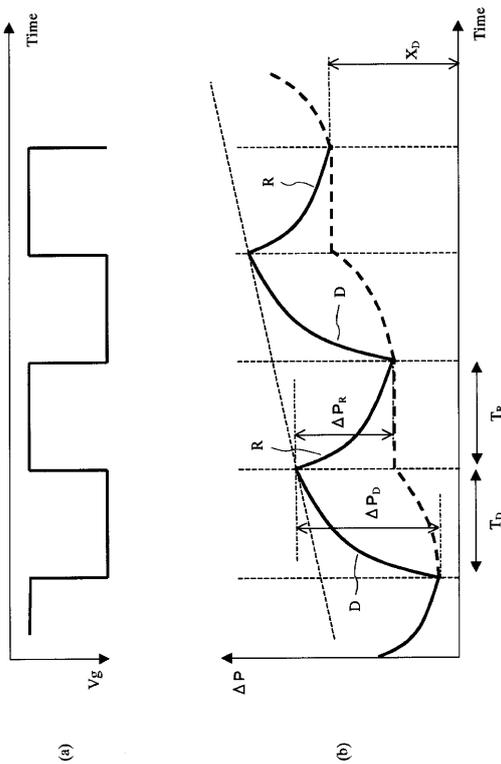
【図11】 本発明の第3の実施形態に係る半導体装置特性シミュレータの構成を示す図である。

【図12】 本発明の第3の実施形態に係る半導体装置特性シミュレータの演算内容を示すフローチャートである。

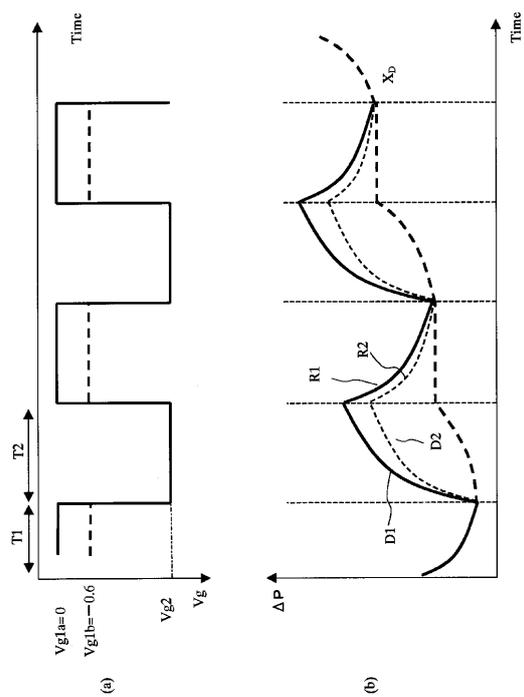
【符号の説明】

1, 20...半導体装置特性シミュレータ、2...CPU、3...メモリ、4...入力部、5...出力部、6...バス、7...定数群、8...ネットリスト、9...モデル、11...測定器、12...測定器制御部、21...劣化量ライブラリ、22...基本回路ライブラリ、23...回路図、P<sub>D</sub>...劣化量、P<sub>R</sub>...回復量、X<sub>D</sub>...基礎劣化量。

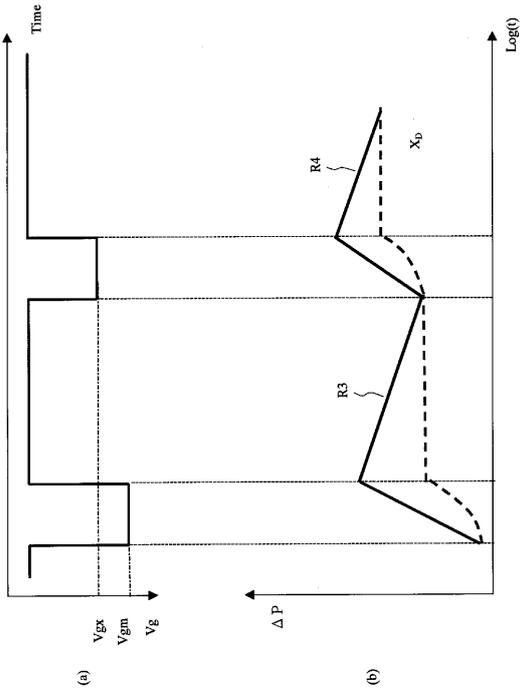
【図1】



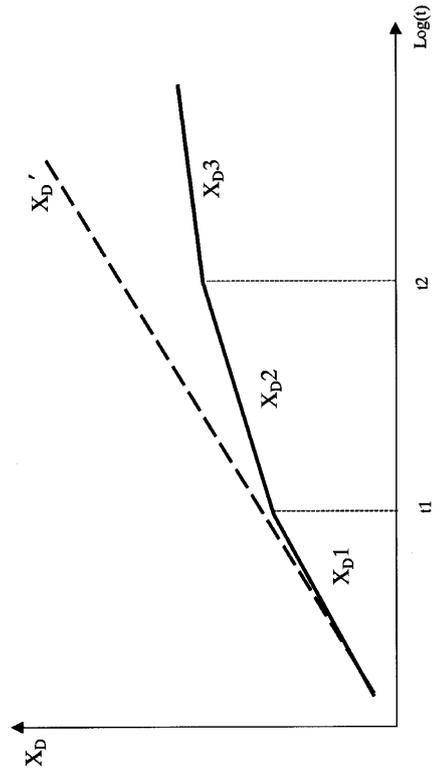
【図2】



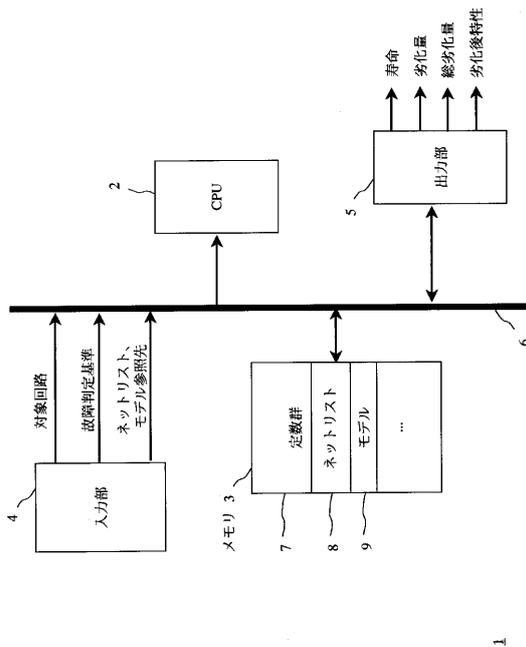
【図3】



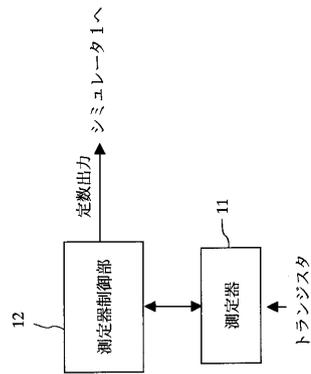
【図4】



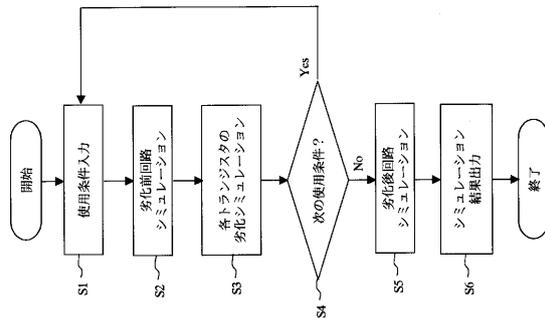
【図5】



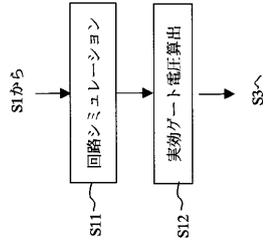
【図6】



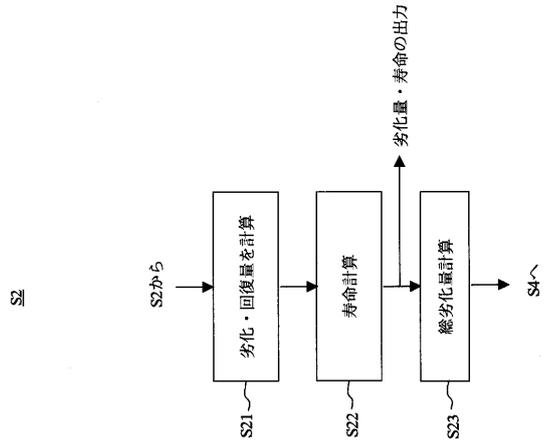
【図7】



【図8】

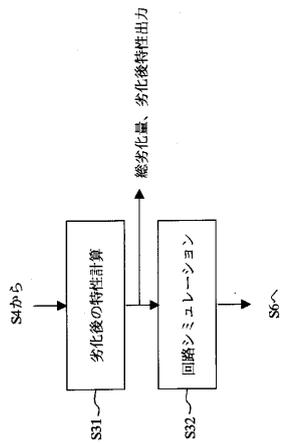


【図9】

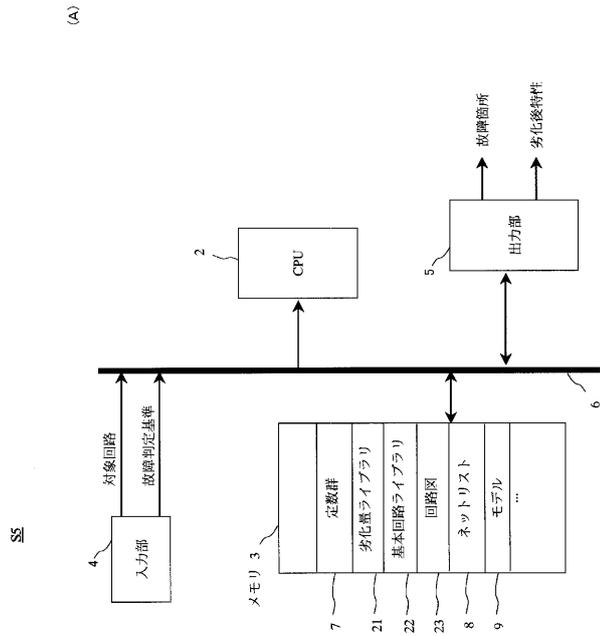


S1

【図10】

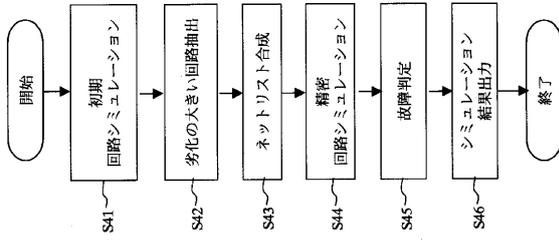


【図11】



20

【 図 1 2 】



---

フロントページの続き

(51)Int.Cl.

**H 0 1 L 27/088 (2006.01)**

**H 0 1 L 29/00 (2006.01)**

F I

H 0 1 L 29/00

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/82

G06F 17/50

H01L 21/336

H01L 29/78

H01L 21/8234

H01L 27/088