

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 1 部門第 2 区分
【発行日】令和 6 年 8 月 19 日(2024.8.19)

【公開番号】特開 2023-119980(P2023-119980A)
【公開日】令和 5 年 8 月 29 日(2023.8.29)
【年通号数】公開公報(特許)2023-162
【出願番号】特願 2022-23138(P2022-23138)
【国際特許分類】
A 6 3 F 7/02(2006.01)
【F I】
A 6 3 F 7/02 3 2 6 Z

10

【手続補正書】
【提出日】令和 6 年 8 月 8 日(2024.8.8)
【手続補正 1】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項 1】

20

遊技の動作に関する所定制御を行うための第 1 演算処理と、第 1 演算処理とは異なる第 2 演算処理とを行う演算処理手段と、
前記第 1 演算処理で使用され得る第 1 記憶領域と、
前記第 2 演算処理で使用され得る第 2 記憶領域と、を備え、
割込み制御状態は、割込み禁止状態を設定可能な割込み禁止命令の実行で割込み禁止状態を設定可能であり、割込み許可状態を設定可能な割込み許可命令の実行で割込み許可状態を設定可能であり、
前記演算処理手段は、
第 2 演算処理を実行する前に、割込み禁止命令を実行する際の割込み制御状態を示す所定値を記憶した状態とすることが可能であり、割込み禁止命令を実行した後で且つ第 2 演算処理を行った後に、前記所定値を復帰した状態とすることが可能であり、
第 1 記憶領域に設けられたスタックは第 1 記憶領域に係る処理によって利用可能であり、第 2 記憶領域に設けられたスタックは第 2 記憶領域に係る処理によって利用可能であり、第 2 記憶領域に係る処理を最初に呼び出したときに、第 2 記憶領域のスタックポインタに関して設定処理が可能であり、
電源投入を行った際に、クリア範囲と対応する判定データに応じて第 1 記憶領域のクリア範囲を指定可能であり、
判定データに基づいて、第 2 記憶領域についてのクリア範囲を指定可能であり、
第 1 アドレスで示される領域のデータを指定したビット位置で振り分け、振り分けられた第 1 のデータを第 1 レジスタ、第 2 のデータを第 2 レジスタに記憶することが可能であり、
第 2 アドレスに対応するエントリーの値が 0 であればそのままとし、エントリーの値が 0 以外のときはエントリーの値から 1 を減算し、エントリーの値から減算できたか否かに応じて、所定のフラグを変化させることが可能であることを特徴とする遊技機。

30

40

【手続補正 2】
【補正対象書類名】明細書
【補正対象項目名】0 0 1 3
【補正方法】変更

50

【補正の内容】

【0013】

本発明の第1の実施態様に係る発明は、下記の構成を有する。

遊技の動作に関する所定制御を行うための第1演算処理（例えば、遊技用エリアに係る処理）と、第1演算処理とは異なる第2演算処理（例えば、領域外エリアに係る処理）とを行う演算処理手段（例えば、メインCPU6201）と、

前記第1演算処理で使用され得る第1記憶領域（例えば、メインRAM6203の遊技用エリア）と、

前記第2演算処理で使用され得る第2記憶領域（例えば、メインRAM6203の領域外エリア）と、を備え、

割込み制御状態は、割込み禁止状態を設定可能な割込み禁止命令の実行で割込み禁止状態を設定可能であり、割込み許可状態を設定可能な割込み許可命令の実行で割込み許可状態を設定可能であり（例えば、割込み許可レジスタに割込み禁止状態、割込み許可状態に対応する値をセットすることにより割込み制御状態が管理され）、

前記演算処理手段は、

第2演算処理を実行する前に、割込み禁止命令を実行する際の割込み制御状態を示す所定値を記憶した状態とすることが可能であり、割込み禁止命令を実行した後で且つ第2演算処理を行った後に、前記所定値を復帰した状態（例えば、割込み許可レジスタの値をフラグレジスタに格納する）とすることが可能であり、

第1記憶領域に設けられたスタック（例えば、スタックエリア（遊技用エリア））は第1記憶領域に係る処理によって利用可能であり、第2記憶領域に設けられたスタック（例えば、スタックエリア（領域外エリア））は第2記憶領域に係る処理によって利用可能であり、

第2記憶領域に係る処理を最初に呼び出したときに、第2記憶領域のスタックポインタに関して設定処理が可能であり、

電源投入を行った際に、クリア範囲（例えば、メインRAM6203の遊技用エリアにおいてデータをクリアする範囲）と対応する判定データ（例えば、メインRAM6203の遊技用エリアに係るクリア範囲先頭アドレスの下位1バイト）に応じて第1記憶領域のクリア範囲を指定可能であり、

判定データに基づいて、第2記憶領域についてのクリア範囲を指定可能であり、

第1アドレスで示される領域のデータを指定したビット位置で振り分け、振り分けられた第1のデータを第1レジスタ、第2のデータを第2レジスタに記憶することが可能であり（例えば、1バイトのデータをビット位置「6」で振り分け、上位1ビット（前ゼロ）をHレジスタに、下位7ビット（前ゼロ）をLレジスタにセットする）、

第2アドレスに対応するエントリーの値が0であればそのままとし、エントリーの値が0以外のときはエントリーの値から1を減算し、エントリーの値から減算できたか否かに応じて、所定のフラグを変化させることが可能であることを特徴とする遊技機。

10

20

30

40

50