

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-253390

(P2012-253390A)

(43) 公開日 平成24年12月20日(2012.12.20)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 23/50 (2006.01)	HO 1 L 23/50 Q	5 F 0 6 7
HO 1 L 25/065 (2006.01)	HO 1 L 25/08 Z	
HO 1 L 25/07 (2006.01)		
HO 1 L 25/18 (2006.01)		

審査請求 有 請求項の数 14 O L (全 16 頁)

(21) 出願番号	特願2012-209197 (P2012-209197)	(71) 出願人	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成24年9月24日 (2012.9.24)		神奈川県川崎市中原区下沼部1753番地
(62) 分割の表示	特願2008-199186 (P2008-199186) の分割	(74) 代理人	100110928 弁理士 速水 進治
原出願日	平成20年8月1日 (2008.8.1)	(74) 代理人	100127236 弁理士 天城 聡
		(72) 発明者	西川 健次 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
		Fターム(参考)	5F067 BD05 DE01 DF01

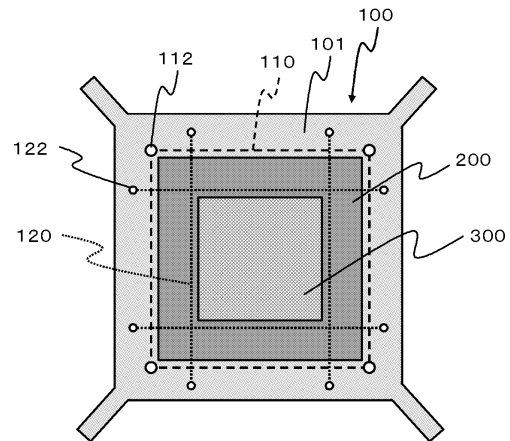
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】複数種類の半導体チップそれぞれの搭載位置を容易に認識できるようにする。

【解決手段】リードフレーム100は、ダイパッド101、第1の凹部112、及び第2の凹部122を備える。ダイパッド101は、第1の半導体チップ200が搭載される。第1の凹部112は第1の半導体チップ200の搭載領域110を示しており、第2の凹部122は第2の半導体チップ300の搭載領域120を示している。第1の凹部112と第2の凹部122は、形状及び大きさの少なくとも一方が異なる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体チップが搭載されるダイパッドと、
前記ダイパッドに形成され、第 1 の半導体チップの搭載領域を示す第 1 の凹部、凸部、
または孔と、
前記ダイパッドに形成され、第 2 の半導体チップの搭載領域を示す第 2 の凹部、凸部、
または孔と、
を備え、
前記第 1 の凹部、凸部、または孔と、前記第 2 の凹部、凸部、または孔は、形状及び大
きさの少なくとも一方が異なるリードフレーム。

10

【請求項 2】

請求項 1 に記載のリードフレームにおいて、
前記第 2 の半導体チップは、前記第 1 の半導体チップより小さく、かつ前記第 1 の半導
体チップ上に搭載され、
前記ダイパッドにおいて、前記第 2 の半導体チップの搭載領域は、前記第 1 の半導体チ
ップの搭載領域の内部に位置するリードフレーム。

【請求項 3】

請求項 2 に記載のリードフレームにおいて、
前記第 1 の凹部、凸部、または孔と、前記第 2 の凹部、凸部、または孔とを、それぞれ
複数有しており、
隣り合う前記第 1 の凹部、凸部、または孔を結ぶことにより、前記第 1 の半導体チップ
の搭載領域が定義され、
前記第 1 の半導体チップの搭載領域を介して互いに対向する前記第 2 の凹部、凸部、ま
たは孔を結ぶことにより、前記第 2 の半導体チップの搭載領域が定義されるリードフレ
ーム。

20

【請求項 4】

請求項 1 に記載のリードフレームにおいて、
前記第 1 の凹部、凸部、または孔は、前記ダイパッドの第 1 面に形成され、
前記第 2 の凹部、凸部、または孔は、前記ダイパッドの第 1 面とは反対側の面である第
2 面に形成されているリードフレーム。

30

【請求項 5】

請求項 2 に記載のリードフレームにおいて、
前記第 1 の凹部、凸部、または孔、並びに前記第 2 の凹部、凸部、または孔は、前記ダ
イパッドの第 1 面に形成され、
さらに、前記ダイパッドの第 1 面とは反対側の面である第 2 面に形成されており、第 3
の半導体チップの搭載領域を示す第 3 の凹部、凸部、または孔を備えるリードフレーム。

【請求項 6】

請求項 1 ~ 5 のいずれか一つに記載のリードフレームと、
前記リードフレームの前記ダイパッドに搭載された前記第 1 の半導体チップと、
を備える半導体装置。

40

【請求項 7】

第 1 の半導体チップ及び第 2 の半導体チップの少なくとも一方を、リードフレームのダ
イパッド上に搭載する工程と、
前記第 1 の半導体チップ及び第 2 の半導体チップの少なくとも一方の搭載位置を検査す
る工程と、
を有する半導体装置の製造方法であって、
前記リードフレームは、
前記ダイパッドに形成され、前記第 1 の半導体チップの搭載領域を示す第 1 の凹部、凸
部、または孔と、
前記ダイパッドに形成され、前記第 2 の半導体チップの搭載領域を示す第 2 の凹部、凸

50

部、または孔と、
を備え、

前記第 1 の凹部、凸部、または孔と、前記第 2 の凹部、凸部、または孔は、形状及び大きさの少なくとも一方が異なり、

前記第 1 の半導体チップ及び第 2 の半導体チップの少なくとも一方の搭載位置を検査する工程において、前記第 1 の半導体チップが搭載されている場合は前記第 1 の凹部、凸部、または孔と前記第 1 の半導体チップの相対位置に基づいて前記第 1 の半導体チップの搭載位置を検査し、前記第 2 の半導体チップが搭載されている場合は前記第 2 の凹部、凸部、または孔と前記第 2 の半導体チップの相対位置に基づいて前記第 2 の半導体チップの搭載位置を検査する半導体装置の製造方法。

10

【請求項 8】

請求項 7 に記載の半導体装置の製造方法において、

前記第 1 の半導体チップは前記第 2 の半導体チップより大きく、

前記第 1 の半導体チップ及び第 2 の半導体チップの少なくとも一方を前記ダイパッド上に搭載する工程において、前記第 1 の半導体チップを前記ダイパッド上に搭載し、かつ前記第 2 の半導体チップを前記第 1 の半導体チップ上に搭載する半導体装置の製造方法。

【請求項 9】

請求項 8 に記載の半導体装置の製造方法において、

前記リードフレームは、前記第 1 の凹部、凸部、または孔と、前記第 2 の凹部、凸部、または孔とを、それぞれ複数有しており、

20

隣り合う前記第 1 の凹部、凸部、または孔を結ぶことにより、前記第 1 の半導体チップの搭載領域が定義され、

前記第 1 の半導体チップの搭載領域を介して互いに対向する前記第 2 の凹部、凸部、または孔を結ぶことにより、前記第 2 の半導体チップの搭載領域が定義される半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体チップの搭載位置の確認を容易に行えるリードフレーム、半導体装置、及び半導体装置の製造方法に関する。

30

【背景技術】

【0002】

半導体チップをリードフレームに実装した半導体装置において、半導体チップをリードフレームのダイパッド上に精度よく載置する必要がある。また、半導体チップの搭載位置の確認を容易に行えるようにすると、不良品を容易に選別できるようになる。

【0003】

例えば特許文献 1 には、ダイアイランド（ダイパッド）に、半導体チップの位置決めの標識となる凹部又は凸部を設ける技術が開示されている。また特許文献 2 には、ダイパッドにおける半導体チップの載置部の外側に、溝を形成する技術が開示されている。

【先行技術文献】

40

【特許文献】

【0004】

【特許文献 1】実開昭 62 - 163962 号公報

【特許文献 2】特開 2007 - 134659 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

一つのリードフレームに複数の半導体チップを搭載することがある。また、一種類のリードフレームに互いに異なる半導体チップを搭載することにより、複数種類の半導体装置を製造することがある。これらの場合には、複数種類の半導体チップそれぞれの搭載位置

50

を容易に認識できるようにするのが好ましい。

【課題を解決するための手段】

【0006】

本発明によれば、半導体チップが搭載されるダイパッドと、
前記ダイパッドに形成され、第1の半導体チップの搭載領域を示す第1の凹部、凸部、
または孔と、

前記ダイパッドに形成され、第2の半導体チップの搭載領域を示す第2の凹部、凸部、
または孔と、
を備え、

前記第1の凹部、凸部、または孔と、前記第2の凹部、凸部、または孔は、形状及び大
きさの少なくとも一方が異なるリードフレームが提供される。

10

【0007】

この発明によれば、第1の凹部、凸部、または孔と、第2の凹部、凸部、または孔は、
形状及び大きさの少なくとも一方が異なる。従って、第1の半導体チップ及び第2の半導
体チップそれぞれの搭載位置を容易に認識することができる。

【0008】

本発明によれば、上記したリードフレームと、
前記リードフレームの前記ダイパッドに搭載された前記第1の半導体チップと、
を備える半導体装置が提供される。

【0009】

20

本発明によれば、第1の半導体チップ及び第2の半導体チップの少なくとも一方を、リ
ードフレームのダイパッド上に搭載する工程と、

前記第1の半導体チップ及び第2の半導体チップの少なくとも一方の搭載位置を検査す
る工程と、

を有する半導体装置の製造方法であって、

前記リードフレームは、

前記ダイパッドに形成され、前記第1の半導体チップの搭載領域を示す第1の凹部、凸
部、または孔と、

前記ダイパッドに形成され、前記第2の半導体チップの搭載領域を示す第2の凹部、凸
部、または孔と、

30

を備え、

前記第1の凹部、凸部、または孔と、前記第2の凹部、凸部、または孔は、形状及び大
きさの少なくとも一方が異なり、

前記第1の半導体チップ及び第2の半導体チップの少なくとも一方の搭載位置を検査す
る工程において、前記第1の半導体チップが搭載されている場合は前記第1の凹部、凸部
、または孔と前記第1の半導体チップの相対位置に基づいて前記第1の半導体チップの搭
載位置を検査し、前記第2の半導体チップが搭載されている場合は前記第2の凹部、凸部
、または孔と前記第2の半導体チップの相対位置に基づいて前記第2の半導体チップの搭
載位置を検査する半導体装置の製造方法が提供される。

【発明の効果】

40

【0010】

本発明によれば、第1の半導体チップ及び第2の半導体チップそれぞれの搭載位置を容
易に認識することができる。

【図面の簡単な説明】

【0011】

【図1】第1の実施形態にかかる半導体装置の平面図である。

【図2】図1に示した半導体装置の断面図である。

【図3】図2の変形例を示す断面図である。

【図4】第2の実施形態にかかる半導体装置の平面図である。

【図5】第3の実施形態にかかる半導体装置の平面図である。

50

【図 6】第 4 の実施形態にかかる半導体装置の平面図である。

【図 7】第 5 の実施形態にかかる半導体装置の平面図である。

【図 8】第 6 の実施形態にかかる半導体装置の平面図である。

【図 9】第 7 の実施形態にかかる半導体装置の平面図である。

【図 10】図 9 に示した半導体装置の断面図である。

【図 11】第 8 の実施形態にかかる半導体装置の平面図である。

【図 12】図 11 に示した半導体装置の断面図である。

【発明を実施するための形態】

【0012】

以下、本発明の実施の形態について、図面を用いて説明する。尚、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。

【0013】

図 1 は、第 1 の実施形態にかかる半導体装置の平面図である。この半導体装置は、リードフレーム 100、第 1 の半導体チップ 200、及び第 2 の半導体チップ 300 を備える。リードフレーム 100 は、ダイパッド 101、第 1 の凹部 112、及び第 2 の凹部 122 を備える。ダイパッド 101 は、第 1 の半導体チップ 200 が搭載される。第 1 の凹部 112 は第 1 の半導体チップ 200 の搭載領域 110 を示しており、第 2 の凹部 122 は第 2 の半導体チップ 300 の搭載領域 120 を示している。第 1 の凹部 112 と第 2 の凹部 122 は、形状及び大きさの少なくとも一方が異なる。本図に示す例において、第 1 の凹部 112 と第 2 の凹部 122 は略円形であり、大きさが異なる。具体的には、第 1 の凹部 112 は第 2 の凹部 122 より大きい。

【0014】

第 1 の凹部 112 及び第 2 の凹部 122 は、例えば径が 0.05 mm 以上 0.3 mm 以下であり、例えば深さが 0.01 mm 以上 0.05 mm 以下である。第 1 の凹部 112 及び第 2 の凹部 122 は、いずれも第 1 の半導体チップ 200 の搭載領域 110 及び第 2 の半導体チップ 300 の搭載領域 120 の外側に位置している。

【0015】

なお、第 1 の凹部 112 の代わりに第 1 の凸部又は孔を用いても良いし、第 2 の凹部 122 の代わりに第 2 の凸部又は孔を用いても良い。

【0016】

本図に示す例において第 2 の半導体チップ 300 は、第 1 の半導体チップ 200 より小さく、第 1 の半導体チップ 200 上に搭載されている。そして第 2 の半導体チップ 300 の搭載領域 120 は、第 1 の半導体チップ 200 の搭載領域 110 の内部に位置している。

【0017】

ダイパッド 101 は、略正方形又は略長方形であり、第 1 の凹部 112 及び第 2 の凹部 122 をそれぞれ複数有している。第 1 の半導体チップ 200 の搭載領域 110 は、隣り合う第 1 の凹部 112 を直線で結ぶことにより定義される。また第 2 の半導体チップ 300 の搭載領域 120 は、第 1 の半導体チップ 200 の搭載領域 110 を介して互いに対向する第 2 の凹部 122 を直線で結ぶことにより、定義される。

【0018】

本図に示す例において、第 1 の凹部 112 で定義された第 1 の半導体チップ 200 の搭載領域 110 は、第 1 の半導体チップ 200 より大きく、第 1 の半導体チップ 200 の搭載位置の許容範囲を示している。また第 2 の凹部 122 で定義された第 2 の半導体チップ 300 の搭載領域 120 も、第 2 の半導体チップ 300 より大きく、第 2 の半導体チップ 300 の搭載位置の許容範囲を示している。なお、第 1 の半導体チップ 200 の搭載領域 110 が第 1 の半導体チップ 200 と同じ形状を有するようにして、搭載領域 110 が設計上の第 1 の半導体チップ 200 の搭載位置を示すようにしてもよい。また第 2 の半導体チップ 300 の搭載領域 120 が第 2 の半導体チップ 300 と同じ形状を有するようにして、搭載領域 120 が設計上の第 2 の半導体チップ 300 の搭載位置を示すようにしても

よい。

【0019】

図2は、図1に示した半導体装置の断面図である。本図において半導体装置は、図1に示した構成に加えて、ワイヤ410、420及び封止樹脂500を備えている。ワイヤ410は第1の半導体チップ200のパッド(図示せず)とリードフレーム100のインナーリード(図示せず)とを接続しており、ワイヤ420は第2の半導体チップ300のパッド(図示せず)とリードフレーム100のインナーリード(図示せず)とを接続している。

【0020】

封止樹脂500は、リードフレーム100のダイパッドの表面、インナーリード、第1の半導体チップ200、第2の半導体チップ300、及びワイヤ410、420を封止している。本図に示す例において、封止樹脂500の下面にはリードフレーム100のダイパッド101の下面が露出している。

10

【0021】

図3は、図2の変形例を示す断面図である。本図に示す半導体装置は、ダイパッド101の下面も封止樹脂500で封止されている点を除いて、図2に示した半導体装置と同様の構成である。

【0022】

次に、図1～3に示した半導体装置の製造方法を説明する。まず、リードフレーム100を準備し、リードフレーム100に第1の凹部112及び第2の凹部122を形成する。第1の凹部112及び第2の凹部122は、例えばジグをリードフレーム100のダイパッド101に上方から押圧することにより、圧痕として形成される。

20

【0023】

なお、第1の凹部112及び第2の凹部122の代わりに凸部が用いられる場合、これらの凸部は、例えばジグをリードフレーム100のダイパッド101に下方から押圧することにより、圧痕として形成される。また第1の凹部112及び第2の凹部122の代わりに孔が用いられる場合、孔は、例えば打ち抜きパンチを用いて形成される。

【0024】

次いで第1の半導体チップ200をダイパッド101上に搭載し、さらに第2の半導体チップ300を第1の半導体チップ200上に搭載する。ここで第1の半導体チップ200を搭載する装置は、画像処理またはセンサーによって第1の凹部112を認識することにより、第1の半導体チップ200の搭載位置を定める。また第2の半導体チップ300を搭載する装置は、画像処理またはセンサーによって第2の凹部122を認識することにより、第2の半導体チップ300の搭載位置を定める。

30

【0025】

次いで、ワイヤ410を用いて、第1の半導体チップ200のパッドをリードフレーム100のインナーリードに接続する。また、ワイヤ420を用いて、第2の半導体チップ300のパッドをリードフレーム100のインナーリードに接続する。

【0026】

次いで、第1の凹部112と第1の半導体チップ200の相対位置に基づいて第1の半導体チップ200の搭載位置を目視で検査し、かつ第2の凹部122と第2の半導体チップ300の相対位置に基づいて第2の半導体チップ300の搭載位置を目視で検査する。詳細には、第1の凹部112により定義される搭載領域110から第1の半導体チップ200がはみ出していない場合に、第1の半導体チップ200の搭載位置は正常であると判断する。また第2の凹部122により定義される搭載領域120から第2の半導体チップ300がはみ出していない場合に、第2の半導体チップ300の搭載位置は正常であると判断する。

40

【0027】

第1の半導体チップ200の搭載位置及び第2の半導体チップ300の搭載位置の双方が正常であった場合、モールドを用いて封止樹脂500を形成し、リードフレーム100

50

のダイパッド101、インナーリード、第1の半導体チップ200、第2の半導体チップ300、及びワイヤ410、420を封止する。半導体装置が図3に示した構成を有しており、かつ第1の凹部112及び第2の凹部122の代わりに孔が形成されていた場合、この孔内にも封止樹脂500が入り込むため、封止樹脂500とリードフレーム100の密着性が向上する。

【0028】

次に、本実施形態の作用効果について説明する。第1の凹部112は第1の半導体チップ200の搭載領域110を示しており、第2の凹部122は第2の半導体チップ300の搭載領域120を示している。第1の凹部112と第2の凹部122は、形状及び大きさの少なくとも一方が異なっている。このため、画像処理またはセンサー並びに目視のいずれの場合においても、第1の半導体チップ200の搭載領域110と、第2の半導体チップ300の搭載領域120それぞれを、容易に認識することができる。

10

【0029】

具体的には、半導体チップをダイパッド101に搭載する装置は、第1の半導体チップ200の搭載領域110、及び第2の半導体チップ300の搭載領域120それぞれを容易に認識することができる。また、第1の半導体チップ200及び第2の半導体チップ300それぞれの搭載位置の検査を目視で行う場合においても、第1の半導体チップ200の搭載領域110、及び第2の半導体チップ300の搭載領域120それぞれを容易に認識することができる。

【0030】

また、ジグをダイパッド101に押圧することにより、第1の凹部112及び第2の凹部122を形成することができるため、第1の凹部112及び第2の凹部122の形成コストを低くすることができる。

20

【0031】

また、第1の凹部112及び第2の凹部122はダイパッド101を貫通していないため、ダイパッド101の強度が低下することを抑制でき、また、ダイパッド101の平坦度が低下することを抑制できる。

【0032】

なお、1種類のリードフレーム100を用いて、ダイパッド101に第1の半導体チップ200のみを搭載した第1の半導体装置と、ダイパッド101に第2の半導体チップ300のみを搭載した第2の半導体装置を製造してもよい。このようにすることにより、1種類のリードフレーム100をチップサイズの異なる第1、第2の半導体装置に共用することができる。また、この場合においても上記した効果を得ることができる。

30

【0033】

図4は、第2の実施形態にかかる半導体装置の平面図であり、第1の実施形態における図1に相当する。この半導体装置は、ダイパッド101の平面形状を除いて第1の実施形態に示した半導体装置と同様の構成である。本実施形態において、ダイパッド101は略八角形を有している。

【0034】

本実施形態のようにダイパッド101が複雑な形状を有している場合には、ダイパッド101の端から第1の半導体チップ200及び第2の半導体チップ300の距離がわかりにくい。このため、ダイパッド101の端からの距離に基づいて第1の半導体チップ200及び第2の半導体チップ300の搭載位置を検査することは難しい。これに対して本実施形態は、第1の凹部112によって第1の半導体チップ200の搭載領域110を定め、かつ第2の凹部122によって第2の半導体チップ300の搭載領域120を定めている。このため、容易に第1の半導体チップ200及び第2の半導体チップ300の搭載位置を検査することができる。

40

【0035】

図5は、第3の実施形態にかかる半導体装置の平面図であり、第1の実施形態における図1に相当する。この半導体装置は、第1の凹部112と第2の凹部122の形状が異な

50

る点を除いて、第1の実施形態と同様の効果を得ることができる。

【0036】

本実施形態によっても、第1の実施形態と同様の効果を得ることができる。また、第1の凹部112と第2の凹部122を同じ大きさにすることができるため、第1の凹部112及び第2の凹部122のいずれも目視で確認しやすくなる。

【0037】

図6は、第4の実施形態にかかる半導体装置の平面図であり、第1の実施形態における図1に相当する。この半導体装置は、第2の半導体チップ300の上に第3の半導体チップ600が搭載されている点、及びダイパッド101に複数の第3の凹部132が形成されている点を除いて、第1の実施形態にかかる半導体装置と同様の構成である。第3の凹部132は、第1の凹部112及び第2の凹部122と同一工程で形成される。

10

【0038】

第3の半導体チップ600は第2の半導体チップ300より小さい。第3の凹部132は、第1の凹部112及び第2の凹部122の双方と、形状及び大きさのいずれか一方が異なる。また複数の第3の凹部132は、第3の半導体チップ600の搭載領域130を示している。搭載領域130は、第2の半導体チップ300の搭載領域120を介して互いに対向する第3の凹部132を直線で結ぶことにより、定義される。

【0039】

本実施形態によっても、第1の実施形態と同様の効果を得ることができる。また、第3の半導体チップ600の搭載及び搭載位置の検査も、第1の半導体チップ200及び第2の半導体チップ300の搭載及び搭載位置の検査と同様に行うことができる。

20

【0040】

図7は、第5の実施形態にかかる半導体装置の平面図であり、第4の実施形態における図6に相当する。この半導体装置は、第2の半導体チップ300及び第3の半導体チップ600の双方が第1の半導体チップ200の上に搭載されている点を除いて、第4の実施形態と同様の構成である。

本実施形態によっても第4の実施形態と同様の効果を得ることができる。

【0041】

図8は、第6の実施形態にかかる半導体装置の平面図であり、第1の実施形態における図1に相当する。この半導体装置は、第2の半導体チップ300が第1の半導体チップ200上ではなくリードフレーム100のダイパッド101上に搭載されている点を除いて、第1の実施形態と同様の構成である。

30

本実施形態においても第1の実施形態と同様の効果を得ることができる。

【0042】

図9は第7の実施形態にかかる半導体装置の平面図であり、図10は図9に示した半導体装置の断面概略図である。この半導体装置は、以下の点を除いて第1の実施形態と同様の構成である。まず、第1の半導体チップ200がリードフレーム100のダイパッド101の第1面上に搭載されており、第2の半導体チップ300がダイパッド101の第1面とは反対側の面である第2面上に搭載されている。そして第1の凹部112がダイパッド101の第1面に形成されており、第2の凹部122がダイパッド101の第2面に形成されている。

40

【0043】

本実施形態によれば、ダイパッド101の第1面に形成された第1の凹部112と、ダイパッド101の第2面に形成された第2の凹部122は、形状及び大きさの少なくとも一方が異なる。このため、第1の半導体チップ200を搭載すべき面、及び第2の半導体チップ300を搭載すべき面それぞれを容易に把握することができる。従って、第1の半導体チップ200の搭載面と第2の半導体チップ300の搭載面を間違える可能性が低くなる。

【0044】

図11は第8の実施形態にかかる半導体装置の平面図であり、図12は図11に示した

50

半導体装置の断面概略図である。この半導体装置は、以下の点を除いて、第4の実施形態と同様の構成である。まず、リードフレーム100のダイパッド101の第1面上には、第1の半導体チップ200及び第2の半導体チップ300が搭載されている。ダイパッド101の第1面とは反対側の面である第2面上には、第3の半導体チップ600が搭載されている。また、ダイパッド101の第1面には第1の凹部112及び第2の凹部122が形成されており、ダイパッド101の第2面には第3の凹部132が形成されている。

【0045】

図12に示すように、本実施形態において第2の半導体チップ300は、一部のワイヤ420を介してリードフレーム100に直接接続しており、残りのワイヤ420を介して第1の半導体チップ200に接続している。また第3の半導体チップ600は、ワイヤ430を介してリードフレーム100に直接接続している。

10

【0046】

本実施形態によっても第4の実施形態と同様の効果を得ることができる。また、ダイパッド101の第1面に形成された第1の凹部112及び第2の凹部122と、ダイパッド101の第2面に形成された第3の凹部132は、形状及び大きさの少なくとも一方が異なる。このため、第1の半導体チップ200及び第2の半導体チップ300を搭載すべき面と第3の半導体チップ600を搭載すべき面それぞれを容易に把握することができる。従って、第1の半導体チップ200及び第2の半導体チップ300の搭載面、並びに第3の半導体チップ600の搭載面を間違える可能性が低くなる。

【0047】

20

なお第7の実施形態において、第1の凹部112と第2の凹部122は大きさ及び形状が同じであっても良い。また第8の実施形態において、第3の凹部132は、第1の凹部112又は第2の凹部122と大きさ及び形状が同じであっても良い。

【0048】

以上、図面を参照して本発明の実施形態について述べたが、これらは本発明の例示であり、上記以外の様々な構成を採用することもできる。

【符号の説明】

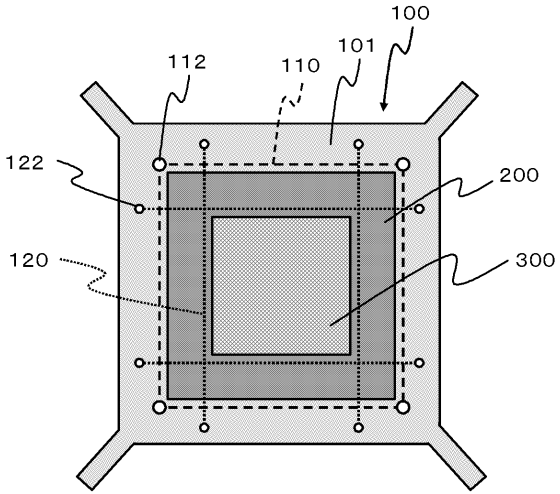
【0049】

100 リードフレーム
 101 ダイパッド
 110 第1の半導体チップの搭載領域
 112 第1の凹部
 120 第2の半導体チップの搭載領域
 122 第2の凹部
 130 第3の半導体チップの搭載領域
 132 第3の凹部
 200 第1の半導体チップ
 300 第2の半導体チップ
 410 ワイヤ
 420 ワイヤ
 430 ワイヤ
 500 封止樹脂
 600 第3の半導体チップ

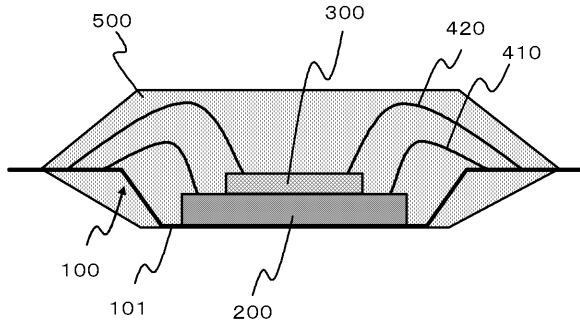
30

40

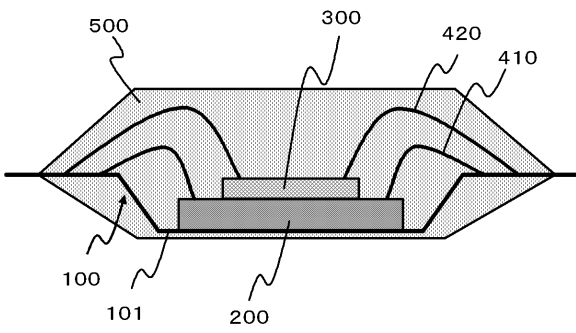
【 図 1 】



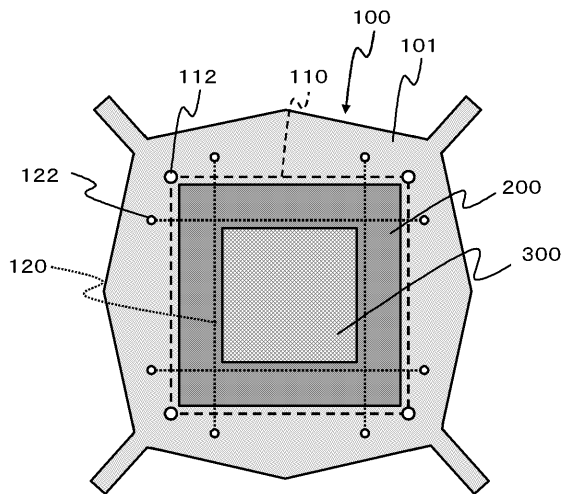
【 図 2 】



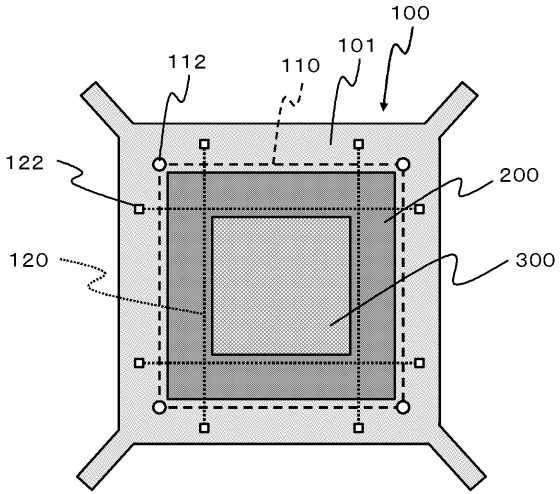
【 図 3 】



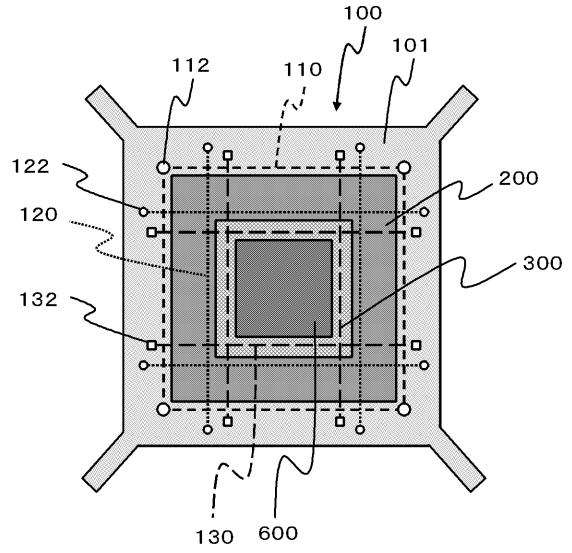
【 図 4 】



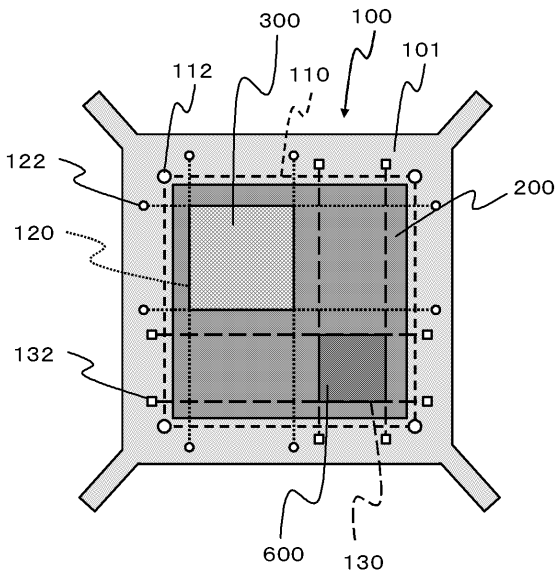
【 図 5 】



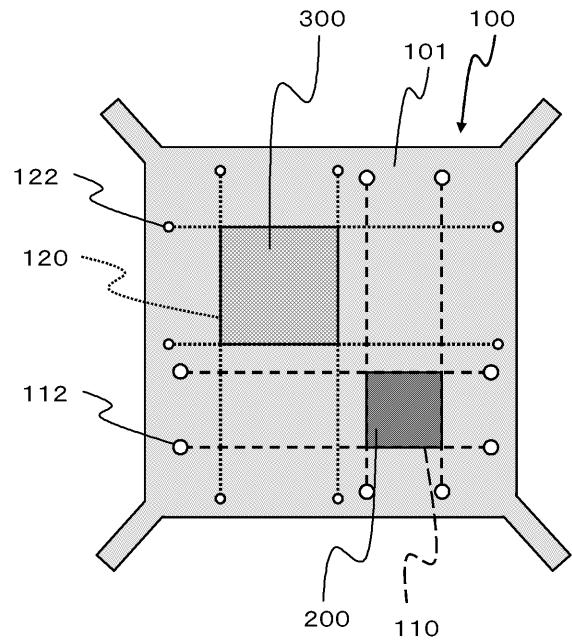
【 図 6 】



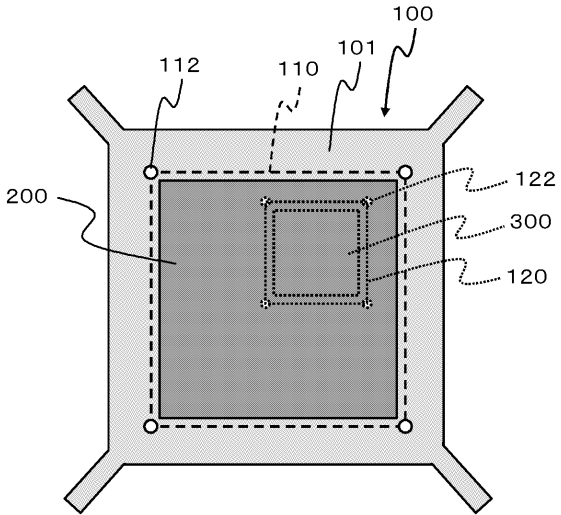
【 図 7 】



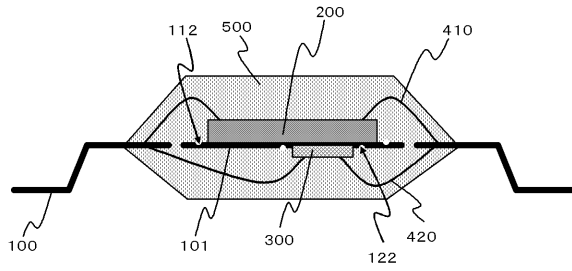
【 図 8 】



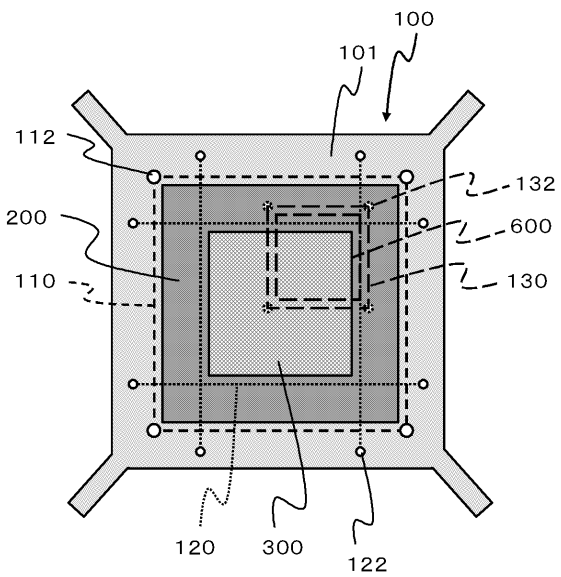
【図 9】



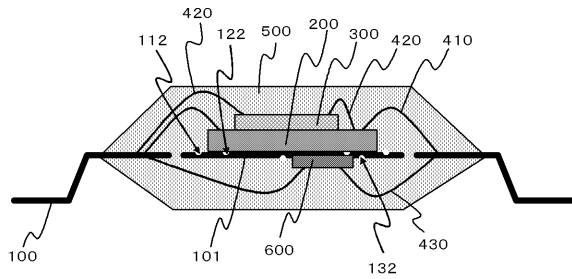
【図 10】



【図 11】



【図 12】



【手続補正書】【提出日】平成24年9月24日(2012.9.24)【手続補正1】【補正対象書類名】特許請求の範囲【補正対象項目名】全文【補正方法】変更【補正の内容】【特許請求の範囲】【請求項1】

インナーリードと、チップ搭載部と、前記チップ搭載部に形成されていて凹部、凸部、又は孔からなる第1マークと、前記チップ搭載部に形成されていて凹部、凸部又は孔からなる第2マークと、を有するリードフレームを準備する工程と、
第1のパッドを有する第1の半導体チップを準備する工程と、
第2のパッドを有する第2の半導体チップを準備する工程と、
前記第1マークに基づいて前記チップ搭載部上における前記第1の半導体チップが搭載されるべき第1搭載位置を定め、前記第1搭載位置に前記第1の半導体チップを搭載する工程と、
前記第2マークに基づいて前記チップ搭載部上における前記第2の半導体チップが搭載されるべき第2搭載位置を定め、前記第2搭載位置に前記第2の半導体チップを搭載する工程と、を含み、
前記第1マークと前記第2マークとは形状または大きさが異なる半導体装置の製造方法

。

【請求項2】

請求項1に記載の半導体装置の製造方法において、
前記第1の半導体チップ及び前記第2の半導体チップを搭載する工程の後に、第1のワイヤを用いて前記第1のパッドを第1の前記インナーリードに接続する工程を備える半導体装置の製造方法。

【請求項3】

請求項2に記載の半導体装置の製造方法において、
前記第1の半導体チップ及び前記第2の半導体チップを搭載する工程の後に、第2のワイヤを用いて前記第2のパッドを第2の前記インナーリードに接続する工程を備える半導体装置の製造方法。

【請求項4】

請求項3に記載の半導体装置の製造方法において、
前記第1のワイヤを用いて前記第1のパッドを前記第1のインナーリードに接続する工程の後、かつ、前記第2のワイヤを用いて前記第2のパッドを前記第2のインナーリードに接続する工程の後に、前記第1の半導体チップ、前記第2の半導体チップ、前記第1のワイヤ、及び前記第2のワイヤを封止樹脂で封止する工程を備える半導体装置の製造方法

。

【請求項5】

請求項4に記載の半導体装置の製造方法において、
前記チップ搭載部の下面は前記封止樹脂から露出している半導体装置の製造方法。

【請求項6】

請求項1に記載の半導体装置の製造方法において、
前記チップ搭載部の平面形状は略八角形である半導体装置の製造方法。

【請求項7】

請求項1に記載の半導体装置の製造方法において、
前記第2の半導体チップは前記第1の半導体チップよりも小さく、
前記第2搭載位置は、前記第1の半導体チップ上に位置する半導体装置の製造方法。

【請求項8】

請求項 1 に記載の半導体装置の製造方法において、
前記第 1 マークは凹部である半導体装置の製造方法。

【請求項 9】

請求項 8 に記載の半導体装置の製造方法において、
前記凹部の径は 0.05 mm 以上 0.3 mm 以下である半導体装置の製造方法。

【請求項 10】

請求項 8 に記載の半導体装置の製造方法において、
前記凹部の深さは 0.01 mm 以上 0.05 mm 以下である半導体装置の製造方法。

【請求項 11】

請求項 8 に記載の半導体装置の製造方法において、
前記第 1 の半導体チップ、前記第 2 の半導体チップ、前記第 1 のワイヤ、及び前記第 2
のワイヤを封止樹脂で封止する工程を備え、
前記凹部は、前記封止樹脂で充填される半導体装置の製造方法。

【請求項 12】

請求項 1 に記載の半導体装置の製造方法において、
前記第 1 マークは孔である半導体装置の製造方法。

【請求項 13】

請求項 12 に記載の半導体装置の製造方法において、
前記第 1 の半導体チップ、前記第 2 の半導体チップ、前記第 1 のワイヤ、及び前記第 2
のワイヤを封止樹脂で封止する工程を備え、
前記孔は、前記封止樹脂で充填される半導体装置の製造方法。

【請求項 14】

請求項 1 に記載の半導体装置の製造方法において、
前記第 1 マークは、前記チップ搭載部の第 1 面に形成されており、前記第 2 マークは前
記チップ搭載部の前記第 1 面とは反対側の第 2 面に形成されており、
前記第 1 の半導体チップは前記第 1 面に搭載され、かつ前記第 2 の半導体チップは前記
第 2 面に搭載される半導体装置の製造方法。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0048

【補正方法】変更

【補正の内容】

【0048】

以上、図面を参照して本発明の実施形態について述べたが、これらは本発明の例示であり、上記以外の様々な構成を採用することもできる。

(付記 1)

半導体チップが搭載されるダイパッドと、
前記ダイパッドに形成され、第 1 の半導体チップの搭載領域を示す第 1 の凹部、凸部、
または孔と、

前記ダイパッドに形成され、第 2 の半導体チップの搭載領域を示す第 2 の凹部、凸部、
または孔と、
を備え、

前記第 1 の凹部、凸部、または孔と、前記第 2 の凹部、凸部、または孔は、形状及び大
きさの少なくとも一方が異なるリードフレーム。

(付記 2)

付記 1 に記載のリードフレームにおいて、
前記第 2 の半導体チップは、前記第 1 の半導体チップより小さく、かつ前記第 1 の半導
体チップ上に搭載され、

前記ダイパッドにおいて、前記第 2 の半導体チップの搭載領域は、前記第 1 の半導体チ
ップの搭載領域の内部に位置するリードフレーム。

(付記 3)

付記 2 に記載のリードフレームにおいて、

前記第 1 の凹部、凸部、または孔と、前記第 2 の凹部、凸部、または孔とを、それぞれ複数有しており、

隣り合う前記第 1 の凹部、凸部、または孔を結ぶことにより、前記第 1 の半導体チップの搭載領域が定義され、

前記第 1 の半導体チップの搭載領域を介して互いに対向する前記第 2 の凹部、凸部、または孔を結ぶことにより、前記第 2 の半導体チップの搭載領域が定義されるリードフレーム。

(付記 4)

付記 1 に記載のリードフレームにおいて、

前記第 1 の凹部、凸部、または孔は、前記ダイパッドの第 1 面に形成され、

前記第 2 の凹部、凸部、または孔は、前記ダイパッドの第 1 面とは反対側の面である第 2 面に形成されているリードフレーム。

(付記 5)

付記 2 に記載のリードフレームにおいて、

前記第 1 の凹部、凸部、または孔、並びに前記第 2 の凹部、凸部、または孔は、前記ダイパッドの第 1 面に形成され、

さらに、前記ダイパッドの第 1 面とは反対側の面である第 2 面に形成されており、第 3 の半導体チップの搭載領域を示す第 3 の凹部、凸部、または孔を備えるリードフレーム。

(付記 6)

付記 1 ~ 5 のいずれか一つに記載のリードフレームと、

前記リードフレームの前記ダイパッドに搭載された前記第 1 の半導体チップと、を備える半導体装置。

(付記 7)

第 1 の半導体チップ及び第 2 の半導体チップの少なくとも一方を、リードフレームのダイパッド上に搭載する工程と、

前記第 1 の半導体チップ及び第 2 の半導体チップの少なくとも一方の搭載位置を検査する工程と、

を有する半導体装置の製造方法であって、

前記リードフレームは、

前記ダイパッドに形成され、前記第 1 の半導体チップの搭載領域を示す第 1 の凹部、凸部、または孔と、

前記ダイパッドに形成され、前記第 2 の半導体チップの搭載領域を示す第 2 の凹部、凸部、または孔と、

を備え、

前記第 1 の凹部、凸部、または孔と、前記第 2 の凹部、凸部、または孔は、形状及び大きさの少なくとも一方が異なり、

前記第 1 の半導体チップ及び第 2 の半導体チップの少なくとも一方の搭載位置を検査する工程において、前記第 1 の半導体チップが搭載されている場合は前記第 1 の凹部、凸部、または孔と前記第 1 の半導体チップの相対位置に基づいて前記第 1 の半導体チップの搭載位置を検査し、前記第 2 の半導体チップが搭載されている場合は前記第 2 の凹部、凸部、または孔と前記第 2 の半導体チップの相対位置に基づいて前記第 2 の半導体チップの搭載位置を検査する半導体装置の製造方法。

(付記 8)

付記 7 に記載の半導体装置の製造方法において、

前記第 1 の半導体チップは前記第 2 の半導体チップより大きく、

前記第 1 の半導体チップ及び第 2 の半導体チップの少なくとも一方を前記ダイパッド上に搭載する工程において、前記第 1 の半導体チップを前記ダイパッド上に搭載し、かつ前記第 2 の半導体チップを前記第 1 の半導体チップ上に搭載する半導体装置の製造方法。

(付記 9)

付記 8 に記載の半導体装置の製造方法において、

前記リードフレームは、前記第 1 の凹部、凸部、または孔と、前記第 2 の凹部、凸部、または孔とを、それぞれ複数有しており、

隣り合う前記第 1 の凹部、凸部、または孔を結ぶことにより、前記第 1 の半導体チップの搭載領域が定義され、

前記第 1 の半導体チップの搭載領域を介して互いに対向する前記第 2 の凹部、凸部、または孔を結ぶことにより、前記第 2 の半導体チップの搭載領域が定義される半導体装置の製造方法。