

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200410039910.7

[51] Int. Cl.

H01L 23/12 (2006.01)

H01L 23/48 (2006.01)

H01L 21/60 (2006.01)

[45] 授权公告日 2007 年 4 月 25 日

[11] 授权公告号 CN 1312764C

[22] 申请日 2004.3.10

[74] 专利代理机构 上海专利商标事务所有限公司

[21] 申请号 200410039910.7

代理人 李 玲

[30] 优先权

[32] 2003.3.10 [33] JP [31] 2003-062721

[73] 专利权人 株式会社村田制作所

地址 日本京都府长冈京市

[72] 发明人 前田刚伸

[56] 参考文献

JP2002-164643 A 2002.6.7

US5252519 A 1993.10.12

JP2002-184812 A 2002.6.28

US6265300 B1 2001.7.24

审查员 王 琳

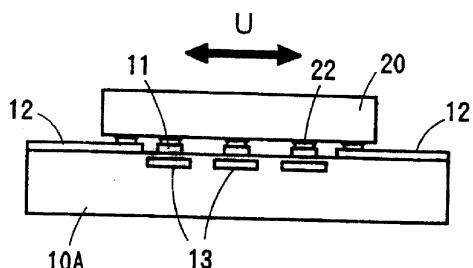
权利要求书 2 页 说明书 8 页 附图 11 页

[54] 发明名称

电子元件装置及其制造方法

[57] 摘要

在一种电子元件装置中，底板上电子元件的电极和各配线通过凸起用超声波振动集体结合在一起。所述配线包括与超声波振动方向基本平行的配线和与超声波振动方向基本垂直的配线。位移抑制层设置在与超声波振动方向基本垂直的配线下的部分中的底板内。



1. 一种电子元件装置，其特征在于，包括：  
底板；  
多个配线，沿不同方向排列在底板上；  
电子元件的多个电极，通过底板上的各凸起集体结合到各个配线；其中  
底板具有刚度大于底板材料的位移抑制层，所述位移抑制层设置在所述底板内  
至少一部分配线之下的部分中。
2. 如权利要求1所述的电子元件装置，其特征在于，所述多个配线包括在底板  
上相互垂直地延伸的第一配线和第二配线。
3. 如权利要求2所述的电子元件装置，其特征在于，所述位移抑制层设置在所  
述底板内每个第二配线之下的部分中。
4. 如权利要求2所述的电子元件装置，其特征在于，多个所述第二配线彼此邻  
近地排列，且所述位移抑制层设置在多个所述第二配线之下的部分中以使该位移抑  
制层为连续的。
5. 如权利要求1所述的电子元件装置，其特征在于，所述位移抑制层设置在底  
板外表面1mm内的区域中。
6. 如权利要求1所述的电子元件装置，其特征在于，所述底板包括多层印刷配  
线板，且所述位移抑制层包括设置在多层印刷配线板的内层中的导体图案。
7. 如权利要求1所述的电子元件装置，其特征在于，多个位移抑制层设置在对  
应于电子元件安装部分的区域中。
8. 如权利要求2所述的电子元件装置，其特征在于，所述位移抑制层设置在底  
板内的整个区域上。
9. 如权利要求1所述的电子元件装置，其特征在于，电子元件的电极通过超声  
波振动超声地经由各凸起结合到各个配线，且超声波振动方向和每个都有位移抑  
制层置于其下的配线的方向之间形成的角度大于超声波振动方向和其它没有位移抑  
制层置于其下的配线的方向之间形成的角度。
10. 一种用于制作电子元件装置的方法，其特征在于，所述方法包括：  
制备在不同方向上有多个配线形成于上表面的底板的步骤，其中刚度大于底板  
材料的位移抑制层设置在所述底板内沿第一方向排列的每个配线下的部分中；  
制备电子元件的步骤，凸起形成于所述电子元件一个主表面上所设置的其各电  
极上；以及

---

使电子元件上的凸起与底板上的各配线相对并用超声波振动使凸起集体和配线结合在一起的步骤，其中在一种状态中施加超声波振动，在所述状态中超声波振动方向和沿第一方向排列且每个都有位移抑制层置于其下的配线方向之间形成的角度大于超声波振动方向和其它不沿第一方向排列且没有位移抑制层置于其下的配线的方向之间形成的角度。

## 电子元件装置及其制造方法

### 技术领域

本发明涉及通过凸起将电子元件置于底板上的电子元件装置，尤其涉及通过使用倒装芯片结合方法实现的电子元件装置。

### 背景技术

迄今，对于用于将凸起和在底板上各配线图案结合在一起的倒装芯片结合方法，日本未审查的特许公开 No. 63-288031 揭示了一种倒装芯片结合方法，其中使半导体芯片上的各电极上形成的凸起与置于加热级上的底板上各配线图案对准，并通过工具将压力和超声波振动施加到芯片的后表面上，从而使凸起和各配线图案结合在一起。

图 1 示出电子元件装置的实例。图 2 示出这种电子元件装置的结合方法。图 3 示出电子元件装置的底板。这里，标号 1 表示底板，2a 和 2b 分别表示配线，3 表示凸起，而 4 表示电子元件。

配线 2a 和 2b 纵向地和横向地排列在底板 1 上，而凸起 3 预先形成于电子元件 4 的各电极(未示出)上。电子元件 4 的上表面由结合工具 5 按压并通过结合工具 5 沿水平方向经受超声波振动 U，由此凸起 3 集合到各配线 2a 和 2b。

这样，电子元件 4 和底板 1 上的配线图案以集体的形式结合在一起。这必然导致垂直于超声波振动 U 的方向延伸的配线 2a(以下称作“垂直配线”)和平行于超声波振动 U 的方向延伸的配线 2b(以下称作“平行配线”)呈现混合状态。当超声波振动作用于底板 1 时，底板 1 倾向变形。但是，刚度大于底板 1 的配线 2a 和 2b 倾向抑制该变形。但是，与平行配线 2b 相比，垂直配线 2a 呈现较小的变形抑制效果，其中平行配线沿相对于超声波振动的纵向排列，从而垂直配线 2a 比平行配线 2b 移动得更多，如图 4A 和 4B 所示(这里，标号 6 表示电子元件 4 的电极，而符号 δ 表示位移)。

结果，足够的超声波振动不行进到垂直配线 2a 和各凸起 3 之间的结合界面，由此使得与平行配线 2b 相比，垂直配线 2a 的结合不充分。在一个电子元件中，如果由于配线的方向而产生结合能力的这种变化，则较早结合的配线和较晚结合的配线会变得彼此混合。这引起一问题，即当花费大量时间应用超声波直到所有配线都

充分地结合，则较早结合的配线会开始破裂。

表 1 示出采用有限元方法的分析结果，这是针对当静态地将  $1 \mu\text{m}$  的强制位移施加到芯片表面作为超声波振动时配线的位移和底板表面的位移。

表 1

		平行配线	垂直配线
A	配线的位移 [ $\mu\text{m}$ ]	0.66	0.75
B	底板表面的位移 [ $\mu\text{m}$ ]	0.48	0.55
	配线的变形量 (A-B)	0.18	0.20
	底板的变形量 (等于 B)	0.48	0.55

如表 1 所示，垂直配线呈现大于平行配线的位移。在施加超声波振动时，位移重复出现，由此引起垂直配线和水平配线之间结合能力上的不同。作为示出位移和结合能力之间关系的实例，图 5 示出配线的位移和结合强度之间的关系。从图 5 可以看出，位移越大，结合强度越小。

当花费大量时间地施加超声波结合具有这种结合能力不同的电子元件时，芯片电极内的破裂出现于百分之 10 到 50 的电子元件中。

为了解决上述问题，日本未审查的特许公开 No. 2002-184812 提出，为了使得由超声波振动引起的配线位移基本一致，相对于超声波振动方向的角度  $\theta$  较大的每个配线的连接部分形成得比相对于超声波振动方向的角度  $\theta$  较小的每个配线的连接部分更宽，由此使所有配线达到基本一致的结合状态。更特别地，每个垂直配线的宽度作得比每个水平配线的宽度更宽。

但是，在这种情况中，每个垂直配线的连接部分必须形成得更宽，由此如果以高密度排列配线时，就很难保证足够的形成宽度。这就很难使所有配线达到一致的结合状态。

## 发明内容

因此，为了克服上述问题，本发明的较佳实施例提供了一种电子元件装置，它能使由于超声波振动引起的配线位移基本一致还能使所有配线达到基本一致的结合状态，即使在以高密度排列配线时，并且还提供了制作其的方法。

根据本发明的较佳实施例，电子元件装置包括沿彼此不同的方向排列在底板上的多个配线，且其中电子元件的多个电极通过各凸起采用超声波振动集体地结合到各个配线。该电子元件装置包括具有比底板材料刚度高的位移抑制层，该位移抑制层设置在底板内每个配线下的部分中，且其下具有位移抑制层的配线和超声波振动

方向之间的角度大于其下没有形成位移抑制层的配线和超声波振动方向之间的角度。

在本发明的另一个实施例中，用于制作电子元件装置的一种方法包括制备在不同方向上有多个配线形成于上表面的底板的步骤，其中刚度大于底板材料的位移抑制层设置在底板内沿第一方向排列的每个配线下的部分中；制备电子元件的步骤，在所述电子元件中凸起形成于其一个主表面上设置的其各电极上；以及使电子元件上的凸起相对于底板上的各配线并用超声波振动集体地使凸起和配线结合在一起的步骤，其中在一种状态中施加超声波振动，在所述状态中超声波振动方向和每个都有位移抑制层的配线方向之间形成的角度大于超声波振动方向和其它没有位移抑制层的配线的方向之间形成的角度。

例如，凸起预先形成于电子元件的电极上，且这些凸起用超声波振动结合到朝向各凸起的底板上的各配线，在这种情况下，相对于超声波振动方向的角度  $\theta$  较大的配线和相对于超声波振动方向的角度  $\theta$  较小的配线变得彼此混合。但是，在本发明的较佳实施例中，由于将刚度大于底板材料的位移抑制层设置在相对于超声波振动方向的角度  $\theta$  较大的每个配线之下的部分中的底板内，就可以使得由于超声波振动引起的配线位移基本一致，并使所有配线达到基本一致的结合状态，而不管角度  $\theta$  的大小关系。这抑制了不良结合和破裂的产生。

此外，由于不必增加配线的宽度，则即使在以高密度排列配线时也不存在问题。

较佳地，底板材料包括树脂和陶瓷材料。高强度的陶瓷材料由超声波振动引起的位移较小。相反，树脂制成的底板会有结合能力的变化，其中树脂底板经受由超声波振动引起的大位移。因此，在使用树脂底板时，本发明的较佳实施例发挥最大效果。

在根据本发明的电子元件装置中，较佳地，平行于超声波振动方向延伸的第一配线和垂直于超声波振动方向延伸的第二配线沿彼此垂直的方向排列在底板上，且位移抑制层设置在底板内每个第二配线下的部分中。

可以任意设置超声波振动方向和配线方向。当设置了平行于超声波振动方向延伸的第一配线和垂直于超声波振动方向延伸的第二配线时，在第二配线层下的部分中形成位移抑制层使得本发明较佳实施例的优点最大化。

在根据本发明各种较佳实施例的电子元件装置中，当多个上述第二配线彼此邻近排列时，位移抑制层较佳地连续设置于多个第二配线下的部分中。

用于设置位移抑制层的可选方法是以独立方式在各个第二配线下的部分中形成每个位移抑制层。但是，与该可选方法相比，上述将位移抑制层连续地设置在多

个第二配线下的部分中，这甚至允许由位移抑制层抑制位于第二配线之间的底板部分的位移，由此增加了对第二配线的位移抑制效果。

但是，位移抑制层对于第二配线不必是连续的。位移抑制层仅对于至少两个邻近的配线是连续的。

在根据本发明的各种较佳实施例的电子元件装置中，较佳地，位移抑制层设置在例如 1mm 的底板表面内的区域中。

为了有效地阻止由超声波振动引起的配线位移，需要将位移抑制层设置得尽可能靠近其上具有配线的底板表面。例如，当底板是树脂底板时，位移抑制层优选设置在例如约 1mm 的底板表面内的区域中。越靠近底板表面，位移抑制层就越有效。因此，优选使位移抑制层设置在例如约 10 μm 到约 150 μm 的底板表面内的区域中。

在根据本发明的各种较佳实施例的电子元件装置中，底板可以是多层印刷配线板，而位移抑制层可以是设置在多层印刷配线板的内层中的导体图案。

当底板是多层印刷配线板时，导体图案设置底板两侧的外层上的配线图案旁在其内层中，由此，通过将这些导体图案中的一个用作位移抑制层，就可以方便地形成位移抑制层而不用使用特别的技术，还能提供能用作接地或屏蔽体的位移抑制层。

通过以下本发明较佳实施例的详细描述，本发明的其它特点、元件、特征和优点将变得更加明显。

#### 附图说明

图 1 是示出普通电子元件装置的结构的透视图；

图 2 是示出图 1 所示电子元件装置的结合方法的透视图；

图 3 是用于图 1 所示的电子元件装置的底板的透视图；

图 4A 和 4B 分别表示在受到超声波振动时基本垂直配线和基本平行配线各自的位移；

图 5 是示出配线位移和结合强度之间关系的图表；

图 6 是根据本发明第一较佳实施例的电子元件装置的平面图；

图 7 是在经受结合时图 6 所示的电子元件装置的侧视图；

图 8A 和 8B 是图 7 所示底板的部分放大的剖视图；

图 9 是根据本发明第二较佳实施例的底板的平面图；

图 10 是图 9 所示电子元件装置的侧视图；以及

图 11 是根据本发明第三较佳实施例的底板的平面图。

## 具体实施方式

将参考图 6 到 8 描述根据本发明第一较佳实施例的电子元件装置。图 6 是该电子元件装置的平面图。图 7 是电子元件装置的侧视图。图 8A 和 8B 分别是结合部分的放大的剖视图。

底板 10A 优选包括由诸如透明环氧树脂或双马来酰亚胺三嗪(BT)树脂、诸如氧化铝的陶瓷底板制成的有机底板或由硅或其它合适的材料制成的晶体底板。沿基本彼此垂直相交的方向延伸的多个配线 11 和 12 形成于底板 10A 上。如图 6 所示，排列每个配线 11 以便相对于超声波振动 U(以下描述)的方向形成角度  $\theta_1$ ，它大于 45° ( $\theta_1 > 45^\circ$ )，并排列每个配线 12 以便相对于超声波振动 U 的方向形成小于 45° 的  $\theta_2$  ( $\theta_2 < 45^\circ$ )。因此，角度  $\theta_1$  大于角度  $\theta_2$ 。

以下的描述由配线 11 的实例和配线 12 的实例构成，其中每个配线 11 与超声波振动 U 的方向形成角度  $\theta_1 = 90^\circ$ ，即每个配线沿基本垂直于超声波振动 U 的方向的方向排列(即基本垂直的配线)；而每个配线 12 与超声波振动 U 的方向形成角度  $\theta_2 = 0^\circ$ ，即每个配线沿基本平行于超声波振动 U 的方向的方向排列(即基本平行的配线)。

对于基本垂直的配线 11，刚度大于底板材料的位移抑制层 13 设置在基本垂直的配线 11 下的部分中的底板 10A 内。在该较佳实施例中，每个单独的位移抑制层 13 设置在各一个基本垂直的配线 11 下的部分中。位移抑制层 13 设置在对应于基本垂直的配线 11 的电子元件安装部分(由图 6 中的一串双虚线表示)的区域中，即在包括接合区(land)部分 11a 和 12a 的区域中。这里，“配线下的部分”表示诸如“约 1mm 的底板表面内的区域”。但是，需要使位移抑制层排列得尽可能靠近底板表面。较佳地，位移抑制层设置在诸如约 10 μm 到约 150 μm 的底板表面内。位移抑制层 13 的材料优选诸如铜的金属材料，或陶瓷材料，具有高刚度的材料，诸如氧化铝或其它合适的材料。虽然刚度随温度而变化，但有机底板优选具有约 10GPa 到约 60GPa 范围的刚度，而铜材料具有约 120GPa 或更高的刚度。因此，在将有机底板用作底板 10A 时，铜材料可以有效地用作位移抑制层 13。

底板 10A 的形状没有特别限制。底板 10A 的厚度也可以任意设置，例如设在约 0.2mm 到约 2mm 的范围内。优选通过电镀法、薄膜形成法或厚膜形成法或其它合适的方法形成配线 11 和 12。配线的厚度较佳地在几微米到几十微米的范围内，但不限于该范围。在该较佳实施例中，通过将 Ni(约 3 μm 厚)或 Au(约 0.03 μm 或更厚)的电解电镀或化学镀到厚度范围从约 5 μm 到约 35 μm 的铜箔来形成所用的配线 11

和 12。

这里较佳地，配线 11 和 12 的宽度是基本相同的。但是，配线 11 和 12 的宽度和形状可以彼此不同。同样，对于配线 11 和 12 的电子元件安装部分(即由图 6 中一串双虚线表示的部分)的区域，即包括接合区部分 11a 和 12a 的区域，排他地暴露给外部，且其它区域由诸如保护层的绝缘材料覆盖。

电子元件 20 优选诸如半导体芯片或表面声波(SAW)装置。在电子元件 20 的下表面上，较佳地由诸如约  $100 \mu m$  正方的 Al 或 Au 材料制成的电极垫 21(参见图 8A 和 8B)形成于对应于接合区部分 11a 和 12a 的位置中。凸起 22 形成于各电极垫 21 上，较佳地采用电镀方法、引线结合法或气相沉积法或其它合适的方法。Au、Ag、Pd、Cu、Al 或焊料或其它合适的材料可用于凸起 22。

如以下将描述的，通过对电子元件 20 施加超声波振动、负荷、或如必要而进一步加热使得凸起 22 集体地结合到配线 11 和 12 的各接合区部分 11a 和 12a。

接着，将描述将将电子元件 20 倒装芯片结合到底板 10A 上的方法。

首先，凸起 22 形成于电子元件 20 的各电极垫 21 上。通过结合工具(未示出)，可以吸引电子元件 20 的上表面(后表面)，和拾取电子元件 20。随后，以高精度使凸起 22 和底板 10A 的配线 11 和 12 的各接合区部分 11a 和 12a 对准。此后，使电子元件的凸起 22 与底板 10A 的配线 11 和 12 的各接合区部分 11a 和 12a 实现接触。在这种状态中，可以以诸如约 20kHz 到约 150kHz 范围内的频率在基本平行于底板 10A 表面的方向上同时在基本垂直于基本垂直的配线 11 的方向上(即，在基本平行于配线配线 12 的方向上)通过结合工具将超声波振动 U 施加到电子元件 20 的上表面，由此将凸起 22 与各接合区部分 11a 和 12a 结合在一起。在结合期间，必须将一负载应用于底板 10A 和电子元件 20 之间，并可以加热底板 10A 和电子元件 20 中的任一个。

在完成前述结合之后，为了保证结合的可靠性，电子元件 20 和底板 10A 之间的间隙可以由树脂密封来减少电子元件 20 和底板 10A 之间线性膨胀的差，并保护结合部分。可以通过在电子元件 20 和底板 10A 之间的结合之后涂覆树脂来进行树脂密封。可供选择地，可以进行树脂密封，从而预先将树脂涂覆到底板上的配线并将凸起结合到底板上的各配线同时穿过树脂层。在这种情况下，可以同时实现结合和树脂密封。

在施加超声波振动 U 时，与基本平行的配线 12 相比，基本垂直的配线 11 呈现对于振动方向的较低刚度。但是，由于每个基本垂直的配线 11 都具有位移抑制层 13 形成于其下，所以缩小了基本垂直的配线 11 和基本平行的配线 12 之间的位移

差，如图 8A 和 8B 所示。结果，降低了基本垂直的配线 11 和基本平行的配线 12 之间对于凸起 13 的结合能力变化，由此可以实现基本一致的结合强度。这阻止了不良结合的产生和电极中的破裂。

图 9 和 10 示出根据本发明第二较佳实施例的电子元件装置。在图 9 和 10 中，与图 6 和 7 所示相同的元件由相同的标号表示。

如在第一较佳实施例的情况中，底板 10B 上具有沿彼此基本垂直相交的方向形成的多个配线 11 和 12。刚度大于底板材料的位移抑制层 13 设置在基本垂直的配线 11 下的部分中的底板 10B 内。排列该较佳实施例中的位移抑制层 13 以便对于多个基本垂直的配线 11(在这种情况下是三个)是连续的。更特别地，甚至位于邻近的基本垂直配线 11 之间的部分也具有位移抑制层 13。

在该较佳实施例中，由于位移抑制层 13 使得位于基本垂直配线 11 之间的部分底板 10B 也被阻止位移，所以可靠地阻止了由于超声波振动引起的基本垂直配线 11 和其周边的位移。这进一步降低了与基本平行的配线的位移差，从而导致更加一致的结合强度。

使用图 9 和 10 所示的实现模型，在具有诸如  $70 \mu\text{m}$  厚度的铜制成的位移抑制层设置在基本垂直的配线下的部分，即底板表面下约  $30 \mu\text{m}$  距离的位置的情况下，用有限元方法进行分析。根据分析的结果，基本垂直的配线和基本平行的配线之间的位移差约为  $0.03 \mu\text{m}$ 。相反，不使用位移抑制层所获得的位移差约为  $0.09 \mu\text{m}$ 。即，位移抑制层的使用减小了位移差约 3 倍。因此，所有结合部分的结合能力变得基本一致，由此阻止了损坏的产生。

图 11 示出根据本发明第三较佳实施例的电子元件装置。在图 11 中，与图 6 和 7 所示元件相同的元件由相同的标号表示。

排列该较佳实施例中的底板 10C，从而没有位移抑制层 13 的部分限于基本平行的配线 12 下的部分。换句话说，位移抑制层 13 设置在底板 10C 内基本整个区域上。此外，窗孔 13a 设置在部分位移抑制层 13 中，对应于基本平行的配线 12 下的部分。

因此，可以更有效地抑制由超声波振动引起的基本垂直的配线 11 和其周边的位移，还可以设置具有接地或屏蔽体功能的位移抑制层 13。

通常，具有三层或更多的导体图案的印刷配线板称作“多层印刷配线板”。特别是，这表示一种底板，除了设置在底板两个表面的外层上的电路图案之外，其中导体图案(通常是 Cu)设置在其内层中。在这种多层印刷配线板中，在内层中设置刚度大于树脂层的导体图案作为位移抑制层，这允许方便地获得本发明较佳实施例的优点而不用特殊的技术。此外，将本发明较佳实施例应用到包括多层印刷配线板

的物品上允许实现本发明较佳实施例的优点而不引起成本的增加。

本发明不限于以上的较佳实施例。在上述较佳实施例中，凸起较佳地形成在电子元件上。但是，通过预先在底板上的各配线上形成凸起并随后将这些凸起结合到电子元件的各电极垫片上，也可以获得类似的优点。

在上述较佳实施例中，示出一实例，其中沿与超声波振动方向基本垂直和平行的方向的配线设置在底板表面上。但是，配线可以沿与超声波振动方向倾斜的方向设置。

同样，在上述较佳实施例中，较佳地，基本垂直的配线和基本平行的配线的宽度基本相等。但是，具有位移抑制层的基本垂直配线的宽度可以比基本平行的配线的宽度更宽。这提供了增加位移抑制层和基本垂直的配线的宽度设计的柔性的优点。

底板材料没有特别限制。但是，在使用树脂底板且通过热压结合和超声波振动的结合使用进行结合时，本发明的较佳实施例提供了更多的有利效果。这是因为，使用树脂底板时，通过热压结合和超声波振动的结合使用进行结合使得底板变形，由此增加了配线的位移。

根据本发明较佳实施例的电子元件装置可应用于通过凸起的任何芯片元件作为电子元件部件的安装，包括电阻元件、电容器和压电元件，除了半导体芯片，以及任何合适的元件和部件。

如由上述内容而显而易见的，根据本发明的各种较佳实施例，在用超声波振动通过各凸起将电子元件的多个电极集体结合到底板上沿彼此不同的方向设置的各多个配线上，刚度大于底板材料的位移抑制层设置于每个配线下的部分中的底板内，其对于超声波振动方向的角度 $\theta$ 较大。由此，超声波振动的传输效率变得基本一致，且所有配线可以达到基本一致的结合状态。这抑制了不良集合和破裂的产生，由此提供了高可靠性的电子元件装置。

本发明不限于每个上述较佳实施例，且各种修改都可以在权利要求书所述的范围内。通过每个不同较佳实施例中揭示的适当结合的技术特点所获得的实施例都包含在本发明的技术范围中。

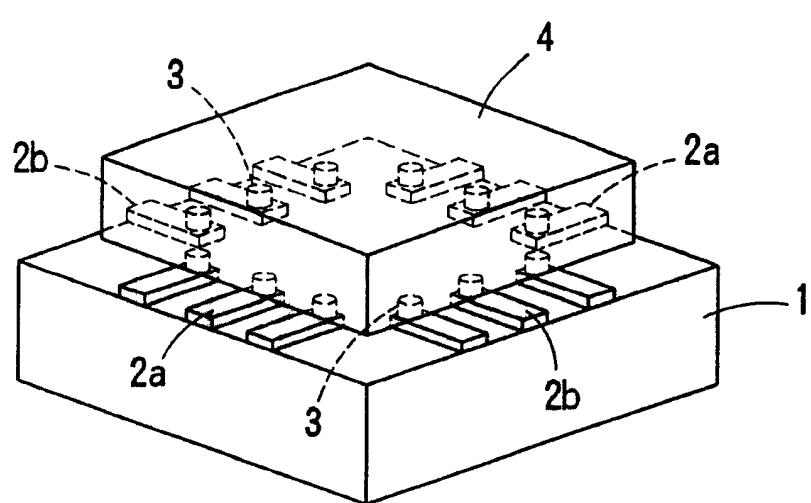


图 1

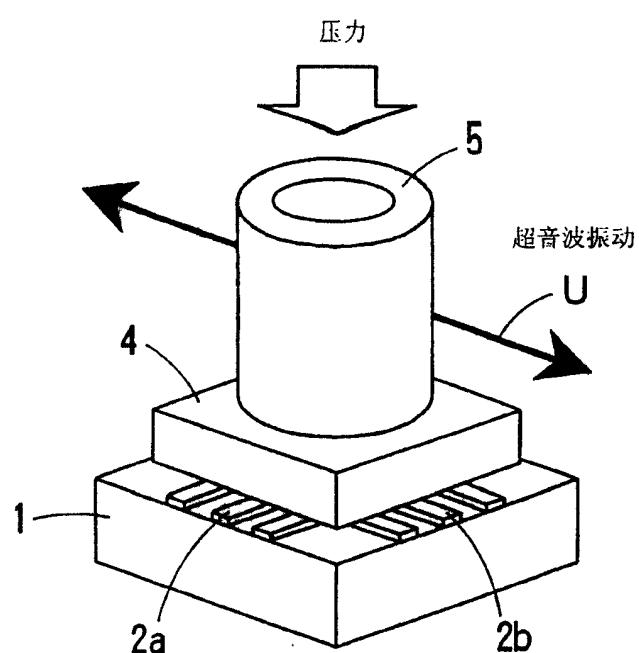


图 2

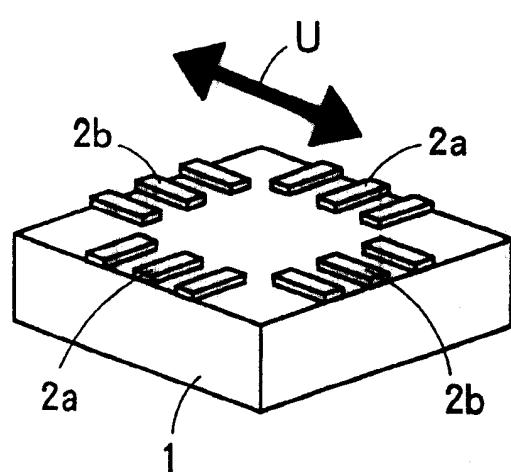


图 3

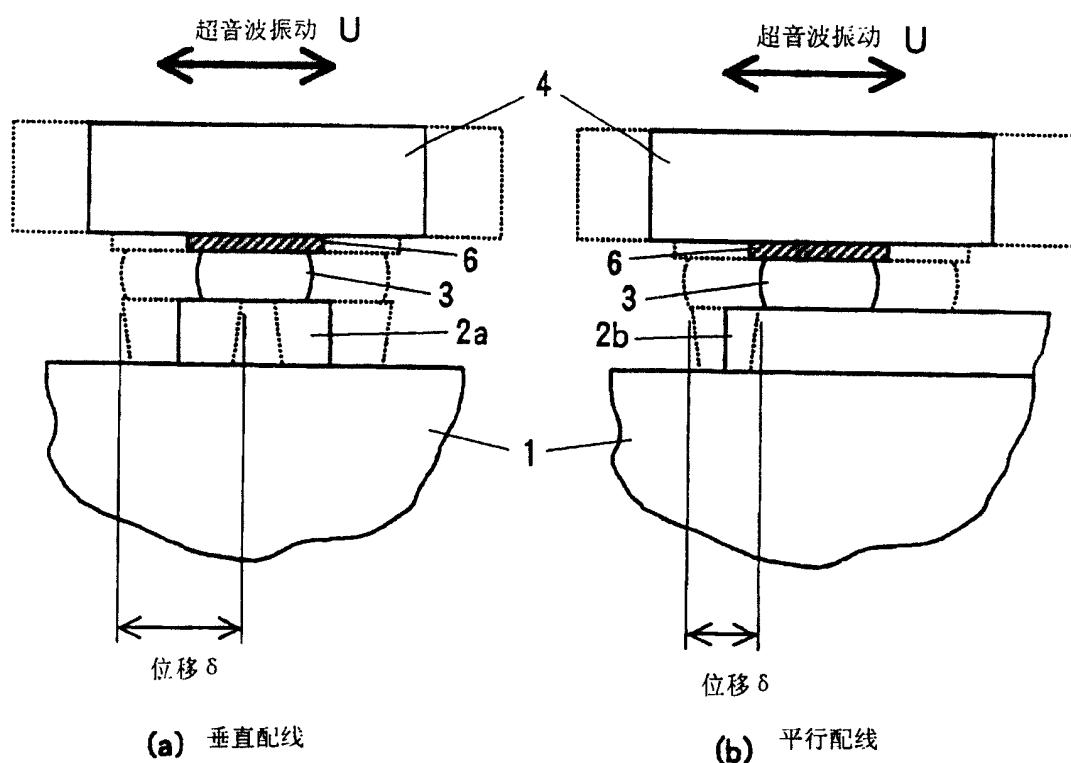


图 4A

图 4B

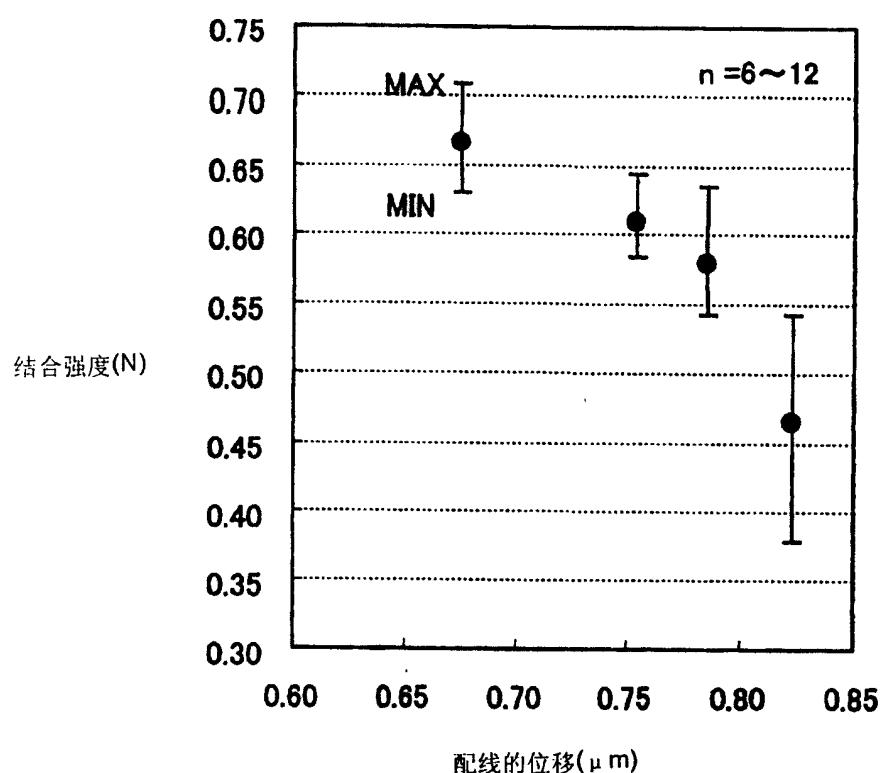


图 5

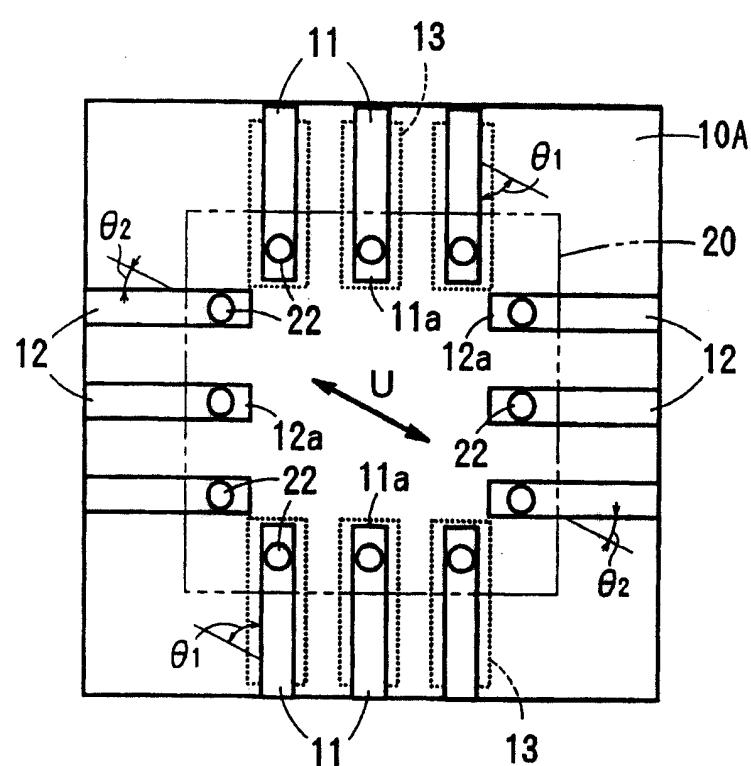


图 6

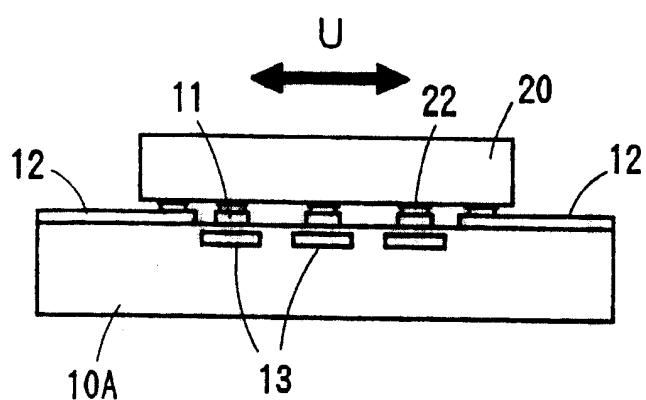


图 7

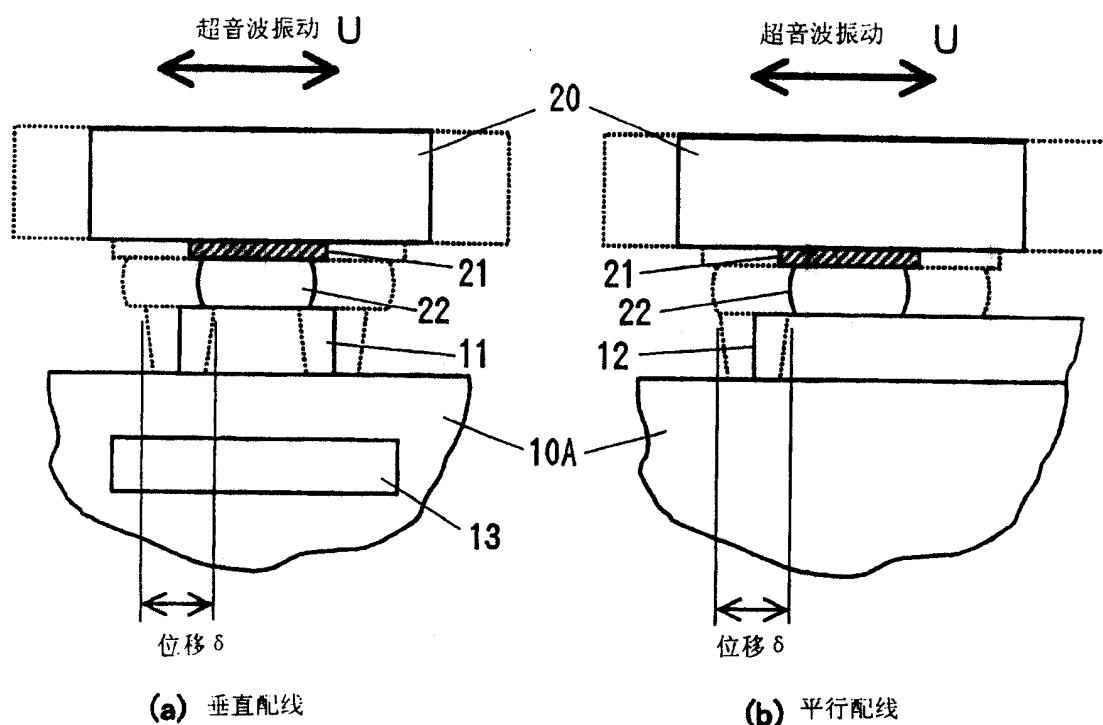


图 8A

图 8B

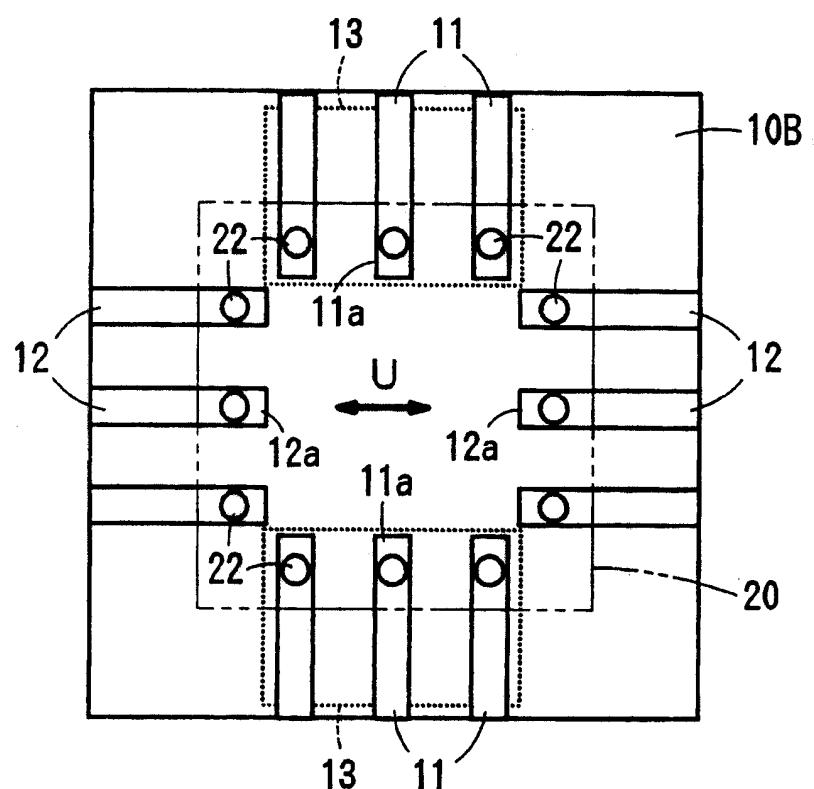


图 9

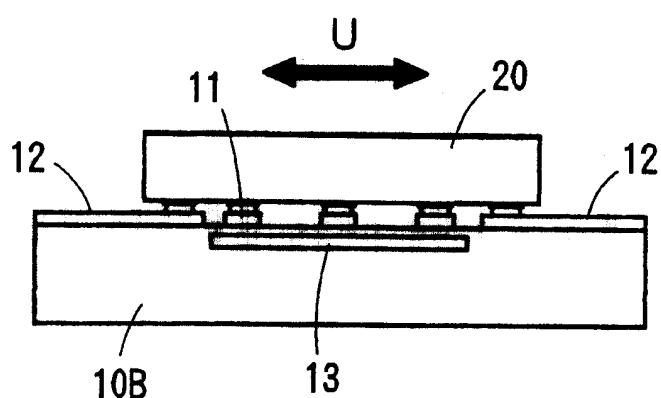


图 10

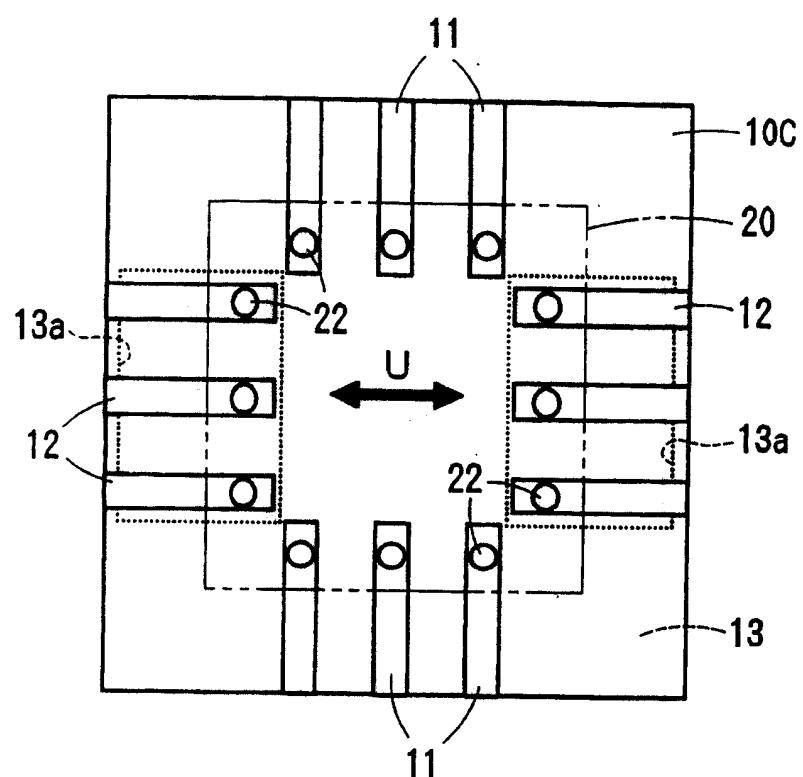


图 11