



(12) 发明专利申请

(10) 申请公布号 CN 116324737 A

(43) 申请公布日 2023. 06. 23

(21) 申请号 202180068238.6

(74) 专利代理机构 永新专利商标代理有限公司  
72002

(22) 申请日 2021.10.07

专利代理师 张伟

(30) 优先权数据

63/088,572 2020.10.07 US

17/125,927 2020.12.17 US

(51) Int.Cl.

G06F 12/00 (2006.01)

(85) PCT国际申请进入国家阶段日

2023.04.04

(86) PCT国际申请的申请数据

PCT/US2021/053916 2021.10.07

(87) PCT国际申请的公布数据

W02022/076652 EN 2022.04.14

(71) 申请人 英飞凌科技有限责任公司

地址 美国加利福尼亚州

(72) 发明人 C·济特劳 S·罗斯纳

H·范安特沃彭 M·A·惠特利

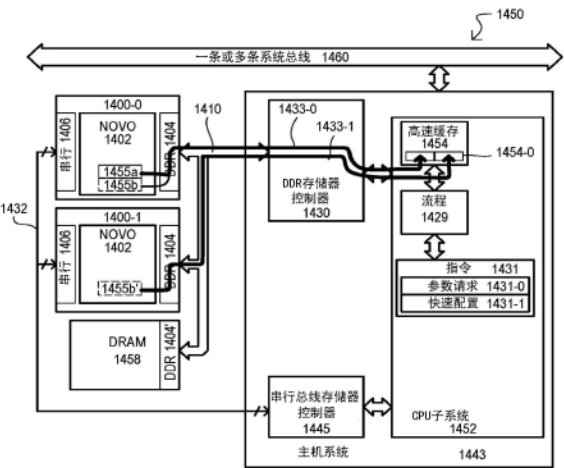
权利要求书3页 说明书15页 附图15页

(54) 发明名称

在双倍数据速率存储器总线上与非易失性存储器进行高速事务处理的系统

(57) 摘要

一种方法可以包括：在分立非易失性存储器(NVM)装置的单向命令-地址(CA)总线输入上接收多个连续命令，所述命令与定时时钟同步；对于每个接收的命令，确定所述命令是否是快速读取(NVR)命令，如果确定命令是NVR命令，则确定下一个连续命令是否是NVR命令，其中，连续NVR命令形成NVR命令序列；响应于不再有更多的所述NVR命令序列，访问所述NVM装置的NVM单元中存储的读取数据；以及在数据值的突发中在所述NVM装置的并行数据输入/输出(I/O)上驱动所述读取数据，所述突发的所述数据值是与所述定时时钟的上升沿和下降沿同步输出的；其中所述CA总线包括多个并行CA信号输入。还公开了相关的存储器装置和系统。



1. 一种方法,包括:

在分立非易失性存储器 (NVM) 装置的单向命令-地址 (CA) 总线输入上接收多个连续命令,所述命令与定时时钟同步;

对于每个接收的命令,确定所述命令是否是快速读取 (NVR) 命令,

如果确定命令是NVR命令,则确定下一个连续命令是否是NVR命令,其中,连续NVR命令形成NVR命令序列;

响应于不再有更多的所述NVR命令序列,访问所述NVM装置的NVM单元中存储的读取数据;以及

在数据值的突发中,在所述NVM装置的并行数据输入/输出 (I/O) 上驱动所述读取数据,所述突发的所述数据值是与所述定时时钟的上升沿和下降沿同步输出的;

其中,所述CA总线输入包括多个并行CA信号输入。

2. 根据权利要求1所述的方法,其中:

利用与LPDDR4标准兼容的信令生成所述CA总线输入上的所述NVR命令和所述数据I/O上的所述数据值。

3. 根据权利要求1所述的方法,其中:

所述NVR命令包括与兼容LPDDR4标准的命令的位值位置相对应的位值位置,并且在LPDDR4兼容命令包括的命令数据所在的位位置处,至少一个NVR命令包括地址数据。

4. 根据权利要求1所述的方法,其中:

在所述定时时钟的两个周期的整数倍内接收每个NVR命令,所述整数大于或等于1。

5. 根据权利要求1所述的方法,其中:

所述NVR命令序列包括对于访问所述读取数据所必需的所有命令值和地址值。

6. 根据权利要求1所述的方法,其中:

每个NVR命令所具有的格式与LPDDR4标准的命令兼容,所述格式包括标识所述命令的命令位位置;并且

确定所述命令是否是NVR命令包括:确定所述NVR命令的命令位位置是否匹配预定值。

7. 根据权利要求1所述的方法,进一步包括:

在所述NVM装置的串行端口上接收串行命令和串行地址值,所述串行端口与所述CA输入和所述数据I/O不同;以及

响应于所述串行命令和所述串行地址值,访问所述NVM装置的NVM单元。

8. 根据权利要求1所述的方法,其中:

数据值的所述突发具有能够被配置成多个突发长度 (BL) 值之一的突发长度,至少一个BL值不超过八。

9. 一种集成电路 (IC) 装置,包括:

命令-地址 (CA) 输入,所述命令-地址输入包括多个并行CA输入;

数据总线输入/输出 (I/O),所述数据总线输入/输出包括被配置成至少与定时时钟的上升沿和下降沿同步地接收突发数据值的多个并行数据I/O;

至少一个非易失性存储器 (NVM) 单元阵列;

命令解码器,所述命令解码器被配置成检测在所述CA输入处接收的命令,所述命令包括快速读取 (NVR) 命令序列,每个NVR命令序列包括多个连续NVR命令,所述多个连续NVR命

令能够通过所述NVR命令的位值与其他命令区分开,并且在接收到并非NVR命令的命令或结束接收到连续命令时,每个NVR命令序列终止;

访问电路,所述访问电路被配置成响应于在所述CA总线输入上不再接收到更多的所述NVR命令序列而访问所述至少一个NVM单元并输出读取数据。

10. 根据权利要求9所述的IC装置,其中:

所述CA总线包括六个CA输入;并且

所述CA总线和所述数据总线I/O与LPDDR4物理接口标准兼容。

11. 根据权利要求9所述的IC装置,其中:

用于访问所述读取数据的所有地址数据都包括在所述NVR命令序列中。

12. 根据权利要求9所述的IC装置,其中:

所述NVR命令包括与兼容LPDDR4标准的命令的位值位置相对应的位值位置,并且

在LPDDR4兼容命令包括的命令数据所在的位位置处,至少一个NVR命令包括地址数据。

13. 根据权利要求9所述的IC装置,其中:

在所述定时时钟的两个周期的整数倍内在所述CA输入处接收每个NVR命令,所述整数大于或等于1。

14. 根据权利要求9所述的IC装置,进一步包括:

串行总线输入,所述串行总线输入包括至少一条被配置成接收串行命令和串行地址数据的串行I/O线;并且

所述访问电路被配置成响应于串行命令和串行地址数据访问所述至少一个NVM单元阵列。

15. 根据权利要求9所述的IC装置,其中:

数据值的所述突发具有能够被配置成多个突发长度(BL)值之一的突发长度,至少一个BL值不超过八。

16. 一种系统,包括:

单向命令地址(CA)总线;

双向数据总线;

包括存储器控制器的主机系统,所述存储器控制器被配置成:

在所述CA总线上发出连续快速存储器读取(NVR)命令的序列,每个NVR命令是与定时时钟同步发出的,并且每个NVR命令包括将所述NVR命令与其他命令区分开的位值,并且

在所述数据总线上接收与NVR命令的所述序列相对应的读取数据;

存储器系统,所述存储器系统包括:

至少一个NVM单元阵列;

命令解码器电路,所述命令解码器电路被配置成:

对于每个接收的命令,确定所述命令是否是快速读取(NVR)命令,

如果确定命令是NVR命令,则确定下一个连续命令是否是NVR命令,其中,连续NVR命令形成NVR命令序列;

访问电路,所述访问电路被配置成响应于不再有更多的NVR命令序列,访问所述至少一个NVM单元阵列以访问其中存储的读取数据,并且在数据值的突发中,在所述数据总线上输出所述读取数据,所述突发的所述数据值是与所述定时时钟的上升沿和下降沿同步输出

的。

17. 根据权利要求16所述的系统, 其中:

所述存储器控制器包括连接到所述CA总线和所述数据总线的控制器接口 (I/F);  
所述存储器系统包括连接到所述CA总线和所述数据总线的存储器装置接口; 并且  
所述控制器接口和所述存储器装置接口与LPDDR4物理接口标准兼容。

18. 根据权利要求16所述的系统, 进一步包括:

所述NVR命令包括与兼容LPDDR4标准的命令的位值位置相对应的位值位置, 并且  
在LPDDR4兼容命令包括的命令数据所在的位位置处, 至少一个NVR命令包括地址数据。

19. 根据权利要求16所述的系统, 其中:

所述主机系统包括至少一个高速缓存存储器, 所述高速缓存存储器具有预定尺寸的高速缓存行; 并且

所述NVM系统在数据值的所述突发中输出的所述读取数据的尺寸与所述预定尺寸匹配。

20. 根据权利要求16所述的系统, 其中:

所述存储器控制器在所述定时时钟的两个周期的整数倍内发出每个NVR命令, 所述整数大于或等于1。

21. 根据权利要求16所述的系统, 其中:

所述主机系统被配置成:

从所述NVM系统请求参数数据, 并且

响应于所述参数数据具有预定值, 将对所述NVM系统的读取请求编码到NVR命令序列中。

22. 根据权利要求16所述的系统, 其中:

所述存储器系统进一步包括:

至少一个易失性存储器单元阵列;

易失性存储器访问电路, 所述易失性存储器访问电路被配置成:

响应于不再有更多的NVR命令序列, 访问所述至少一个易失性存储器单元阵列以访问其中存储的易失性读取数据, 并且在易失性数据值的易失性存储器突发中在所述数据总线上输出所述易失性读取数据, 所述易失性存储器突发的所述易失性数据值是与所述定时时钟的上升沿和下降沿同步输出的。

23. 根据权利要求16所述的系统, 其中:

数据值的所述突发具有能够被配置成多个突发长度 (BL) 值之一的突发长度, 至少一个BL值不超过八。

## 在双倍数据速率存储器总线上与非易失性存储器进行高速事务处理的系统

[0001] 相关申请

[0002] 本申请是2020年12月17日提交的美国非临时申请号17/125,927的国际申请,该国际申请依据35U.S.C.119(e)要求于2020年10月7日提交的序列号为63/088,572的美国临时专利申请的优先权权益,这些申请以引用方式并入本文。

### 技术领域

[0003] 本公开内容总体上涉及需要高速访问存储器装置的系统,并且更具体而言涉及通过双倍数据速率接口访问非易失性存储器装置的系统。

### 背景技术

[0004] 片上系统(SoC)能够在非常紧凑的封装中实现对装置的高性能控制。SoC在非常紧凑的装置(例如,蜂窝电话)到非常大的装置(例如,汽车)中得到了广泛使用。SoC通常包括处理器电路和用于存储数据的板上存储器(on-board memory),数据包括可由处理器执行的指令。SoC性能常常非常依赖于存储器访问速度。对于环境和低温应用而言,SoC可以包括非易失性存储器(NVM)和诸如动态随机存取存储器(DRAM)之类的易失性存储器的组合。NVM可以在掉电的情况下存储数据。DRAM能够提供可接受的访问速度并且消耗较低功率。在这样的系统中,通常从NVM向DRAM中加载数据以供处理器访问和/或利用NVM备份DRAM数据。

[0005] 对于高温应用而言,例如汽车,DRAM性能可能随着温度升高而下降,这使得DRAM成为不符合需求的存储器选择。结果,高温应用可以采用静态RAM(SRAM)作为易失性存储器。尽管SRAM可以提供比DRAM更快的速度,但SRAM可能具有高的部件价格并且比DRAM汲取更多功率。

[0006] 图19是常规DRAM读取操作的框图,该读取操作与JEDEC颁布的LPDDR4标准兼容。在时间 $t_0$ ,可以接收第一读取命令序列。读取命令序列可以包括两个激活指令(Activate1, Activate2)、读取指令和CAS指令。可以在(CK<sub>t</sub>)的八个时钟周期内(即,从时间 $t_0$ 到 $t_2$ )接收读取命令序列。

[0007] 在时间 $t_2$ ,第二读取序列开始可以具有与第一读取序列相同类型的指令。

[0008] DRAM可以具有14个时钟的读取延迟(RL)和大约两个时钟的时滞延迟(skew delay)( $t_{DQSCK}$ )(在800MHz时钟速度下)。在这样的延迟之后,可以在时间 $t_4$ 处输出读取数据。可以利用最小十六(或者32,这取决于突发长度设置)个突发(burst)来输出读取数据。对于图示的16个突发,在800MHz下接收16个突发的总时间可以是31个时钟,或38.75ns。

[0009] 在x32配置中,可以在八个时钟周期(时间 $t_4$ 和 $t_5$ 之间)内传输64个字节。对于具有32字节的高速缓存存储器的系统而言,这样的读取传输可能导致32个字节被丢弃。

[0010] 尽管DRAM(包括如图19所示的LPDDR4兼容的DRAM)能够为像SoC的系统提供快速访问速度,但如上所述,DRAM对于一些环境,例如高温环境而言并不适合。

[0011] 希望获得某种方式,其针对高温应用提供对存储器的高速访问,且还没有常规方

案的缺点。

## 附图说明

- [0012] 图1A-图1C是示出了根据实施例的非易失性存储器 (NVM) 装置和快速访问操作的图示。
- [0013] 图2是根据实施例的NVM装置的框图。
- [0014] 图3是根据另一实施例的NVM装置的框图。
- [0015] 图4是根据另一实施例的NVM装置的框图。
- [0016] 图5是根据实施例的对NVM装置的快速访问操作的时序图。
- [0017] 图6是根据另一实施例的对NVM装置的快速访问操作的时序图。
- [0018] 图7是根据实施例的具有双倍数据速率 (DDR) 并行接口 (I/F) 和串行 I/F 的NVM装置的框图。
- [0019] 图8是根据另一实施例的具有DDR并行接口 I/F 和串行 I/F 的NVM装置的框图。
- [0020] 图9是示出了根据实施例的NVM装置的地址空间的框图。
- [0021] 图10A和图10B示出了可以包括在实施例中的NVM装置的寄存器。
- [0022] 图10C是示出了常规LPDDR4命令格式的图示。
- [0023] 图10D是示出了根据实施例的快速访问命令格式的图示。
- [0024] 图11A和图11B是可以包括在实施例中的存储器单元阵列的示意图。
- [0025] 图12示出了根据实施例的集成电路装置的透视图。
- [0026] 图13是根据实施例的存储器控制器的框图。
- [0027] 图14是根据实施例的系统的框图。
- [0028] 图15是根据实施例的汽车系统的图示。
- [0029] 图16是根据实施例的NVM方法的流程图。
- [0030] 图17是根据实施例的存储器控制器方法的流程图。
- [0031] 图18是根据实施例的系统方法的流程图。
- [0032] 图19是根据实施例的常规LPDDR4兼容读取访问的时序图。

## 具体实施方式

- [0033] 根据实施例,一种非易失性存储器 (NVM) 装置可以处理精简的读取命令 (NVR命令) 序列以从一个或多个阵列的NVM单元读取数据。在一些实施例中,NVR命令对 (command pair) 可以具有读取操作所需的所有命令和地址数据。可以从NVM装置以双倍数据速率 (DDR) 输出对应于NVR命令的读取数据。在一些实施例中,可以在八个数据突发中输出读取数据。
- [0034] 在一些实施例中,NVM装置可以具有与根据LPDDR4标准的物理接口兼容的接口。
- [0035] 在一些实施例中,NVR命令对可以具有在该对的两个NVR命令上分布的命令值。在一些实施例中,NVR命令对可以具有在该对的两个NVR命令上分布的地址值。
- [0036] 在一些实施例中,NVR命令可以具有遵循根据LPDDR4标准的命令的格式。然而,在LPDDR4命令中提供命令数据的一个或多个位位置 (bit location) 能够在NVR命令中提供地址数据。

[0037] 在一些实施例中,除了DDR接口之外,NVM装置还可以包括串行接口。

[0038] 在一些实施例中,NVM装置可以是对高速缓存存储器执行高速缓存行读取(cache line read)的系统的部分。对一个或多个NVM装置的快速访问操作(利用NVR命令执行的读取访问)能够填充高速缓存行而不必丢弃任何读取数据。

[0039] 在一些实施例中,NVM装置可以是具有存储器控制器的系统的部分。存储器控制器可以向NVM装置发出具有NVR命令的读取命令序列,并且向另一装置(例如,动态随机存取存储器(DRAM))发出根据现有标准(例如,LPDDR4)的读取命令序列。与NVR命令序列(例如,两条命令)相比,根据现有标准的读取序列可以具有更多命令(例如,四条命令)。

[0040] 在下文的各种实施例中,相同的附图标记指代类似项,但是该附图标记具有对应于附图编号的一个或多个前导数字。

[0041] 图1A是根据实施例的NVM装置100的框图。NVM装置100可以包括一个或多个存储器单元阵列102和DDR接口104。在图示的实施例中,存储器单元阵列102可以是NVM单元阵列102,其可以包括能够在掉电时保持数据的任何适当类型的NVM单元。在一些实施例中,NVM单元阵列102可以包括响应于地址值访问NVM单元的解码器电路、以及用于在NVM单元中存储数据值的写入电路(例如,编程和擦除电路)。在一些实施例中,存储器单元阵列102可以包括易失性存储器单元(包括但不限于动态随机存取存储器(DRAM)单元和/或静态RAM(SRAM)单元)、以及适当的访问电路和辅助电路(例如,解码器电路、用于DRAM的刷新电路、等等)。

[0042] DDR接口104可以包括命令和地址(CA)输入、并行数据连接(DQ)和一个或多个时钟输入(CLK)。CA输入可以接收用于访问NVM单元阵列102的存储位置的命令和地址数据。CLK数据可以接收用于对NVM装置102的输入和输出信号提供定时控制的一个或多个时钟输入。DQ连接可以响应于在CA输入上接收的请求而输出并行数据值。可以与输入时钟的上升沿和下降沿两者(即,以双倍数据速率)同步地提供输出数据值。在一些实施例中,DQ可以是单向的,并且仅从NVM装置提供输出数据。然而,在其他实施例中,DQ可以是双向的,并且因此能够接收数据和输出数据。

[0043] 在一些实施例中,DDR接口104可以具有与现有存储器标准兼容的信令(signaling)。在实施例中,DDR接口104可以具有与JEDEC颁布的LPDDR4标准兼容的信令。亦即,DDR接口104可以具有与LPDDR4物理接口标准(即,LPDDR4PHY)兼容的物理接口。

[0044] 尽管DDR接口104可以具有与现有标准兼容的信令,但DDR接口104可以处理比此类现有标准更短的读取命令序列。在一些实施例中,虽然DDR接口104可以与LPDDR4PHY兼容,但与LPDDR4标准规定的四个命令的读取序列相比,DDR接口104可以处理两个命令的快速读取序列。

[0045] DDR接口104可以包括用于执行如本文所述的快速访问的命令解码器105。在一些实施例中,命令解码器105可以识别快速访问命令,以实现NVM单元阵列102的访问。在一些实施例中,命令解码器105可以区分快速访问命令和其他命令。快速访问命令的连续序列(consecutive sequence)可以被视为快速命令序列。快速命令序列可以包括对NVM装置102执行访问的所有指令和地址数据。在一些实施例中,DDR接口可以与现有标准(例如,LPDDR4)兼容,并且与根据现有标准的访问相比,快速命令序列可以包括更少的命令。

[0046] 在一些实施例中,CA输入可以小于七位宽,并且DQ连接可以小于二十位宽。

[0047] 在一些实施例中,NVM装置102可以是集成电路装置,该集成电路装置包括形成于单个IC封装中的一个或多个集成电路(IC)衬底。

[0048] 图1B是示出了NVM装置(像图1A的NVM装置)的访问操作的时序图。图1B示出了根据实施例的对NVM装置进行的与预定标准兼容的读取访问(Std)以及快速读取访问(Express),快速读取访问可以在比标准读取访问更少数量的时钟周期中发生。

[0049] 图1B包括用于以下的波形:定时时钟(CK);用于标准访问的CA输入(CA(Std));快速访问中的CA输入(CA(Express));标准访问中的输出数据(DQ(Std));以及用于快速访问的输出数据(DQ(Express))。

[0050] 在时间t0,可以在存储器装置处接收读取命令序列。该读取命令序列可以包括用于一个读取操作的命令和地址值。图1B示出了针对标准情况以及快速情况的命令-地址值。如图所示,标准读取命令序列需要“n”条命令(Std0-Stdn),其中n大于二。相反,快速访问由更少的NVR命令(NVR1、NVR2和可能的NVR3)构成。

[0051] 响应于接收到第一NVR命令(NVR1),可以评估(示为147)该命令以确定它是否为快速访问命令。如果接收的命令是快速访问命令,那么可以检查该序列的下一条命令以确定它是否是快速访问命令。连续快速访问命令的集合可以形成快速访问命令序列。这样,图1B示出了快速访问命令序列NVR1/NVR2(二命令序列)和任选的NVR1/NVR2/NVR3(三命令序列)。

[0052] 在时间t1,可以完成快速读取命令序列(NVR1/NVR2)的接收。在时间t1之后并且在时间t2之前,可以完成快速读取命令序列(NVR1/NVR2/NVR3)。

[0053] 在时间t2,可以完成标准读取命令序列(示为ACT1、ACT2、READ、CAS2,但不限于任何特定协议/标准)的接收,这需要比快速情况更多的时钟周期。

[0054] 在时间t3,可以输出对应于快速读取命令序列的数据。

[0055] 在时间t4,可以完成来自NVM装置的用于快速访问的数据输出。在图示的示例中,也是在这个时间,可以输出对应于标准读取命令序列的数据。

[0056] 在时间t5,可以完成用于标准访问的数据输出。

[0057] 在图示的实施例中,与标准读取访问相比,快速读取操作可以包括更少的命令(并因此更少的时钟周期),并且任选地,在更小的突发序列中提取数据。结果,与标准读取操作相比,快速读取操作能够对CA总线占用更少时间,并且在更少量时间内提取数据。在一些实施例中,更小的突发序列可以是存储器装置的可选择特征,其中支持更大的突发序列(包括常规尺寸的那些突发序列)。

[0058] 尽管图1B示出了在CK的两个时钟周期内接收NVR命令,但替代实施例可以在更大数量的时钟周期内接收NVR命令。仅仅作为一个示例,图1B的NVR1/NVR2中包括的命令和地址数据可以包括在占据四个时钟周期的一个NVR命令中。

[0059] 在一些实施例中,可以在 $j \times 2$ 个时钟周期内接收NVR命令,其中j是至少为1的整数。

[0060] 图1C是示出了根据实施例的快速读取(NVR)命令序列的各种示例的图示。应当理解,这样的序列作为从控制器装置发出的和/或在NVM装置处接收的连续命令而在一定时间内发生。连续命令可以是一个接一个被接收而没有居间延迟,或者没有充分长持续时间的居间延迟的命令。

[0061] NVR命令序列149A示出了因未接收到进一步的命令而终止的两命令序列(NVR1/NVR2)。根据NVR1中的位值,命令解码器可以确定该命令是NVR命令。结果,命令解码器可以将下一条连续命令视作可能的NVR命令。这样,可以在该序列的下一条NVR命令处检测到NVR2。在图示的实施例中,NVR命令序列149A在NVR2之后没有连续命令时终止。在一些实施例中,命令是在预定数量的定时时钟周期内接收到的。如果在这一量的时钟周期内未接收到命令,则可以将任何NVR命令序列视为终止。

[0062] 当命令序列终止时,使用该序列的所得NVR命令(NVR1/NVR2)访问NVM单元。亦即,命令NVR1/NVR2被理解为包含读取访问所需的所有命令和地址数据。

[0063] NVR命令序列149B示出了像149A那样的NVR命令序列,但该NVR命令序列是因接收到非NVR命令而终止的。命令解码器可以检测NVR1,然后检查下一条命令(NVR2)并确定它也是NVR命令,并从而是同一NVR命令序列的部分。因为NVR2是NVR命令,所以命令解码器可以查看下一连续命令(MRR1)以确定它是否是NVR命令。然而,在这种情况下,MRR1不是NVR命令。结果,NVR命令序列可以结束,并且利用NVR1/NVR2中的地址值访问NVM单元。

[0064] NVR命令序列149C示出了像149A那样的NVR命令序列,但具有更多NVR命令。在一些实施例中,目标存储器装置的地址空间可能需要比两个NVR命令中可提供的地址位更多的地址位。因此,可以向NVR命令序列添加一个或多个NVR命令(在这种情况下,一个命令NVR3)。可以通过与上文所示相同的方式终止更长的快速读取命令序列。此外,NVR命令序列可以具有任意数量的NVR命令,包括超过三个NVR命令。

[0065] 应当理解,NVR命令序列可以包括一个NVR命令。

[0066] 尽管实施例可以采取各种形式,但一些实施例可以是具有一个或多个集成电路管芯的单个集成电路(IC)装置。图2到图4示出了根据实施例的多种可能IC装置中的三种。

[0067] 图2是具有形成于IC封装205中的单个管芯207的NVM IC装置200的框图。IC封装可以采取任何适当的形式,包括但不限于:球栅阵列(BGA)(包括细间距BGA(FBGA))、小轮廓封装、扁平封装、针栅阵列或芯片载体。管芯207可以包括NVM单元阵列202、DDR接口204和串行接口206。NVM单元阵列202可以采取本文所述的那些形式中的任何形式或等同形式。在一些实施例中,NVM单元阵列202可以包括第一存储体(bank)202-0和第二存储体202-1。

[0068] DDR接口204可以包括CS输入、时钟输入(CLK)、CA输入、DQ和数据选通输出(DQS)。DDR接口204还可以包括如本文所述的能够对快速访问命令(例如,NVR1、NVR2……NVRn)解码的命令解码器205和等同部件。DDR接口204可以实现对NVM单元阵列202的访问,包括读取和写入操作。在一些实施例中,除了快速访问之外,DDR接口204还可以实现标准访问,或者可以被配置成实现标准访问。在一些实施例中,命令解码器205可以处理针对存储体202-0/202-1中的每一个存储体的连续不中断NVR命令序列(例如,第一NVR1/NVR2对,紧跟着第二NVR1/NVR2对),以实现以双倍数据速率在DQ上从存储体202-0/202-1不中断地输出数据。

[0069] 串行接口206可以实现经由串行总线对NVM阵列202的访问。串行接口206可以包括串行芯片选择输入(SERIAL\_CS)、串行时钟输入(SERIAL\_CLK)和串行数据I/O(SERIAL\_DQ)。SERIAL\_CS可以使得NVM装置202能够被选择以供另一装置(例如,主机装置)经由串行接口206访问。SERIAL\_CLK可以接收定时信号,以便对向NVM装置202输入数据和从NVM装置202输出数据进行同步。SERIAL\_DQ可以接收用于访问NVM装置202的存储位置(包括配置寄存器的命令、地址和数据值。SERIAL\_DQ可以响应于访问而输出串行数据。

[0070] 图3是具有形成于同一IC封装305中的第一管芯307A和第二管芯307B的NVM IC装置300的框图。IC封装可以采取如本文所述的任何适当形式。第一管芯307A可以包括NVM单元阵列302A、DDR接口304和串行接口306A,如图2中的情况那样。第二管芯307B可以包括NVM单元阵列302B和串行接口306B。第一和第二管芯307A/307B可以通过内部总线308连接。DDR接口304处的访问可以经由内部总线309访问第一管芯307A上的NVM单元阵列302A以及第二管芯307B上的NVM单元阵列302B。共享串行总线311可以实现经由公共串行输入313对任一管芯307A/307B的访问。

[0071] DDR接口304可以像图2中的DDR接口那样操作。然而,命令解码器305可以处理针对不同管芯的存储体(例如,302-0A/302-0B)的连续不中断NVR序列,以实现在DQ\_A/B上从存储体302-0A/302-0B不中断地输出数据。

[0072] 图4是具有形成于同一IC封装405中的第一管芯407A和第二管芯407B的NVM IC装置400的框图。NVM IC装置400可以具有与图3中的那些项目相像的项目。NVM IC装置400与图3不同之处可以在于:每个管芯407A/407B均可以具有DDR接口404A/404B,每个DDR接口包括芯片选择输入(CS\_A/CS\_B)、时钟输入(CLK\_A/CLK\_B)、CA输入(CA\_A/CA\_B)、DQ(DQ\_A/DQ\_B)和DQS(DQS\_A/DQS\_B)。每个DDR接口404A/404B还可以具有其自己的命令解码器405A/405B。在一些实施例中,命令解码器405A可以处理针对NVM单元阵列402A之内的存储体302-0A/302-1A的连续不中断NVR序列,并且命令解码器405B可以处理针对NVM单元阵列402B之内的存储体302-0B/302-1B的连续不中断NVR序列。

[0073] 在图2到图4的实施例中,DDR接口(204、304、404A、404B中的任何接口)可以具有与JEDEC颁布的DDR标准兼容的信令。在一些实施例中,此类DDR接口可以与JEDEC颁布的LPDDR4标准兼容。

[0074] 在图2到图4的实施例中,串行接口(206、306A/306B、406A/406B中的任何接口)可以与串行外围接口(Serial Peripheral Interface,SPI)标准(包括具有一条串行数据线或多条串行数据线的那些标准(例如,四SPI))兼容。

[0075] 图5是根据实施例的对NVM装置的快速读取操作的时序图。在图5中,假设访问可以发生在具有与LPDDR4PHY标准兼容的输入的DDR接口上。然而,该DDR接口能够处理快速访问命令,该快速访问命令可以包括比常规LPDDR4访问更少命令的命令序列。图5示出了以下波形:CS示出了芯片选择(CS)输入;CA[5:0]示出了命令-地址输入(具有六位的位宽度);CMD是在CA上接收的指令数据的书面表示;CK\_t是定时时钟;DQS[1:0]示出了数据选通输出;DQ[15:0]示出了具有16位的位宽度的数据I/O;以及DM[1:0]示出了被配置成提供对应于DQ上的数据输出的纠错码(ECC)数据的输出。

[0076] 在时间t0,CS可以为高,从而选择NVM装置以进行访问操作。还是在时间t0,NVM装置可以开始在CA上接收用于第一快速读取操作的命令序列。这样的命令序列可以采取如下形式:在(CK\_t)的一个时钟周期内接收的第一NVR命令(NVR-1)、接着在另一时钟周期内接收的第二NVR命令(NVR-2)。然而,应当理解,替代实施例可以包括超过两个NVR命令的序列。

[0077] 在时间t1,CS可以再次为高,从而继续选择NVM装置以进行访问操作。

[0078] 在时间t2,可以随着大约三个时钟周期之后完成第一命令序列而完成第一访问。响应于该命令序列,NVM装置可以开始针对所请求的读取数据而访问NVM单元。

[0079] 在时间t3,CS可以再次为高,从而继续选择NVM装置以进行访问操作。还是在时间

t3,可以开始第二快速访问操作。第二访问操作可以与第一访问操作以相同方式发生。

[0080] 在时间t4,可以随着在四个时钟周期内接收到第二命令序列而完成第二访问。响应于该第二命令序列,NVM装置可以开始针对第二读取数据集合而访问NVM单元。时间t2-t4可以是列到列延迟时间(tCCD),其可以是四个时钟。

[0081] 时间t5可以标记读取延迟(RL)时间的结束,读取延迟(RL)时间可以根据时钟速度和NVM装置架构而变化。在图示的实施例中,RL可以是14个时钟周期。

[0082] 在时间t6,在RL时间和附加的时钟时滞延迟(tDQSKY)之后,可以在DQ上输出针对第一访问的读取数据(D0-D7)、以及相对应的数据选通信号DQS。读取数据可以相对于CK<sub>t</sub>以双倍数据速率输出,并且可以具有突发长度(BL)八。另外,在输出DM上,可以输出用于每个读取数据值的两位ECC数据。在图示的实施例中,在t6之后的两个时钟周期中的每个时钟周期内,DQ/DM可以输出具有8位ECC数据的64位读取数据。

[0083] 在时间t7,可以在第一访问的读取数据之后立即在DQ上输出第二访问的读取数据(D0-D7)。该第二读取数据集合可以具有与第一读取数据相同的通用格式。

[0084] 仍然参考图5,读取命令序列NVR1/NVR2可以花费四个时钟周期。尽管图5示出了16位(即,x16)的DQ,但应当理解,其他实施例可以包括32位(即,x32)的访问。仅仅作为了很多个可能示例中的两个示例,NVR1/NVR2命令可以针对两个NVM装置,每个NVM装置返回x16位。替代地,NVM装置可以具有x32位的输出。这样,尽管图5示出了每半个时钟周期以x16位进行的数据输出,但在二装置/存储体配置中,可以在八个半时钟周期内以x32位输出数据。在这样的布置中,两个NVM装置(或具有x32DQ的一个NVM装置)可以在四个时钟内输出32字节的数据。这样的读取操作可以被流水线化(即,图5示出了流水线化的两个读取操作,但可以流水线化更大数量的读取操作)。在很多系统中,高速缓存存储器访问向尺寸为32字节的高速缓存行写入数据。因此,每个流水线化的NVR读取访问均可以填充一个高速缓存行而没有浪费的数据。

[0085] 如图5所示,快速读取命令的开始(t0)和所有数据被输出(t7)之间的时间可以包括用于命令-地址数据(NVR1/NVR 2)的三个时钟周期、用于RL的14个时钟周期、用于tDQSK的2个时钟周期、以及用于数据的四个时钟周期(BL=8)。在800MHz时钟速度下,总时间量可以是28.75ns。这样,使用流水线化的快速读取操作,可以在28.75ns内利用来自非易失性存储器的数据填充第一高速缓存行,其中,每5ns(即,四个时钟周期)填充后续的高速缓存行。这与图19的常规访问操作形成鲜明对比,常规访问操作为第一高速缓存行花费38.75ns,并且为每个后续操作花费10ns,并从每个读取数据集合中丢弃32字节。

[0086] 尽管图5示出了BL为八的实施例,但各实施例还可以支持更大的BL尺寸。在一些实施例中,BL为八可以是其他BL尺寸(例如,32)当中的可选择特征。另外,其他实施例可以提供大于八的BL尺寸,例如16,并且可以不支持短BL尺寸八。

[0087] 图6是示出了根据另一实施例的对NVM装置的访问操作的时序图。图6像图5中的那样示出了通过DDR接口的访问,但针对两个不同的NVM装置。图6示出了与图5中的那些波形相像的波形,只是可以有两个芯片选择波形CS0和CS1。另外,可以有两个不同的数据选通信号DQSA、DQSB。

[0088] 操作可以如图6所示以相同的通用方式进行,然而,可以利用信号CS0在时间t0和t1之间选择第一NVM装置,并且可以利用信号CS1在时间t2和t3之间选择第二NVM装置。在一

些实施例中,可以有时间 $t_{BT}$ 将用于一个装置的NVR序列(NVR1A/NVR2A)与用于下一装置的NVR序列(NVR1B/NVR2B)分开。时间 $t_{BT}$ 可以根据装置类型和时钟速度而变化。仅作为很多可能示例中的几个示例,在800MHz时钟速度下, $t_{BT}$ 可以是( $CK_t$ )的两个时钟周期,并且在1600MHz时钟速度下, $t_{BT}$ 可以是四个时钟周期。DQ上在时间 $t_4$ 和 $t_5$ 之间输出的数据可以来自第一NVM装置,而DQ上在时间 $t_5$ 之后输出的数据可以来自第二NVM装置。在一些实施例中,可以有时间 $t_{DQBT}$ 将数据集合分开。

[0089] 图7是根据另一实施例的NVM装置700的框图。NVM装置700可以是其他实施例所示的装置和管芯的一种实施方式。NVM装置700可以包括第一接口704、第二接口706和多个独立可寻址的存储体702-0到702-3。第一接口710可以是并行DDR接口,其可以在CA输入处接收命令序列,并且与时钟CLK的上升沿和下降沿同步地在数据输出DQ上提供并行输出数据。第一接口710可以连接到并行数据总线710。并行数据总线710可以具有通过CA总线传输的命令和地址值,CA总线与数据总线DQ是分开的,在数据总线DQ上,能够输出(或输入)数据。在一些实施例中,第一接口710处的信令可以与LPDDR4标准兼容。第一接口710还可以包括如本文所述的用于处理快速访问的命令解码器705和等同部件。

[0090] 第二接口706可以是串行接口,其可以与串行时钟 $S_{CK}$ 同步地在一个或多个串行数据I/O( $S_{DQ}$ )上实现串行数据事务。第二接口706可以连接到串行总线708。在一些实施例中,第二接口706可以与SPI标准兼容。

[0091] 存储体(702-0到702-3)均可以包括多个NVM单元。在每个存储体(702-0到702-3)之内,NVM单元可以布置成一个或多个阵列。NVM单元可以采取任何适当形式,并且在一些实施例中,NVM单元可以是“闪存”型NVM单元。存储体(702-0到702-3)可以被独立寻址。亦即,装置700的物理地址可以针对每个存储体(702-0到702-3)具有独立的存储体地址。所有存储体(702-0到702-3)都可以连接到第一总线系统712A和第二总线系统712B。第一总线系统712A可以将存储体(702-0到702-3)连接到第一接口704,并且第二总线系统712B可以将存储体(702-0到702-3)连接到第二接口706。尽管图7示出了具有四个存储体的装置,但是实施例可以包括更大或更少数量的存储体。

[0092] 在一些实施例中,存储体寻址可以实现利用快速访问命令(例如,命令对NVR1/NVR2)对NVM装置的流水线化访问。可以以流水线化方式(即,命令地址值之间没有居间数据,并且命令地址值之间具有最小延迟或没有延迟)在第一接口704处接收针对不同存储体的命令序列。响应于此类流水线化命令序列,可以在顺序突发(sequential burst)中在DQ上输出来自不同存储体的数据,在此类突发之间具有最小延迟或没有延迟。

[0093] 图8是根据另一实施例的NVM装置800的框图。NVM装置800可以是本文所示的那些NVM装置中的任何NVM装置的一种实施方式。NVM装置800可以包括DDR4接口804、四SPI(QSPI)兼容接口806、LPDDR4兼容物理层接口(PHY)816、QSPI兼容PHY 818、多个存储体802-0到802-7、针对每个存储体(802-0到802-7)的第一访问路径820-0到820-7、针对每个存储体(802-0到802-7)的第二访问路径822-0到822-7,以及参数/配置寄存器821。

[0094] LPDDR4PHY 816可以包括芯片选择CS输入、时钟输入 $CK_t$ 、CA输入、第一DQ[7:0]及对应的数据时钟输出 $DQS0_t$ 的、以及第二DQ[15:8]及对应的数据时钟输出 $DQS1_t$ 。这样的输入和输出可以连接到LPDDR4兼容总线810。DDR4接口804可以处理命令和地址数据,并且可以包括命令解码器805,命令解码器805可以处理能够在命令序列(例如,NVR1……NVRn)

中接收的快速访问命令-地址值,其中序列中的每个命令是在不超过CK<sub>t</sub>的两个周期中接收的。在一些实施例中,DDR4接口804还可以处理LPDDR4兼容命令(例如,在八个时钟内接收的命令地址数据)。在一些实施例中,DDR4接口804可以是相对于用户存储空间访问而言的只读接口,其不处理针对用户存储空间的写入命令。在一些实施例中,DDR4接口804可以处理针对NVM装置800的配置和/或其他寄存器的写入操作。

[0095] DDR4接口804可以经由第一总线系统812A连接到各存储体(802-0到802-7)。DDR4接口804可以每四个时钟周期处理流水线化的快速访问命令,以在DQ上以双倍数据速率在八个突发中提供对应输出数据。在一些实施例中,这样的连续流水线化的快速访问命令可以针对不同的存储体802-0到802-7。

[0096] QSPI PHY 818可以包括串行芯片选择SPI\_CS、串行时钟输入SPI\_CLK和四个串行数据I/O SPI\_DQ。这样的I/O可以连接到SPI兼容的串行总线808。QSPI接口806可以处理在QSPI PHY 818处接收的命令,包括QSPI兼容命令。这样的命令可以包括读取命令和写入(例如,编程、擦除)命令二者。

[0097] 参数/配置寄存器821可以存储可由其他装置访问的参数值,其可以指示NVM装置800的能力。在一些实施例中,寄存器821可以存储指示NVM装置800能够执行快速访问操作的参数值。

[0098] 每个存储体(802-0到802-7)可以包括布置成行和列的NVM单元。每个存储体(802-0到802-7)可以经由唯一的存储体地址而被独立访问。在一些实施例中,NVM单元可以被分组擦除(例如,闪存型单元)。读取路径(820-0到820-7)可以实现经由第一总线系统812A从DDR4接口804对其对应的存储体(802-0到802-7)进行读取访问。在一些实施例中,读取路径(820-0到820-7)也可以是写入路径,以实现从DDR2接口804向存储体(802-0到802-7)中写入要被写入的数据。R/W路径(822-0到822-7)可以实现经由第二总线系统812B从QSPI接口806对其对应的存储体(802-0到802-7)进行读取或写入访问。

[0099] 根据实施例,NVM装置可以包括针对用户数据以及NVM装置所特有的数据的存储位置的地址空间。这样的地址空间可以包括用于以下数据的位置:指示快速访问能力的参数数据和/或用于配置NVM装置进行快速访问操作的配置数据。

[0100] 图9示出了NVM装置900,NVM装置900具有地址空间923、能够连接到并行总线908的LPDDR接口904、以及能够连接到串行总线910的串行接口906。LPDDR4PHY 904可以与LPDDR4标准PHY兼容。串行接口906可以与SPI标准兼容。

[0101] 地址空间923可以包括可通过预定地址访问的各个存储位置。在一些实施例中,NVM装置900可以具有逻辑到物理地址转换和/或地址重新配置能力以实现磨损均衡,但这仅作为一个示例。在图示的实施例中,可寻址空间923可以包括用户空间902和以下中的任何项:LPDDR4模式寄存器921-0、装置标识(ID)寄存器921-1、装置参数寄存器921-2、安全区域921-3和串行接口寄存器921-4。用户空间902可以包括用于以非易失性方式存储用户数据的NVM单元阵列,并且能够经由LPDDR4接口904和SPI接口906访问用户空间902。

[0102] LPDDR4模式寄存器921-0可以存储用于配置LPDDR4接口904的值。在一些实施例中,LPDDR4模式寄存器921-0可以包括用于确定BL尺寸(包括短的BL尺寸,例如八,和/或更大的BL尺寸,包括但不限于16或32)的寄存器。在一些实施例中,LPDDR4模式寄存器921-0可以包括标准访问配置寄存器924。根据标准访问控制寄存器924中存储的值,NVM装置900可

以执行标准访问命令的序列,该序列可以包括比快速访问更多的命令。在一些实施例中,NVM装置900可以通过确定连续命令是否是NVR命令来执行快速访问。除快速命令之外,标准访问配置寄存器924可以还启用四条命令的LPDDR4命令序列。可以经由LPDDR4接口904或SPI接口906访问LPDDR4模式寄存器921-0。

[0103] 装置ID寄存器921-1可以存储能够向系统中的其他装置标识NVM装置900的值。在一些实施例中,装置ID寄存器920-1中存储的值可以指示NVM装置能够执行快速访问命令。参数寄存器921-2可以存储能够向系统中的其他装置标识NVM装置900的能力的值。在一些实施例中,参数寄存器921-2可以包括快速访问参数寄存器925,其可以指示NVM装置能够执行快速访问命令。其他装置(即,主机和/或存储器控制器)可以访问参数寄存器921-2和/或装置ID寄存器921-1以确定NVM装置900能够执行快速访问命令。

[0104] 安全区域920-3可以存储NVM装置外部的装置不能访问或者仅能够通过诸如认证过程之类的安全访问流程访问的数据值。DDR接口寄存器920-0、装置ID寄存器920-1、参数寄存器920-2和串行接口寄存器920-3中的任何寄存器或全部寄存器都可以是安全区域。

[0105] 串行接口寄存器921-4可以存储用于配置串行接口906的值。在一些实施例中,可以经由串行接口906但不由DDR接口904访问装置ID寄存器921-1、参数寄存器921-2和串行接口寄存器921-4。

[0106] 图10A示出了能够包括在根据实施例的NVM装置中的DDR接口寄存器1021-1的一个示例。DDR接口寄存器1021-1可以包括用于配置DDR接口的各种寄存器,包括快速访问控制寄存器1024。快速访问控制寄存器1024可以存储能够控制快速访问操作的各种特征的值,包括但不限于:所接收命令中的时钟周期的数量、背对背访问(back-to-back access)之间的任何延迟(例如,tBT)、数据的突发长度等。

[0107] 图10B示出了能够包括在根据实施例的NVM装置中的参数寄存器1021-2的一个示例。参数寄存器1021-2可以包括用于指示NVM装置的参数的各种寄存器,包括标准访问兼容寄存器1025。标准访问兼容寄存器1025可以被另一装置(例如,主机或控制器)访问,以指示NVM装置能够执行标准访问,这可能需要比快速访问更长的命令序列,如本文和等同内容所述。

[0108] 当然,配置或参数寄存器可以采取适合NVM装置的架构的任何形式。

[0109] 图10C是示出了常规LPDDR4读取命令1035的格式的图示。常规读取命令1035可以包括第一部分1035H和第二部分1035L,第一部分是在CS为高时(并且在第一时钟周期期间)接收的,而第二部分是在CS为低时(并且在第二时钟周期期间)接收的。常规读取命令1035可以包括存储命令数据(CMD)的位位置。该位位置对应于第一时钟周期期间的CA总线位CA0和CA1。LPDDR4命令序列可以包括具有这种格式的四个命令ACT1、ACT2、READ和CAS。

[0110] 图10D是示出了根据实施例的NVR命令1039的格式的图示。NVR命令1039可以具有与常规LPDDR4命令相同的格式,包括在两个时钟周期上接收的六个位。NVR命令1039与常规LPDDR4命令的不同之处可以在于:在LPDDR4命令中提供命令数据(例如,图10C中的1037)的位位置可以在NVR命令中提供地址信息1041。尽管图10D示出了CA1提供地址数据,但是在其他实施例中,CA0可以提供地址数据(而CA1提供命令数据)。如本文所指出的,用于快速访问操作的命令序列可以包括两个或三个NVR命令,这与常规LPDDR4读取操作所需的四个命令形成对比。

[0111] 尽管实施例可以包括任何适当的NVM阵列结构或NVM单元类型,但一些实施例可以包括1晶体管(1T)NOR型阵列。图11A是能够包括在实施例中的1T NOR阵列1102的示意图。阵列1102A可以包括布置成行和列的多个存储器单元(一个单元被示为1126-0),其中同一行的存储器单元连接到同一字线(一个字线被示为1126-2),而同一列的存储器单元连接到同一位线(一个位线被示为1126-3)。在一些实施例中,存储器单元(1126-0)可以形成具有单个晶体管结构,其在控制栅极和沟道之间具有电荷存储结构1126-1。电荷存储结构1126-1可以将一位或多位数据存储为电荷(包括没有电荷)。电荷存储结构1126-1可以采取任何适当形式,包括但不限于:浮置栅极、电荷存储电介质(例如,替换栅极)或其组合。

[0112] 实施例还可以包括任何适当的易失性阵列结构或易失性存储器单元类型。图11B是能够包括在实施例中的可能易失性存储器单元阵列的示意图。图11B示出了阵列1102B,该阵列可以包括布置成行和列并且连接到一个或多个位线(例如,1126-3)和字线(例如,1126-2)的多个易失性存储器单元(一个被示为1126-0V)。易失性存储器单元(1126-0V)可以采取任何适当形式,包括但不限于DRAM单元1126-0V1和/或SRAM单元1126-0V2。SRAM单元1126-0V2可以包括但不限于4晶体管(4T)、6T和/或8T变体。

[0113] 在一些实施例中,快速读取命令(NVR1/NVR2)可以用于以与针对如本文描述的NVM单元的访问方式相同的方式访问易失性存储器单元。在一些实施例中,存储器装置可以包括NVM单元和易失性存储器单元两者,两者都可以通过快速读取命令进行访问。在其他实施例中,存储器装置可以接收仅访问易失性存储器单元的快速访问命令。

[0114] 尽管实施例所包括的系统可以具有与主机装置协同操作的存储器装置,但是实施例也可以包括具有形成于一个IC封装中的并行接口的独立NVM装置。图12中示出了这样的实施例。图12在透视顶视图1200T和底视图1200B中示出了封装的NVM装置。NVM装置1200T/1200B可以包括多个物理连接(例如,1127),其全部或部分可以连接到如本文所述的DDR接口。这样的DDR接口可以处理快速访问命令,如本文和等同内容中所述的那样。然而,应当理解,根据实施例的存储器装置可以包括任何其他适当的封装类型,包括将存储器装置管芯直接键合到系统电路板衬底上。

[0115] 尽管实施例可以包括NVM装置,但实施例还可以包括存储器控制器,存储器控制器能够通过用于NVM装置的DDR接口生成快速命令和地址值。图13示出了根据实施例的存储器控制器1330。

[0116] 存储器控制器1330可以包括命令队列1334、写入队列1336、读取队列1338、事务处理电路1340、PHY接口电路1342、LPDDR4PHY 1316和ECC电路1348。命令队列1334、写入队列1336、读取队列1338可以连接到控制器接口1332,控制器接口可以连接到控制器(例如,主机处理器)等。命令队列1334可以通过控制器接口1332接收存储器请求,以访问连接到LPDDR4兼容总线1310的NVM装置。写入队列1336可以接收通过LPDDR4PHY 1316要编程到NVM装置中的写入数据。读取队列1338可以输出通过LPDDR4PHY 1316从NVM装置接收的读取数据。

[0117] 事务处理电路1340可以包括命令编码电路1344和配置寄存器1320。命令编码电路1334可以包括标准编码单元1346-0和快速编码单元1346-1。标准编码单元1346-0可以将存储器请求编码成与LPDDR4标准兼容的格式(例如,在八个时钟内传输的四个命令的序列)。快速编码单元1346-1可以将存储器请求编码成快速访问格式(例如,一个或多个连续NVR命

令的序列)。在一些实施例中,可以响应于通过命令队列1334接收的请求而在不同格式(例如,标准/快速)之间进行命令编码。亦即,来自控制器的请求可以指示访问采取标准格式还是快速格式。额外地或替代地,可以根据配置寄存器1320中存储的快速编码寄存器值1324来控制命令编码。

[0118] PHY接口电路1342可以根据命令和地址值生成输入信号,以由LPDDR4PHY 1316进行合适的信令传输,并且可以对来自在LPDDR4PHY 1316处接收的信号中的数据值进行组织。LPDDR4PHY 1316可以连接到LPDDR4总线1310以发送信号和接收数据,包括发送用于快速访问操作的命令-地址值、以及从快速访问接收读取数据。ECC电路1348可以对在LPDDR4PHY 1316处接收的数据值执行错误检测和校正操作。在一些实施例中,ECC电路1348可以使用在LPDDR4总线1310的DM输入上接收的ECC值。

[0119] 实施例还可以包括能够使用对NVM装置的快速访问操作来填充控制器装置(例如系统或主机CPU)的高速缓存存储器行的系统。图14示出了根据这样的实施例的系统1450。

[0120] 系统1450可以包括一个或多个NVM装置(两个被示为1400-0、1400-1)、主机系统1443和任选的动态随机存取存储器(DRAM)装置1458。NVM装置1400-0/1400-1可以包括NVM阵列1402、DDR接口1404和串行接口1406。NVM装置1400-0/1400-1可以经由DDR接口1404连接到DDR总线1410并经由串行接口1406连接到串行总线1432。NVM装置1400-0/1400-1可以能够执行如本文或等同内容中所述的快速访问操作。

[0121] 主机系统1443可以包括DDR存储器控制器1430、CPU子系统1452和串行总线存储器控制器1445。DDR存储器控制器1430可以连接到DDR总线1410和CPU子系统1452。响应于来自CPU子系统1452的请求,DDR存储器控制器1430可以通过DDR总线1410的CA部分生成命令序列,包括如本文和等同内容所述的NVR命令。CPU子系统1452可以包括一个或多个处理电路1429、可由处理电路1429执行的指令1431和高速缓存存储器1454。串行总线存储器控制器1445可以连接到串行总线1432。响应于来自CPU子系统1452的请求,串行总线存储器控制器1445可以生成串行命令和数据,以访问串行总线1432上的装置,包括NVM装置1400-0/1400-1。

[0122] 已经描述了系统1450的各个部分,现在将描述该系统的高速缓存填充操作。

[0123] 高速缓存存储器1454可以被组织成高速缓存行(一个被示为1454-0),其可以被处理电路1429访问。根据实施例,DDR存储器控制器1430可以利用两个快速读取操作访问一个或多个NVM装置1400-0/1400-1,以提取用于填充高速缓存行(两个被示为1454-0)的数据而无需丢弃任何数据。在一些实施例中,针对一个或两个NVM装置1400-0/1400-1的快速读取命令序列可以提取等于高速缓存行的读取数据量。在一些实施例中,每个快速读取命令序列由仅两个命令的命令序列构成。然而,从本文的实施例可以理解的,快速命令序列可以包括更少或更大数量的快速读取(即,NVR)命令。

[0124] 在一些实施例中,这样的高速缓存行填充操作可以针对单个NVM装置。例如,通过数据路径1433-0,DDR存储器控制器1430可以向NVM装置1400-0发出快速读取序列以访问数据1455a。数据1455a可以在突发序列中被输出并且可以等于高速缓存行。在一些实施例中,这样的数据突发可以是x32(32位宽)的,并且可以具有大小为八的突发长度,以填充32字节高速缓存行。

[0125] 在一些实施例中,快速读取序列可以被流水线化(例如,发出命令之间没有延迟或

之间没有其他居间命令或操作)。仅作为一个示例,在流水线化操作中,可以一个接一个地输出数据1455a和1455b,以填充两个高速缓存行1454-0而不必丢弃任何数据。在一些实施例中,数据1455a可以存储于NVM装置1400-0的一个存储体中,而数据1455b可以存储于NVM装置1400-0的另一个存储体中。

[0126] 在一些实施例中,高速缓存行填充操作可以针对不同的NVM装置。例如,DDR存储器控制器1430可以向NVM装置1400-0和NVM装置1400-1二者发出快速读取序列。快速读取序列可以访问数据1455a和数据1455b'。数据1455a和数据1455b'可以等于高速缓存行的尺寸。在一些实施例中,NVM装置1400-0和1400-1可以均并行提供x16的八个数据突发,以填充32字节的高速缓存行。可以使针对多个装置的快速读取操作进行流水线化,以输出均填充高速缓存行的顺序数据集。

[0127] 在一些实施例中,高速缓存填充操作可以针对DRAM装置1458。DRAM装置1458可以包括与快速读取命令的执行兼容(或可编程以与之兼容)的DDR接口1404'。

[0128] 仍然参考图14,在一些实施例中,CPU子系统1452可以包括参数请求流程1431-0和快速访问配置流程1431-1中的任何一者。参数请求流程1431-0可以从NVM装置1400-0/1400-1请求能够标识此类装置是否与快速访问操作兼容的参数数据。快速访问配置流程1431-1可以写入数据值以配置DDR存储器控制器1430来进行快速访问操作。

[0129] 在一些实施例中,如上所述,DRAM装置1458可以具有与快速访问命令兼容的DDR接口1404'。在其他实施例中,DRAM DDR接口1404'可以不与快速访问命令兼容。

[0130] 参考图15,在图示中示出了根据实施例的汽车系统1566。汽车系统1566可以具有多个子系统(两个被视为1550-0和1550-1),所述子系统利用与一个或多个NVM装置通信的主机装置(例如,CPU子系统)进行操作。这样的子系统(1550-0、1550-1)可以包括电子控制单元(ECU)和/或高级驱动器辅助系统(ADAS)。然而,在其他实施例中,这样的子系统可以包括仪表盘显示/控制子系统和/或信息娱乐子系统,但这仅作为多个可能示例中的两个。每个子系统(1550-0、1550-1)可以包括主机装置,主机装置能够利用快速访问命令访问NVM装置以快速提取数据,如本文和等同内容所述的那样。在一些实施例中,这样的访问可以用于快速高速缓存行填充。在一些实施例中,主机装置可以被配置成直接从NVM装置执行(即,原地执行)代码。这与常规系统形成鲜明对比,常规系统能够从常规NVM装置向易失性存储器(例如,SRAM)中加载数据(例如,代码)以供主机装置访问。

[0131] 尽管所描述的装置和系统公开了根据实施例的各种方法,但将参考流程图描述额外的方法。图16是根据实施例的用于由NVM装置执行快速访问命令的方法1670的流程图。

[0132] 方法1670可以包括接收命令1670-0。这样的动作可以包括从NVM装置的命令地址(CA)输入接收命令。方法1670可以确定所接收的命令是否为NVR命令1670-2。这样的动作可以包括确定该命令的特定位位置是否将该命令标识为NVR命令。如果命令不是NVR命令(1670-2处,“否”),则方法1670可以将命令处理为预定尺寸的集合(1670-14)。这样的动作可以包括处理命令,如同它们是四个命令的集合那样,而不是可变尺寸的NVR序列。

[0133] 如果确定所接收的命令是NVR命令(1670-2处,“是”),则方法1670可以确定是否接收到后续命令1670-06。这样的动作可以包括相对于先前接收的命令基本无延迟地接收命令。如果未接收到后续命令(1670-6处,“否”),则NVR序列可以结束1670-12。通过这种方式,可以确定一个或多个NVR命令的NVR命令序列。

[0134] 如果接收到后续命令(1670-6处,“是”),则方法1670可以确定后续命令是否是NVR命令1670-8。如果后续命令是NVR命令(1670-8处,“是”),则方法1670可以返回到1670-4,并且可以将后续NVR命令添加到NVR序列。如果后续命令不是NVR命令(1670-8处,“否”),则NVR序列可以结束1670-10,并可以将非NVR命令处理为预定集合(1670-14)。

[0135] 当NVR命令序列已经结束时(1670-10或1670-12),方法1670可以利用地址数据或NVR序列访问存储器装置位置。

[0136] 图17是根据实施例的另一种方法1770的流程图。方法1770可以由存储器控制器等执行以访问NVM装置中存储的数据。方法1770可以包括从NVM装置请求参数值1770-0。这样的动作可以包括从NVM装置的存储位置(例如,参数寄存器)读取参数值。在一些实施例中,这样的请求可以通过NVM装置的DDR接口进行。然而,在其他实施例中,这样的请求可以通过NVM装置的串行接口进行。

[0137] 方法1770可以确定所接收的参数数据是否指示NVM装置能够执行快速访问操作1770-2。这样的动作可以包括确定从NVM装置读取的配置值的一个或多个位是否具有预定值。

[0138] 如果参数值指示NVM装置能够执行快速访问(1770-2处,“是”),则方法1770可以根据要访问的NVM装置的尺寸来配置NVR序列尺寸1770-4。例如,对于一些NVM装置而言,两个NVR命令可以具有充分多的地址位来访问所有地址位置。然而,对于更大装置而言,可以包括额外的NVR命令以提供更多地址位。方法1770还可以包括接收访问NVM装置的请求1770-6。这样的请求可以由存储器控制器从CPU子系统(例如,主机)等接收。响应于该请求,方法1770可以输出具有配置尺寸的NVR序列1770-8。这样的动作可以包括在DDR总线(例如LPDDR4兼容总线)的CA部分上输出NVR命令的序列。方法1770可以包括在读取数据值的DDR突发中接收对应于NVR序列的数据1770-8。这样的动作可以包括接收具有ECC数据的数据。此外,在一些实施例中,在八个突发中接收的数据可以与系统的高速缓存行的尺寸,或高速缓存行尺寸的整数分数(whole number fraction)(例如,1/2,1/4)匹配。在一些实施例中,读取数据值的DDR突发可以不超过八。然而,其他实施例可以包括更大尺寸的突发。

[0139] 如果参数值指示NVM装置不能执行快速访问(1770-2处,“否”),则方法1770可以包括接收访问NVM装置的请求1770-4。然而,响应于这样的请求,方法1770可以输出不少于四个命令的读取序列1770-12。此外,可以在数据值的DDR突发中接收数据1770-14。在一些实施例中,这样的数据值可以在大于八的突发中,例如,在16或32个突发中。

[0140] 图18是根据另一实施例的另一种方法1870的流程图。方法1870可以由系统执行以利用直接从一个或多个NVM装置读取的数据填充高速缓存存储器的高速缓存行。方法1870可以包括主机装置或存储器控制器1830接收针对高速缓存的高速缓存填充请求1870-2,其中,高速缓存具有尺寸为X字节的高速缓存行。这样的动作可以包括主机装置向存储器控制器发出读取请求。值X被理解为是大于1的数字。在一些实施例中,X可以是大于4的偶整数。方法1870可以包括针对高速缓存填充请求的每个高速缓存行发出NVR命令序列1870-4。这样的动作可以包括在与数据总线分开的命令地址总线上发出这样的命令序列。在一些实施例中,这样的命令地址总线可以具有不超过六位的宽度。

[0141] 方法1870可以包括针对每个NVR序列在DDR突发1870-6中输出X字节的数据。这样的动作可以包括从超过一个NVM装置在DDR总线上输出数据。在一些实施例中,这样的动作

可以包括响应于相同的命令-地址值从两个不同的NVM装置输出数据。在一些实施例中,这样的DDR突发可以具有大小为八的突发长度。然而,在其他实施例中,DDR突发可以具有更大尺寸,例如16或32。

[0142] 方法1870可以利用从一个或多个NVM装置接收的X字节的数据填充高速缓存行1870-8。这样的动作可以包括填充高速缓存行而不丢弃从NVM装置接收的任何读取数据。

[0143] 根据实施例,NVM装置可以为高温系统提供高速访问。这样的NVM装置可以省去对易失性存储器(例如SRAM或DRAM)的需求。这能够实现更紧凑的系统和/或降低系统费用。

[0144] 根据实施例,一种NVM装置可以通过实现在四个时钟周期(与八个时钟周期形成对比)内作出快速访问请求而提供对CA总线的更高效使用,以便于更小数据传输。另外,更小数据传输可以实现更高效的高速缓存填充。仅作为很多可能示例中的一个示例,如图5和图19所示,在x32配置中,与DRAM装置的38.75ns的延迟相比,NVM装置可以具有28.75ns的高速缓存行填充延迟(在800MHz时钟下)。另外,DRAM访问可能会以丢弃数据而结束。这样的能力能够实现每5ns(在800MHz时钟下)进行新的高速缓存行填充,这与每10ns形成对比(数据被丢弃)。

[0145] 应当认识到,本说明书中通篇提及的“一个实施例”或“实施例”表示结合该实施例所描述的特定特征、结构或特点包含在本发明的至少一个实施例中。因此,应当强调或者应当认识到,本说明书的各个部分当中两次或更多次提及的“实施例”或“一个实施例”或“替代实施例”未必全都是指同一实施例。此外,可以将所述特定特征、结构或特点适当结合在本发明的一个或多个实施例中。

[0146] 类似地,应当认识到,在上文对本发明的示例性实施例的描述当中,有时将本发明的各个特征汇集到了单个实施例、附图或对其的描述当中,其目的在于简化本公开内容,从而有助于理解本发明的各个方面中的一者或多者。然而,不应将这种公开方法解释为反映这样的意图:权利要求需要比每个权利要求中明确记载的特征更多的特征。相反,本发明的方面所依托的特征可以少于上文公开的单个实施例的所有特征。因而,据此将在具体实施方式之前的权利要求书明确并入该具体实施方式当中,其中,每一权利要求本身代表本发明的一个单独实施例。

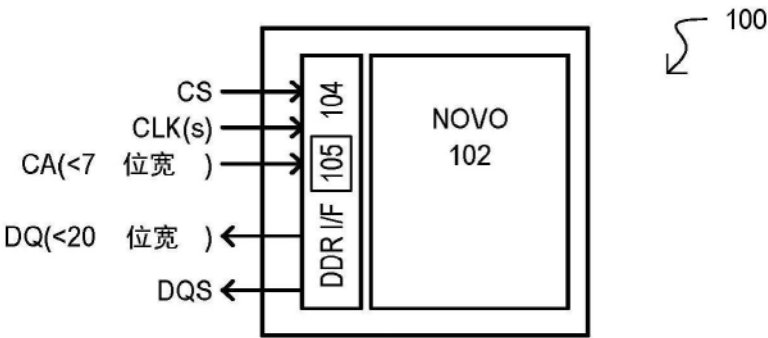


图1A

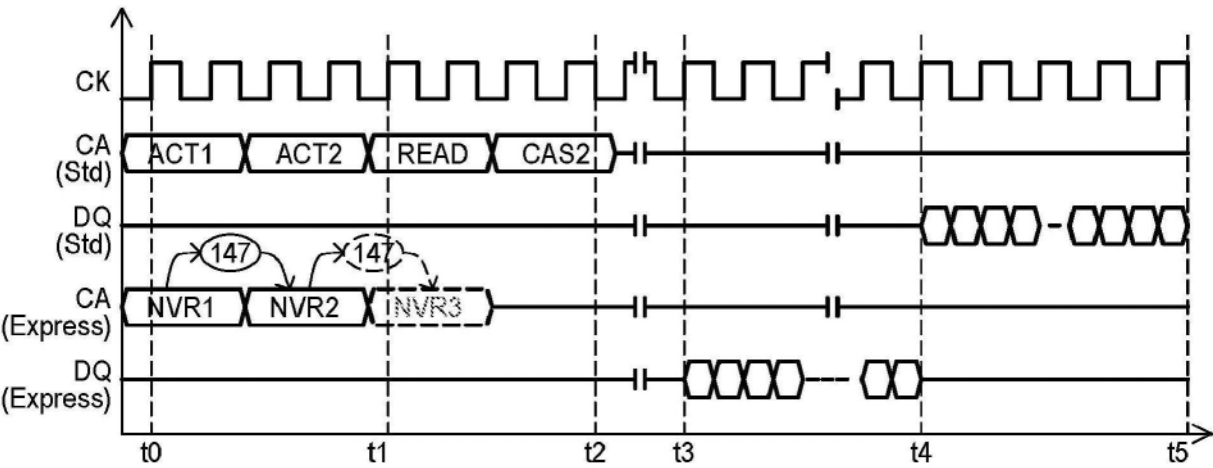


图1B

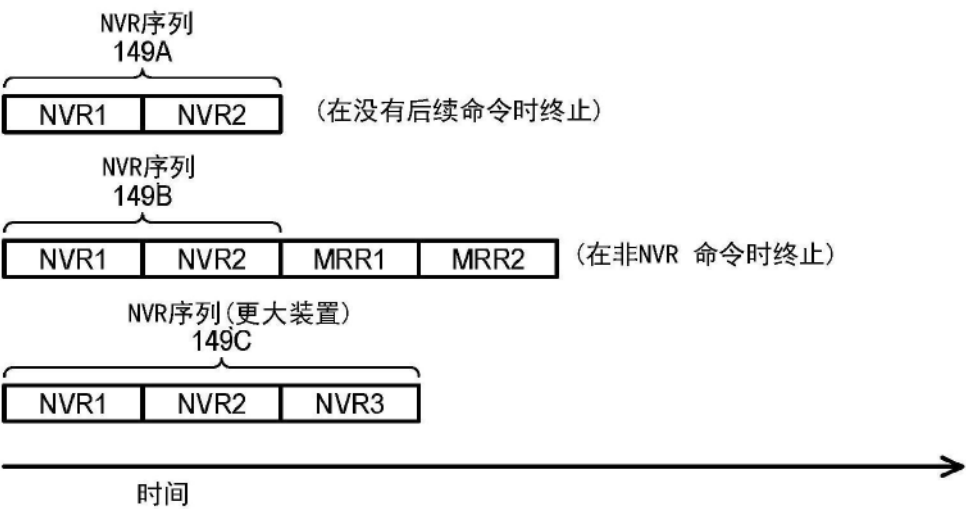


图1C

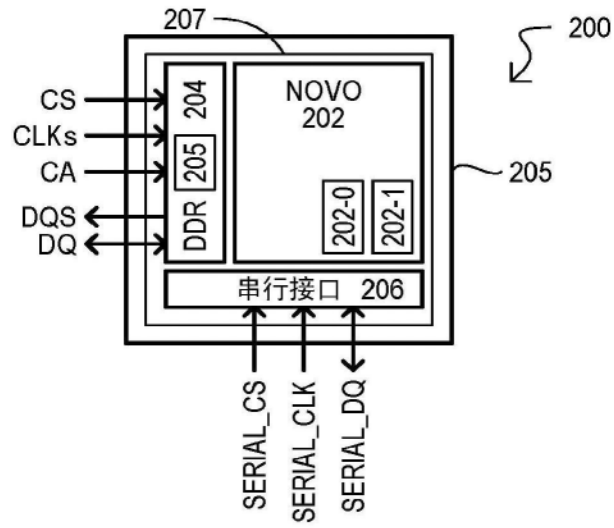


图2

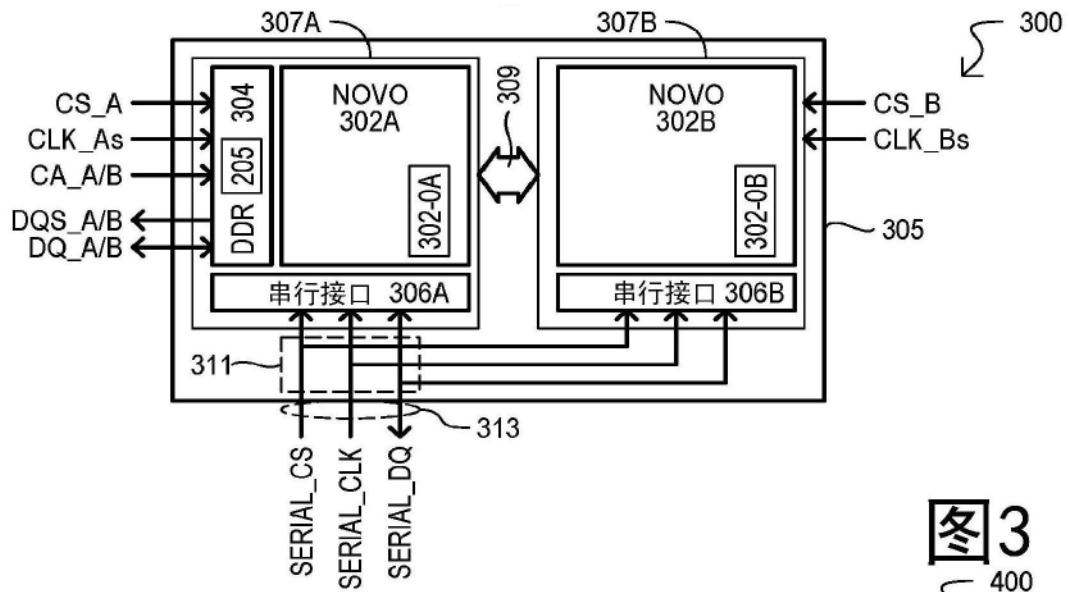


图3

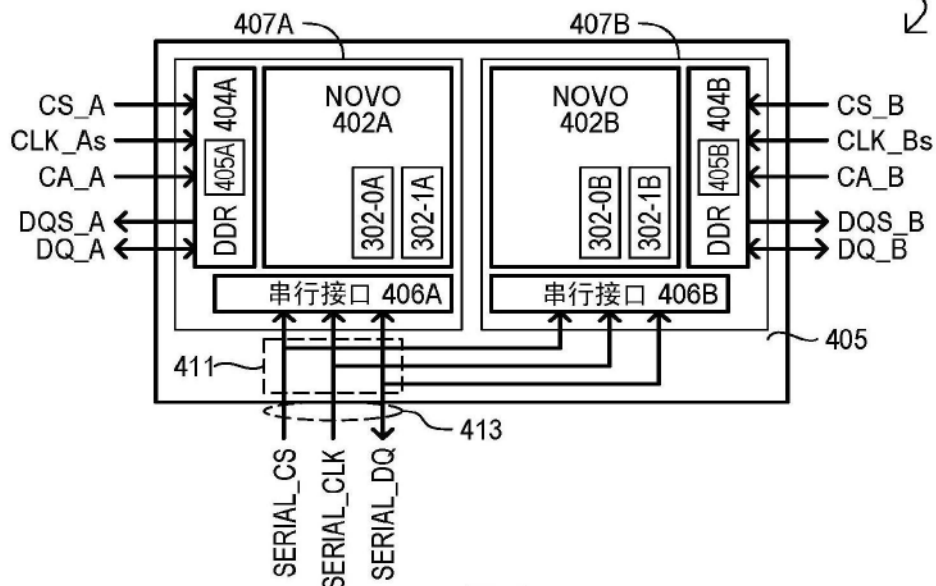


图4

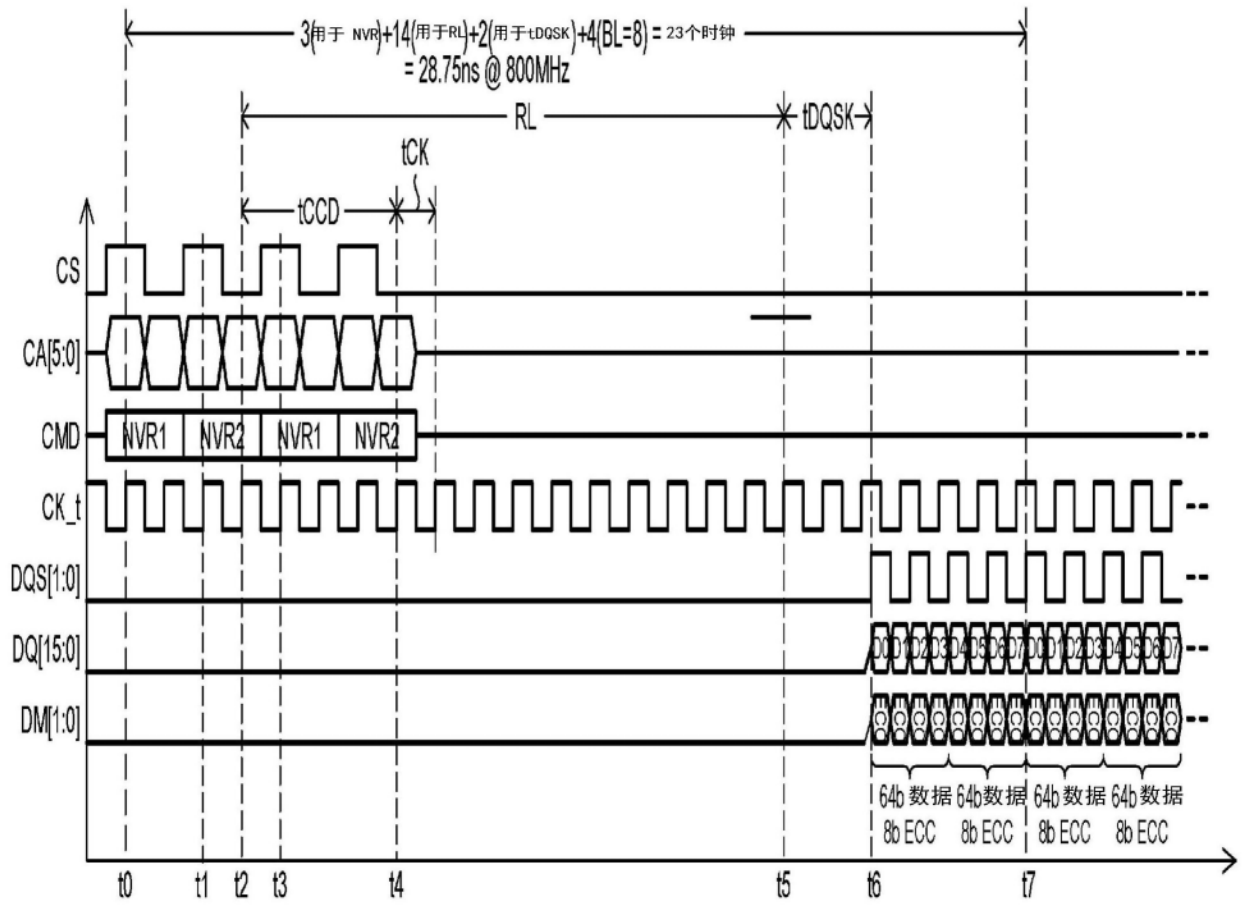


图5

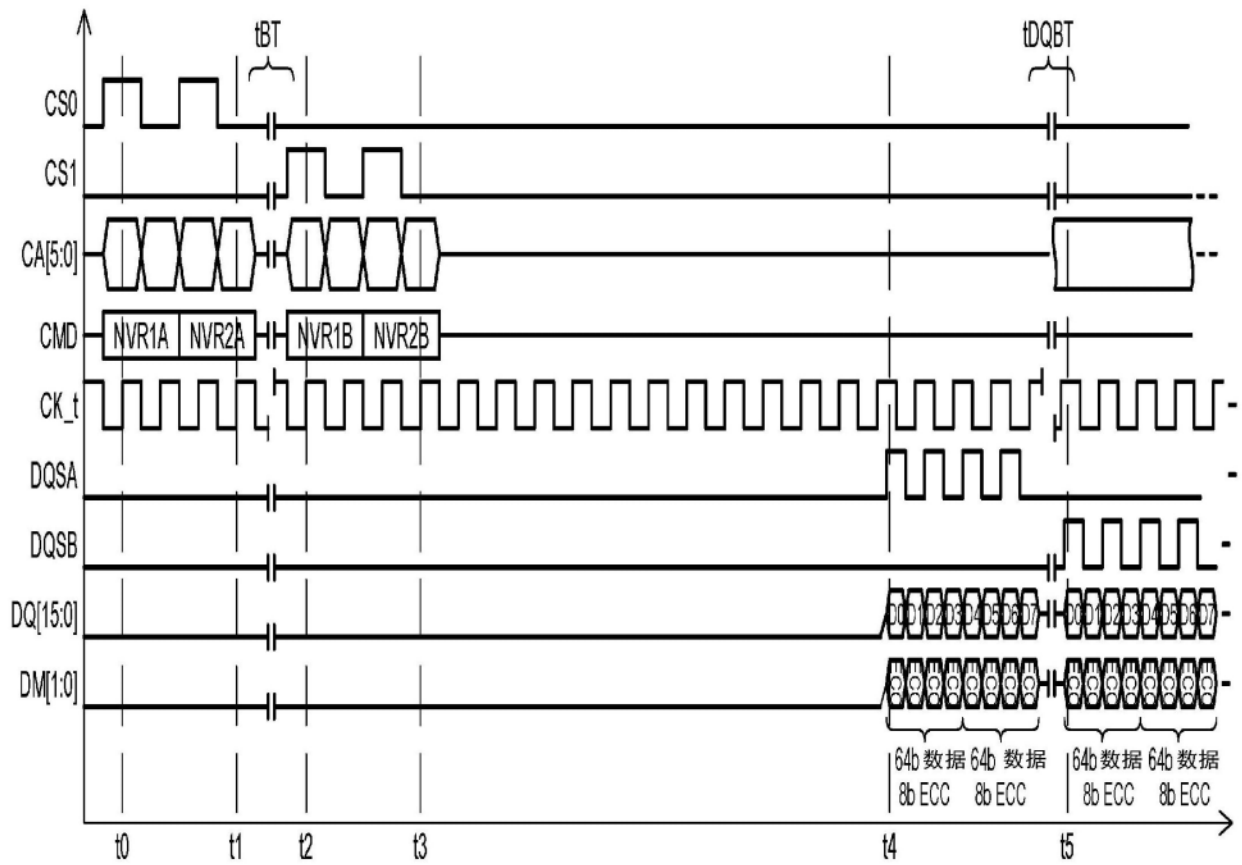


图6

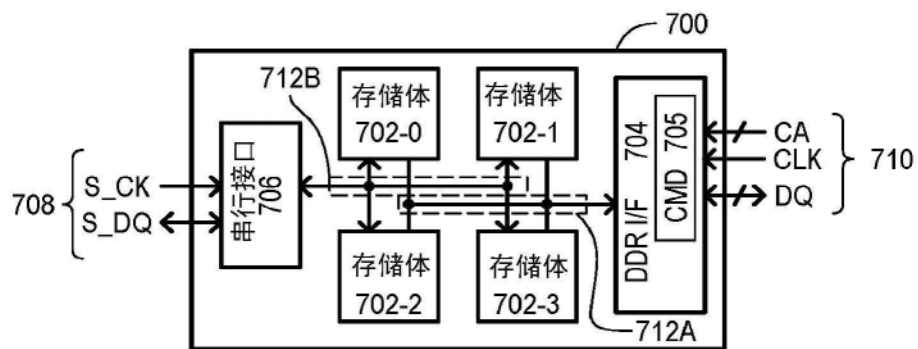


图7

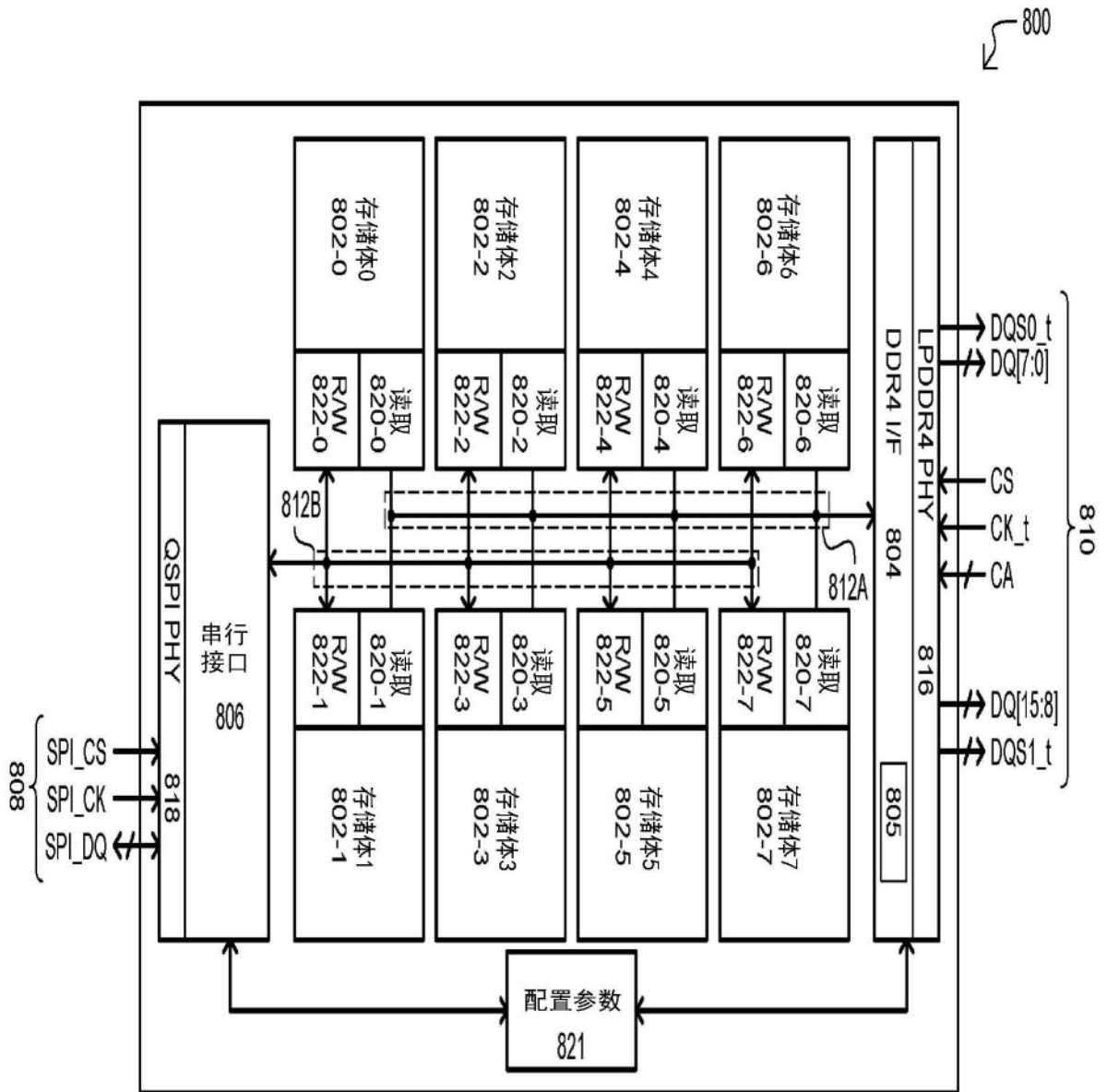


图8

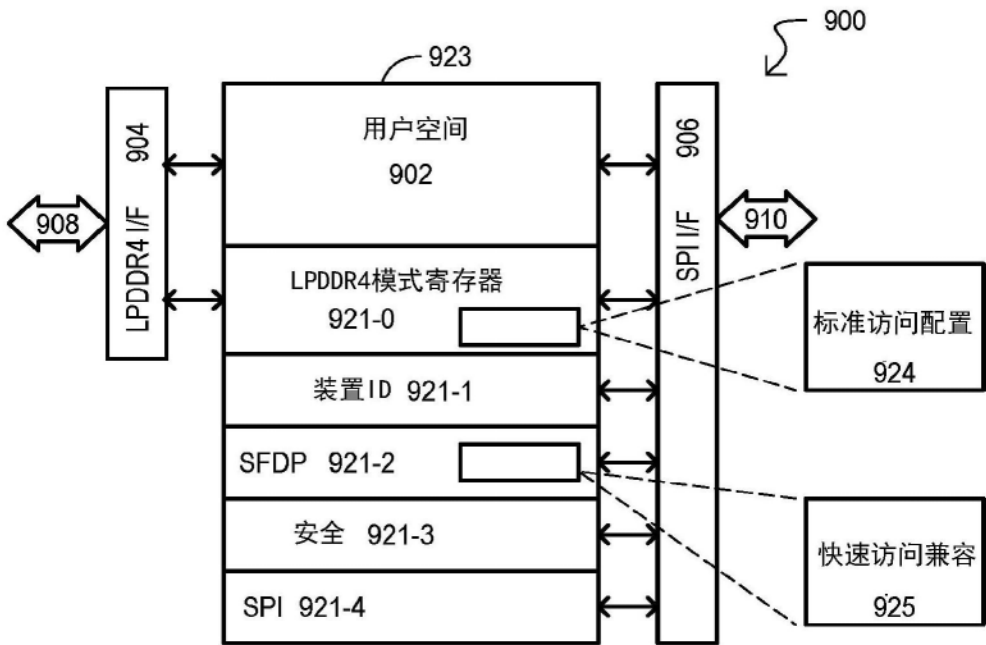


图9

DDR4配置

| 寄存器 | 功能    | 变量              |
|-----|-------|-----------------|
| 00h | 装置信息  |                 |
| 01h | 总线配置1 |                 |
| ⋮   |       |                 |
| XXh | 快速访问  | (例如, 指令间延迟, BL) |

图10A

SFDP

| 字节地址  | 描述       |
|-------|----------|
| 0000h |          |
| ⋮     |          |
| XXXXh | 能够进行标准访问 |

图10B

图10A:

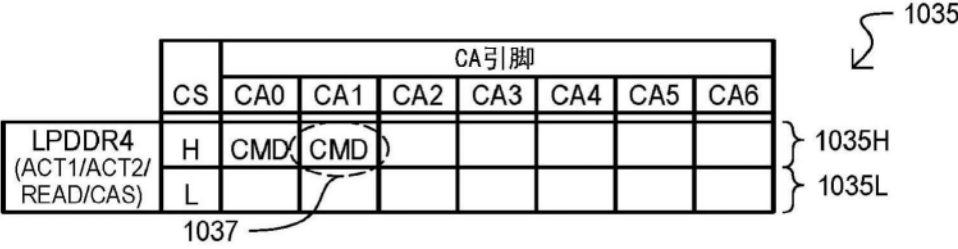


图10C

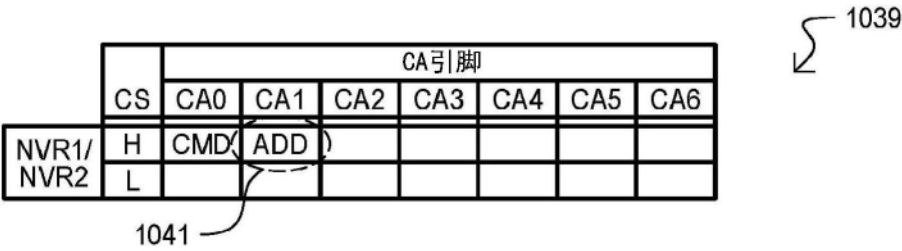


图10D

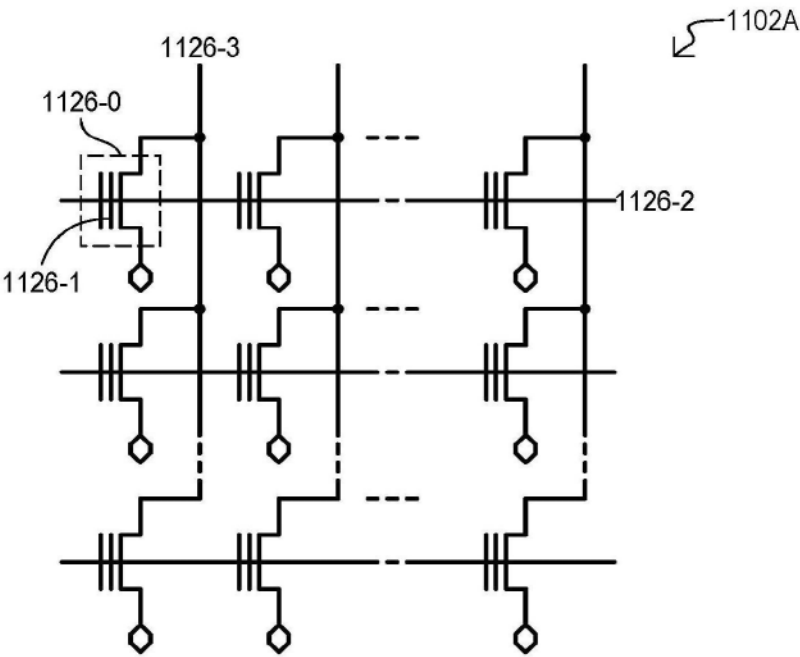


图11A

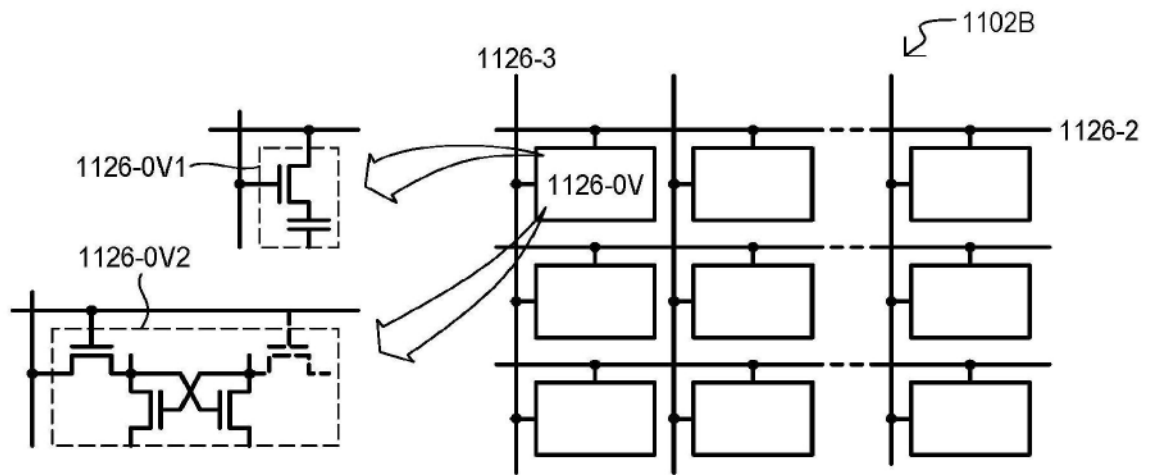


图11B

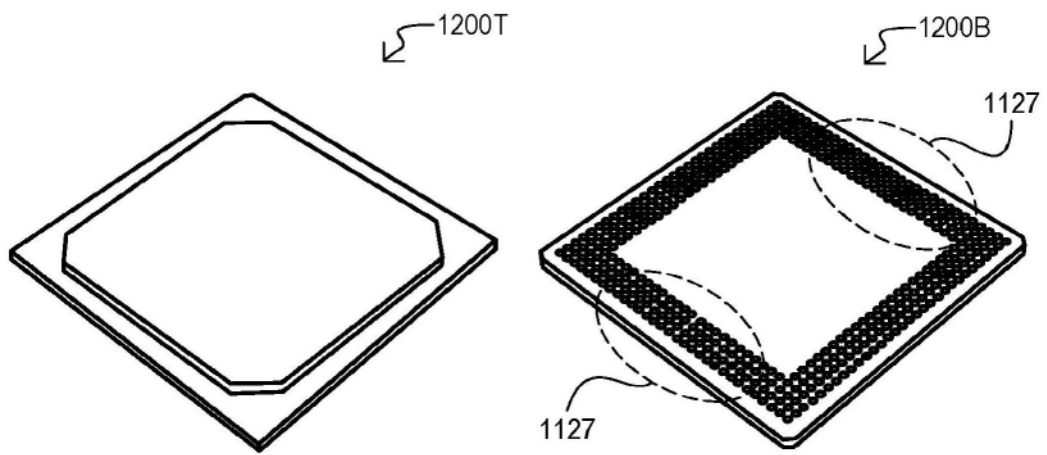


图12

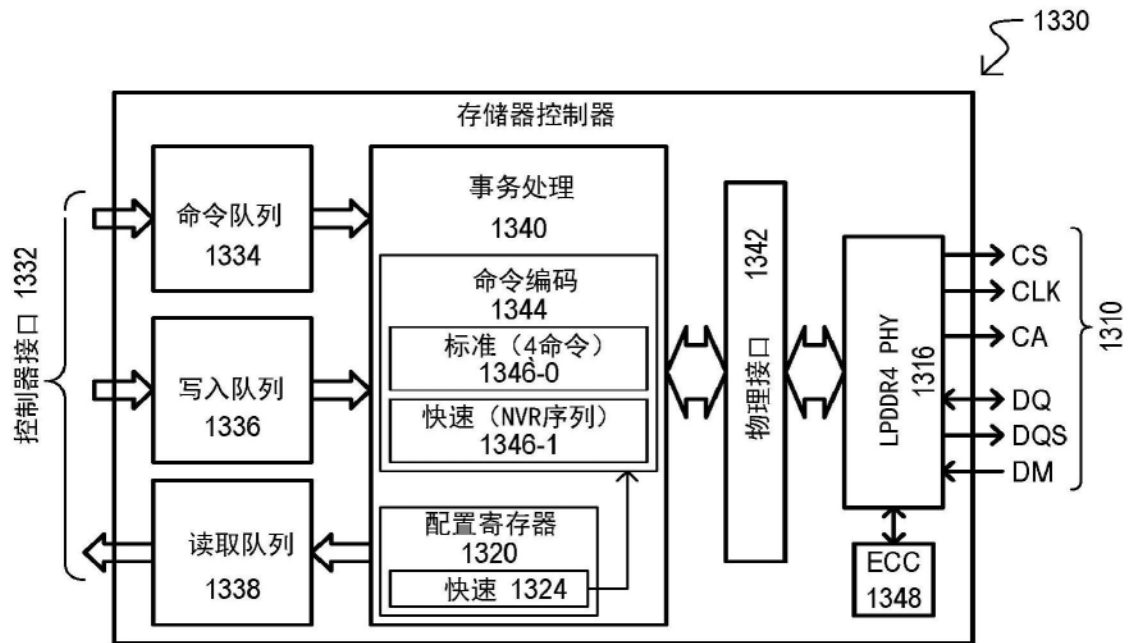


图13

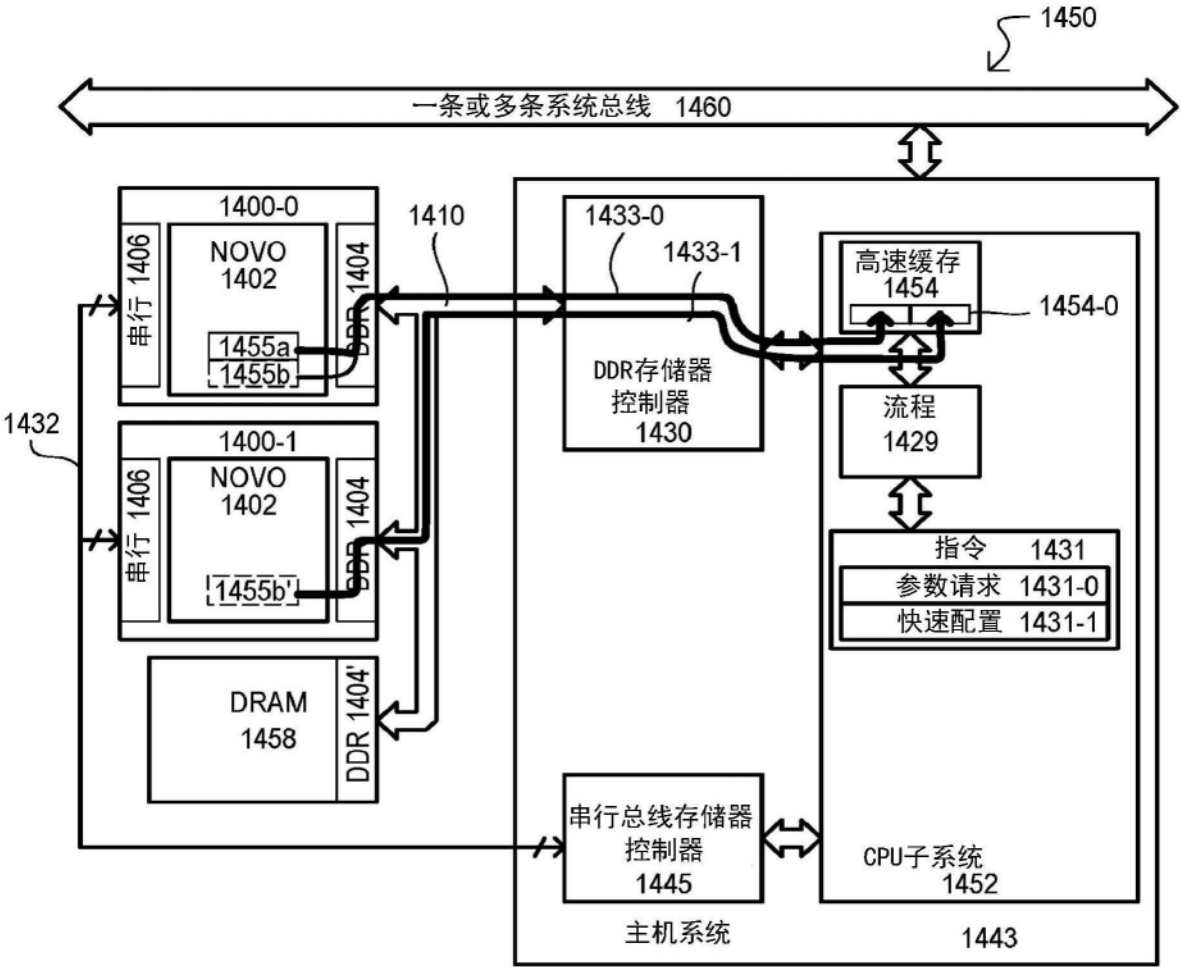


图14

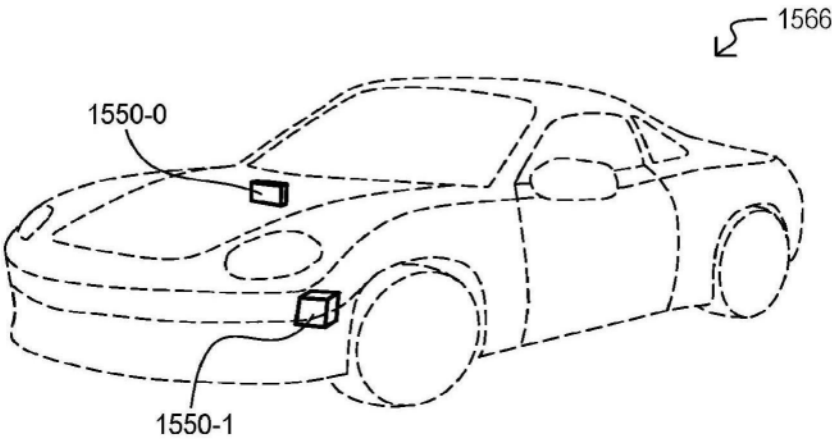


图15

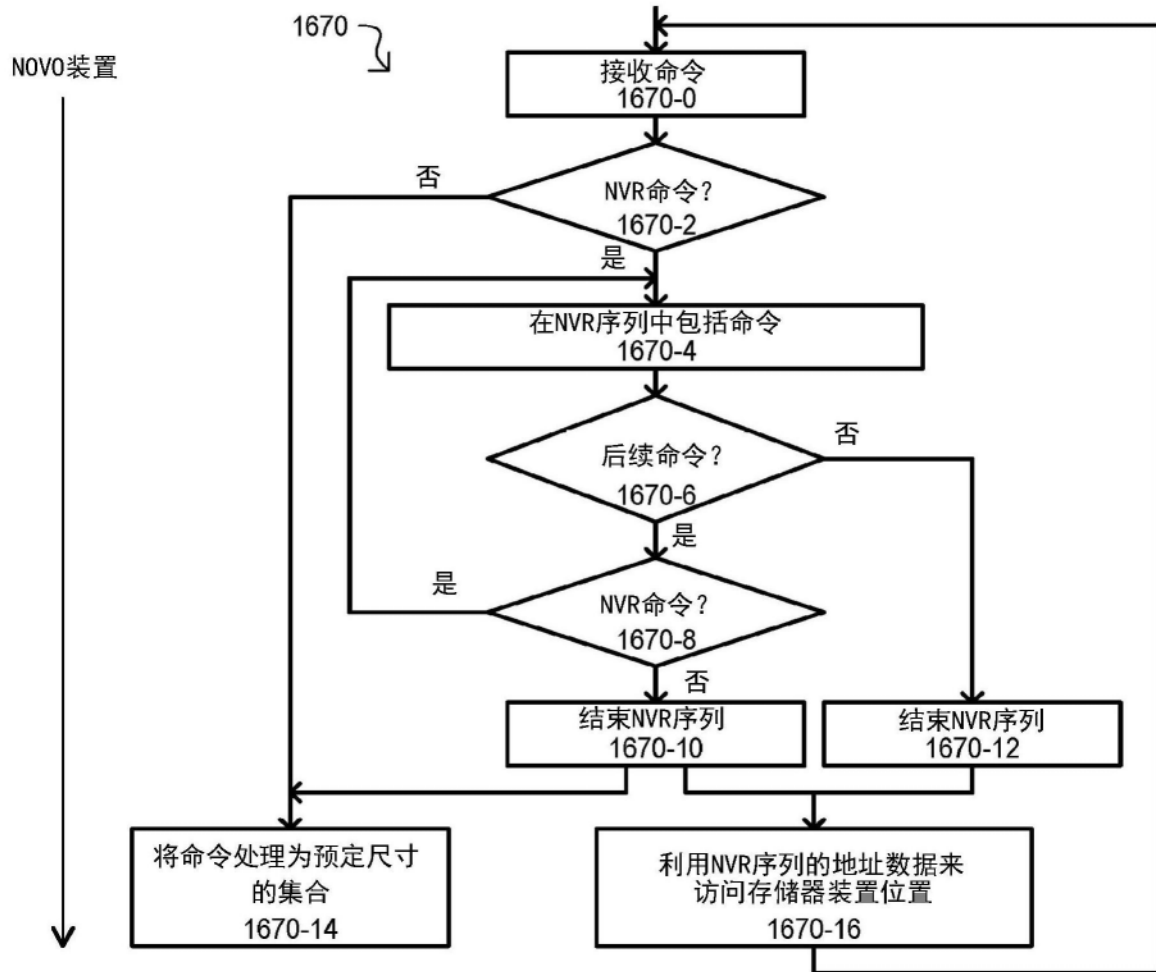


图16

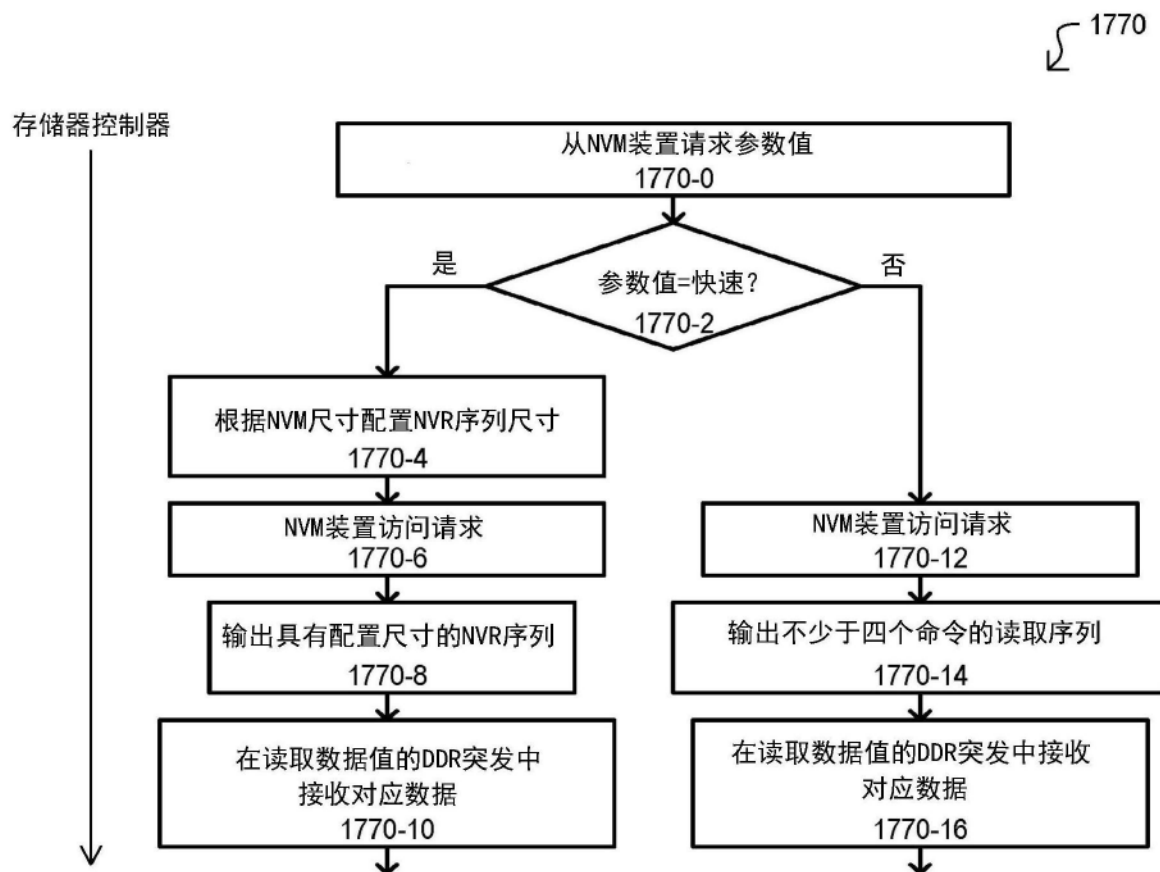


图17

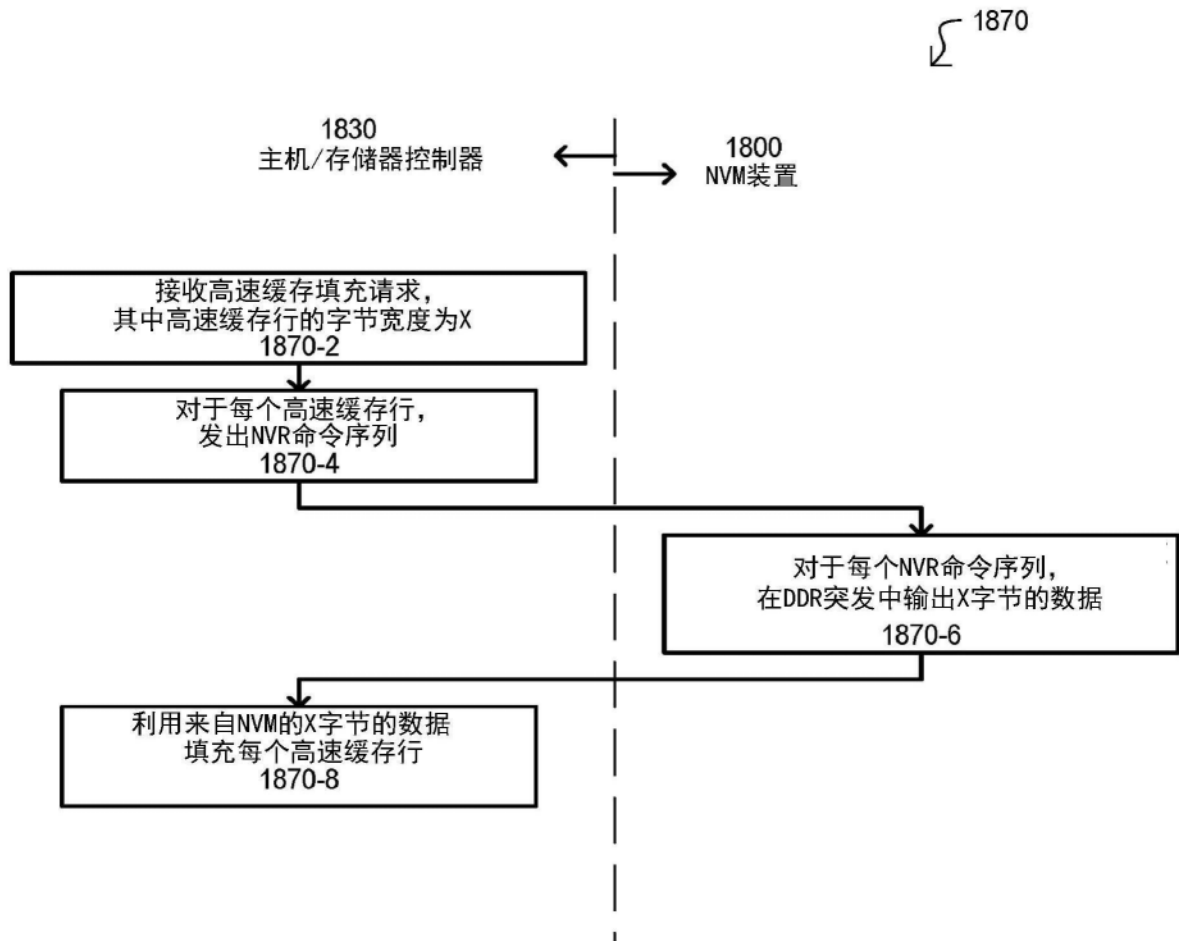


图18

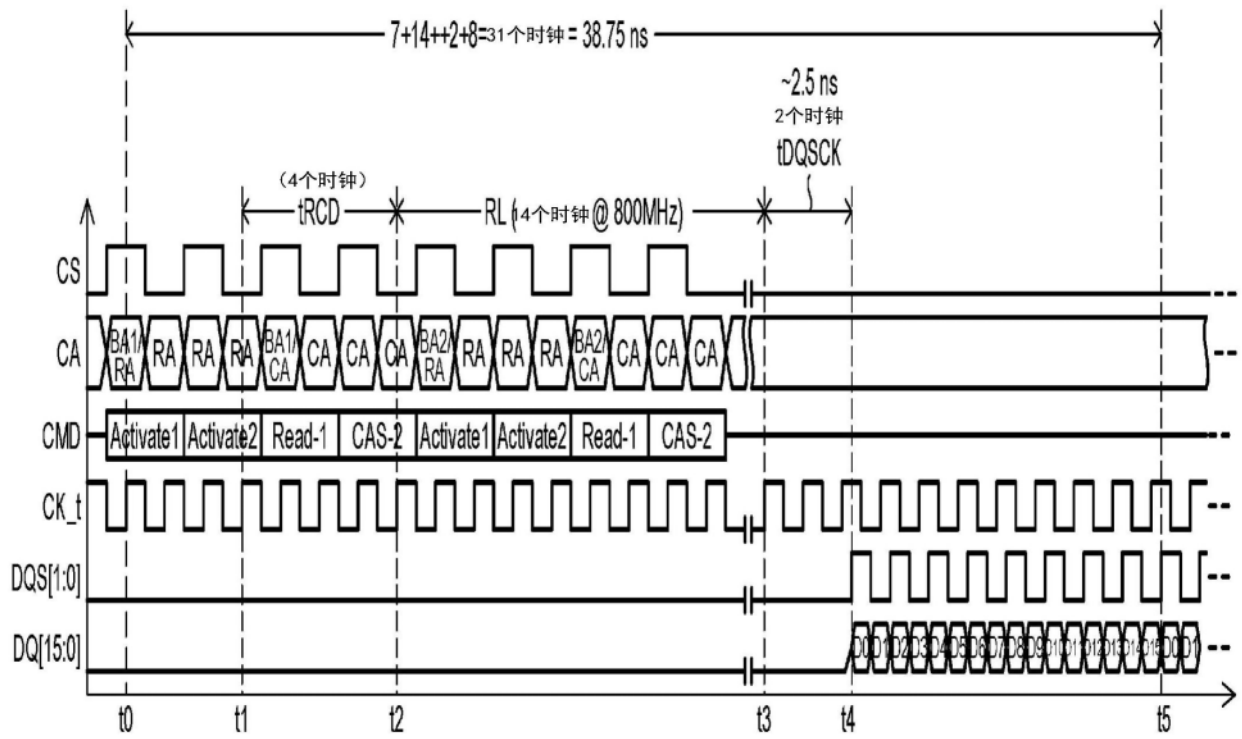


图19(背景技术)