

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年3月28日(28.03.2024)



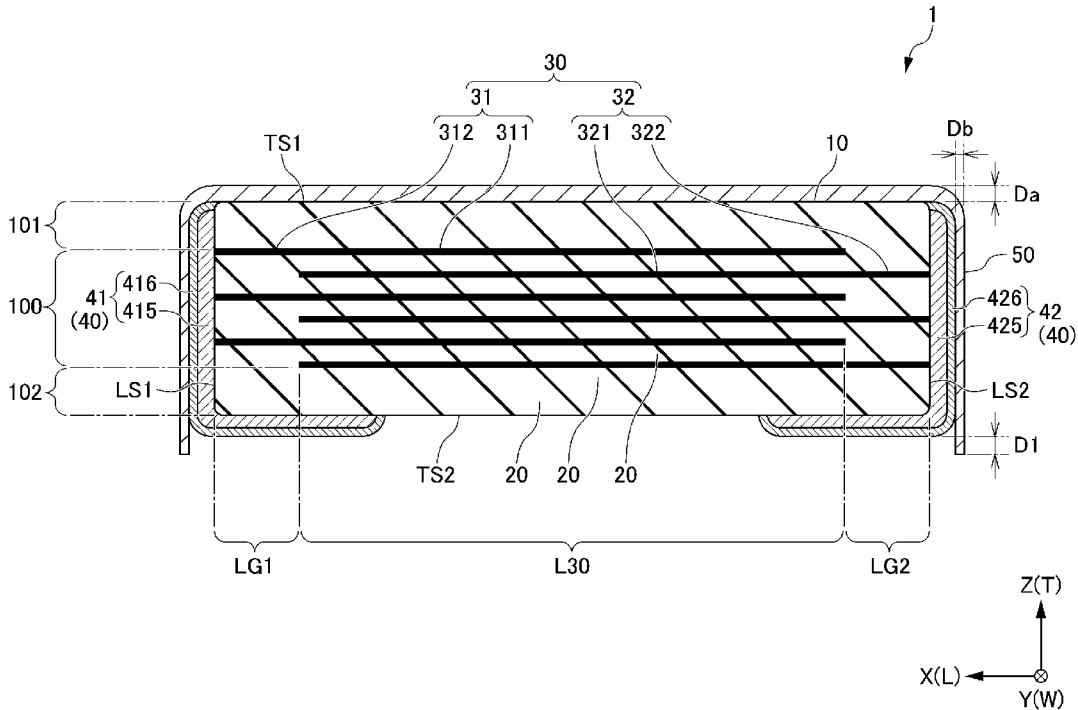
(10) 国際公開番号
WO 2024/062684 A1

- (51) 国際特許分類：
H01G 4/224 (2006.01) H01G 4/30 (2006.01)
- (21) 国際出願番号： PCT/JP2023/019376
- (22) 国際出願日： 2023年5月24日(24.05.2023)
- (25) 国際出願の言語： 日本語
- (26) 国際公開の言語： 日本語
- (30) 優先権データ：
特願 2022-149408 2022年9月20日(20.09.2022) JP
- (71) 出願人：株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者：村松 諭 (MURAMATSU Satoshi); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人：加藤 竜太, 外 (KATO Ryuta et al.); 〒1000005 東京都千代田区丸の内1-7-12 サピアタワー Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,

(54) Title: MULTILAYER CERAMIC CAPACITOR

(54) 発明の名称：積層セラミックコンデンサ

図2



(57) Abstract: The present invention provides a multilayer ceramic capacitor that can suppress a decrease in strength against external stress even when the thickness is reduced. A multilayer ceramic capacitor 1 comprises: a multilayer body 10 in which a plurality of dielectric layers 20 formed from a ceramic material and a plurality of internal electrode layers 30 are layered; a plurality of external electrodes 40 disposed on at least a second main surface TS2 of the multilayer body 10; and a stress suppression film 50 that suppresses stress applied to the multilayer body 10 and the plurality of external



WO 2024/062684 A1

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

electrodes 40. The stress suppression film 50 is formed from an insulating material and extends along a first main surface TS1 and two end surfaces LS1, LS2 or along the first main surface TS1 and two side surfaces to cover the multilayer body 10 and the plurality of external electrodes 40. The ends of the stress suppression film 50 protrude with respect to the outermost surfaces of the plurality of external electrodes 40 on the second main surface TS2 side.

(57) 要約: 薄型化を図っても、外部応力に対する強度の低下を抑制することができる積層セラミックコンデンサを提供する。積層セラミックコンデンサ1は、セラミック材料からなる複数の誘電体層20と複数の内部電極層30とが積層された積層体10と、積層体10の少なくとも第2の主面TS2に配置された複数の外部電極40と、積層体10および複数の外部電極40にかかる応力を抑制する応力抑制膜50とを備える。応力抑制膜50は、絶縁性を有する材料で構成されており、積層体10および複数の外部電極40を覆うように、第1の主面TS1および2つの端面LS1, LS2に沿って延在しており、または、第1の主面TS1および2つの側面に沿って延在している。応力抑制膜50の端部は、第2の主面TS2側において、複数の外部電極40の最外面よりも突出している。

明 細 書

発明の名称：積層セラミックコンデンサ

技術分野

[0001] 本発明は、積層セラミックコンデンサに関する。

背景技術

[0002] セラミック材料からなる複数の誘電体層と複数の内部電極層とが積層された積層体と、積層体の端面または側面に配置された外部電極とを備えた積層セラミックコンデンサが知られている。このような積層セラミックコンデンサにおいて、更なる小型化、薄型化が求められている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2013-42110号公報

発明の概要

発明が解決しようとする課題

[0004] 積層セラミックコンデンサが薄膜化されると、積層体、特にセラミック層、の強度が低下し、実装時のマウンタからの応力によって積層セラミックコンデンサにダメージが生じることがある。例えば、積層体のセラミック層にクラックが生じることがある。セラミック層に生じるクラックが内部電極層まで進展してしまうと、例えばクラックに水分が浸入し、積層セラミックコンデンサの絶縁性が低下してしまう。

[0005] 本発明は、薄型化を図っても、外部応力に対する強度の低下を抑制することができる積層セラミックコンデンサを提供することを目的とする。

課題を解決するための手段

[0006] 本発明に係る積層セラミックコンデンサは、セラミック材料からなる複数の誘電体層と複数の内部電極層とが積層された積層体であって、積層方向に相対する第1の主面および第2の主面と、前記積層方向に交差する幅方向に

相対する２つの側面と、前記積層方向および前記幅方向に交差する長さ方向に相対する２つの端面とを有した積層体と、前記積層体の少なくとも前記第２の主面に配置された複数の外部電極と、前記積層体および前記複数の外部電極にかかる応力を抑制する応力抑制膜とを備える。前記応力抑制膜は、絶縁性を有する材料で構成されており、前記積層体および前記複数の外部電極を覆うように、前記第１の主面および前記２つの端面に沿って延在しており、または、前記第１の主面および前記２つの側面に沿って延在している。前記応力抑制膜の端部は、前記第２の主面側において、前記複数の外部電極の最外面よりも突出している。

発明の効果

[0007] 本発明によれば、積層セラミックコンデンサにおいて、薄型化を図っても、外部応力に対する強度の低下を抑制することができる。

図面の簡単な説明

[0008] [図1]本実施形態に係る積層セラミックコンデンサを示す斜視図である。

[図2]図１に示す積層セラミックコンデンサのII-II線断面図（L T断面）である。

[図3]図１に示す積層セラミックコンデンサのIII-III線断面図（W T断面）である。

[図4]本実施形態の変形例に係る積層セラミックコンデンサを示す斜視図である。

[図5]図４に示す積層セラミックコンデンサのV-V線断面図（L T断面）である。

[図6]図４に示す積層セラミックコンデンサのVI-VI線断面図（W T断面）である。

[図7]本実施形態の変形例に係る積層セラミックコンデンサを示す斜視図である。

[図8]図７に示す積層セラミックコンデンサのVIII-VIII線断面図（L T断面）である。

[図9]図7に示す積層セラミックコンデンサのIX-IX線断面図(WT断面)である。

[図10]本実施形態の変形例に係る積層セラミックコンデンサを示す斜視図である。

[図11]本実施形態の変形例に係る積層セラミックコンデンサを示す斜視図である。

[図12]本実施形態の変形例に係る積層セラミックコンデンサを示す斜視図である。

発明を実施するための形態

[0009] 以下、添付の図面を参照して本発明の実施形態の一例について説明する。なお、各図面において同一または相当の部分に対しては同一の符号を附すこととする。

[0010] <積層セラミックコンデンサ>

図1は、本実施形態に係る積層セラミックコンデンサを示す斜視図であり、図2は、図1に示す積層セラミックコンデンサのII-II線断面図であり、図3は、図1に示す積層セラミックコンデンサのIII-III線断面図である。図1～図3に示す積層セラミックコンデンサ1は、積層体10と、外部電極40と、応力抑制膜50とを備える。外部電極40は、第1の外部電極41と第2の外部電極42とを含む。

[0011] 図1～図3および後述する図面には、XYZ直交座標系が示されている。X方向は積層セラミックコンデンサ1および積層体10の長さ方向Lであり、Y方向は積層セラミックコンデンサ1および積層体10の幅方向Wであり、Z方向は積層セラミックコンデンサ1および積層体10の積層方向Tである。これにより、図2に示す断面はLT断面とも称され、図3に示す断面はWT断面とも称される。

[0012] なお、長さ方向L、幅方向Wおよび積層方向Tは、必ずしも互いに直交する関係になるとは限らず、互いに交差する関係であってもよい。

[0013] 積層体10は、略直方体形状であり、積層方向Tに相對する第1の主面T

S 1 および第 2 の主面 T S 2 と、幅方向 W に相対する第 1 の側面 W S 1 および第 2 の側面 W S 2 と、長さ方向 L に相対する第 1 の端面 L S 1 および第 2 の端面 L S 2 とを有する。

- [0014] 積層体 1 0 の角部および稜線部には、丸みがつけられていると好ましい。角部は、積層体 1 0 の 3 面が交る部分であり、稜線部は、積層体 1 0 の 2 面が交る部分である。
- [0015] 図 2 および図 3 に示すように、積層体 1 0 は、積層方向 T に積層された複数の誘電体層 2 0 と複数の内部電極層 3 0 とを有する。また、積層体 1 0 は、積層方向 T において、内層部 1 0 0 と、内層部 1 0 0 を挟み込むように配置された第 1 の外層部 1 0 1 および第 2 の外層部 1 0 2 とを有する。
- [0016] 内層部 1 0 0 は、複数の誘電体層 2 0 の一部と複数の内部電極層 3 0 とを含む。内層部 1 0 0 では、複数の内部電極層 3 0 が誘電体層 2 0 を介して対向して配置されている。内層部 1 0 0 は、静電容量を発生させ実質的にコンデンサとして機能する部分である。
- [0017] 第 1 の外層部 1 0 1 は、積層体 1 0 の第 1 の主面 T S 1 側に配置されており、第 2 の外層部 1 0 2 は、積層体 1 0 の第 2 の主面 T S 2 側に配置されている。より具体的には、第 1 の外層部 1 0 1 は、複数の内部電極層 3 0 のうち第 1 の主面 T S 1 に最も近い内部電極層 3 0 と第 1 の主面 T S 1 との間に配置されており、第 2 の外層部 1 0 2 は、複数の内部電極層 3 0 のうち第 2 の主面 T S 2 に最も近い内部電極層 3 0 と第 2 の主面 T S 2 との間に配置されている。第 1 の外層部 1 0 1 および第 2 の外層部 1 0 2 は、内部電極層 3 0 を含まず、複数の誘電体層 2 0 のうち内層部 1 0 0 のための一部以外の部分をそれぞれ含む。第 1 の外層部 1 0 1 および第 2 の外層部 1 0 2 は、内層部 1 0 0 の保護層として機能する部分である。
- [0018] 誘電体層 2 0 の材料としては、例えば、 $B a T i O_3$ 、 $C a T i O_3$ 、 $S r T i O_3$ 、または $C a Z r O_3$ 等を主成分として含む誘電体セラミックを用いることができる。また、誘電体層 2 0 の材料としては、Mn 化合物、Fe 化合物、Cr 化合物、Co 化合物、または Ni 化合物等を副成分として添加さ

れてもよい。

より具体的には、誘電体層 20 は、複数の誘電体グレインを含む。誘電体グレインは、Ba、Ti を含むペロブスカイト型化合物などのチタン酸バリウム系セラミックである。誘電体グレインは、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu および Y のうち少なくとも 1 種を副成分として含んでいてもよい。

[0019] 誘電体層 20 の厚さは、特に限定されないが、例えば $0.30\ \mu\text{m}$ 以上 $5.0\ \mu\text{m}$ 以下であってもよい。誘電体層 20 の枚数は、特に限定されないが、例えば 5 枚以上 2000 枚以下であってもよい。なお、この誘電体層 20 の枚数は、内層部の誘電体層の枚数と外層部の誘電体層の枚数との総数である。

[0020] 図 2 および図 3 に示すように、複数の内部電極層 30 は、複数の第 1 の内部電極層 31 および複数の第 2 の内部電極層 32 を含む。複数の第 1 の内部電極層 31 および複数の第 2 の内部電極層 32 は、積層体 10 の積層方向 T に交互に配置されている。

[0021] 第 1 の内部電極層 31 は、対向電極部 311 と引出電極部 312 とを含み、第 2 の内部電極層 32 は、対向電極部 321 と引出電極部 322 とを含む。

[0022] 対向電極部 311 と対向電極部 321 とは、積層体 10 の積層方向 T において誘電体層 20 を介して互いに対向している。対向電極部 311 および対向電極部 321 の形状は、特に限定されず、例えば略矩形形状であればよい。対向電極部 311 と対向電極部 321 とは、静電容量を発生させ実質的にコンデンサとして機能する部分（有効領域）である。

[0023] 引出電極部 312 は、対向電極部 311 から積層体 10 の第 1 の端面 LS1 に向けて延在し、第 1 の端面 LS1 において露出している。引出電極部 322 は、対向電極部 321 から積層体 10 の第 2 の端面 LS2 に向けて延在し、第 2 の端面 LS2 において露出している。引出電極部 312 および引出電極部 322 の形状は、特に限定されず、例えば略矩形形状であればよい。

- [0024] これにより、第1の内部電極層31は第1の外部電極41に接続され、第1の内部電極層31と、積層体10の第2の端面LS2、すなわち第2の外部電極42、との間にはギャップが存在する。また、第2の内部電極層32は第2の外部電極42に接続され、第2の内部電極層32と、積層体10の第1の端面LS1、すなわち第1の外部電極41、との間にはギャップが存在する。
- [0025] 第1の内部電極層31および第2の内部電極層32は、金属Niを主成分として含む。また、第1の内部電極層31および第2の内部電極層32は、例えば、Cu、Ag、Pd、またはAu等の金属、またはAg-Pd合金等の、それらの金属の少なくとも一種を含む合金、から選ばれる少なくとも1つを主成分として含んでもよいし、主成分以外の成分として含んでもよい。更に、第1の内部電極層31および第2の内部電極層32は、誘電体層20に含まれるセラミックと同一組成系の誘電体の粒子を主成分以外の成分として含んでもよい。なお、本明細書において、主成分の金属とは、最も重量%が高い金属成分であると定める。
- [0026] 第1の内部電極層31および第2の内部電極層32の厚さは、特に限定されないが、例えば0.30 μ m以上1.0 μ m以下であってもよい。第1の内部電極層31および第2の内部電極層32の枚数は、特に限定されないが、例えば5枚以上2000枚以下であってもよい。
- [0027] 図3に示すように、積層体10は、幅方向Wにおいて、内部電極層30が対向する電極対向部W30と、電極対向部W30を挟み込むように配置された第1のサイドギャップ部WG1および第2のサイドギャップ部WG2とを有する。第1のサイドギャップ部WG1は、電極対向部W30と第1の側面WS1との間に位置し、第2のサイドギャップ部WG2は、電極対向部W30と第2の側面WS2との間に位置する。より具体的には、第1のサイドギャップ部WG1は、内部電極層30の第1の側面WS1側の端と第1の側面WS1との間に位置し、第2のサイドギャップ部WG2は、内部電極層30の第2の側面WS2側の端と第2の側面WS2との間に位置する。第1のサ

イドギャップ部WG1および第2のサイドギャップ部WG2は、内部電極層30を含まず、誘電体層20のみを含む。第1のサイドギャップ部WG1および第2のサイドギャップ部WG2は、内部電極層30の保護層として機能する部分である。なお、第1のサイドギャップ部WG1および第2のサイドギャップ部WG2は、Wギャップともいう。

[0028] 図2に示すように、積層体10は、長さ方向Lにおいて、内部電極層30の第1の内部電極層31と第2の内部電極層32とが対向する電極対向部L30と、第1のエンドギャップ部LG1と、第2のエンドギャップ部LG2とを有する。第1のエンドギャップ部LG1は、電極対向部L30と第1の端面LS1との間に位置し、第2のエンドギャップ部LG2は、電極対向部L30と第2の端面LS2との間に位置する。より具体的には、第1のエンドギャップ部LG1は、第2の内部電極層32の第1の端面LS1側の端と第1の端面LS1との間に位置し、第2のエンドギャップ部LG2は、第1の内部電極層31の第2の端面LS2側の端と第2の端面LS2との間に位置する。第1のエンドギャップ部LG1は、第2の内部電極層32を含まず、第1の内部電極層31および誘電体層20を含み、第2のエンドギャップ部LG2は、第1の内部電極層31を含まず、第2の内部電極層32および誘電体層20を含む。第1のエンドギャップ部LG1は、第1の内部電極層31の第1の端面LS1への引出電極部として機能する部分であり、第2のエンドギャップ部LG2は、第2の内部電極層32の第2の端面LS2への引出電極部として機能する部分である。第1のエンドギャップ部LG1および第2のエンドギャップ部LG2は、Lギャップともいう。

[0029] なお、電極対向部L30には、上述した第1の内部電極層31の対向電極部311および第2の内部電極層32の対向電極部321が位置する。また、第1のエンドギャップ部LG1には、上述した第1の内部電極層31の引出電極部312が位置し、第2のエンドギャップ部LG2には、上述した第2の内部電極層32の引出電極部322が位置する。

[0030] 上述した積層体10の寸法は、特に限定されないが、例えば長さ方向Lの

長さが0.05mm以上1.00mm以下であり、幅方向Wの幅が0.10mm以上0.50mm以下であり、積層方向Tの厚さが0.10mm以上0.50mm以下であってもよい。

また、後述する外部電極40を含む積層セラミックコンデンサ1の寸法は、特に限定されないが、例えば長さ方向Lの長さが0.05mm以上1.00mm以下であり、幅方向Wの幅が0.10mm以上0.50mm以下であり、積層方向Tの厚さが0.10mm以上0.50mm以下であってもよい。

[0031] なお、誘電体層20および内部電極層30の厚さの測定方法としては、例えば研磨により露出させた積層体の幅方向中央近傍のLT断面を走査型電子顕微鏡にて観察する方法が挙げられる。また、各値は、長さ方向の複数個所の測定値の平均値であってもよいし、更に積層方向の複数個所の測定値の平均値であってもよい。

[0032] 同様に、積層体10の厚さまたは積層セラミックコンデンサ1の厚さの測定方法としては、例えば研磨により露出させた積層体の幅方向中央近傍のLT断面、または、研磨により露出させた積層体または積層セラミックコンデンサの長さ方向中央近傍のWT断面を走査型電子顕微鏡にて観察する方法が挙げられる。また、各値は、長さ方向または幅方向の複数個所の測定値の平均値であってもよい。

同様に、積層体10の長さまたは積層セラミックコンデンサ1の長さの測定方法としては、例えば研磨により露出させた積層体または積層セラミックコンデンサの幅方向中央近傍のLT断面を走査型電子顕微鏡にて観察する方法が挙げられる。また、各値は、積層方向の複数個所の測定値の平均値であってもよい。

同様に、積層体10の幅または積層セラミックコンデンサ1の幅の測定方法としては、例えば研磨により露出させた積層体または積層セラミックコンデンサの長さ方向中央近傍のWT断面を走査型電子顕微鏡にて観察する方法が挙げられる。また、各値は、積層方向の複数個所の測定値の平均値であってもよい。

- [0033] 外部電極40は、第1の外部電極41と第2の外部電極42とを含む。
- [0034] 第1の外部電極41は、積層体10の少なくとも第2の主面TS2、具体的には第2の主面TS2における第1の端面LS1側の一部、に配置されている。図1～図3の例では、第1の外部電極41は、積層体10の第1の端面LS1にも配置されており、第1の内部電極層31に接続されている。すなわち、第1の外部電極41は、LT断面においてL字形状であり、積層体10の第2の主面TS2の第1の端面LS1側の一部および第1の端面LS1に沿って配置されている。なお、図1～図3の例では、第1の外部電極41は、第1の主面TS1および2つの側面WS1, WS2には配置されていない。
- [0035] 第2の外部電極42は、積層体10の少なくとも第2の主面TS2、具体的には第2の主面TS2における第2の端面LS2側の一部、に配置されている。図1～図3の例では、第2の外部電極42は、積層体10の第2の端面LS2にも配置されており、第2の内部電極層32に接続されている。すなわち、第2の外部電極42は、L字形状であり、積層体10の第2の主面TS2の第2の端面LS2側の一部および第2の端面LS2に沿って配置されている。なお、図1～図3の例では、第2の外部電極42は、第1の主面TS1および2つの側面WS1, WS2には配置されていない。
- [0036] 第1の外部電極41は、第1の下地電極層415と第1のめっき層416とを有し、第2の外部電極42は、第2の下地電極層425と第2のめっき層426とを有する。なお、第1の外部電極41は第1のめっき層416のみから構成されていてもよいし、第2の外部電極42は第2のめっき層426のみから構成されていてもよい。
- [0037] 第1の下地電極層415および第2の下地電極層425は、金属とガラスとを含む焼成層であってもよい。ガラスとしては、B、Si、Ba、Mg、Al、またはLi等から選ばれる少なくとも1つを含むガラス成分が挙げられる。具体例として、ホウケイ酸ガラスを用いることができる。金属としては、Cuを主成分として含む。また、金属としては、例えばNi、Ag、P

d、またはAu等の金属、またはAg-Pd合金等の合金、から選ばれる少なくとも1つを主成分として含んでもよいし、主成分以外の成分として含んでもよい。

[0038] 焼成層は、金属およびガラスを含む導電性ペーストをディップ法によって積層体に塗布して焼成した層である。なお、内部電極層の焼成後に焼成されてもよく、内部電極層と同時に焼成されてもよい。また、焼成層は、複数層であってもよい。

[0039] 或いは、第1の下地電極層415および第2の下地電極層425は、導電性粒子と熱硬化性樹脂とを含む樹脂層であってもよい。樹脂層は、上述した焼成層上に形成されてもよいし、焼成層を形成せずに積層体に直接形成されてもよい。

[0040] 樹脂層は、導電性粒子と熱硬化性樹脂とを含む導電性ペーストを塗布法によって積層体に塗布して焼成した層である。なお、内部電極層の焼成後に焼成されてもよく、内部電極層と同時に焼成されてもよい。また、樹脂層は、複数層であってもよい。

[0041] 焼成層または樹脂層としての第1の下地電極層415および第2の下地電極層425の各々の一層あたりの厚さとしては、特に限定されず、1 μ m以上10 μ m以下であってもよい。

[0042] 或いは、第1の下地電極層415および第2の下地電極層425は、スパッタ法または蒸着法等の薄膜形成法により形成され、金属粒子が堆積された1 μ m以下の薄膜層であってもよい。

[0043] 第1のめっき層416は、第1の下地電極層415の少なくとも一部を覆い、第2のめっき層426は、第2の下地電極層425の少なくとも一部を覆う。第1のめっき層416および第2のめっき層426としては、例えば、Cu、Ni、Ag、Pd、またはAu等の金属、またはAg-Pd合金等の合金から選ばれる少なくとも1つを含む。

[0044] 第1のめっき層416および第2のめっき層426の各々は複数層により形成されていてもよい。好ましくは、NiめっきおよびSnめっきの2層構

造である。Niめっき層は、下地電極層がセラミック電子部品を実装するのはんだによって侵食されることを防止することができ、Snめっき層は、セラミック電子部品を実装するのはんだの濡れ性を向上させ、容易に実装することができる。

[0045] 第1のめっき層416および第2のめっき層426の各々の一層あたりの厚さとしては、特に限定されず、1 μ m以上10 μ m以下であってもよい。

[0046] <<応力抑制膜>>

応力抑制膜50は、積層体10および外部電極40にかかる応力を抑制する。応力抑制膜50は、積層体10および外部電極40を覆うように、第1の主面(上面)TS1および2つの端面LS1, LS2に沿って延在しており、かつ、第1の主面TS1および2つの側面WS1, WS2に沿って延在している。

[0047] 応力抑制膜50の端部は、第2の主面(底面、搭載面)TS2側において、外部電極40の最外面(最も底面側に位置する面)よりもD1だけ突出している。応力抑制膜50の端部の突出寸法D1は、5 μ m以上10 μ m以下であればよい。D1が5 μ m以上であると応力抑制効果が得られ、D1が10 μ m以下であると外部電極40とペーストはんだとの接続性が得られる。

[0048] 応力抑制膜50において、第1の主面TS1に沿った主面部分(第1部分)の膜厚Daと、2つの端面LS1, LS2および2つの側面WS1, WS2に沿った側面部分(第2部分)の膜厚Dbとは、以下の関係式を満たす。

$$0.8D_a \geq D_b$$

主面部分(第1部分)の膜厚Daは、4.5 μ m以上5.5 μ m以下であればよい。

[0049] 主面部分(第1部分)の膜厚Daが比較的厚いと、マウンタによる吸着時、上面となる第1の主面TS1側にかかる吸着力を、応力抑制膜50の第1の主面TS1に沿う主面部分が受けることができ、積層体10にかかる吸着力を抑制することができる。一方、側面部分(第2部分)の膜厚Dbが比較的薄いと、搭載基板において、はんだパッドを小さくすることができ、

高密度実装化が可能となる。

- [0050] 応力抑制膜50は、絶縁性を有する材料で構成されている。これにより、外部電極40の短絡を防止することができる。
- [0051] 応力抑制膜50の強度は、積層体10の複数の誘電体層20の強度よりも高いと好ましい。具体的には、マウンタを用いた実装時の応力に対する強度において、応力抑制膜50の強度は、積層体10の複数の誘電体層20の強度よりも高いと好ましい。例えば、応力抑制膜50のヤング率は、400GPa以上1500GPa以下であると好ましい。
- [0052] 絶縁性および強度の観点で、応力抑制膜50の材料としては、ダイヤモンドライクカーボン、または、ガラス等が挙げられる。これらの中でも、応力抑制膜50の材料としては、ダイヤモンドライクカーボンであると好ましい。
- [0053] <製造方法>
- 次に、上述した積層セラミックコンデンサ1の製造方法について説明する。まず、誘電体層20用の誘電体シートおよび内部電極層30用の導電性ペーストを準備する。誘電体シートおよび導電性ペーストには、バインダおよび溶剤が含まれる。バインダおよび溶剤としては公知の材料を用いることができる。
- [0054] 次に、誘電体シート上に導電性ペーストを、例えば所定のパターンで印刷することにより、誘電体シート上に内部電極パターンを形成する。内部電極パターンの形成方法としては、スクリーン印刷またはグラビア印刷等を用いることができる。
- [0055] 次に、内部電極パターンが印刷されていない第2の外層部102用の誘電体シートを所定枚数積層する。その上に、内部電極パターンが印刷された内層部100用の誘電体シートを順次積層する。その上に、内部電極パターンが印刷されていない第1の外層部101用の誘電体シートを所定枚数積層する。これにより、積層シートが作製される。
- [0056] 次に、静水圧プレス等の手段により、積層シートを積層方向にプレスし、

積層ブロックを作製する。次に、積層ブロックを所定のサイズにカットし、積層チップを切り出す。このとき、積層チップの側面に第1のサイドマージン部W11および第2のサイドマージン部W12用の誘電体シートを貼り付けてもよい。また、このとき、バレル研磨等により積層チップの角部および稜線部に丸みをつける。次に、積層チップを焼成し、積層体10を作製する。焼成温度は、誘電体や内部電極の材料にもよるが、900℃以上1400℃以下であることが好ましい。

[0057] 次に、塗布法を用いて、積層体10の第2の主面TS2および第1の端面LS1に下地電極層用（第1の下地電極層415用）の電極材料である導電性ペーストを塗布する。同様に、塗布法を用いて、積層体10の第2の主面TS2および第2の端面LS2に下地電極層用（第2の下地電極層425用）の電極材料である導電性ペーストを塗布する。その後、これらの導電性ペーストを焼成することにより、焼成層である第1の下地電極層415および第2の下地電極層425が形成される。焼成温度は、600℃以上900℃以下であることが好ましい。

[0058] なお、スパッタ法または蒸着法等の薄膜形成法により、薄膜である第1の下地電極層415および第2の下地電極層425を形成してもよい。

[0059] また、上述では、積層チップを焼成した後に下地電極層を形成して焼成した、すなわち積層体と外部電極とを別々に焼成した。しかし、積層チップを焼成する前に下地電極層を形成して焼成してもよい、すなわち、積層体と外部電極とを同時に焼成してもよい。

[0060] その後、第1の下地電極層415の表面に第1のめっき層416を形成して第1の外部電極41を形成し、第2の下地電極層425の表面に第2のめっき層426を形成して第2の外部電極42を形成する。

[0061] 次に、積層体10および外部電極40を覆うように応力抑制膜50を形成する。応力抑制膜50の形成方法としては、スパッタリング法等のPVD法（Physical Vapor Deposition）法、または蒸着法等が挙げられる。このとき、搭載治具の高さを調整することにより、応力抑制膜50の突出寸法D1を

調整することができる。なお、図1、および後述する図4、図7および図10～12の突出部分の形状は、搭載治具によって変形されてもよい。

以上の工程により、上述した積層セラミックコンデンサ1が得られる。

[0062] ここで、応力抑制膜50を備えない従来の積層セラミックコンデンサにおいて、積層セラミックコンデンサが薄膜化されると、積層体10、特にセラミック層（誘電体層20）、の強度が低下し、実装時のマウンタからの応力によって積層セラミックコンデンサにダメージが生じることがある。例えば、マウンタを用いた実装時、積層セラミックコンデンサの上面となる第1の主面TS1側に応力がかかり、これにより、積層セラミックコンデンサの底面（搭載面）となる第2の主面TS2における外部電極40に応力がかかり、積層セラミックコンデンサにダメージが生じることがある。例えば、積層体10のセラミック層（誘電体層20）にクラックが生じることがある。セラミック層（誘電体層20）に生じるクラックが内部電極層30まで進展してしまうと、例えばクラックに水分が浸入し、積層セラミックコンデンサの絶縁性が低下してしまう。

[0063] この点に関し、本実施形態の積層セラミックコンデンサ1によれば、応力抑制膜50が、積層体10および外部電極40を覆うように、第1の主面（上面）TS1および2つの端面LS1、LS2に沿って延在しており、かつ、第1の主面（上面）TS1および2つの側面WS1、WS2に沿って延在しており、応力抑制膜50の端部が、第2の主面（底面、搭載面）TS2側において、外部電極40の最外面（最も底面側に位置する面）よりもD1だけ突出している。これにより、マウンタを用いた実装時、上面となる第1の主面TS1側にかかる応力を、応力抑制膜50の第1の主面TS1に沿う主面部分から、2つの端面LS1、LS2に沿う端面部分、および、2つの側面WS1、WS2に沿う側面部分に分散し、突出した端部に逃がすことができる。これにより、底面（搭載面）となる第2の主面TS2における外部電極40、および、積層体10にかかる応力を抑制することができ、積層体10のセラミック層（誘電体層20）にクラックが生じることを抑制すること

ができる。このように、本実施形態の積層セラミックコンデンサ 1 によれば、薄型化を図っても、外部応力に対する強度の低下を抑制することができる。

[0064] また、本実施形態の積層セラミックコンデンサ 1 によれば、マウンタによる吸着時、上面となる第 1 の主面 T S 1 側にかかる吸着力をも、応力抑制膜 5 0 の第 1 の主面 T S 1 に沿う主面部分が受けることができる。これにより、積層体 1 0 にかかる吸着力をも抑制することができる。

[0065] また、本実施形態の積層セラミックコンデンサ 1 によれば、端面 L S 1, L S 2 または側面 W S 1, W S 2 における外部電極 4 0 を応力抑制膜 5 0 が覆うことにより、端面 L S 1, L S 2 または側面 W S 1, W S 2 にペーストはんだが盛り上がることを防止することができる。これにより、搭載基板において、はんだパッドを小さくすることができ、高密度実装化が可能となる。

[0066] また、本実施形態の積層セラミックコンデンサ 1 によれば、第 1 の主面 T S 1 側に外部電極 4 0 を形成しないので、積層体 1 0 における積層数を増加することができ、コンデンサ有効領域を増大することができる。また、2 つの側面 W S 1, W S 2 側に外部電極 4 0 を形成しないので、積層体 1 0 における面積を増加することができ、コンデンサ有効領域を増大することができる。

[0067] 以上、本発明の実施形態について説明したが、本発明は上述した実施形態に限定されることなく、種々の変更および変形が可能である。例えば、上述した実施形態では、応力抑制膜 5 0 が、第 1 の主面（上面）T S 1、2 つの端面 L S 1, L S 2 および 2 つの側面 W S 1, W S 2 の 5 面に沿って延在する形態を例示した。しかし、本発明はこれに限定されず、応力抑制膜 5 0 は、第 1 の主面（上面）T S 1 および 2 つの端面 L S 1, L S 2 の 3 面のみに沿って延在する形態であってもよい。或いは、応力抑制膜 5 0 は、第 1 の主面（上面）T S 1 および 2 つの側面 W S 1, W S 2 の 3 面のみに沿って延在する形態であってもよい。

[0068] また、上述した実施形態では、2つの外部電極40が、積層体10の第2の主面TS2における2つの端面LS1, LS2側の一部および2つの端面LS1, LS2に配置された形態を例示した。しかし、本発明では、外部電極40の形状、個数および配置位置はこれに限定されない。例えば、本発明は、複数の外部電極40が、積層体10の少なくとも第2の主面TS2の一部に配置された形態にも適用可能である。また、本発明は、複数の外部電極40が、少なくとも第2の主面TS2における2つの側面WS1, WS2側の一部に配置された形態にも適用可能である。以下では、外部電極40の形状、個数および配置位置のいくつかの例を示す。

[0069] (変形例1)

図4は、本実施形態の変形例に係る積層セラミックコンデンサを示す斜視図であり、図5は、図4に示す積層セラミックコンデンサのV-V線断面図であり、図6は、図4に示す積層セラミックコンデンサのVI-VI線断面図である。図4～図6に示す積層セラミックコンデンサ1は、図1～図3に示す積層セラミックコンデンサ1と比較して、外部電極40の形状が異なる。

[0070] 第1の外部電極41は、積層体10の第2の主面（底面、実装面）TS2、具体的には第2の主面TS2における第1の端面LS1側の一部、のみに配置されている。すなわち、第1の外部電極41は、第1の端面LS1、第1の主面（上面）TS1、第1の側面WS1および第2の側面WS2には配置されていない。この場合、例えば、積層体10の第1の端面LS1側において積層方向Tに延在する1または複数のビア35によって、第1の外部電極41と第1の内部電極層31とが接続されればよい。

[0071] 第2の外部電極42は、積層体10の第2の主面（底面、実装面）TS2、具体的には第2の主面TS2における第2の端面LS2側の一部、のみに配置されている。すなわち、第2の外部電極42は、第2の端面LS2、第1の主面（上面）TS1、第1の側面WS1および第2の側面WS2には配置されていない。この場合、例えば、積層体10の第2の端面LS2側において積層方向Tに延在する1または複数のビア35によって、第2の外部電

極42と第2の内部電極層32とが接続されればよい。

[0072] ビア35の形成方法としては、限定されないが、例えば、上述した積層ブロックの作製後であって、積層チップを切り出す前に、積層チップの端部近傍に幅方向に並ぶ複数の孔を形成し、形成した孔に導電性ペーストを充填すればよい。

[0073] (変形例2)

図7は、本実施形態の変形例に係る積層セラミックコンデンサを示す斜視図であり、図8は、図7に示す積層セラミックコンデンサのVIII-VIII線断面図であり、図9は、図7に示す積層セラミックコンデンサのIX-IX線断面図である。図7～図9に示す積層セラミックコンデンサ1は、図1～図3に示す積層セラミックコンデンサ1と比較して、外部電極40の形状が異なる。

[0074] 第1の外部電極41は、積層体10の第2の主面(底面、実装面)TS2における第1の端面LS1側の一部、および、第1の端面LS1に配置されており、第1の内部電極層31に接続されている。また、図7～図9の例では、第1の外部電極41は、積層体10の第1の主面(上面)TS1における第1の端面LS1側の一部にも配置されており、積層体10の第1の側面WS1における第1の端面LS1側の一部にも配置されており、積層体10の第2の側面WS2における第1の端面LS1側の一部にも配置されている。すなわち、第1の外部電極41は、LT断面においてU字形状(Angular U-shape)であり、積層体10の第2の主面TS2の第1の端面LS1側の一部、第1の端面LS1、および、第1の主面TS1の第1の端面LS1側の一部に沿って配置されている。また、第1の外部電極41は、LW断面においてU字形状(Angular U-shape)であり、積層体10の第1の側面WS1における第1の端面LS1側の一部、第1の端面LS1、および、第2の側面WS2における第1の端面LS1側の一部に沿って配置されている。

[0075] 第2の外部電極42は、積層体10の第2の主面(底面、実装面)TS2における第2の端面LS2側の一部、および、第2の端面LS2に配置されており、第2の内部電極層32に接続されている。また、図7～図9の例で

は、第2の外部電極42は、積層体10の第1の主面(上面)TS1における第2の端面LS2側の一部にも配置されており、積層体10の第1の側面WS1における第2の端面LS2側の一部にも配置されており、積層体10の第2の側面WS2における第2の端面LS2側の一部にも配置されている。すなわち、第2の外部電極42は、LT断面においてU字形状(Angular U-shape)であり、積層体10の第2の主面TS2の第2の端面LS2側の一部、第2の端面LS2、および、第1の主面TS1の第2の端面LS2側の一部に沿って配置されている。また、第2の外部電極42は、LW断面においてU字形状(Angular U-shape)であり、積層体10の第1の側面WS1における第2の端面LS2側の一部、第2の端面LS2、および、第2の側面WS2における第2の端面LS2側の一部に沿って配置されている。

[0076] この場合、第1の主面TS1および第2の主面TS2の各々において、複数の外部電極40が配置されていない部分に平板状のスペーサ部材55が配置されていてもよい。この場合、応力抑制膜50は、第1の主面TS1において、更にスペーサ部材55を覆うように延在していればよい。これにより、上面となる第1の主面TS1において、外部電極40が配置されている部分と外部電極40が配置されていない部分との段差を抑制することができ、マウンタによる吸着性を向上することができる。なお、応力抑制膜50を形成する前の形態では上下面の区別がないため、スペーサ部材55は、第1の主面TS1および第2の主面TS2の両主面に配置されることが好ましい。

[0077] (変形例3)

図10は、本実施形態の変形例に係る積層セラミックコンデンサを示す斜視図である。図10に示す積層セラミックコンデンサ1は、図7~図9に示す積層セラミックコンデンサ1と比較して、外部電極40の個数が異なる。

[0078] 例えば、図7~図9に示す積層セラミックコンデンサ1において、外部電極40は、第1の外部電極41および第2の外部電極42に加えて、更に第3の外部電極43および第4の外部電極44を含む。このように、積層セラミックコンデンサ1は、第1の外部電極41および第2の外部電極42に加

えて、3番目の電極である第3の外部電極43および第4の外部電極44を含むことから、3端子型の積層セラミックコンデンサと称される。本発明の特徴は、このような3端子型の積層セラミックコンデンサにも適用可能である。

[0079] 第3の外部電極43は、第1の外部電極41と第2の外部電極42との間において、積層体10の第2の主面（底面、実装面）TS2における第1の側面WS1側の一部、および、第1の側面WS1に配置されている。また、図10の例では、第3の外部電極43は、積層体10の第1の主面（上面）TS1における第1の側面WS1側の一部にも配置されている。すなわち、第3の外部電極43は、WT断面においてU字形状（Angular U-shape）であり、積層体10の第2の主面TS2における第1の側面WS1側の一部、第1の側面WS1、および、第1の主面TS1における第1の側面WS1側の一部に沿って配置されている。

[0080] 第4の外部電極44は、第1の外部電極41と第2の外部電極42との間において、積層体10の第2の主面（底面、実装面）TS2における第2の側面WS2側の一部、および、第2の側面WS2に配置されている。また、図10の例では、第4の外部電極44は、積層体10の第1の主面（上面）TS1における第2の側面WS2側の一部にも配置されている。すなわち、第4の外部電極44は、WT断面においてU字形状（Angular U-shape）であり、積層体10の第2の主面TS2における第2の側面WS2側の一部、第2の側面WS2、および、第1の主面TS1における第2の側面WS2側の一部に沿って配置されている。

[0081] 図10に示す積層セラミックコンデンサ1でも、図7～図9に示す積層セラミックコンデンサ1と同様に、第1の主面TS1および第2の主面TS2の各々において、複数の外部電極40が配置されていない部分に平板状のスペーサ部材55が配置されていてもよい。この場合、応力抑制膜50は、第1の主面TS1において、更にスペーサ部材55を覆うように延在していればよい。

[0082] なお、図10では、外部電極40の形状として断面U字形状 (Angular U-shape) の外部電極40を例示した。しかし、本発明の特徴はこれに限定されず、図10に示す積層セラミックコンデンサ1において、図1～図3に示す積層セラミックコンデンサ1と同様に、断面L字形状の外部電極40を備える形態の積層セラミックコンデンサ1にも適用可能である。この場合、第3の外部電極43は、WT断面においてL字形状であり、積層体10の第2の主面TS2における第1の側面WS1側の一部および第1の側面WS1に沿って配置される。また、第4の外部電極44は、WT断面においてL字形状であり、積層体10の第2の主面TS2における第2の側面WS2側の一部および第2の側面WS2に沿って配置される。

[0083] また、本発明の特徴は、図10に示す積層セラミックコンデンサ1において、図4～図6に示す積層セラミックコンデンサ1と同様に、第2の主面TS2のみに外部電極40を備える形態の積層セラミックコンデンサ1にも適用可能である。

[0084] (変形例4)

図11は、本実施形態の変形例に係る積層セラミックコンデンサを示す斜視図である。図11に示す積層セラミックコンデンサ1は、図7～図9に示す積層セラミックコンデンサ1と比較して、外部電極40の個数および配置位置が異なる。

[0085] 例えば、外部電極40は、第2の主面TS2側からみて積層体10の4つの角部に、第1の外部電極41、第2の外部電極42、第3の外部電極43および第4の外部電極44を含む。このような積層セラミックコンデンサ1は、例えば、第1の外部電極41と第2の外部電極42との間、および、第3の外部電極43と第4の外部電極44との間に2つの積層セラミックコンデンサ素子を含むことができる。本発明の特徴は、このような多端子型の積層セラミックコンデンサにも適用可能である。

[0086] 第1の外部電極41は、積層体10の第2の主面 (底面、実装面) TS2における第1の端面LS1側および第1の側面WS1側の角部、および、第

1の端面LS1の一部および第1の側面WS1の一部に配置されている。また、図11の例では、第1の外部電極41は、積層体10の第1の主面(上面)TS1における第1の端面LS1側および第1の側面WS1側の角部にも配置されている。すなわち、第1の外部電極41は、LT断面においてU字形状(Angular U-shape)であり、積層体10の第2の主面TS2における第1の端面LS1側の一部、第1の端面LS1、および、第1の主面TS1における第1の端面LS1側の一部に沿って配置されている。また、第1の外部電極41は、WT断面においてU字形状(Angular U-shape)であり、積層体10の第2の主面TS2における第1の側面WS1側の一部、第1の側面WS1、および、第1の主面TS1における第1の側面WS1側の一部に沿って配置されている。

[0087] 第2の外部電極42は、積層体10の第2の主面(底面、実装面)TS2における第2の端面LS2側および第1の側面WS1側の角部、および、第2の端面LS2の一部および第1の側面WS1の一部に配置されている。また、図11の例では、第2の外部電極42は、積層体10の第1の主面(上面)TS1における第2の端面LS2側および第1の側面WS1側の角部にも配置されている。すなわち、第2の外部電極42は、LT断面においてU字形状(Angular U-shape)であり、積層体10の第2の主面TS2における第2の端面LS2側の一部、第2の端面LS2、および、第1の主面TS1における第2の端面LS2側の一部に沿って配置されている。また、第2の外部電極42は、WT断面においてU字形状(Angular U-shape)であり、積層体10の第2の主面TS2における第1の側面WS1側の一部、第1の側面WS1、および、第1の主面TS1における第1の側面WS1側の一部に沿って配置されている。

[0088] 第3の外部電極43は、積層体10の第2の主面(底面、実装面)TS2における第1の端面LS1側および第2の側面WS2側の角部、および、第1の端面LS1の一部および第2の側面WS2の一部に配置されている。また、図11の例では、第3の外部電極43は、積層体10の第1の主面(上

面) T S 1 における第 1 の端面 L S 1 側および第 2 の側面 W S 2 側の角部にも配置されている。すなわち、第 3 の外部電極 4 3 は、L T 断面において U 字形状 (Angular U-shape) であり、積層体 1 0 の第 2 の主面 T S 2 における第 1 の端面 L S 1 側の一部、第 1 の端面 L S 1、および、第 1 の主面 T S 1 における第 1 の端面 L S 1 側の一部に沿って配置されている。また、第 3 の外部電極 4 3 は、W T 断面において U 字形状 (Angular U-shape) であり、積層体 1 0 の第 2 の主面 T S 2 における第 2 の側面 W S 2 側の一部、第 2 の側面 W S 2、および、第 1 の主面 T S 1 における第 2 の側面 W S 2 側の一部に沿って配置されている。

[0089] 第 4 の外部電極 4 4 は、積層体 1 0 の第 2 の主面 (底面、実装面) T S 2 における第 2 の端面 L S 2 側および第 2 の側面 W S 2 側の角部、および、第 2 の端面 L S 2 の一部および第 2 の側面 W S 2 の一部に配置されている。また、図 1 1 の例では、第 4 の外部電極 4 4 は、積層体 1 0 の第 1 の主面 (上面) T S 1 における第 2 の端面 L S 2 側および第 2 の側面 W S 2 側の角部にも配置されている。すなわち、第 4 の外部電極 4 4 は、L T 断面において U 字形状 (Angular U-shape) であり、積層体 1 0 の第 2 の主面 T S 2 における第 2 の端面 L S 2 側の一部、第 2 の端面 L S 2、および、第 1 の主面 T S 1 における第 2 の端面 L S 2 側の一部に沿って配置されている。また、第 4 の外部電極 4 4 は、W T 断面において U 字形状 (Angular U-shape) であり、積層体 1 0 の第 2 の主面 T S 2 における第 2 の側面 W S 2 側の一部、第 2 の側面 W S 2、および、第 1 の主面 T S 1 における第 2 の側面 W S 2 側の一部に沿って配置されている。

[0090] 図 1 1 に示す積層セラミックコンデンサ 1 でも、図 7 ~ 図 9 に示す積層セラミックコンデンサ 1 と同様に、第 1 の主面 T S 1 および第 2 の主面 T S 2 の各々において、複数の外部電極 4 0 が配置されていない部分に平板状のスペーサ部材 5 5 が配置されていてもよい。この場合、応力抑制膜 5 0 は、第 1 の主面 T S 1 において、更にスペーサ部材 5 5 を覆うように延在していればよい。

[0091] なお、図11では、外部電極40の形状として断面U字形状 (Angular U-shape) の外部電極40を例示した。しかし、本発明の特徴はこれに限定されず、図10に示す積層セラミックコンデンサ1において、図1～図3に示す積層セラミックコンデンサ1と同様に、断面L字形状の外部電極40を備える形態の積層セラミックコンデンサ1にも適用可能である。この場合、第1の外部電極41は、LT断面においてL字形状であり、積層体10の第2の主面TS2における第1の端面LS1側の一部および第1の端面LS1に沿って配置され、かつ、WT断面においてL字形状であり、積層体10の第2の主面TS2における第1の側面WS1側の一部および第1の側面WS1に沿って配置される。また、第2の外部電極42は、LT断面においてL字形状であり、積層体10の第2の主面TS2における第2の端面LS2側の一部および第2の端面LS2に沿って配置され、かつ、WT断面においてL字形状であり、積層体10の第2の主面TS2における第1の側面WS1側の一部および第1の側面WS1に沿って配置される。また、第3の外部電極43は、LT断面においてL字形状であり、積層体10の第2の主面TS2における第1の端面LS1側の一部および第1の端面LS1に沿って配置され、かつ、WT断面においてL字形状であり、積層体10の第2の主面TS2における第2の側面WS2側の一部および第2の側面WS2に沿って配置される。また、第4の外部電極44は、LT断面においてL字形状であり、積層体10の第2の主面TS2における第2の端面LS2側の一部および第2の端面LS2に沿って配置され、かつ、WT断面においてL字形状であり、積層体10の第2の主面TS2における第2の側面WS2側の一部および第2の側面WS2に沿って配置される。

[0092] また、本発明の特徴は、図11に示す積層セラミックコンデンサ1において、図4～図6に示す積層セラミックコンデンサ1と同様に、第2の主面TS2のみに外部電極40を備える形態の積層セラミックコンデンサ1にも適用可能である。

[0093] (変形例5)

図12は、本実施形態の変形例に係る積層セラミックコンデンサを示す斜視図である。図12に示す積層セラミックコンデンサ1は、図7～図9に示す積層セラミックコンデンサ1と比較して、外部電極40の個数および配置位置が異なる。

- [0094] 例えば、外部電極40は、積層体10の第1の側面WS1側に第1の外部電極41、第3の外部電極43、第5の外部電極45および第7の外部電極47を含み、積層体10の第2の側面WS2側に第2の外部電極42、第4の外部電極44、第6の外部電極46および第8の外部電極48を含む。このような積層セラミックコンデンサ1は、例えば、第1の外部電極41と第2の外部電極42との間、第3の外部電極43と第4の外部電極44との間、第5の外部電極45と第6の外部電極46との間、および、第7の外部電極47と第8の外部電極48との間に、4つの積層セラミックコンデンサ素子をアレイ状に配置することができる。本発明の特徴は、このようなアレイ型の積層セラミックコンデンサにも適用可能である。
- [0095] 第1の外部電極41、第3の外部電極43、第5の外部電極45および第7の外部電極47の各々は、積層体10の第2の主面（底面、実装面）TS2における第1の側面WS1側の一部、および、第1の側面WS1に配置されている。また、図12の例では、第1の外部電極41、第3の外部電極43、第5の外部電極45および第7の外部電極47の各々は、積層体10の第1の主面（上面）TS1における第1の側面WS1側の一部にも配置されている。すなわち、第1の外部電極41、第3の外部電極43、第5の外部電極45および第7の外部電極47の各々は、WT断面においてU字形状（Angular U-shape）であり、積層体10の第2の主面TS2における第1の側面WS1側の一部、第1の側面WS1、および、第1の主面TS1における第1の側面WS1側の一部に沿って配置されている。
- [0096] 第2の外部電極42、第4の外部電極44、第6の外部電極46および第8の外部電極48は、積層体10の第2の主面（底面、実装面）TS2における第2の側面WS2側の一部、および、第2の側面WS2に配置されてい

る。また、図12の例では、第2の外部電極42、第4の外部電極44、第6の外部電極46および第8の外部電極48は、積層体10の第1の主面（上面）TS1における第2の側面WS2側の一部にも配置されている。すなわち、第2の外部電極42、第4の外部電極44、第6の外部電極46および第8の外部電極48は、WT断面においてU字形状（Angular U-shape）であり、積層体10の第2の主面TS2における第2の側面WS2側の一部、第2の側面WS2、および、第1の主面TS1における第2の側面WS2側の一部に沿って配置されている。

[0097] 図12に示す積層セラミックコンデンサ1でも、図7～図9に示す積層セラミックコンデンサ1と同様に、第1の主面TS1および第2の主面TS2の各々において、複数の外部電極40が配置されていない部分に平板状のスペーサ部材55が配置されていてもよい。この場合、応力抑制膜50は、第1の主面TS1において、更にスペーサ部材55を覆うように延在していればよい。

[0098] なお、図12では、外部電極40の形状として断面U字形状（Angular U-shape）の外部電極40を例示した。しかし、本発明の特徴はこれに限定されず、図12に示す積層セラミックコンデンサ1において、図1～図3に示す積層セラミックコンデンサ1と同様に、断面L字形状の外部電極40を備える形態の積層セラミックコンデンサ1にも適用可能である。この場合、第1の外部電極41、第3の外部電極43、第5の外部電極45および第7の外部電極47の各々は、WT断面においてL字形状であり、積層体10の第2の主面TS2における第1の側面WS1側の一部および第1の側面WS1に沿って配置される。また、第2の外部電極42、第4の外部電極44、第6の外部電極46および第8の外部電極48は、WT断面においてL字形状であり、積層体10の第2の主面TS2における第2の側面WS2側の一部および第2の側面WS2に沿って配置される。

[0099] また、本発明の特徴は、図12に示す積層セラミックコンデンサ1において、図4～図6に示す積層セラミックコンデンサ1と同様に、第2の主面T

S 2 のみに外部電極 40 を備える形態の積層セラミックコンデンサ 1 にも適用可能である。

[0100] 上述した変形例 1～5 でも、応力抑制膜 50 が、第 1 の主面（上面）TS 1、2 つの端面 LS 1、TS 2 および 2 つの側面 WS 1、WS 2 の 5 面に沿って延在する形態を例示した。しかし、本発明はこれに限定されず、応力抑制膜 50 は、第 1 の主面（上面）TS 1 および 2 つの端面 LS 1、LS 2 の 3 面に沿って延在する形態であってもよい。或いは、応力抑制膜 50 は、第 1 の主面（上面）TS 1 および 2 つの側面 WS 1、WS 2 の 3 面に沿って延在する形態であってもよい。

[0101] また、本発明は以下のような形態であってもよい。

< 1 > セラミック材料からなる複数の誘電体層と複数の内部電極層とが積層された積層体であって、積層方向に相對する第 1 の主面および第 2 の主面と、前記積層方向に交差する幅方向に相對する 2 つの側面と、前記積層方向および前記幅方向に交差する長さ方向に相對する 2 つの端面とを有した積層体と、

前記積層体の少なくとも前記第 2 の主面に配置された複数の外部電極と、前記積層体および前記複数の外部電極にかかる応力を抑制する応力抑制膜と、

を備え、

前記応力抑制膜は、

絶縁性を有する材料で構成されており、

前記積層体および前記複数の外部電極を覆うように、前記第 1 の主面および前記 2 つの端面に沿って延在しており、または、前記第 1 の主面および前記 2 つの側面に沿って延在しており、

前記応力抑制膜の端部は、前記第 2 の主面側において、前記複数の外部電極の最外面よりも突出している、

積層セラミックコンデンサ。

[0102] < 2 > 前記応力抑制膜は、前記第 1 の主面および前記 2 つの端面に沿って

延在しており、かつ、前記第1の主面および前記2つの側面に沿って延在している、＜1＞に記載の積層セラミックコンデンサ。

[0103] ＜3＞ 前記応力抑制膜の強度は、前記積層体の前記複数の誘電体層の強度よりも高い、＜1＞または＜2＞に記載の積層セラミックコンデンサ。

[0104] ＜4＞ 前記応力抑制膜のヤング率は、400 GPa以上1500 GPa以下である、＜1＞から＜3＞のいずれかに記載の積層セラミックコンデンサ。

[0105] ＜5＞ 前記応力抑制膜は、ダイヤモンドライクカーボン、または、ガラスを材料として含む、＜1＞から＜4＞のいずれかに記載の積層セラミックコンデンサ。

[0106] ＜6＞ 前記応力抑制膜において、前記第1の主面に沿った第1部分の膜厚 D_a と、前記2つの端面または前記2つの側面に沿った第2部分の膜厚 D_b とは、以下の関係式を満たす、＜1＞から＜5＞のいずれかに記載の積層セラミックコンデンサ。

$$0.8 D_a \geq D_b$$

[0107] ＜7＞ 前記第1部分の膜厚 D_a は、4.5 μm 以上5.5 μm 以下である、＜6＞に記載の積層セラミックコンデンサ。

[0108] ＜8＞ 前記複数の外部電極の各々は、

前記積層方向および前記長さ方向に沿う断面においてL字形状であり、前記積層体の前記第2の主面および前記2つの端面の一方に沿って配置されている、または、

前記積層方向および前記幅方向に沿う断面においてL字形状であり、前記積層体の前記第2の主面および前記2つの側面の一方に沿って配置されている、

＜1＞から＜7＞のいずれかに記載の積層セラミックコンデンサ。

[0109] ＜9＞ 前記複数の外部電極の各々は、前記積層体の前記第2の主面のみに沿って配置されており、

前記積層体は、前記積層方向に延在しており、前記複数の外部電極層と前記複数の内部電極層のうちの異なる一部とをそれぞれ接続する複数のビアを

有する、

<1>から<7>のいずれかに記載の積層セラミックコンデンサ。

[0110] <10> 前記複数の外部電極の各々は、

前記積層方向および前記長さ方向に沿う断面においてU字形状であり、前記積層体の前記第2の主面、前記2つの端面の一方および前記第1の主面に沿って配置されており、または、

前記積層方向および前記幅方向に沿う断面においてU字形状であり、前記積層体の前記第2の主面、前記2つの側面の一方および前記第1の主面に沿って配置されており、

前記第1の主面および前記第2の主面の各々において前記複数の外部電極が配置されていない部分に平板状のスペーサ部材が配置されており、

前記応力抑制膜は、前記第1の主面において、更に前記スペーサ部材を覆うように延在している、

<1>から<7>のいずれかに記載の積層セラミックコンデンサ。

符号の説明

[0111] 1 積層セラミックコンデンサ

10 積層体

20 誘電体層

30 内部電極層

31 第1の内部電極層

311 第1の対向電極部

312 第1の引出電極部

32 第2の内部電極層

321 第2の対向電極部

322 第2の引出電極部

35 ビア

40 外部電極

41 第1の外部電極

- 4 1 5 第1の下地電極層
- 4 1 6 第1のめっき層
- 4 2 第2の外部電極
- 4 2 5 第2の下地電極層
- 4 2 6 第2のめっき層
- 5 0 応力抑制膜
- 5 5 スペーサ部材
- 1 0 0 内層部
- 1 0 1 第1の外層部
- 1 0 2 第2の外層部
- L 3 0 電極対向部
- L G 1 第1のエンドギャップ部
- L G 2 第2のエンドギャップ部
- W 3 0 電極対向部
- W G 1 第1のサイドギャップ部
- W G 2 第2のサイドギャップ部
- L 長さ方向
- T 積層方向
- W 幅方向
- L S 1 第1の端面
- L S 2 第2の端面
- T S 1 第1の主面
- T S 2 第2の主面
- W S 1 第1の側面
- W S 2 第2の側面

請求の範囲

- [請求項1] セラミック材料からなる複数の誘電体層と複数の内部電極層とが積層された積層体であって、積層方向に相對する第1の主面および第2の主面と、前記積層方向に交差する幅方向に相對する2つの側面と、前記積層方向および前記幅方向に交差する長さ方向に相對する2つの端面とを有した積層体と、
- 前記積層体の少なくとも前記第2の主面に配置された複数の外部電極と、
- 前記積層体および前記複数の外部電極にかかる応力を抑制する応力抑制膜と、
- を備え、
- 前記応力抑制膜は、
- 絶縁性を有する材料で構成されており、
- 前記積層体および前記複数の外部電極を覆うように、前記第1の主面および前記2つの端面に沿って延在しており、または、前記第1の主面および前記2つの側面に沿って延在しており、
- 前記応力抑制膜の端部は、前記第2の主面側において、前記複数の外部電極の最外面よりも突出している、
- 積層セラミックコンデンサ。
- [請求項2] 前記応力抑制膜は、前記第1の主面および前記2つの端面に沿って延在しており、かつ、前記第1の主面および前記2つの側面に沿って延在している、請求項1に記載の積層セラミックコンデンサ。
- [請求項3] 前記応力抑制膜の強度は、前記積層体の前記複数の誘電体層の強度よりも高い、請求項1または2に記載の積層セラミックコンデンサ。
- [請求項4] 前記応力抑制膜のヤング率は、400GPa以上1500GPa以下である、請求項1～3のいずれか1項に記載の積層セラミックコンデンサ。
- [請求項5] 前記応力抑制膜は、ダイヤモンドライクカーボン、または、ガラス

を材料として含む、請求項1～4のいずれか1項に記載の積層セラミックコンデンサ。

[請求項6] 前記応力抑制膜において、前記第1の主面に沿った第1部分の膜厚 D_a と、前記2つの端面または前記2つの側面に沿った第2部分の膜厚 D_b とは、以下の関係式を満たす、請求項1～5のいずれか1項に記載の積層セラミックコンデンサ。

$$0.8 D_a \geq D_b$$

[請求項7] 前記第1部分の膜厚 D_a は、 $4.5 \mu\text{m}$ 以上 $5.5 \mu\text{m}$ 以下である、請求項6に記載の積層セラミックコンデンサ。

[請求項8] 前記複数の外部電極の各々は、

前記積層方向および前記長さ方向に沿う断面においてL字形状であり、前記積層体の前記第2の主面および前記2つの端面の一方に沿って配置されている、または、

前記積層方向および前記幅方向に沿う断面においてL字形状であり、前記積層体の前記第2の主面および前記2つの側面の一方に沿って配置されている、

請求項1～7のいずれか1項に記載の積層セラミックコンデンサ。

[請求項9] 前記複数の外部電極の各々は、前記積層体の前記第2の主面のみに沿って配置されており、

前記積層体は、前記積層方向に延在しており、前記複数の外部電極層と前記複数の内部電極層のうちの異なる一部とをそれぞれ接続する複数のビアを有する、

請求項1～7のいずれか1項に記載の積層セラミックコンデンサ。

[請求項10] 前記複数の外部電極の各々は、

前記積層方向および前記長さ方向に沿う断面においてU字形状であり、前記積層体の前記第2の主面、前記2つの端面の一方および前記第1の主面に沿って配置されており、または、

前記積層方向および前記幅方向に沿う断面においてU字形状であ

り、前記積層体の前記第2の主面、前記2つの側面の一方および前記第1の主面に沿って配置されており、

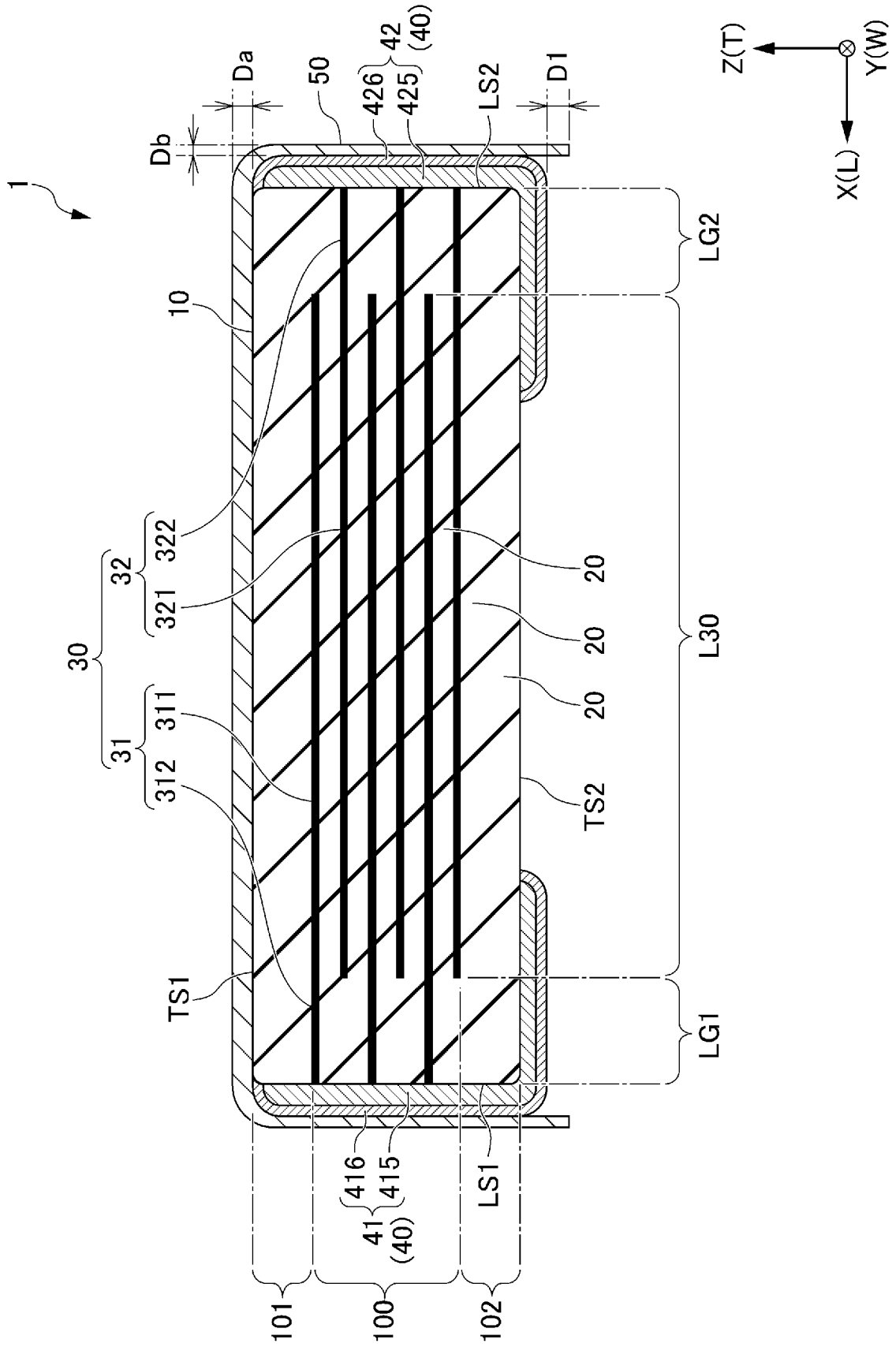
前記第1の主面および前記第2の主面の各々において前記複数の外部電極が配置されていない部分に平板状のスペーサ部材が配置されており、

前記応力抑制膜は、前記第1の主面において、更に前記スペーサ部材を覆うように延在している、

請求項1～7のいずれか1項に記載の積層セラミックコンデンサ。

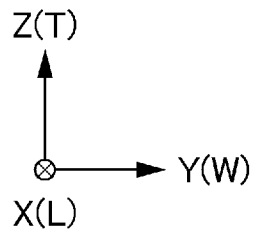
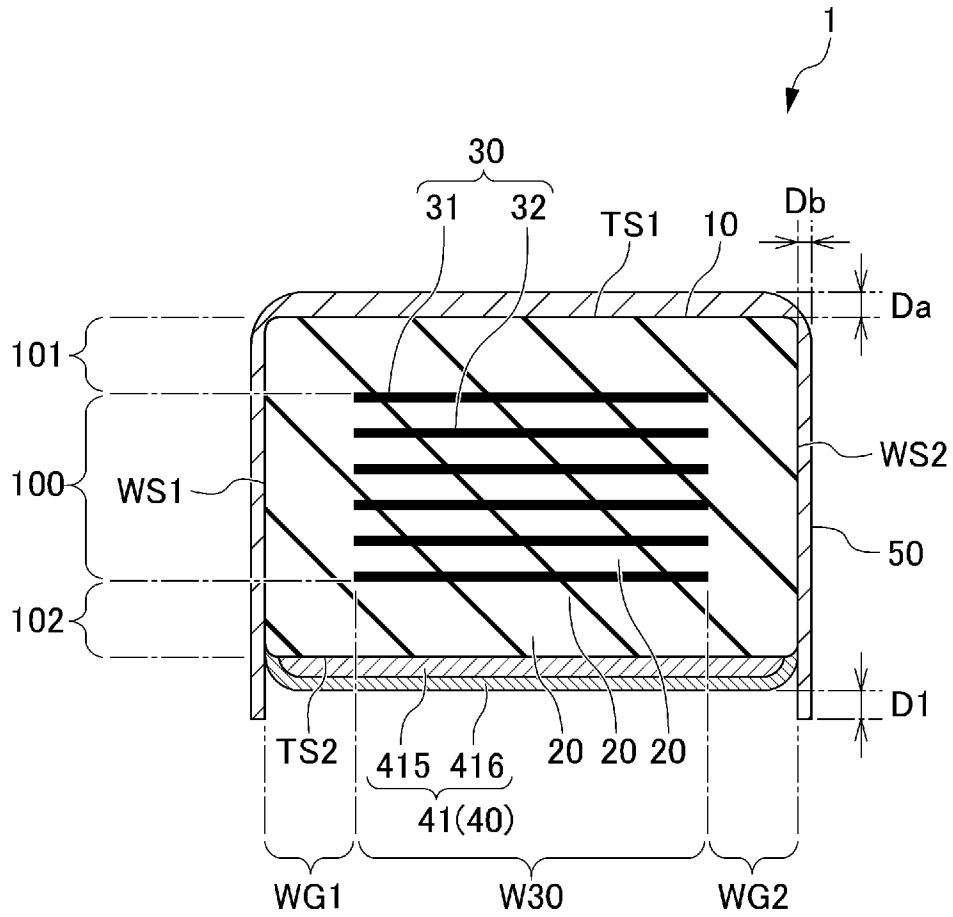
[図2]

図 2



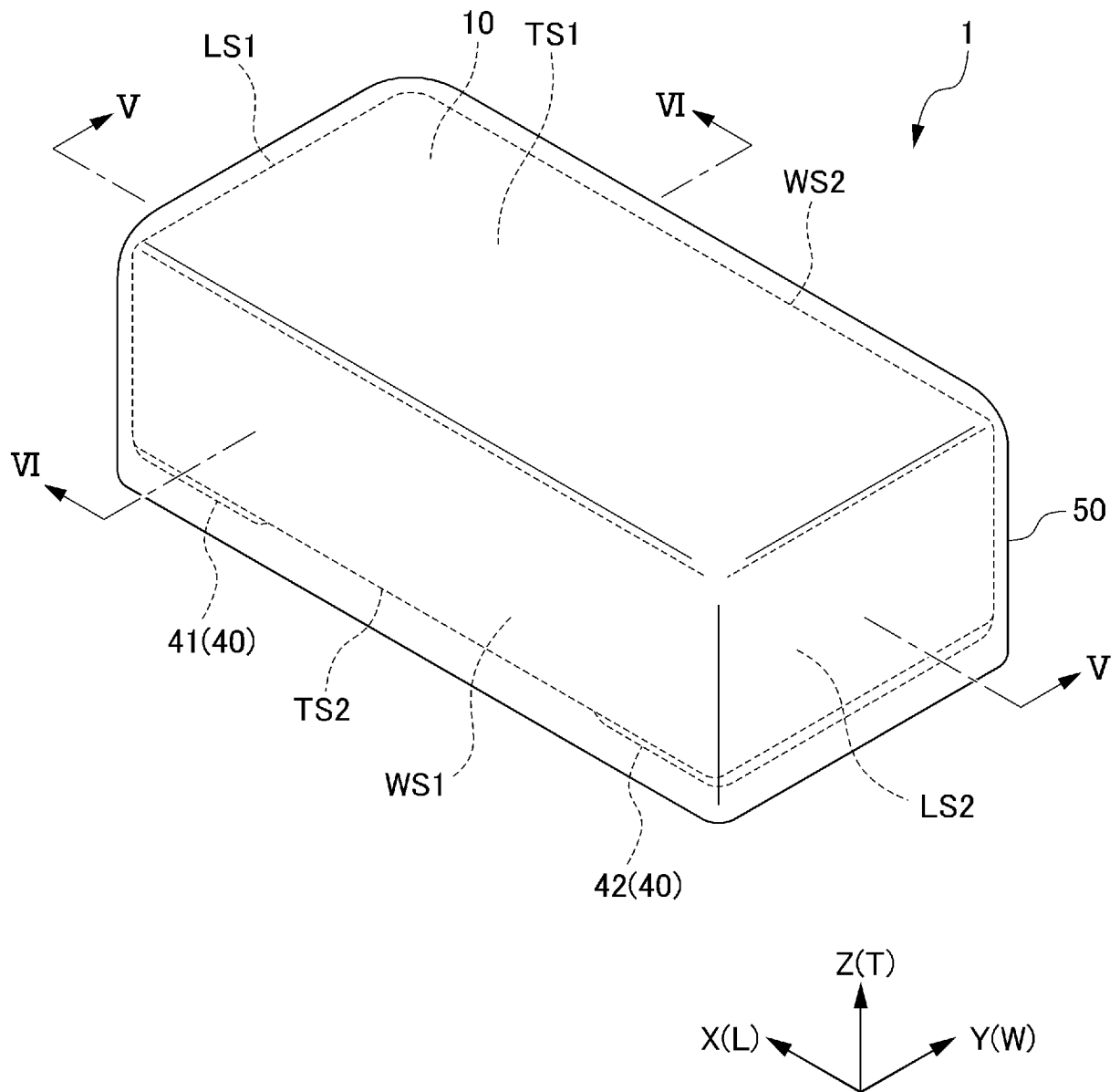
[図3]

図 3



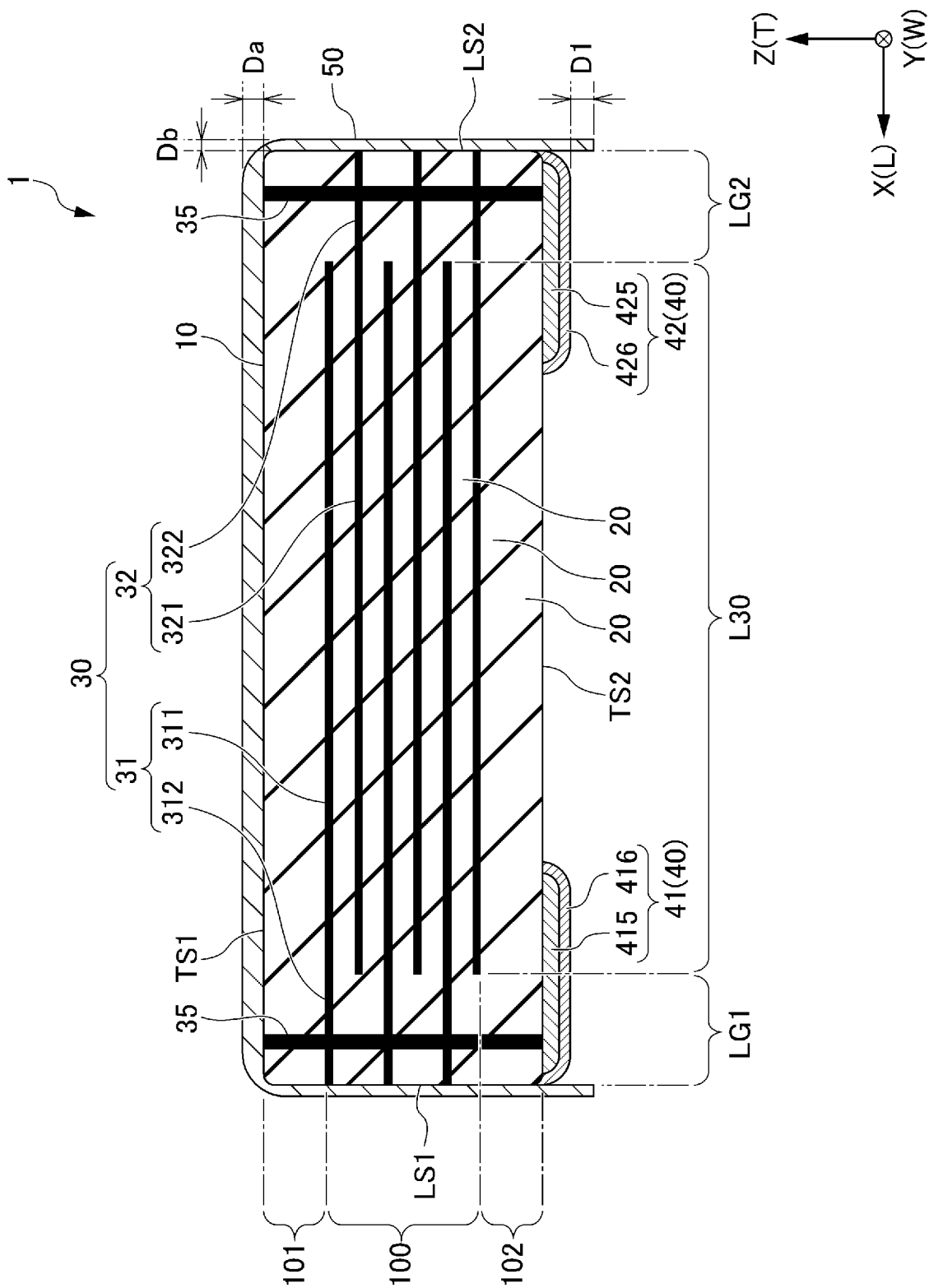
[図4]

図 4



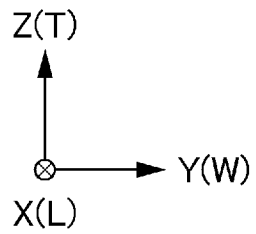
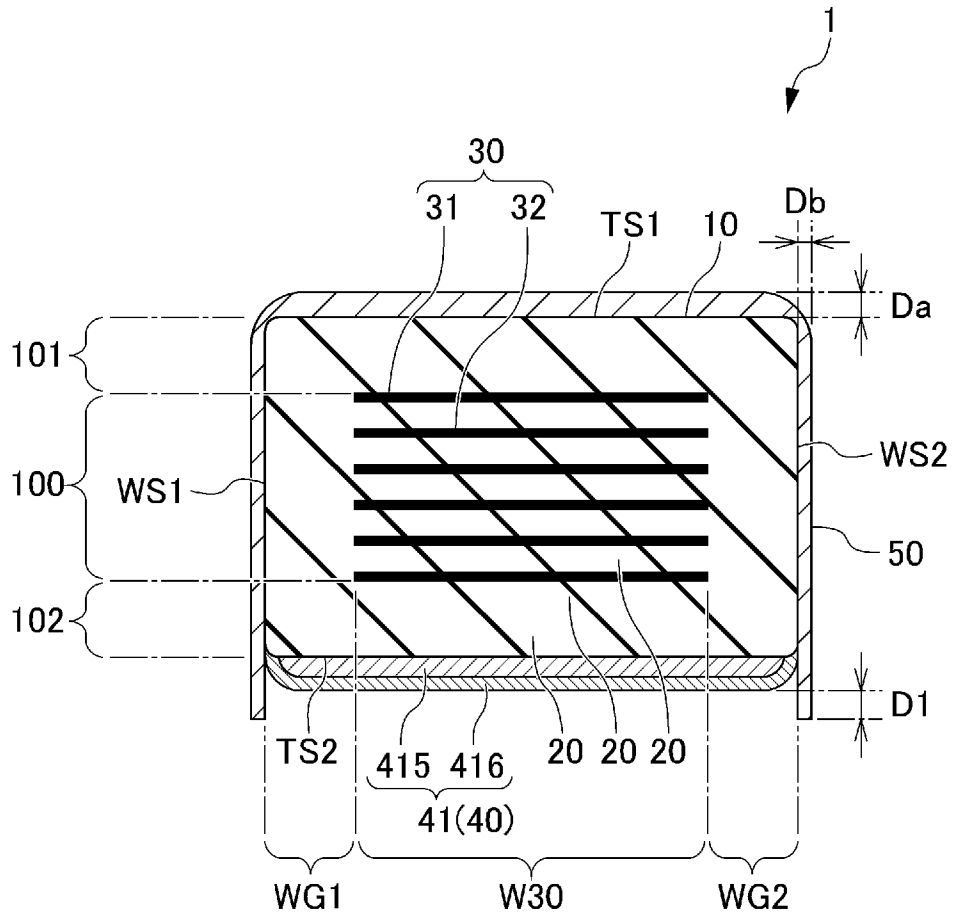
[図5]

図 5



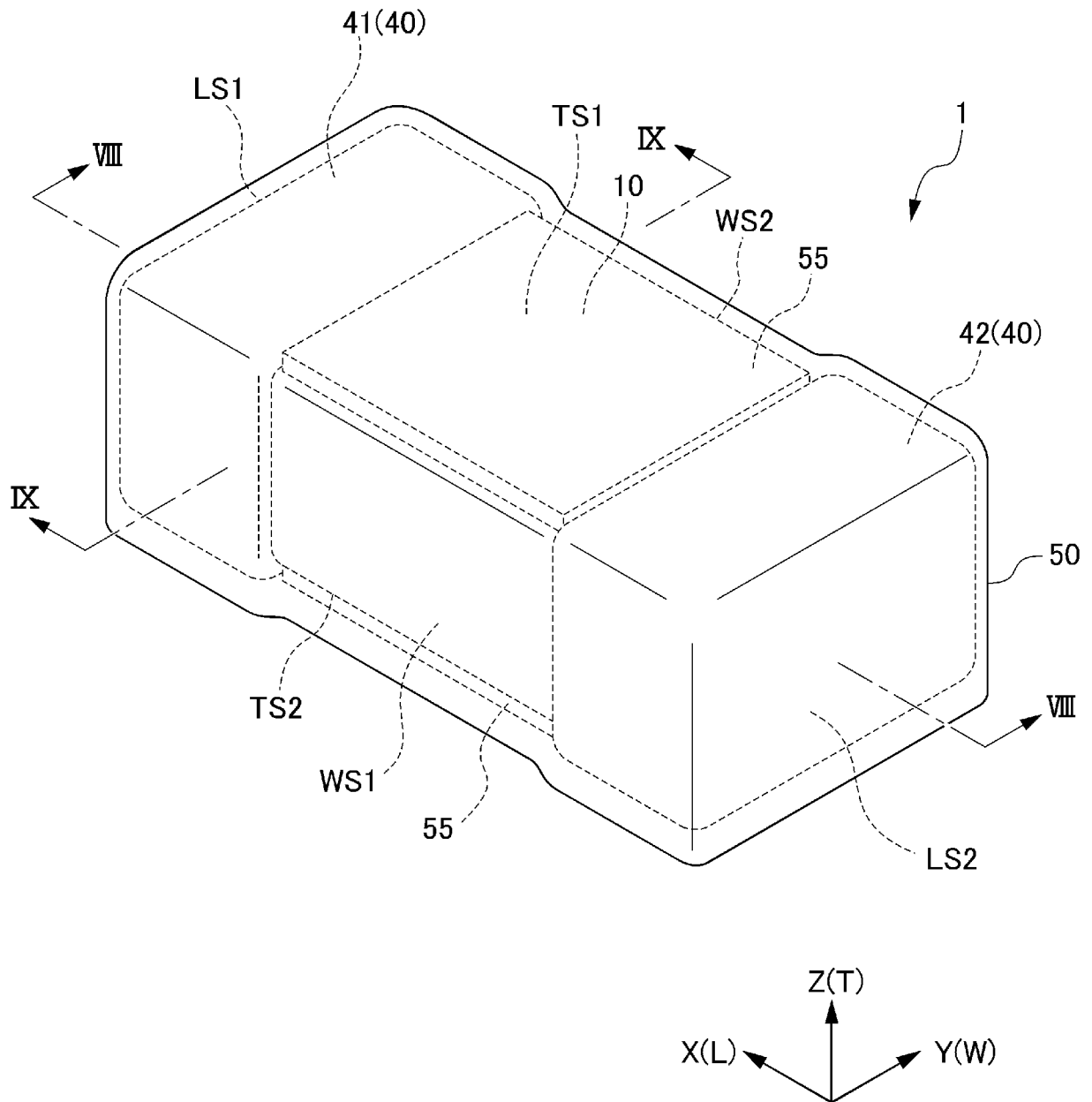
[図6]

図 6



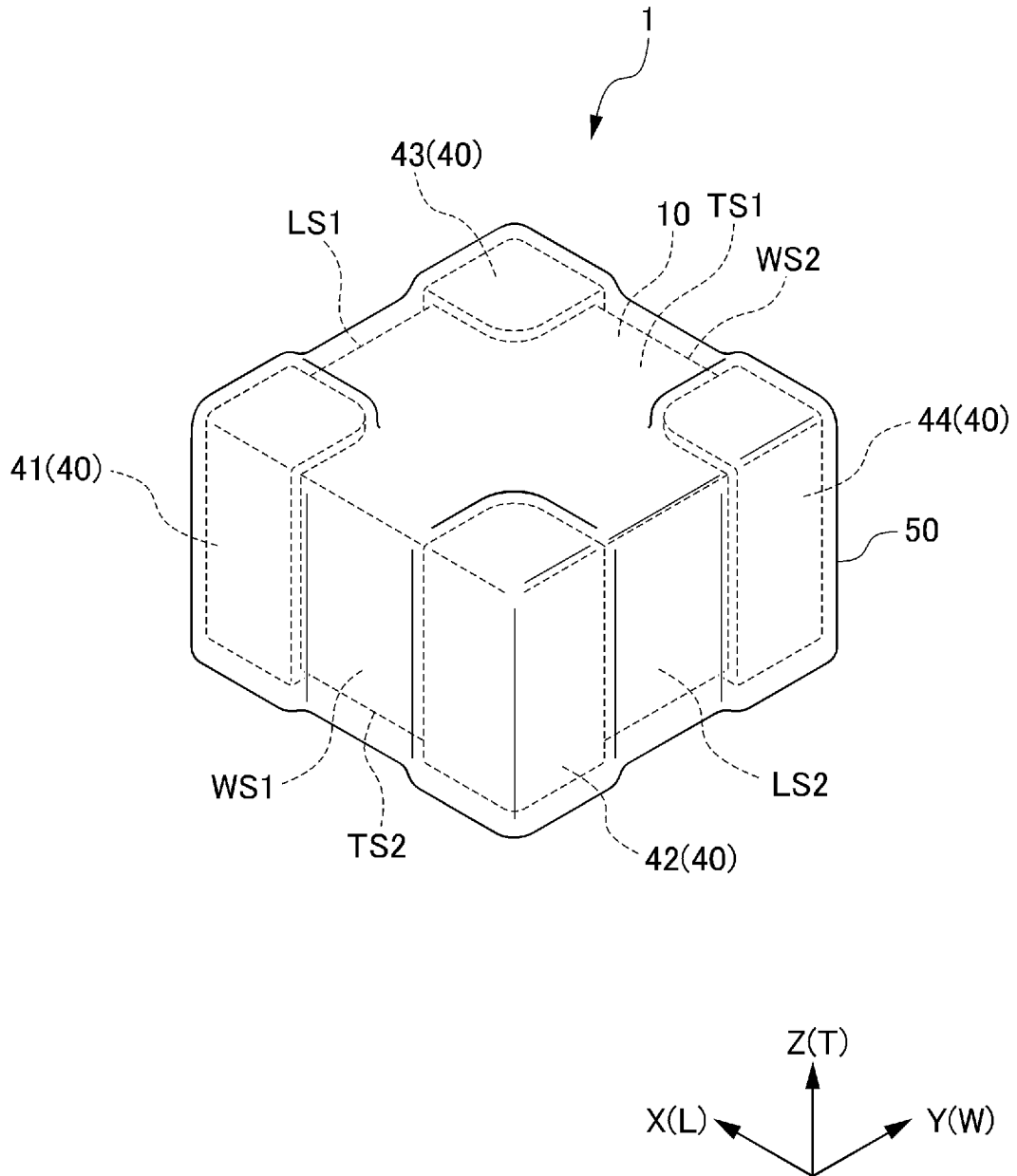
[図7]

図 7



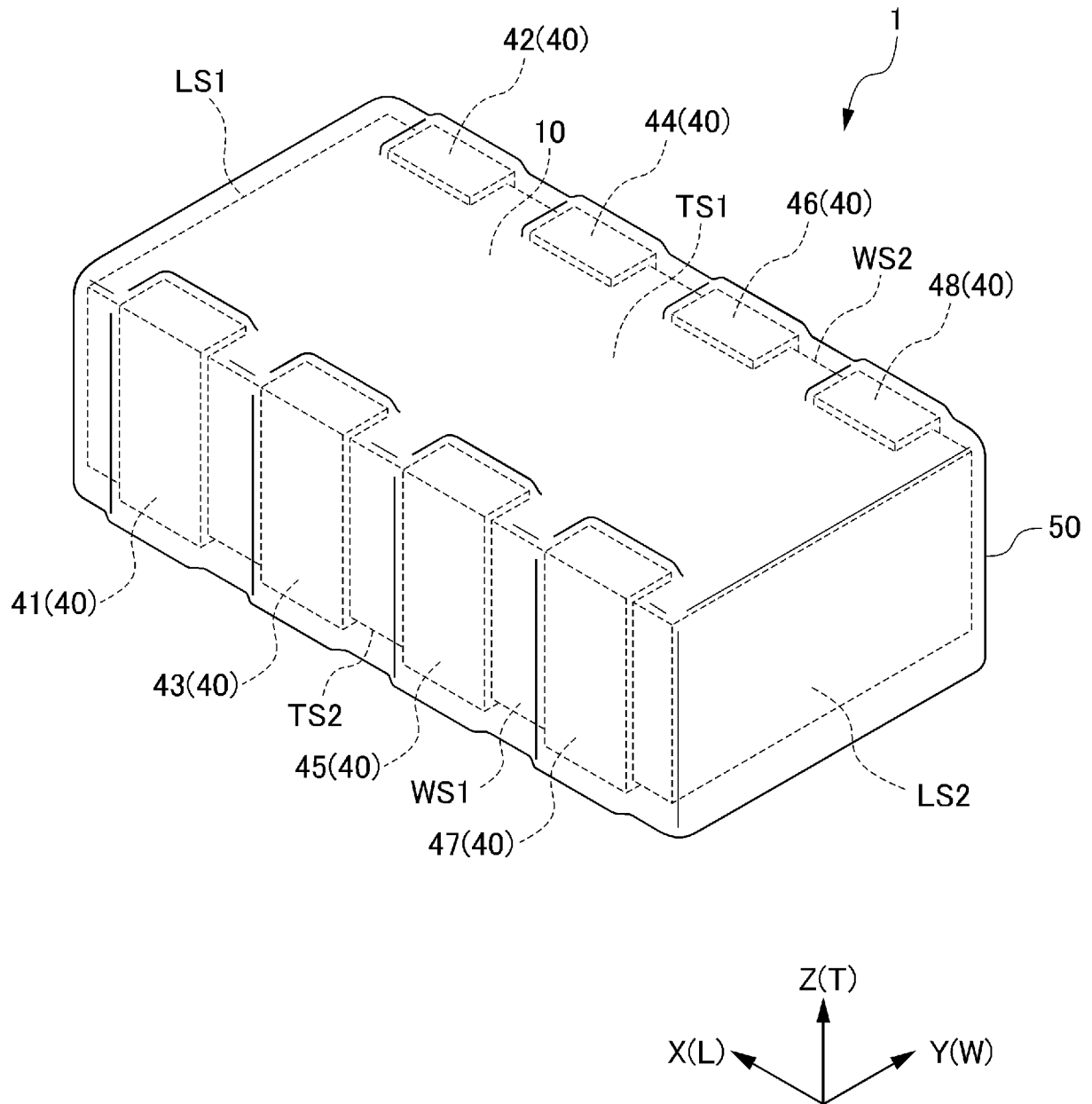
[図11]

図 11



[図12]

図 12



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/019376

A. CLASSIFICATION OF SUBJECT MATTER		
H01G 4/224 (2006.01)i; H01G 4/30 (2006.01)i FI: H01G4/224 100; H01G4/30 511; H01G4/30 513; H01G4/30 201Z; H01G4/30 201F		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01G4/224; H01G4/30		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-178219 A (MURATA MANUFACTURING CO., LTD.) 06 October 2016 (2016-10-06) fig. 1, 2, 20	1-10
A	JP 2017-103321 A (TAIYO YUDEN CO., LTD.) 08 June 2017 (2017-06-08) fig. 1, 5, 6	1-10
A	JP 2013-26392 A (TDK CORP.) 04 February 2013 (2013-02-04) fig. 1, 2	1-10
A	JP 2016-111280 A (TOKO, INC.) 20 June 2016 (2016-06-20) fig. 1, 2, 15	1-10
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 07 August 2023		Date of mailing of the international search report 22 August 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2023/019376

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2016-178219 A	06 October 2016	US 2016/0276104 A1 fig. 1, 2, 20 CN 105990025 A KR 10-2016-0113038 A	
JP 2017-103321 A	08 June 2017	US 2017/0154731 A1 fig. 1, 5, 6 KR 10-2017-0064457 A CN 107045937 A	
JP 2013-26392 A	04 February 2013	US 2013/0020913 A1 fig. 1, 2 CN 102891006 A	
JP 2016-111280 A	20 June 2016	US 2017/0271081 A1 fig. 1, 2A-2D, 15 WO 2016/093153 A1 CN 107004493 A KR 10-2017-0084156 A	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01G 4/224(2006.01)i; H01G 4/30(2006.01)i</p> <p>FI: H01G4/224 100; H01G4/30 511; H01G4/30 513; H01G4/30 201Z; H01G4/30 201F</p>																	
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01G4/224; H01G4/30</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年							
日本国実用新案公報	1922 - 1996年																
日本国公開実用新案公報	1971 - 2023年																
日本国実用新案登録公報	1996 - 2023年																
日本国登録実用新案公報	1994 - 2023年																
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2016-178219 A (株式会社村田製作所) 06.10.2016 (2016 - 10 - 06) 図1, 2, 20</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>JP 2017-103321 A (太陽誘電株式会社) 08.06.2017 (2017 - 06 - 08) 図1, 5, 6</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>JP 2013-26392 A (TDK株式会社) 04.02.2013 (2013 - 02 - 04) 図1, 2</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>JP 2016-111280 A (東光株式会社) 20.06.2016 (2016 - 06 - 20) 図1, 2, 15</td> <td>1-10</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 2016-178219 A (株式会社村田製作所) 06.10.2016 (2016 - 10 - 06) 図1, 2, 20	1-10	A	JP 2017-103321 A (太陽誘電株式会社) 08.06.2017 (2017 - 06 - 08) 図1, 5, 6	1-10	A	JP 2013-26392 A (TDK株式会社) 04.02.2013 (2013 - 02 - 04) 図1, 2	1-10	A	JP 2016-111280 A (東光株式会社) 20.06.2016 (2016 - 06 - 20) 図1, 2, 15	1-10
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号															
A	JP 2016-178219 A (株式会社村田製作所) 06.10.2016 (2016 - 10 - 06) 図1, 2, 20	1-10															
A	JP 2017-103321 A (太陽誘電株式会社) 08.06.2017 (2017 - 06 - 08) 図1, 5, 6	1-10															
A	JP 2013-26392 A (TDK株式会社) 04.02.2013 (2013 - 02 - 04) 図1, 2	1-10															
A	JP 2016-111280 A (東光株式会社) 20.06.2016 (2016 - 06 - 20) 図1, 2, 15	1-10															
<p><input type="checkbox"/> C欄の続きにも文献が列挙されている。</p> <p><input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>																	
<p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&” 同一パテントファミリー文献</p>																	
<p>国際調査を完了した日</p> <p>07.08.2023</p>	<p>国際調査報告の発送日</p> <p>22.08.2023</p>																
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP)</p> <p>〒100-8915</p> <p>日本国</p> <p>東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>木下 直哉 5D 3858</p> <p>電話番号 03-3581-1101 内線 3551</p>																

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/019376

引用文献	公表日	パテントファミリー文献	公表日
JP 2016-178219 A	06.10.2016	US 2016/0276104 A1 図1, 2, 20 CN 105990025 A KR 10-2016-0113038 A	
JP 2017-103321 A	08.06.2017	US 2017/0154731 A1 図1, 5, 6 KR 10-2017-0064457 A CN 107045937 A	
JP 2013-26392 A	04.02.2013	US 2013/0020913 A1 図1, 2 CN 102891006 A	
JP 2016-111280 A	20.06.2016	US 2017/0271081 A1 図1, 2A-2D, 15 WO 2016/093153 A1 CN 107004493 A KR 10-2017-0084156 A	