

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-34152

(P2010-34152A)

(43) 公開日 平成22年2月12日(2010.2.12)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/82 (2006.01)	H O 1 L 29/82 Z	4 M 1 1 9
H O 1 L 43/08 (2006.01)	H O 1 L 43/08 Z	5 F 0 9 2
H O 1 L 21/8246 (2006.01)	H O 1 L 27/10 4 4 7	
H O 1 L 27/105 (2006.01)		

審査請求 有 請求項の数 16 O L (全 40 頁)

(21) 出願番号	特願2008-192507 (P2008-192507)	(71) 出願人	000003078
(22) 出願日	平成20年7月25日 (2008.7.25)		株式会社東芝
			東京都港区芝浦一丁目1番1号
(出願人による申告) 国等の委託研究の成果に係る特許出願 (平成19年度独立行政法人新エネルギー・産業技術総合開発機構「ナノテクノロジープログラム/ナノテク・先端部材実用化研究開発/高スピン偏極率材料を用いたスピントランジスタの研究開発」委託研究、産業技術力強化法第19条の適用を受ける特許出願)		(74) 代理人	100075812
			弁理士 吉武 賢次
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100096921
			弁理士 吉元 弘
		(74) 代理人	100103263
			弁理士 川崎 康
		(72) 発明者	斉 藤 好 昭
			東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

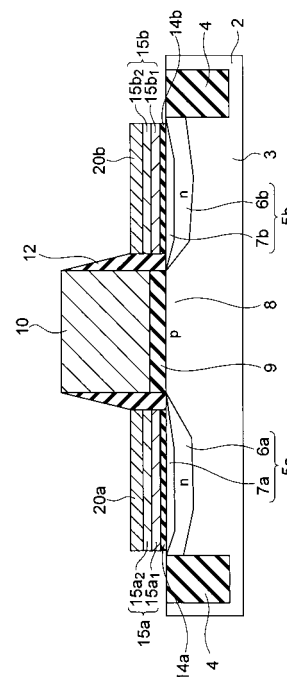
(54) 【発明の名称】 スピントランジスタ、リコンフィギャラブル論理回路、磁気抵抗効果素子、および磁気メモリ

(57) 【要約】

【課題】 磁性層としてフルホイスラー合金を用いても、可及的に高くかつ温度変化の影響を可及的に受けない磁気抵抗変化率を得ることを可能にする。

【解決手段】 半導体基板上に離間して設けられたソース部およびドレイン部であって、前記ソース部およびドレイン部はそれぞれ、CoおよびFeを含む合金からなる第1強磁性層15a₁、15b₁と、前記第1強磁性層上に形成されたCoおよびMnを含むフルホイスラー合金からなる第2強磁性層15a₂、15b₂とを有する強磁性積層膜を含む、ソース部およびドレイン部15a、15bと、前記ソース部と前記ドレイン部との間の前記半導体基板上に設けられるゲート絶縁膜9と、ゲート絶縁膜上に設けられたゲート電極10と、を備えている。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

半導体基板上に離間して設けられたソース部およびドレイン部であって、前記ソース部およびドレイン部はそれぞれ、C oおよびF eを含む合金からなる第1強磁性層と、前記第1強磁性層上に形成されたC oおよびM nを含むフルホイスラー合金からなる第2強磁性層とを有する強磁性積層膜を含む、ソース部およびドレイン部と、

前記ソース部と前記ドレイン部との間の前記半導体基板上に設けられるゲート絶縁膜と

、前記ゲート絶縁膜上に設けられたゲート電極と、

を備えたことを特徴とするスピントランジスタ。

10

【請求項 2】

前記半導体基板と、前記ソース部およびドレイン部の強磁性積層膜との間にそれぞれトンネルバリアが設けられていることを特徴とする請求項 1 記載のスピントランジスタ。

【請求項 3】

前記ソース部およびドレイン部のうちの少なくとも一方の前記強磁性積層膜上に、C oおよびF eを含む合金からなる強磁性層／トンネルバリア／C oおよびF eを含む合金からなる強磁性層／C oおよびM nを含むフルホイスラー合金からなる強磁性層が、この順序で積層された積層膜が設けられていることを特徴とする請求項 1 または 2 記載のスピントランジスタ。

【請求項 4】

前記ソース部およびドレイン部のうちの少なくとも一方の前記強磁性積層膜上に、非磁性層／C oおよびF eを含む合金からなる強磁性層／反強磁性層が、この順序で積層された積層膜を有し、前記非磁性層はR u, R h, I rまたはこれら合金からなることを特徴とする請求項 1 または 2 記載のスピントランジスタ。

20

【請求項 5】

前記ソース部およびドレイン部のそれぞれの前記強磁性積層膜上に、C oおよびF eを含む合金からなる強磁性層／トンネルバリア／C oおよびF eを含む合金からなる強磁性層／C oおよびM nを含む合金からなる強磁性層が、この順序で積層された第1および第2積層膜を有し、前記第1および第2積層膜の膜面の面積が異なることを特徴とする請求項 1 または 2 記載のスピントランジスタ。

30

【請求項 6】

前記第1および第2積層膜の膜面の形状が異なることを特徴とする請求項 5 記載のスピントランジスタ。

【請求項 7】

前記C oおよびF eを含む合金からなる強磁性層は、体心立方格子のC oおよびF eを含む合金、またはC oおよびF eを含むフルホイスラー合金からなる強磁性層であることを特徴とする請求項 1 乃至 6 のいずれかに記載のスピントランジスタ。

【請求項 8】

前記ソース部およびドレイン部の下の前記半導体基板に不純物が導入されたソース領域およびドレイン領域が設けられ、前記ソース領域およびドレイン領域はそれぞれ、第1不純物領域と、前記第1不純物領域と前記ソース部およびドレイン部との間に設けられ、前記第1不純物領域よりも不純物の濃度が高い第2不純物領域とを備えていることを特徴とする請求項 1 乃至 7 のいずれかに記載のスピントランジスタ。

40

【請求項 9】

前記トンネルバリアは、酸化マグネシウム、酸化シリコン、窒化シリコン、酸化アルミニウム、窒化アルミニウム、酸化ゲルマニウム、窒化ゲルマニウム、希土類酸化物、および希土類窒化物のいずれか、またはこれら積層膜を含むことを特徴とする請求項 1 乃至 8 のいずれかに記載のスピントランジスタ。

【請求項 10】

前記ソース部およびドレイン部のそれぞれの前記強磁性積層膜の強磁性層のスピン磁

50

化容易軸が膜面に対して略垂直であることを特徴とする請求項 1 乃至 9 のいずれかに記載のスピントランジスタ。

【請求項 1 1】

前記ソース部およびドレイン部のそれぞれの前記強磁性積層膜の強磁性層は、Fe-Pd 層、Fe-Pt 層、Fe-Pd-Pt 層、Co/Ni の積層膜、Fe/Pd の積層膜、Fe/Pt の積層膜のいずれかを含むことを特徴とする請求項 10 記載のスピントランジスタ。

【請求項 1 2】

2 つの電界効果トランジスタを備え、前記 2 つの電界効果トランジスタのうちの少なくとも一方が請求項 1 乃至 11 のいずれかに記載のスピントランジスタであり、前記 2 つの電界効果トランジスタには共通のフローティングゲートが設けられていることを特徴とするリコンフィギャラブル論理回路。

【請求項 1 3】

Co および Mn を含むフルホイスラー合金からなる第 1 強磁性層と、
前記第 1 強磁性層上に設けられた Co および Fe を含む合金からなる第 2 強磁性層と、
前記第 2 強磁性層上に設けられたトンネルバリアと、
前記トンネルバリア上に設けられた Co および Fe を含む合金からなる第 3 強磁性層と、
前記第 3 強磁性層上に設けられた Co および Mn を含むフルホイスラー合金からなる第 4 強磁性層と、
を備えていることを特徴とする磁気抵抗効果素子。

【請求項 1 4】

前記第 2 および第 3 強磁性層は、体心立方格子の Co および Fe を含む合金、または Co および Fe を含むフルホイスラー合金からなる強磁性層であることを特徴とする請求項 1 3 記載の磁気抵抗効果素子。

【請求項 1 5】

請求項 1 3 または 1 4 に記載の磁気抵抗効果素子をメモリセルに備えていることを特徴とする磁気メモリ。

【請求項 1 6】

請求項 1 3 または 1 4 に記載の磁気抵抗効果素子と、一端が前記磁気抵抗効果素子の一端と直列接続されたトランジスタと、を含むメモリセルと、
前記磁気抵抗効果素子の他端と接続された第 1 書き込み電流回路と、
前記トランジスタの他端と接続され、前記第 1 書き込み電流回路とともに前記磁気抵抗効果素子の一端から他端または他端から一端に向かう電流を供給する第 2 書き込み電流回路と、
を備えていることを特徴とする磁気メモリ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ハーフメタルホイスラー合金の強磁性体積層膜を有するスピントランジスタ、リコンフィギャラブル論理回路、磁気抵抗効果素子、および磁気メモリに関する。

【背景技術】

【0002】

近年、新しい機能を有するデバイスの研究開発が盛んに行なわれている。その一つとして、ソース／ドレイン部が磁性体から構成されるスピン MOSFET がある。スピン MOSFET の特徴は、ソース／ドレイン部のどちらか一方の磁性体のスピンモーメントの方向を反転するだけで、その出力特性を制御できる点にあり、これを用いると、リコンフィギャラブルな機能を有し増幅機能を有するスピン MOSFET 構造、リコンフィギャラブル論理回路を構成することが可能である（例えば、非特許文献 1 参照）。

【0003】

また、M R A M (Magnetic Random Access Memory)における記憶層のスピンを反転する書き込み方法として、スピン注入法による書き込み方法が提案されている（例えば、特許文献1参照）。M R A Mの記憶層にスピン偏局した電流をスピン注入することによって記憶層のスピンが反転することが観測されている。また、スピン注入書き込みをスピンM O S F E Tに利用するため、ソース／ドレイン部のどちらか一つに強磁性トンネル接合（以下、M T J (Magnetic Tunnel Junction)とも云う）を付与した構造が提案されている（例えば、特許文献2参照）。特許文献2に記載の構造を用いると、チャネル領域を介した磁気抵抗変化率に加えてM T Jの磁気抵抗変化率も加わるために読み出し出力を大幅に大きくすることができること、M T Jが付与されているのでスピン注入による磁化反転が利用可能となる等のメリットがある。

10

【非特許文献1】A P L 8 4 (2 0 0 4) 2 3 0 7 .

【特許文献1】米国特許第6, 2 5 6, 2 2 3号明細書

【特許文献2】特開2 0 0 8 - 6 6 5 9 6号公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 4】

また、M T Jの強磁性層にフルホイスラー合金を用いることが提案されている。強磁性層にフルホイスラー合金を用いたM T Jは、アップスピンのエネルギーバンドはフェルミ面上の状態密度を有するが、ダウンスピンのエネルギーバンドはエネルギーギャップを有するため、理論上は低温で無限大のM R比を持つことになる。

20

【0 0 0 5】

しかし、強磁性層にフルホイスラー合金を用いたM T Jは、実験結果から低温では大きな磁気抵抗変化率が生じることが知られているが、温度変化の影響が大きく室温では高抵抗の素子においてもM R（磁気抵抗変化）比が2 2 0 %以下に留まっており、温度依存性の改善が急務となっている。

【0 0 0 6】

本発明は、上記事情を考慮してなされたものであって、磁性層としてフルホイスラー合金を用いても、磁気抵抗変化率が可及的に高くかつ温度変化の影響を可及的に受けないスピントランジスタ、リコンフィギャラブル論理回路、磁気抵抗効果素子、および磁気メモリを提供することを目的とする。

30

【課題を解決するための手段】

【0 0 0 7】

本発明の第1の態様によるスピントランジスタは、半導体基板上に離間して設けられたソース部およびドレイン部であって、前記ソース部およびドレイン部はそれぞれ、C oおよびF eを含む合金からなる第1強磁性層と、前記第1強磁性層上に形成されたC oおよびM nを含むフルホイスラー合金からなる第2強磁性層とを有する強磁性積層膜を含む、ソース部およびドレイン部と、前記ソース部と前記ドレイン部との間の前記半導体基板上に設けられるゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極と、を備えたことを特徴とする。

【0 0 0 8】

40

また、本発明の第2の態様によるリコンフィギャラブル論理回路は、2つの電界効果トランジスタを備え、前記2つの電界効果トランジスタのうちの少なくとも一方が第1の態様によるスピントランジスタであり、前記2つの電界効果トランジスタには共通のフローティングゲートが設けられていることを特徴とする。

【0 0 0 9】

また、本発明の第3の態様による磁気抵抗効果素子は、C oおよびM nを含むフルホイスラー合金からなる第1強磁性層と、前記第1強磁性層上に設けられたC oおよびF eを含む合金からなる第2強磁性層と、前記第2強磁性層上に設けられたトンネルバリアと、前記トンネルバリア上に設けられたC oおよびF eを含む合金からなる第3強磁性層と、前記第3強磁性層上に設けられたC oおよびM nを含むフルホイスラー合金からなる第4

50

強磁性層と、を備えていることを特徴とする。

【0010】

また、本発明の第4の態様による磁気メモリは、第3の態様の磁気抵抗効果素子をメモリセルに備えていることを特徴とする。

【0011】

また、本発明の第5の態様による磁気メモリは、第3の態様の磁気抵抗効果素子と、一端が前記磁気抵抗効果素子の一端と直列接続されたトランジスタと、を含むメモリセルと、前記磁気抵抗効果素子の他端と接続された第1書き込み電流回路と、前記トランジスタの他端と接続され、前記第1書き込み電流回路とともに前記磁気抵抗効果素子の一端から他端または他端から一端に向かう電流を供給する第2書き込み電流回路と、を備えていることを特徴とする。

10

【発明の効果】

【0012】

磁性層としてフルホイスラー合金を用いても、磁気抵抗変化率が可及的に高くかつ温度変化の影響を可及的に受けないスピントランジスタ、リコンフィギュラブル論理回路、磁気抵抗効果素子、および磁気メモリを提供することができる。

【発明を実施するための最良の形態】

【0013】

まず、本発明の実施形態を説明する前に、本発明に至った経緯について説明する。

【0014】

前述したように、トンネルバリアを強磁性層で挟んだMTJにおいて、上記強磁性層にフルホイスラー合金を用いた場合は、図1に示すフルホイスラー合金のエネルギーバンドからわかるように、アップスピンのエネルギーバンドは、フェルミ面（フェルミ準位 E_F に等しい波数空間における等エネルギー面）上の状態密度を有するが、ダウンスピンのエネルギーバンドはエネルギーギャップ E_g を有する。このため、フルホイスラー合金を用いたMTJは、理論上無限大のMR比を持つことになる。しかし、実験結果では、フルホイスラー合金を用いたMTJは、温度の影響を受けやすい。図2に示すように、例えば、 Co_2MnSi からなるフルホイスラー合金を磁性層として有するMTJは、低温ではMR比は700%を超えるが、室温（例えば、絶対温度300K）では、220%程度に低下してしまう。

20

30

【0015】

そこで、本発明者達は、CoおよびMnを含むフルホイスラー合金を用いたMTJにおいてMR比に関して温度依存性の影響の大きな原因を調べた。すると、MgO等のトンネルバリアとCoおよびMnを含むホイスラー合金層との界面では、Coの波動関数とMgOの波動関数の重なっている部分の積分値が小さいため、Coのスピンモーメントは温度を上げると容易にゆらぎやすくなり、その結果、温度に対してMR比の急激な減少が生じることが明らかになった。

【0016】

一方、図2から分かるように、強磁性層がCoおよびFeを含むフルホイスラー合金、例えば $Co_2FeAl_{0.5}Si_{0.5}$ であるMTJは、磁性層がCoおよびMnを含むフルホイスラー合金、例えば Co_2MnSi であるMTJに比べて温度依存性の影響が少ない。

40

【0017】

そこで、本発明者達は、CoおよびFeを含む合金（例えば、bcc (body-centered cubic lattice) 構造のCoおよびFeを含む合金、またはCoおよびFeを含むフルホイスラー合金）からなる強磁性層を、CoおよびMnを含むフルホイスラー合金からなる強磁性層とMgOなどのトンネルバリアとの間に挿入すれば、磁性層がCoおよびMnを含むフルホイスラー合金であるMTJのMR比が可及的に高く維持できるとともに温度変化による急激な減少を防止することができるのではないかと考え、実際にサンプルを作製し、実験を行った。すると、MR比の急激な上昇を観測することができた。なお、以下、本

50

明細書では、C oおよびF eを含む合金とは、b c c (body-centered cubic lattice)構造のC oおよびF eを含む合金、またはC oおよびF eを含むフルホイスラー合金を意味する。

【0018】

また、スピンM O S F E Tにおいて、ソース／ドレイン部の少なくとも一方として半導体上に直接、C oおよびM nを含むフルホイスラー合金を積層した場合も、半導体を介したスピン依存伝導は温度依存性の影響を受けやすいが、C oおよびM nを含むフルホイスラー合金と半導体との間に、C oおよびF eを含む合金からなる強磁性層を挿入することにより、スピン依存伝導における温度依存性の影響を抑制することが可能であることが分かった。

10

【0019】

本発明は、本発明者達の上記知見に基づいてなされたものであり、以下に実施形態として説明する。

【0020】

(第1実施形態)

本発明の第1実施形態によるスピンM O S F E Tの断面を図3に示す。本実施形態のスピンM O S F E Tは、n型のスピンM O S F E Tであって、p型半導体基板2の素子領域3に形成されている。この素子領域3は、素子分離絶縁膜4によって分離されている半導体領域である。半導体領域は、半導体基板の一部の領域であってもよいし、半導体基板に形成されたウェル領域であってもよい。また、S O I (Silicon On Insulator)基板のS O I層であってもよい。なお、本明細書では、素子領域3は、p型半導体基板2の一部の半導体領域であってもよいし、n型基板に形成されたpウェル領域であってもよい。また、S O I基板のp型のS O I層であってもよい。この素子領域3には、離間して形成されたn型不純物拡散領域6 aおよびn型不純物拡散領域6 bが設けられている。これらのn型不純物拡散領域6 aおよびn型不純物拡散領域6 bの表面には、これらのn型不純物拡散領域6 aおよびn型不純物拡散領域6 bよりも高濃度の n^+ 不純物拡散領域7 aおよび n^+ 型不純物拡散領域7 bがそれぞれ設けられている。n型不純物拡散領域6 aおよび n^+ 不純物拡散領域7 aがソース領域5 aを構成し、不純物拡散領域6 bおよび n^+ 不純物拡散領域7 bがドレイン領域5 bを構成する。

20

【0021】

ソース領域5 aとドレイン領域5 bとの間のチャネル領域8となる半導体基板2上にゲート絶縁膜9が設けられ、このゲート絶縁膜9上に例えば非磁性金属のゲート電極10が設けられている。ソース領域5 a上にトンネルバリア14 aを挟んでソース部15 aが形成され、ドレイン領域5 b上にトンネルバリア14 bを挟んでドレイン部15 bが形成されている。ソース部15 aは、少なくとも2層の強磁性層が積層された強磁性積層膜であり、ソース領域5 aに近い側の強磁性層15 a₁は、C oおよびF eを含む合金からなる強磁性層であり、ソース領域5 aから遠い側の強磁性層15 a₂は、C oおよびM nを含むフルホイスラー合金からなる強磁性層である。

30

【0022】

また、ドレイン部15 bは、少なくとも2層の強磁性層が積層された強磁性積層膜であり、ドレイン領域5 bに近い側の強磁性層15 b₁は、C oおよびF eを含む合金からなる強磁性層であり、ドレイン領域5 bから遠い側の強磁性層15 b₂は、C oおよびM nを含むフルホイスラー合金からなる強磁性層である。

40

【0023】

また、ソース部15 aおよびドレイン部15 b上には、それぞれ非磁性金属層20 aおよび非磁性金属層20 bが設けられている。そして、ソース部15 aおよび非磁性金属層20 aと、ゲート電極10とは絶縁体からなるゲート側壁12によって絶縁され、ドレイン部15 bおよび非磁性金属層20 bと、ゲート電極10とは絶縁体からなるゲート側壁12によって絶縁されている。

【0024】

50

このように構成された本実施形態のスピンMOSFETにおいては、半導体（ソース領域5a、ドレイン領域5b）の最表面と、CoおよびMnを含むフルホイスラー合金からなる強磁性層15a₂、15b₂との間に、CoおよびFeを含む合金からなる強磁性層15a₁、15b₁が設けられているので、半導体を介したスピン依存伝導は、温度変化の影響を可及的に受けないものとなる。

【0025】

なお、本実施形態では、ソース部15aおよびドレイン部15bはそれぞれ、同じ強磁性積層構造を有していたが、この場合は、ソース部15aの強磁性層15a₁、15a₂の膜面の面積と、ドレイン部15bの強磁性層15b₁、15b₂の膜面の面積とが異なるように構成したほうがよい。なお、本明細書では、「膜面」とは、積層膜の上面を意味する。

10

【0026】

強磁性積層膜の強磁性層がスピン反転する電流は、強磁性積層膜の膜面の面積に比例する。そして、ソース部15aおよびドレイン部15bの一方の強磁性積層膜の強磁性層のスピン（磁化）を反転させるために、ソース部15aとドレイン部15bの強磁性積層膜の膜面の面積を異ならせた構成としている。これにより、面積の小さい方の強磁性積層膜の強磁性層を必ず先に磁化反転させることができる。我々の実験結果によれば、ソース部15aおよびドレイン部15bの強磁性層の膜面の面積の比は1.1倍以上であることが好ましく、1.2倍以上であることがより好ましい。

【0027】

20

また、本実施形態のスピンMOSFETにおいて、半導体の最表面とソース部15a、ドレイン部15bとの間にそれぞれトンネルバリア14a、14bが設けられていたが、トンネルバリア14a、14bを設けなくともよい。本実施形態のように、トンネルバリア14a、14bが設けられていると、半導体を介した磁気抵抗変化率が上昇するほか、半導体と強磁性層間の元素の拡散バリアとしても機能するため、元素の拡散による素子特性のばらつきを抑えることができるため好ましい。

【0028】

以上説明したように、本実施形態によれば、磁性層としてフルホイスラー合金を用いても、磁気抵抗変化率が可及的に高くかつ温度変化の影響を可及的に受けないスピンMOSFETを提供することができる。

30

【0029】

（変形例）

第1実施形態の変形例によるスピンMOSFETを図4に示す。本変形例のスピンMOSFETは、図3に示す第1実施形態のスピンMOSFETにおいて、ソース部15aおよびドレイン部15bの強磁性層15a₂、15b₂と非磁性金属層20a、20bとの間に、反強磁性層15a₃、15b₃をそれぞれ設けた構成となっている。この場合、ソース部15aは、ソース領域5a上にトンネルバリア14aを挟んで、CoおよびFeを含む合金からなる強磁性層15a₁、CoおよびMnを含むフルホイスラー合金からなる強磁性層15a₂、反強磁性層15a₃がこの順序で積層された積層構造を有し、ドレイン部15bは、ドレイン領域5b上にトンネルバリア14bを挟んで、CoおよびFeを含む合金からなる強磁性層15b₁、CoおよびMnを含むフルホイスラー合金からなる強磁性層15b₂、反強磁性層15b₃がこの順序で積層された積層構造を有している。そして、2つの積層構造のうち、一方の積層構造の強磁性層は、他方の積層構造の強磁性層よりも磁化反転が容易である構成となっている。

40

【0030】

本変形例のように、強磁性積層膜上に反強磁性層を設けることにより、熱揺らぎに対して強い構造となる。

【0031】

なお、本変形例では、ソース部15aおよびドレイン部15bにはそれぞれ、反強磁性層15a₃、15b₃が設けられていたが、この場合は、ソース部15aの強磁性層15

50

a_1 、 $15a_2$ の膜面の面積と、ドレイン部 $15b$ の強磁性層 $15b_1$ 、 $15b_2$ の膜面の面積とが異なるように構成したほうがよい。我々の実験結果によれば、ソース部 $15a$ およびドレイン部 $15b$ の強磁性層の膜面の面積の比は1.1倍以上であることが好ましく、1.2倍以上であることがより好ましい。

また、反強磁性層は、ソース部 $15a$ およびドレイン部 $15b$ の一方に設けてもよい。この場合は、ソース部 $15a$ の強磁性積層膜 $15a_1$ 、 $15a_2$ の膜面の面積と、ドレイン部 $15b$ の強磁性積層膜 $15b_1$ 、 $15b_2$ の膜面の面積とが同じでもよい。

【0032】

(第2実施形態)

次に、本発明の第2実施形態によるスピンMOSFETの断面を図5に示す。本実施形態のスピンMOSFETは、 n 型のスピンMOSFETであって、図3に示す第1実施形態のスピンMOSFETのソース部 $15a$ およびドレイン部 $15b$ を、ソース部 $16a$ およびドレイン部 $16b$ にそれぞれ置き換えるとともに、トンネルバリア $14a$ および $14b$ をトンネル障壁となる誘電体層(例えば、酸化物、窒化物、または酸窒化物からなる層) $13a$ および $13b$ にそれぞれ置き換えた構成となっている。なお、誘電体層 $13a$ 、 $13b$ は、 MgO からなるトンネルバリアであることが好ましい。

【0033】

ソース部 $16a$ およびドレイン部 $16b$ は、それぞれ図6に示す強磁性積層膜 16 と同じ構造の強磁性積層膜を有している。強磁性積層膜 16 は、誘電体層 13 上に、 Co および Fe を含む合金からなる強磁性層 16_1 、 Co および Mn を含むフルホイスラー合金からなる強磁性層 16_2 、 Co および Fe を含む合金からなる強磁性層 16_3 、例えば MgO からなるトンネルバリア 16_4 、 Co および Fe を含む合金からなる強磁性層 16_5 、 Co および Mn を含むフルホイスラー合金からなる強磁性層 16_6 、および反強磁性層 16_7 がこの順序で積層された構造を有している。すなわち、ソース部 $16a$ およびドレイン部 $16b$ は、それぞれトンネルバリア 16_4 を有するMTJとなっている。

【0034】

このように構成された本実施形態のスピンMOSFETにおいては、半導体(ソース領域 $5a$ 、ドレイン領域 $5b$)の最表面と、 Co および Mn を含むフルホイスラー合金からなる強磁性層 16_2 との間に、 Co および Fe を含む合金からなる強磁性層 16_1 が設けられているので、半導体を介したスピン依存伝導は、温度変化の影響を可及的に受けないものとなる。また、 MgO からなるトンネルバリア 16_4 と、 Co および Mn を含むフルホイスラー合金からなる強磁性層 16_2 、 16_6 との間に、 Co および Fe を含む合金からなる強磁性層 16_3 、 16_5 がそれぞれ設けられているので、MTJのスピン依存伝導は、温度変化の影響を可及的に受けないものとなり、MTJのMR比の温度変化による急激な減少を防止することができる。

【0035】

以上説明したように、本実施形態においては、半導体を介したスピン依存伝導と、MTJのスピン依存伝導の2重の信号出力が利用可能となり、より高速にスピン書き込みを行うことができる。

【0036】

また、本実施形態のように、反強磁性層を設けることにより、熱揺らぎに対して強い構造となる。

【0037】

なお、本実施形態では、ソース部 $16a$ およびドレイン部 $16b$ にはそれぞれ、反強磁性層 16_7 が設けられていたが、この場合は、ソース部 $16a$ の強磁性層の膜面の面積と、ドレイン部 $16b$ の強磁性層の膜面の面積とが異なるように構成したほうがよい。これは、ソース部→ドレイン部に電流を流した場合と、ドレイン部→ソース部に電流を流した場合で、MTJの膜面の面積が小さい方の、磁化の向きが可変な強磁性層(フリー層)の磁化が反転し易くなるからである。すなわち、スピン注入書き込みを行う際には、ソース部およびドレイン部のどちらか一方を反転する必要があるが、上記のように、ソース部の

10

20

30

40

50

強磁性体の面積とドレイン部の強磁性体の面積が異なる場合、片方の強磁性層のスピン方向のみ書き換えが可能で安定動作することができるからである。我々の実験結果によれば、ソース部 16 a およびドレイン部 16 b の強磁性層の膜面の面積の比は 1.1 倍以上であることが好ましく、1.2 倍以上であることがより好ましい。面積の小さい方の強磁性積層膜 16 の強磁性層 16₃ と強磁性層 16₅ とは磁化が同じ向きであることが、磁化の安定化のため好ましい。

また、本実施形態において、更にソース部 16 a およびドレイン部 16 b のうちの一方の強磁性層を含む積層膜の面内形状を線対称な形状（対称軸が少なくとも 1 個存在する形状）にし、他方を線非対称な形状にすると、面積の大きな方の MTJ のフリー層に対応する場所のスピンモーメントが反転しづらくなってスピン注入書き込み時のマージンが更に広がり、より好ましい。なお、本明細書では、「線非対称」な形状とは、線対称ではない形状を意味する。図 7 (a)、7 (b) に線対称な形状の例を示し、図 8 (a)、8 (b) に線非対称な形状の例を示す。図 7 (a)、7 (b) に示す形状はそれぞれ長方形、楕円であり、図 8 (a) に示す形状は平行四辺形であり、図 8 (b) に示す形状は不等辺四角形の角を切り取ったものである。これらの例に限らず線対称な形状、線非対称な形状であれば本実施形態のソース部 16 a およびドレイン部 16 b の膜面形状に用いることができる。

【0038】

なお、本実施形態のスピン MOSFET のように、半導体の最表面とソース部 16 a、ドレイン部 16 b との間にそれぞれ誘電体層 13 a、13 b が設けられていると、半導体を介した磁気抵抗変化率が上昇するほか、半導体と強磁性層間の元素の拡散バリアとしても機能するため、元素の拡散による素子特性のばらつきを抑えることができるため好ましい。

【0039】

以上説明したように、本実施形態によれば、磁性層としてフルホイスラー合金を用いても、磁気抵抗変化率が可及的に高くかつ温度変化の影響を可及的に受けないスピン MOSFET を提供することができる。

【0040】

（変形例）

次に、第 2 実施形態の変形例によるスピン MOSFET の断面を図 9 に示す。本変形例のスピン MOSFET は、図 5 に示す第 2 実施形態のスピン MOSFET の誘電体層 13 a および 13 b を削除した構成となっている。すなわち、MOSFET のソース領域 5 a およびドレイン領域 5 b 上に直接、強磁性積層膜 16 a、16 b を設けた構造となる。この場合、ソース領域 5 a およびドレイン領域 5 b と、強磁性積層膜 16 a、16 b との界面に自然にショットキー障壁が形成される。

【0041】

以上説明したように、本変形例も第 2 実施形態と同様に、磁性層としてフルホイスラー合金を用いても、磁気抵抗変化率が可及的に高くかつ温度変化の影響を可及的に受けないスピン MOSFET を提供することができる。

【0042】

（第 3 実施形態）

次に、本発明の第 3 実施形態によるスピン MOSFET の断面を図 10 に示す。本実施形態のスピン MOSFET は、図 2 に示す第 2 実施形態のスピン MOSFET において、ソース部 16 a およびドレイン部 16 b のうちの一方、例えばソース部 16 a をソース部 17 a に置き換えた構成となっている。ソース部 17 a は、Co および Fe を含む合金からなる強磁性層 17 a₁、Co および Mn を含むフルホイスラー合金からなる強磁性層 17 a₂、および反強磁性層 17 a₃ がこの順序で積層された積層構造を有している。強磁性層 17 a₁ および強磁性層 17 a₂ は、反強磁性層 17 a₃ によって磁化の向きが固着され、ソース部 17 a は磁化固着膜となる。他方、ドレイン部 16 b は、第 2 実施形態で説明したように、MTJ 構造を有している。

【0043】

本実施形態のように、ソース部およびドレイン部のうちの一方を磁化固着膜とし、他方をMTJ構造とすることにより、半導体を介したスピン依存伝導と、MTJのスピン依存伝導の2重の信号出力が利用可能となり、より高速にスピン書き込みを行うことができる。

【0044】

なお、本実施形態のスピンMOSFETは、ソース部およびドレイン部のうちの一方を磁化固着膜としているので、第2実施形態のスピンMOSFETと異なり、ソース部およびドレイン部の強磁性層の膜面の面積を必ずしも異ならせる必要はない。

【0045】

また、本実施形態においては、ソース部が磁化固着膜であり、ドレイン部がMTJ構造を有する構成であったが、ソース部がMTJ構造を有し、ドレイン部が磁化固着膜であってもよい。

【0046】

以上説明したように、本実施形態も第2実施形態と同様に、磁性層としてフルホイスラー合金を用いても、磁気抵抗変化率が可及的に高くかつ温度変化の影響を可及的に受けないスピンMOSFETを提供することができる。

【0047】

(変形例)

次に、第3実施形態の変形例によるスピンMOSFETの断面を図11に示す。本変形例のスピンMOSFETは、図10に示す第3実施形態のスピンMOSFETの誘電体層13aおよび13bを削除した構成となっている。すなわち、MOSFETのソース領域5aおよびドレイン領域5b上に直接、強磁性積層膜17a、16bを設けた構成となっている。この場合、ソース領域5aおよびドレイン領域5bと、強磁性積層膜17a、16bとの界面に自然にショットキー障壁が形成される。

【0048】

以上説明したように、本変形例も第3実施形態と同様に、磁性層としてフルホイスラー合金を用いても、磁気抵抗変化率が可及的に高くかつ温度変化の影響を可及的に受けないスピンMOSFETを提供することができる。

【0049】

(第4実施形態)

次に、本発明の第4実施形態によるスピンMOSFETを図12および図13を参照して説明する。図12および図13は、本実施形態のスピンMOSFETに用いられるソース部18aおよびドレイン部18bのそれぞれの断面図である。

【0050】

本実施形態のスピンMOSFETは、図10に示す第3実施形態のスピンMOSFETのソース部17aを図12に示すソース部18aに置き換えるとともに、ドレイン部16bを図13に示すドレイン部18bに置き換えた構成となっている。

【0051】

ソース部18aは、CoおよびFeを含む合金からなる強磁性層18a₁、CoおよびMnを含むフルホイスラー合金からなる強磁性層18a₂、非磁性層18a₃、CoおよびFeを含む合金からなる強磁性層18a₄、および反強磁性層18a₅がこの順序で積層された積層構造を有している。強磁性層18a₁、強磁性層18a₂は、非磁性層18a₃、および強磁性層18a₄は、反強磁性層17a₃によって磁化の向きが固着されるセンセティック磁化固着膜となる。

【0052】

一方ドレイン部18bは、CoおよびFeを含む合金からなる強磁性層18b₁、CoおよびMnを含むフルホイスラー合金からなる強磁性層18b₂、CoおよびFeを含む合金からなる強磁性層18b₃、例えばMgOからなるトンネルバリア18b₄、CoおよびFeを含む合金からなる強磁性層18b₅、CoおよびMnを含むフルホイスラー合

10

20

30

40

50

金からなる強磁性層 18b₆、非磁性層 18b₇、Co および Fe を含む合金からなる強磁性層 18b₈、および反強磁性層 18b₉ がこの順序で積層された積層構造を有している。したがって、ドレイン部 18b においては、強磁性層 18b₅、強磁性層 18b₆、非磁性層 18b₇、強磁性層 18b₈ は、反強磁性層 18b₉ によって磁化の向きが固着されるシンセティック磁化固着膜となる。一方、強磁性層 18b₁、強磁性層 18b₂、強磁性層 18b₃ は、磁化の向きが可変の磁化フリー膜となる。このため、ドレイン部 18b は、トンネルバリア 18b₄ を挟んで磁化フリー膜と磁化固着膜が積層された M T J 構造を有している。

【0053】

なお、非磁性層 18a₃、18b₇ としては、Ru、Rh、または Ir のいずれか、またはこれらの合金が用いられる。

10

【0054】

本実施形態のように、シンセティック磁化固着膜を用いることにより、熱に対する磁化固着膜の安定性を上昇することができる。このため微細化した場合でも、より小さなスピントランジスタの作製が可能となる。

【0055】

本実施形態も第 3 実施形態と同様の効果を有することは言うまでもない。また、本実施形態において、第 3 実施形態の変形例と同様に、誘電体層 13a、13b を削除して、ソース領域 5a およびドレイン領域 5b 上に直接、強磁性積層膜 18a、18b を設けた構造としてもよい。この場合、ソース領域 5a およびドレイン領域 5b と、ソース部 18a およびドレイン部 18b とのそれぞれの界面に自然にショットキー障壁が形成される。

20

【0056】

(第 5 実施形態)

次に、本発明の第 5 実施形態によるスピントランジスタの断面を図 14 に示す。本実施形態のスピントランジスタは、図 5 に示す第 2 実施形態のスピントランジスタにおいて、ソース部 16a およびドレイン部 16b をソース部 22a およびドレイン部 22b にそれぞれ置き換えた構成となっている。

【0057】

ソース部 22a は、シンセティック磁化フリー層 23a、トンネルバリア層 24a、シンセティック磁化固着層 25a、および反強磁性層 26a がこの順序で積層された積層構造を備えている。また、ドレイン部 22b は、シンセティック磁化フリー層 23b、トンネルバリア層 24b、シンセティック磁化固着層 25b、および反強磁性層 26b がこの順序で積層された積層構造を備えている。ソース部 22a およびドレイン部 22b は同じ積層構造を有し、より具体的な積層構造の例を図 15 に示す。また、ソース部 22a およびドレイン部 22b を構成する強磁性層は、外部磁界が無いときの磁化（すなわち、スピンの磁化容易軸）が膜面に略平行となっている。

30

【0058】

図 15 に示すように、ソース部 22a およびドレイン部 22b のシンセティック磁化フリー層 23a、23b はそれぞれ、Co および Fe を含む合金からなる強磁性層 23₁ と、Co および Mn を含むフルホイスラー合金からなる強磁性層 23₂ と、Co および Fe を含む合金からなる強磁性層 23₃ と、非磁性層 23₄ と、Co および Mn を含むフルホイスラー合金からなる強磁性層 23₅ と、Co および Fe を含む合金からなる強磁性層 23₆ とが、この順序で積層された積層構造を有している。

40

【0059】

また、図 15 に示すように、ソース部 22a およびドレイン部 22b のシンセティック磁化固着層 25a、25b はそれぞれ、Co および Fe を含む合金からなる強磁性層 25₁ と、Co および Mn を含むフルホイスラー合金からなる強磁性層 25₂ と、非磁性層 25₃ と、Co および Fe を含む合金からなる強磁性層 25₄ とが、この順序で積層された積層構造を有している。そして、シンセティック磁化フリー層 23a の強磁性層 23₆ と、シンセティック磁化固着層 25a の強磁性層 25₁ とは、磁化の向きが同じとなってい

50

る。

【0060】

なお、非磁性層 23_4 、 25_3 としては、Ru、Rh、またはIrのいずれか、またはこれらの合金が用いられる。

【0061】

このように、本実施形態においては、磁化固着層ばかりでなく磁化フリー層も、非磁性層を強磁性層で挟んだシンセティック積層構造を有しているので、熱に対する磁化固着層の安定性を上昇することができるばかりでなく、磁化フリー層の熱に対する安定性も上昇する。このため、書き込みを行った場合の、磁気記録層（磁化フリー層）の磁化容易軸の書き込み時の安定性が増し、微細化した場合でも、より小さなスピンMOSFETの作製が可能となる。

10

【0062】

本実施形態も第2実施形態と同様に、磁性層としてフルホイスラー合金を用いても、磁気抵抗変化率が可及的に高くかつ温度変化の影響を可及的に受けないスピンMOSFETを提供することができる。

【0063】

また、本実施形態も第2実施形態と同様に、半導体を介したスピン依存伝導と、MTJのスピン依存伝導の2重の信号出力が利用可能となり、より高速にスピン書き込みを行うことができる。

【0064】

また、反強磁性層が設けられているので、熱揺らぎに対して強い構造となる。

20

【0065】

なお、本実施形態では、第2実施形態と同様に、ソース部 $22a$ の強磁性層の膜面の面積と、ドレイン部 $22b$ の強磁性層の膜面の面積とが異なるように構成したほうがよい。この場合、ソース部 $22a$ およびドレイン部 $22b$ の強磁性層の膜面の面積の比は1.1倍以上であることが好ましく、1.2倍以上であることがより好ましい。

また、本実施形態において、第2実施形態で説明したように、更にソース部 $22a$ およびドレイン部 $22b$ のうちの一方の強磁性層を含む積層膜の膜面の形状を線対称な形状にし、他方を線非対称な形状にすると、面積の大きな方のMTJのフリー層に対応する場所のスピンモーメントが反転しづらくなってスピン注入書き込み時のマージンが更に広がり、より好ましい。

30

【0066】

なお、本実施形態のスピンMOSFETのように、半導体の最表面とソース部 $22a$ 、ドレイン部 $22b$ との間にそれぞれ誘電体層 $13a$ 、 $13b$ が設けられていると、半導体を介した磁気抵抗変化率が上昇するほか、半導体と強磁性層間の元素の拡散バリアとしても機能するため、元素の拡散による素子特性のばらつきを抑えることができるため好ましい。

【0067】

（変形例）

次に、第5実施形態の変形例によるスピンMOSFETの断面を図16に示す。本変形例のスピンMOSFETは、図14に示す第5実施形態のスピンMOSFETにおいて、ソース領域 $5a$ とソース部 $22a$ との間の誘電体層 $13a$ と、ドレイン領域 $5b$ とドレイン部 $22b$ との間の誘電体層 $13b$ と、を削除した構成となっている。この場合、ソース領域 $5a$ およびドレイン領域 $5b$ とソース部 $22a$ およびドレイン部 $22b$ との界面に自然にショットキー障壁が形成される。

40

【0068】

本変形例も第5実施形態と同様の効果を得ることができる。

【0069】

（第6実施形態）

次に、本発明の第6実施形態によるスピンMOSFETの断面を図17に示す。本実施

50

形態のスピンMOSFETは、図14に示す第5実施形態のスピンMOSFETにおいて、ソース部22aおよびドレイン部22aのうちの一方、例えば、ソース部22aを図12に示すソース部18aに置き換えた構成となっている。すなわち、図17においては、ソース部18aが磁化固着層となっている。なお、図17においては、ソース部18aの積層数は図12に示す積層数と異なって表示している。

【0070】

本実施形態も、磁化フリー層が、非磁性層を強磁性層で挟んだシンセティック積層構造を有しているので、熱に対する磁化固着層の安定性を上昇することができるばかりでなく、磁化フリー層の熱に対する安定性も上昇する。このため、書き込みを行った場合の、磁気記録層（磁化フリー層）の磁化容易軸の書き込み時の安定性が増し、微細化した場合でも、より小さなスピンMOSFETの作製が可能となる。

10

【0071】

なお、本実施形態においては、ソース部18aと、ドレイン部22bは、積層構造が異なるので、第5実施形態と異なり、強磁性層の膜面面積を必ずしも異ならせる必要はない。

【0072】

本実施形態も第6実施形態と同様に、磁性層としてフルホイスラー合金を用いても、磁気抵抗変化率が可及的に高くかつ温度変化の影響を可及的に受けないスピンMOSFETを提供することができる。

【0073】

また、本実施形態も第6実施形態と同様に、半導体を介したスピン依存伝導と、MTJのスピン依存伝導の2重の信号出力が利用可能となり、より高速にスピン書き込みを行うことができる。

20

【0074】

また、反強磁性層が設けられているので、熱揺らぎに対して強い構造となる。

【0075】

（変形例）

次に、第6実施形態の変形例によるスピンMOSFETの断面を図18に示す。本変形例のスピンMOSFETは、図17に示す第6実施形態のスピンMOSFETにおいて、ソース領域5aとソース部18aとの間の誘電体層13aと、ドレイン領域5bとドレイン部22bとの間の誘電体層13bと、を削除した構成となっている。この場合、ソース領域5aおよびドレイン領域5bと、ソース部18aおよびドレイン部22bとの界面に自然にショットキー障壁が形成される。

30

【0076】

本変形例も第6実施形態と同様の効果を得ることができる。

【0077】

（第7実施形態）

次に、本発明の第7実施形態によるスピンMOSFETの断面を図19に示す。本実施形態のスピンMOSFETは、図14に示す第5実施形態のスピンMOSFETにおいて、外部磁界がないときの磁化（スピンの磁化容易軸）が膜面に略平行であるソース部22aおよびドレイン部22bを、外部磁界が無いときの磁化（スピンの磁化容易軸）が膜面に略垂直なソース部30aおよびドレイン部30bに置き換えた構成となっている。

40

【0078】

本実施形態においては、ソース部30aおよびドレイン部30bは同じ積層構造を有し、この積層構造の一具体例を図20に示す。この一具体例の積層構造は、スピンの磁化容易軸が膜面に略垂直な強磁性積層膜31と、この強磁性積層膜31上に設けられた例えば、MgOからなるトンネルバリア32と、このトンネルバリア32上に設けられたスピンの磁化容易軸が膜面に略垂直な強磁性積層膜33と、を有している。

【0079】

強磁性積層膜31は、CoおよびFeを含む合金からなる強磁性層31₁と、Coおよ

50

びMnを含むフルホイスラー合金からなる強磁性層31₂と、スピンの磁化容易軸が膜面に略垂直な強磁性層31₃と、CoおよびMnを含むフルホイスラー合金からなる強磁性層31₄と、CoおよびFeを含む合金からなる強磁性層31₅とがこの順序で積層された積層構造を有している。また、強磁性積層膜33は、CoおよびFeを含む合金からなる強磁性層33₁と、CoおよびMnを含むフルホイスラー合金からなる強磁性層33₂と、スピンの磁化容易軸が膜面に略垂直な強磁性層33₃とがこの順序で積層された積層構造を有している。なお、ソース部30aの強磁性層31₃と強磁性層33₃とは磁化の向きが同じになっている。また、強磁性層31₁、強磁性層31₂、強磁性層31₄、強磁性層31₅は、磁化の向きが膜面に略垂直である強磁性層31₃の影響により、磁化の向きが膜面に略垂直となる。同様に、強磁性層33₁および強磁性層33₂は、磁化の向きが膜面に略垂直である強磁性層33₃の影響により、磁化の向きが膜面に略垂直となる。

【0080】

なお、スピンの容易軸方向が膜面に対して垂直である強磁性層としては、Fe-Pd層、Fe-Pt層、Fe-Pd-Pt層、Co層とNi層の積層膜、Fe層とPd層の積層膜、Fe層とPt層の積層膜を用いることにより実現可能である。

【0081】

このように、本実施形態においては、ソース部30aおよびドレイン部30bは、スピンの磁化容易軸が膜面に略垂直な強磁性層の積層構造を有しているので、熱に対する安定性が上昇する。このため、書き込みを行った場合の、磁気記録層（磁化フリー層）の磁化容易軸の書き込み時の安定性が増し、微細化した場合でも、より小さなスピンMOSFETの作製が可能となる。

【0082】

本実施形態も第5実施形態と同様に、磁性層としてフルホイスラー合金を用いても、磁気抵抗変化率が可及的に高くかつ温度変化の影響を可及的に受けないスピンMOSFETを提供することができる。

【0083】

また、本実施形態も第5実施形態と同様に、半導体を介したスピン依存伝導と、MTJのスピン依存伝導の2重の信号出力が利用可能となり、より高速にスピン書き込みを行うことができる。

【0084】

なお、本実施形態では、第5実施形態と同様に、ソース部30aの強磁性層の膜面の面積と、ドレイン部30bの強磁性層の膜面の面積とが異なるように構成したほうがよい。この場合、ソース部30aおよびドレイン部30bの強磁性層の膜面の面積の比は1.1倍以上であることが好ましく、1.2倍以上であることがより好ましい。

また、本実施形態において、第2実施形態で説明したように、更にソース部30aおよびドレイン部30bのうちの一方の強磁性層を含む積層膜の膜面の形状を線対称な形状にし、他方を線非対称な形状にすると、面積の大きな方のMTJのフリー層に対応する場所のスピンモーメントが反転しづらくなってスピン注入書き込み時のマージンが更に広がり、より好ましい。

【0085】

なお、本実施形態のスピンMOSFETのように、半導体の最表面とソース部30a、ドレイン部30bとの間にそれぞれ誘電体層13a、13bが設けられていると、半導体を介した磁気抵抗変化率が上昇するほか、半導体と強磁性層間の元素の拡散バリアとしても機能するため、元素の拡散による素子特性のばらつきを抑えることができるため好ましい。

【0086】

（変形例）

次に、第7実施形態の変形例によるスピンMOSFETの断面を図21に示す。本変形例のスピンMOSFETは、図19に示す第7実施形態のスピンMOSFETにおいて、

ソース領域 5 a とソース部 3 0 a との間の誘電体層 1 3 a と、ドレイン領域 5 b とドレイン部 3 0 b との間の誘電体層 1 3 b と、を削除した構成となっている。この場合、ソース領域 5 a およびドレイン領域 5 b とソース部 3 0 a およびドレイン部 3 0 b との界面に自然にショットキー障壁が形成される。

【0087】

本変形例も第 7 実施形態と同様の効果を得ることができる。

【0088】

(第 8 実施形態)

次に、本発明の第 8 実施形態によるスピン MOS FET の断面を図 2 2 に示す。本実施形態のスピン MOS FET は、図 1 9 に示す第 7 実施形態のスピン MOS FET において、ソース部 3 0 a およびドレイン部 3 0 b のうちの一方、例えばソース部 3 0 a を、C o および M n を含むフルホイスラー合金層を有する磁化固定層 3 4 に置き換えた構成となっている。磁化固定層とは、磁化の向きが書き込み電流の流す前と流す後では不変（固定）となる層のことである。この磁化固定層 3 4 の一具体例を図 2 3 に示す。図 2 3 に示すように、磁化固定層 3 4 は、C o および F e を含む合金からなる強磁性層 3 4₁ と、C o および M n を含むフルホイスラー合金からなる強磁性層 3 4₂ と、スピンの磁化容易軸が膜面に略垂直な強磁性層 3 4₃ とがこの順序で積層された積層構造を有している。

【0089】

本実施形態も、ソース部 3 4 およびドレイン部 3 0 b は、スピンの磁化容易軸が膜面に略垂直な強磁性層の積層構造を有しているので、熱に対する安定性が上昇する。このため、書き込みを行った場合の、磁気記録層（磁化フリー層）の磁化容易軸の書き込み時の安定性が増し、微細化した場合でも、より小さなスピン MOS FET の作製が可能となる。

【0090】

なお、本実施形態においては、ソース部 3 4 と、ドレイン部 3 0 b は、積層構造が異なるので、第 7 実施形態と異なり、強磁性層の膜面の面積を必ずしも異ならせる必要はない。

本実施形態も第 7 実施形態と同様に、磁性層としてフルホイスラー合金を用いても、磁気抵抗変化率が可及的に高くかつ温度変化の影響を可及的に受けないスピン MOS FET を提供することができる。

【0091】

また、本実施形態も第 7 実施形態と同様に、半導体を介したスピン依存伝導と、MTJ のスピン依存伝導の 2 重の信号出力が利用可能となり、より高速にスピン書き込みを行うことができる。

【0092】

(変形例)

次に、第 8 実施形態の変形例によるスピン MOS FET の断面を図 2 4 に示す。本変形例のスピン MOS FET は、図 2 2 に示す第 8 実施形態のスピン MOS FET において、ソース領域 5 a とソース部 3 4 との間の誘電体層 1 3 a と、ドレイン領域 5 b とドレイン部 3 0 b との間の誘電体層 1 3 b と、を削除した構成となっている。この場合、ソース領域 5 a およびドレイン領域 5 b と、ソース部 3 4 およびドレイン部 3 0 b との界面に自然にショットキー障壁が形成される。

【0093】

本変形例も第 8 実施形態と同様の効果を得ることができる。

【0094】

なお、上記第 1 乃至第 8 実施形態およびその変形例によるスピン MOS FET において、p 型半導体基板 2 として、p 型 S i 基板、p 型 G e 基板、p 型 S i G e 基板、p 型 G a A s 基板、p 型 I n G a A s 基板を用いることができる。この場合、ソース領域 5 a およびドレイン領域 5 b は n 型不純物拡散領域となる。すなわち、n-p-n 接合が半導体基板に形成される。

【0095】

また、p 型半導体基板の代わりに、n 型半導体基板、例えば n 型 S i 基板、n 型 G e 基

10

20

30

40

50

板、 n 型SiGe基板、 n 型GaAs基板、 n 型InGaAs基板を用いることができる。この場合、ソース領域5aおよびドレイン領域5bは p 型不純物拡散領域となり、スピンMOSFETは p 型MOSFETとなる。すなわち、 $p-n-p$ 接合が半導体基板に形成される。

【0096】

また、上記第1乃至第8実施形態およびその変形例によるスピンMOSFETにおいて、ソース領域5aおよびドレイン領域5bには、トンネルバリア14a、14bまたは誘電体層13a、13bと接する領域、またはソース部およびドレイン部と接する領域に、高濃度 n 型不純物または p 型不純物が拡散された高濃度不純物拡散領域7a、7bが設けられている。このような高濃度不純物拡散領域7a、7bを設けることにより、半導体／（トンネル障壁、またはショットキー障壁）／Co-Fe合金またはCo-Fe系ホイスラー合金である強磁性層積層膜間の界面抵抗が低減可能となり、より高速なスピンMOSFETの実現が可能となる。

【0097】

なお、上記高濃度不純物拡散領域の形成は、通常のMOSトランジスタの形成と同様にイオン注入法を用いて不純物をドーピングした後に、RTA(Rapid Thermal Annealing)を用いてアニールすることにより形成可能である。 p 型MOSトランジスタを形成する場合は、不純物の種類を n と p で逆転させ $p-n-p$ 接合を形成する手順にすれば良い。

【0098】

一般に磁性体と半導体の電気伝導度が大きく異なる場合、コンダクタンスミスマッチの問題が生じ、スピン偏極度が飽和し、スピンの半導体中に注入できなくなる問題がある。その問題を解決するため、Si、Ge、GaAsなど半導体基板へイオン注入を行い、通常のMOSFET同様、 p/n 接合を形成することが好ましい。なお、上記第1乃至第8実施形態およびその変形例においては、半導体基板に p/n 接合が形成されている。

【0099】

具体的には、Si基板またはGe基板を用いた n 型または p 型MOSFETにおいては、 p 型不純物として、B（ボロン）元素のイオン注入、 n 型不純物としてP（リン）、As（砒素）元素のイオン注入を行うことが好ましい。

【0100】

半導体基板としてGaAs基板を用いた場合、通常、 n MOSFETの移動度が大きいので好ましく、この場合、Siをドーピングするのが一般的である。 n 型または p 型高濃度不純物拡散領域にはイオン注入する元素の加速電圧を20KeV以下の低い加速電圧にし、高濃度にイオン注入を行なうことが好ましい。Si基板の場合、 n 型不純物拡散領域と n^+ 型不純物拡散領域との形成に、同じ不純物元素を用いることは問題がない。

【0101】

しかし、Ge基板の場合、 n 型不純物拡散領域の形成にはP（リン）、またはAs（砒素）を用い、 n^+ 型不純物拡散領域にはS（硫黄）を用いると、抵抗が低下し高速デバイスとなるためより好ましい。Geのイオン注入後には、 N_2 中でRTAを行う。RTAの温度は、Si基板の場合は1000℃～1100℃、Ge基板の場合は400℃～500℃である。またGaAs基板は、As中で300℃～600℃の温度でRTAを行うか、または、成膜時にSiをドーピングして成長を行う方法を用いる。いずれにおいても良好なMOSFETが実現できるとともに、スピン依存伝導も観測されるようになった。

【0102】

なお、半導体基板としてGe基板を用い、ソース領域およびドレイン領域上にMgOからなるトンネルバリアが形成される場合は、基板とMgOとの界面に膜厚が1nm～3nmの GeO_x または GeN_x などの酸化物膜または窒化物膜を挿入することにより、界面抵抗を低減することが可能となるので好ましい。

【0103】

また、半導体基板としてGaAs基板を用いた場合は、トンネル障壁の下部にInGaAs層などを挿入することにより、界面抵抗を低減することが可能となるので好ましい。

【0104】

また、トンネルバリア14a、14b、および誘電体層13a、13bとしては、酸化マグネシウム(MgO)、酸化シリコン(SiO₂)、窒化シリコン(SiN_x)、酸化アルミニウム(AlO_x)、窒化アルミニウム(AlN_x)、酸化ゲルマニウム(GeO_x)、窒化ゲルマニウム(GeN_x)、希土類酸化物、希土類窒化物からなる層、またはこれら積層膜を用いることができる。

【0105】

また、反強磁性層としては、PtMn、Ir-Mn、FeMn、Pt-Cr-Mn、Ni-Mnを用いることができる。

【0106】

上記第1乃至第8実施形態およびその変形例によるスピンMOSFETを図面を参照して詳細に説明したが、図面は模式的なものであり、各部分の大きさ、部分間の大きさの比率などは現実のものとは異なる。また、図面の相互間においても、同じ部分を差す場合であっても、互いの寸法や比率が異なって示されている部分もある。

【0107】

(第9実施形態)

次に、本発明の第9実施形態によるリコンフィギャラブル論理回路を説明する。本実施形態のリコンフィギャラブル論理回路は、上述の第1乃至第8実施形態およびその変形例のいずれかに記載のスピンMOSFETを用いて構成した論理回路である。

【0108】

まず、実際にリコンフィギャブルな論理回路に用いる場合の簡単な回路構成について説明する。実際にスピンMOSFETを用いてリコンフィギャラブルな論理回路を構成する場合、2つのMOSFET(MOSFET1およびMOSFET2)に共通のフローティングゲートを有していることが好ましい。

【0109】

AND、OR回路が作製できれば、NOR回路、排他的OR回路などの全ての回路を作製できるのでAND回路、OR回路についてのみ図25に示す。図示したように、本実施形態のリコンフィギャラブルな論理回路は、基本的には、上記第1乃至第8実施形態およびそれらの変形例のいずれかのスピンMOSFETのゲート絶縁膜9と、ゲート電極10との間に、フローティングゲート(図示せず)と、電極間絶縁膜を設けた、2つのスピンMOSFET50、52を用いる。スピンMOSFET50はp型のMOSFET、すなわちp型半導体基板のn型ウェル領域(図示せず)に設けられたMOSFETであり、スピンMOSFET52はn型のMOSFET、すなわちp型半導体基板2のp型半導体領域に設けられたMOSFETである。MOSFET50、52のフローティングゲートを共通に接続し、MOSFET50のソースを電源Vinpに接続し、MOSFET52のソースを接地する。そして、MOSFET50のドレインとMOSFET52のドレインを接続する。この共通接続したノードからの出力V1をインバータ60に入力し、このインバータ60の出力を本実施形態の論理回路の出力Voutとする。

【0110】

これにより、AND回路、OR回路を形成できる。図26に示すようにフローティングゲート電圧Vfgが、MOSFET50のゲート入力AとMOSFET52のゲート入力Bの和の1/2の場合に、ドレイン、ソースの半導体基板2に近い強磁性層のスピンモーメントが平行(P)または反平行(AP)の時の出力電圧Yが“1”または“0”と変化する。なお、本実施形態においては、MOSFET50のスピンモーメントは、常に平行となっている。

【0111】

本実施形態の論理回路において、MOSFET52のソース、ドレインの半導体基板2に近い強磁性層のスピンモーメントをAP(反平行)状態とした場合にMOSFET50、52のゲート電極の入力A、Bの値に対応する、フローティングゲートの電位Vfg、MOSFET50、52の共通接続ノードの電位V1、論理回路の出力Voutの値を図

10

20

30

40

50

27に示す。また、MOSFET 52のソース、ドレインの半導体基板2に近い強磁性層のスピนมーメントをP（平行）状態とした場合にMOSFET 50、52のゲート電極の入力A、Bの値に対応する、フローティングゲートの電位Vfg、MOSFET 50、52の共通接続ノードの電位V1、論理回路の出力Voutの値を図28に示す。図27、図28に示したように、MOSFET 52のドレイン、ソースの半導体基板2に近い強磁性層のスピนมーメントが反平行の時にAND回路、平行の時にOR回路となる。このため、ドレイン部の強磁性層のスピนมーメントを変えてプログラムしなおすことにより、論理回路を造り直すことなく構成することができ、すなわちリコンフィギュラブルな論理回路を得ることができる。

【0112】

AND回路、OR回路の場合、全てのトランジスタをスピンMOSFETにしても良いが、一部に通常のMOSFETを用いてもかまわない。図29に示すように2つのトランジスタの内一つ（例えばMOSFET 52）を第1乃至第8実施形態およびそれらの変形例のいずれかのスピンMOSFETを用い、もう一つを通常の磁性体を用いないpMOSFET 54を用いた場合も、一つのスピンMOSFET 52のソース、ドレインの半導体基板2に近い強磁性層のスピนมーメントを平行、反平行と制御することによって、同様の結果を得ることができる。

【0113】

また、図30に示すように、インバータ60を用いなくともn型MOSFET 52、p型MOSFET 50の接続を入れ替えることにより、p型MOSFET 50のソース、ドレインの半導体基板2に近い強磁性層のスピนมーメントを平行、反平行と制御することによっても、同様の効果が得られる。

【0114】

上記論理回路として使用する場合は、スピンMOSFETの情報を読み出すためのゲート電圧制御回路、センス電流を制御するセンス電流制御素子回路、書き込み電流制御回路、ドライバーおよびシンカーをさらに具備することとなる。

【0115】

本実施形態に示したリコンフィギュラブルな論理回路は一具体例であって、第1乃至第8実施形態およびそれらの変形例のいずれかのスピンMOSFETを用いて形成することのできるリコンフィギュラブルな論理回路は、本実施形態のリコンフィギュラブルな論理回路に限られるものではない。

【0116】

スピンMOSFETを多数用いた論理回路を実現するためには、シンセティック反強磁性積層膜を用いるか、または磁化の向きが膜面に垂直な磁性層かを用いる必要がある。

【0117】

シンセティック反強磁性積層膜に用いる強磁性膜（磁性材料）は、Ni-Fe、Co-Fe、Co-Fe-Ni合金または、(Co, Fe, Ni)-(B)、(Co, Fe, Ni)-(B)-(P, Al, Mo, Nb, Mn)系またはCo-(Zr, Hf, Nb, Ta, Ti)膜などのアモルファス材料、Co基フルホイスラー材料からなる群より選ばれる少なくとも1種の薄膜またはそれら多層膜で構成されることが好ましい。ここで、Co基フルホイスラー材料とは、Co₂ABと表される材料であって、Aは、Cr、Mn、Fe、V、およびTiのうちの少なくとも1つの元素を含み、Bは、Al、Si、Ge、Ga、Sb、およびFeのうちの少なくとも1つの元素を含む。なお、BがFeを含む場合は、AはFeを含まない。

【0118】

磁化の向きが膜面に垂直な強磁性層としては、Fe-Pd、Fe-Pt、Fe-Pd-Pt、Co/Ni積層膜、Fe/Pd積層膜、Fe/Pt積層膜であり、これら材料に磁気抵抗効果が大きくなる膜であるNi-Fe、Co-Fe、Co-Fe-Ni合金または、(Co, Fe, Ni)-(B)、(Co, Fe, Ni)-(B)-(P, Al, Mo, Nb, Mn)系、またはCo-(Zr, Hf, Nb, Ta, Ti)膜などのアモルファス

10

20

30

40

50

材料、C o基フルホイスラー材料を非磁性層（トンネル障壁含む）側に積層して用いることになる。なお、記号「－」は合金を示し、記号「／」は積層構造を示し、（ ， ）は、括弧内の元素が少なくとも1つ含まれることを意味する。

【0119】

非磁性層の材料は、C u、A g、A uなどの金属元素またはこれら合金、または酸化アルミニウム（A l O_x）、酸化マグネシウム（M g O）、酸化シリコン（S i O_x）などの酸化物であることが好ましい。

【0120】

シンセティック反強磁性積層膜に用いる非磁性層の材料は、R u、R h、I rまたはこれら合金であることが好ましい。

10

【0121】

反強磁性層としては、P t M n、I r－M n、F e M n、P t－C r－M n、N i－M nを用いることが好ましい。

【0122】

上記第1乃至第8実施形態およびその変形例に記載のスピンM O S F E Tを用いた場合、高いM R比で抵抗が低いデバイスが実現可能となり、リコンフィギャラブル論理回路が実現可能となる。

【0123】

（第10実施形態）

次に、本発明の第10実施形態による磁気抵抗効果素子の断面を図31に示す。本実施形態の磁気抵抗効果素子70は、C oおよびM nを含むフルホイスラー合金からなる強磁性層71と、C oおよびF eを含む合金からなる強磁性層72と、M g Oからなるトンネルバリア73と、C oおよびF eを含む合金からなる強磁性層74と、C oおよびM nを含むフルホイスラー合金からなる強磁性層75とが、この順序で積層された積層構造を有している。すなわち、M g Oからなるトンネルバリア73に接して両界面にC oおよびF eを含む合金からなる強磁性層72、74が存在し、これらの強磁性層72、74に接してトンネルバリア73と反対側の界面にC oおよびM nを含むフルホイスラー合金からなる強磁性層71、75が存在する積層構造となっている。

20

【0124】

このように構成された本実施形態の磁気抵抗効果素子は、スピン注入することによって、磁化フリー層の磁化の向きが反転可能となっている。

30

【0125】

本実施形態の磁気抵抗効果素子は、C oおよびM nを含むフルホイスラー合金からなる強磁性層71、75と、M g Oからなるトンネルバリア73との間に、C oおよびF eを含む合金からなる強磁性層72、74が設けられているので、磁気抵抗効果素子のスピン依存伝導は、温度変化の影響を可及的に受けないものとなり、M R比が可及的に高くかつM R比の温度変化による急激な減少を防止することができる。

【0126】

なお、本実施形態において、強磁性層72、74のうちの一方の強磁性層と磁気結合する反強磁性層を設けてもよい。この場合、反強磁性層が例えば強磁性層72と磁気結合しているとすると、反強磁性層は、強磁性層71に対して強磁性層72と反対側に設けられる。すなわち、強磁性層72と反強磁性層とは、強磁性層71を介して磁気結合することになる。

40

【0127】

本実施形態の磁気抵抗効果素子は、M R A Mの記憶素子または磁気ヘッドの再生素子として用いることができる。

【0128】

また、本実施形態において、強磁性層71および強磁性層75の外側に、磁化の向きが膜面に垂直な第1および第2強磁性層を設けてもよい。すなわち、強磁性層71に対して強磁性層72と反対側に第1強磁性層を設け、強磁性層75に対して強磁性層74と反対

50

側に第2強磁性層を設けても良い。この場合、第1強磁性層の影響を受けて強磁性層71、72は磁化の向きが膜面に略垂直となり、第2強磁性層の影響を受けて強磁性層74、75は磁化の向きが膜面に略垂直となる。このように、第1および第2強磁性層を設けても、これらの第1および第2強磁性層の膜厚が強磁性層71、72、74、75の膜厚に比べて厚いため、磁気抵抗効果素子としての機能には問題がない。

【0129】

(第11実施形態)

次に、本発明の第11実施形態によるスピン注入書き込み型のMRAMについて説明する。本実施形態のMRAMは複数のメモリセルを有しており、各メモリセルは、記憶素子として第10実施形態の磁気抵抗効果素子70を備えている。

10

【0130】

本実施形態のMRAMの1つのメモリセルの主要部の断面を図32に示す。図32に示すように、磁気抵抗効果素子70の上面は、上部電極81を介してビット線82と接続されている。また、磁気抵抗効果素子70の下面は、下部電極83、引き出し電極84、プラグ85を介して、半導体基板86の表面のソース/ドレイン領域のうちドレイン領域87aと接続されている。ドレイン領域87aは、ソース領域87b、基板86上に形成されたゲート絶縁膜88、ゲート絶縁膜88上に形成されたゲート電極89と共に、選択トランジスタTrを構成する。選択トランジスタTrと磁気抵抗効果素子70とは、MRAMの1つのメモリセルを構成する。ソース領域87bは、プラグ91を介してもう1つのビット線92と接続されている。なお、引き出し電極84を用いずに、下部電極83の下方にプラグ85が設けられ、下部電極83とプラグ85が直接接続されていてもよい。ビット線82、92、電極81、83、引き出し電極84、プラグ85、91は、W、Al、AlCu、Cu等から形成されている。

20

【0131】

本実施形態のMRAMにおいては、図32に示す1つのメモリセルが例えば行列状に複数個設けられることにより、MRAMのメモリセルアレイが形成される。図33は、本実施形態のMRAMの主要部を示す回路図である。

【0132】

図33に示すように、磁気抵抗効果素子70と選択トランジスタTrとからなる複数のメモリセル103が行列状に配置されている。同じ列に属するメモリセル103の一端は同一のビット線82と接続され、他端は同一のビット線92と接続されている。同じ行に属するメモリセル103のゲート電極(ワード線)89は相互に接続され、さらにロウデコーダ101と接続されている。

30

【0133】

ビット線82は、トランジスタ等のスイッチ回路104を介して電流ソース/シンク回路105と接続されている。また、ビット線92は、トランジスタ等のスイッチ回路106を介して電流ソース/シンク回路107と接続されている。電流ソース/シンク回路105、107は、書き込み電流(反転電流)を、接続されたビット線82、92に供給したり、接続されたビット線82、92から引き抜いたりする。

40

【0134】

ビット線92は、また、読み出し回路102と接続されている。読み出し回路102は、ビット線82と接続されていてもよい。読み出し回路102は、読み出し電流回路、センスアンプ等を含んでいる。

【0135】

書き込みの際、書き込み対象のメモリセルと接続されたスイッチ回路104、106および選択トランジスタTrがオンされることにより、対象のメモリセルを介する電流経路が形成される。そして、電流ソース/シンク回路105、107のうち、書き込まれるべき情報に応じて、一方が電流ソースとして機能し、他方が電流シンクとして機能する。この結果、書き込まれるべき情報に応じた方向に書き込み電流が流れる。

50

【0136】

書き込み速度としては、数ナノ秒から数マイクロ秒までのパルス幅を有する電流でスピン注入書き込みを行うことが可能である。

【0137】

読み出しの際、書き込みと同様にして指定された磁気抵抗効果素子70に、読み出し電流回路によって磁化反転を起こさない程度の小さな読み出し電流が供給される。そして、読み出し回路102は、磁気抵抗効果素子70の磁化の状態に応じた抵抗値に起因する電流値あるいは電圧値を、参照値と比較することで、その抵抗状態を判定する。

【0138】

なお、読み出し時は、書き込み時よりも電流パルス幅が短いことが望ましい。これにより、読み出し時の電流での誤書き込みが低減される。これは、書き込み電流のパルス幅が短い方が、書き込み電流値の絶対値が大きくなるということに基づいている。

10

【0139】

本実施形態のMRAMは、記憶素子として、第10実施形態の磁気抵抗効果素子を用いているので、第10実施形態と同様に、磁気抵抗効果素子のスピン依存伝導は、温度変化の影響を可及的に受けないものとなり、MR比の温度変化による急激な減少を防止することができる。

【実施例】

【0140】

次に、本発明の実施例を説明する。

20

【0141】

(実施例1)

本発明の実施例1は強磁性積層膜であって、その断面を図34に示す。本実施例の強磁性積層膜111は、図示しないCrからなる下地電極上に、膜厚が10nmの Co_2MnSi 層111／膜厚が2nmの第1強磁性層112／膜厚が0.6nmのMg層（図示せず）／膜厚が0.5nmのMgOからなるトンネルバリア113／膜厚が2nmの第2強磁性層114／膜厚が5nmの Co_2MnSi 層115／膜厚が0.9nmのRu層116／膜厚が3nmのCoFe層117／膜厚が10nmのIrMn層118／膜厚が5nmのRu層119a／膜厚が50nmのTa層119bが、この順序で積層された構成となっている。なお、Ru層119aおよびTa層119bがキャップ層119となる。

30

【0142】

そして、第1および第2強磁性層112、114を $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$ で形成した強磁性積層膜110を第1試料とし、第1および第2強磁性層112、114をCoFeで形成した強磁性積層膜110を第2試料として用意する。すなわち、第1および第2試料とも、MgOからなるトンネルバリア113に接して両界面にCoおよびFe合金からなる強磁性層112、114が設けられ、これらの強磁性層112、114に接してトンネルバリア113と反対側の界面にCoおよびMnを含むフルホイ슬ー合金からなる強磁性層111、115が設けられた構成の強磁性積層膜となっている。

【0143】

一方、第1比較試料として、図35に示すように、膜厚が5nmのTa層（図示せず）／膜厚が5nmのCoFe層121／膜厚が0.6nmのMg層（図示せず）／膜厚が0.5nmのMgOからなるトンネルバリア122／膜厚が5nmのCoFe層123／膜厚が0.9nmのRu層124／膜厚が3nmのCoFe層125／膜厚が10nmのIrMn層126／膜厚が5nmのRu層127a／膜厚が50nmのTa層127bが、この順序で積層された強磁性積層膜を用意する。なお、Ru層127aおよびTa層127bがキャップ層127となる。また、第2比較試料として、図34に示す強磁性積層構造から第1および第2強磁性層を削除した強磁性積層膜を用意する。

40

【0144】

上記第1および第2試料と、第1および第2比較試料とに対して、磁場中でアニールを350℃で1時間行う。その後、 $0.3 \times 0.6 \mu\text{m}^2 \sim 1 \times 2 \mu\text{m}^2$ の接合面積の試料

50

に微細加工を行い、室温において磁場による磁気抵抗変化率を測定する。

【0145】

試料の抵抗変化率を図36に示す。図36からわかるように、MgOのトンネルバリア113と、CoおよびMnを含むフルホイスラー合金層111、115との間にCoおよびFe合金からなる第1および第2強磁性層112、114を設けることにより、室温で大きなMR比が得られる。なお、強磁性層112、114として、CoFe層を用いるよりも、 $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$ を用いる方が、室温で高い磁気抵抗変化率を得ることができる。また、第2比較試料は、第1比較試料に比べて室温におけるMR比が低いことがわかる。

【0146】

(実施例2)

本発明の実施例2は、図3に示す第1実施形態のn型スピનMOSFETであって、ソース部15aと、ドレイン部15bの強磁性積層膜の面積を変えた構成を有している。半導体基板2としてインプラしたSi基板を用いている。ソース部15aおよびドレイン部15bの強磁性積層膜の面積が異なるスピનMOSFETは、以下のようにして形成される。まず図37に示したように、半導体基板2に離間してソース領域5aおよびドレイン領域5bを形成し、ソース領域5aとドレイン領域5bとの間の半導体基板2上にゲート絶縁膜9を形成し、このゲート絶縁膜9上にゲート10を形成する。なお、ゲート絶縁膜9およびゲート10を形成した後に、ソース領域5およびドレイン領域5bを形成してもよい。その後、ゲート10を覆うように、 SiO_2 からなる層間絶縁膜130を堆積する。続いて、この層間絶縁膜130に異なる面積の穴132a、132bを開ける。その後、高圧RFスパッタを用いて、強磁性積層膜を堆積し、穴132a、132bを埋め込む。続いて、CMP (Chemical Mechanical Polishing)を用いて、層間絶縁膜130の上面に付着した強磁性積層膜を除去する。これにより、ソース部およびドレイン部の強磁性積層膜の膜面面積が異なるスピનMOSFETが形成される。

【0147】

また、図38に示すようにして形成してもよい。図38は、強磁性積層膜をエッチングする際の上面図を示している。半導体基板上にゲート絶縁膜（図示せず）、ゲート10を形成し、かつソースおよびドレイン領域（図示せず）を形成する。その後、ゲート10の両側のソース領域およびドレイン領域上に強磁性積層膜を堆積する。これら強磁性積層膜134をパターニングする際に、図38に示すように、2重露光を行う。例えば、第1回目の露光によりマスク134を用いてソース部およびドレイン部に対応する領域を露光し、第2回目の露光によりマスク135を用いて露光する。そして、現像工程とエッチングを行うことによりソース部の強磁性積層膜136aと、ドレイン部の強磁性積層膜136bの膜面面積を変える。

【0148】

本実施例では、図37に示す方法を用いてスピનMOSFETを用意する。素子分離の作製、ゲートの作製、イオン注入、および注入された不純物の活性化のためのRTA処理は通常のMOSプロセスと同様である。その後、図37に示すように、層間絶縁膜130を形成後、エッチバックを行い、層間絶縁膜130の平坦処理を行う。続いて、ソース部およびドレイン部の強磁性積層膜を形成するための穴を132a、132bを形成する。これらの穴の平面形状は変えず面積のみ変えてある。その後、穴132a、132bを埋め込むように、強磁性積層膜を堆積する。続いて、CMP処理を行った後、 SiO_2 膜（図示せず）を成膜し、この SiO_2 膜に、上記強磁性積層膜に通じるビアを開け、このビアを配線材料で埋め込み配線を形成する。配線を形成する前に形状SEMでソース部およびドレイン部の面積を測定する。ソース部およびドレイン部の穴132a、132bのサイズは、ソース部およびドレイン部の設計サイズをそれぞれ $0.3\mu\text{m} \times 0.8\mu\text{m}$ 、 $0.8\mu\text{m} \times 0.8\mu\text{m}$ とする。実際の穴の形状は楕円形状を有している。

【0149】

本実施例に係る強磁性積層膜15a、15bの積層構造は、それぞれ以下のようになっ

ている。

【0150】

Si基板2上に、膜厚が0.5nmのSiO₂層（図示せず）／膜厚が0.5nmのMgOからなるトンネルバリア14a、14b／膜厚が3nmの強磁性層15a₁、15b₁／膜厚が10nmのCo₂MnSi層15a₂、15b₂／膜厚が20nmのRu層および膜厚が50nmのTa層からなるキャップ層20a、20bが、この順序で積層された構成を有している。

【0151】

そして、強磁性層15a₁、15b₁をCo₂FeAl_{0.5}Si_{0.5}で形成した強磁性積層膜15a、15bを有するスピンMOSFETを第1試料とし、強磁性層15a₁、15b₁をCoFeで形成した強磁性積層膜15a、15bを有するスピンMOSFETを第2試料として用意する。すなわち、トンネルバリア14a、14bと、Co₂MnSi層15a₂、15b₂との間に、CoおよびFeを含む合金からなる強磁性層15a₁、15b₁を設けた構成となっている。

【0152】

一方、第1比較試料として、Si基板上に、膜厚が0.5nmのSiO₂層（図示せず）／膜厚が0.5nmのMgOからなるトンネルバリア／膜厚が5nmのCoFeB／膜厚が20nmのRu層／膜厚が50nmのTa層が、この順序で積層された強磁性積層膜を有するスピンMOSFETを用意する。また、第2比較試料として、第1試料のスピンMOSFETにおいて、強磁性積層膜のCo₂FeAl_{0.5}Si_{0.5}からなる強磁性層15a₁、15b₁を削除した構成の強磁性積層膜を有するスピンMOSFETを用意する。

【0153】

上記第1および第2試料と、第1および第2比較試料とに対して、磁場中でアニールを300℃で1時間行う。その後、スピンMOSFETのゲートをON状態として磁場書き込みを行いソース部およびドレイン部の磁性体の保磁力の差でスピンの反平行状態、平行状態を実現し、抵抗変化率値の読み出しを行う。

【0154】

試料の抵抗変化率を図39に示す。図39からわかるように、トンネルバリア14a、14bと、CoおよびMnを含むフルホイスラー合金層15a₂、15b₂との間に、CoおよびFeを含む合金からなる強磁性層15a₁、15b₁を設けたスピンMOSFETの、室温における磁気抵抗変化率を高くすることができる。また、強磁性層15a₁、15b₁として、CoFe層を用いるよりも、Co₂FeAl_{0.5}Si_{0.5}を用いる方が、室温で高い磁気抵抗変化率を得ることができる。

【0155】

また、本実施例では、n型スピンMOSFETを例に挙げたが、p型スピンMOSFETも同様の効果を得ることができる。

【0156】

（実施例3）

本発明の実施例3は、Ge基板上に形成されたn型スピンMOSFETであって、Ge基板上に形成されるソース部およびドレイン部として、実施例1で説明した強磁性積層膜を用いる。強磁性積層膜の作製方法は実施例1と同様である。すなわち、本実施例によるスピンMOSFETの強磁性積層膜は、Ge基板上に、膜厚が0.5nmのGeO_x層／膜厚が0.5nmのMgOからなるトンネルバリア／膜厚が3nmの強磁性層／膜厚が10nmのCo₂MnSi層／膜厚が20nmのRu層および膜厚が50nmのTa層からなるキャップ層が、この順序で積層された積層構造を有している。

【0157】

そして、上記強磁性層をCo₂FeAl_{0.5}Si_{0.5}で形成した強磁性積層膜を有するスピンMOSFETを第1試料とし、上記強磁性層をCoFeで形成した強磁性積層膜を有するスピンMOSFETを第2試料として用意する。すなわち、トンネルバリアと

10

20

30

40

50

、 Co_2MnSi 層との間に、 Co および Fe を含む合金からなる強磁性層を設けた構成となっている。

【0158】

一方、第1比較試料として、 Ge 基板上に、膜厚が 0.5 nm の GeO_x 層／膜厚が 0.5 nm の MgO からなるトンネルバリア／膜厚が 5 nm の CoFeB ／膜厚が 20 nm の Ru 層／膜厚が 50 nm の Ta 層が、この順序で積層された強磁性積層膜を有するスピンMOSFETを用意する。また、第2比較試料として、第1試料のスピンMOSFETにおいて、強磁性積層膜の $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$ からなる強磁性層を削除した構成の強磁性積層膜を有するスピンMOSFETを用意する。

【0159】

上記第1および第2試料と、第1および第2比較試料とに対して、磁場中でアニールを 270°C で1時間行う。その後、スピンMOSFETのゲートをON状態として磁場書き込みを行いソース部およびドレイン部の磁性体の保磁力の差でスピンの反平行状態、平行状態を実現し、抵抗変化率値の読み出しを行う。

【0160】

試料の抵抗変化率を図40に示す。図40からわかるように、トンネルバリアと、 Co および Mn を含むフルホイスラー合金層との間に、 Co および Fe を含む合金からなる強磁性層を設けたスピンMOSFETの、室温における磁気抵抗変化率を高くすることができる。また、強磁性層として、 CoFe 層を用いるよりも、 $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$ を用いる方が、室温で高い磁気抵抗変化率を得ることができる。

【0161】

また、本実施例では、 n 型スピンMOSFETを例に挙げたが、 p 型スピンMOSFETも同様の効果を得ることができる。その際に膜厚が 0.5 nm の GeO_x 層を設けないほうが、スピンMOSFETの低抵抗化が可能である。

【0162】

(実施例4)

本発明の実施例4は、 GaAs 基板上に形成された n 型スピンMOSFETであって、 GaAs 基板上に形成されるソース部およびドレイン部として、実施例1で説明した強磁性積層膜を用いる。強磁性積層膜の作製方法は実施例1と同様である。すなわち、本実施例によるスピンMOSFETの強磁性積層膜は、 GaAs 基板上に、膜厚が 1.5 nm の InGaAs 層／膜厚が 0.5 nm の MgO からなるトンネルバリア／膜厚が 3 nm の強磁性層／膜厚が 10 nm の Co_2MnSi 層／膜厚が 20 nm の Ru 層および膜厚が 50 nm の Ta 層からなるキャップ層が、この順序で積層された積層構造を有している。

【0163】

そして、上記強磁性層を $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$ で形成した強磁性積層膜を有するスピンMOSFETを第1試料とし、上記強磁性層を CoFe で形成した強磁性積層膜を有するスピンMOSFETを第2試料として用意する。すなわち、第1および第2試料は、トンネルバリアと、 Co_2MnSi 層との間に、 Co および Fe を含む合金からなる強磁性層を設けた構成となっている。

【0164】

一方、第1比較試料として、 GaAs 基板上に、膜厚が 1.5 nm の InGaAs 層／膜厚が 0.5 nm の MgO からなるトンネルバリア／膜厚が 5 nm の CoFeB ／膜厚が 20 nm の Ru 層／膜厚が 50 nm の Ta 層が、この順序で積層された強磁性積層膜を有するスピンMOSFETを用意する。また、第2比較試料として、第1試料のスピンMOSFETにおいて、強磁性積層膜の $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$ からなる強磁性層を削除した構成の強磁性積層膜を有するスピンMOSFETを用意する。

【0165】

上記第1および第2試料と、第1および第2比較試料とに対して、磁場中でアニールを 350°C で1時間行う。その後、スピンMOSFETのゲートをON状態として磁場書き込みを行いソース部およびドレイン部の磁性体の保磁力の差でスピンの反平行状態、平行

10

20

30

40

50

状態を実現し、抵抗変化率値の読み出しを行う。

【0166】

試料の抵抗変化率を図41に示す。図41からわかるように、トンネルバリアと、CoおよびMnを含むフルホイスラー合金層との間に、CoおよびFeを含む合金からなる強磁性層を設けたスピンMOSFETの、室温における磁気抵抗変化率を高くすることができる。また、強磁性層として、CoFe層を用いるよりも、 $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$ を用いる方が、室温で高い磁気抵抗変化率を得ることができる。

【0167】

また、本実施例では、n型スピンMOSFETであったが、p型スピンMOSFETも同様の効果を得ることができる。

10

【0168】

なお、化合物半導体例えばIII-V族半導体からなる基板に形成されるMESFETにも本実施例を適用することができる。

【0169】

(実施例5)

本発明の実施例5は、半導体基板2としてSi基板を用いた図14に示す第5実施形態のn型スピンMOSFETである。本実施例によるスピンMOSFETの強磁性積層膜は、図14、図15に示すように、Si基板上に、膜厚が0.5nmの SiO_2 層（図示せず）／膜厚0.5nmのMgOからなるトンネルバリア13a、13b／膜厚が3nmの第1強磁性層23₁／膜厚が10nmの Co_2MnSi 層23₂／膜厚が3nmの第2強磁性層23₃／膜厚が0.9nmのRu層23₄／膜厚が10nmの Co_2MnSi 層23₅／膜厚が3nmの第3強磁性層23₆／膜厚が0.95nmのMgOからなるトンネルバリア24／膜厚が3nmの第4強磁性層25₁／膜厚が5nmの Co_2MnSi 層25₂／膜厚が0.9nmのRu層25₃／膜厚が3nmのCoFe層25₄／膜厚が10nmのIrMn層26／膜厚が10nmのRu層および膜厚が50nmのTa層からなるキャップ層20が、この順序で積層された積層構造を有している。

20

【0170】

そして、上記第1乃至第4強磁性層を $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$ で形成した強磁性積層膜を有するスピンMOSFETを第1試料とし、上記第1乃至第4強磁性層をCoFeで形成した強磁性積層膜を有するスピンMOSFETを第2試料として用意する。すなわち、第1および第2試料は、トンネルバリアと、 Co_2MnSi 層との間に、CoおよびFeを含む合金からなる強磁性層を設けた構成となっている。

30

【0171】

一方、第1比較試料として、Si基板上に、膜厚が0.5nmの SiO_2 層／膜厚が0.5nmのMgOからなるトンネルバリア／膜厚が5nmのCoFe層／膜厚が0.9nmのRu層／膜厚が5nmのCoFe層／膜厚が0.95nmのMgOからなるトンネルバリア／膜厚が5nmのCoFe層／膜厚が0.9nmのRu層／膜厚が3nmのCoFe層／膜厚が10nmのIrMn層／膜厚が10nmのRu層および膜厚が50nmのTa層からなるキャップ層が、この順序で積層された強磁性積層膜を用意する。

【0172】

また、第2比較試料として、第1試料のスピンMOSFETにおいて、強磁性積層膜の $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$ からなる第1乃至第4強磁性層を削除した構成の強磁性積層膜を有するスピンMOSFETを用意する。

40

【0173】

上記第1および第2試料と、第1および第2比較試料とに対して、磁場中でアニールを300℃で1時間行う。その後、スピンMOSFETのゲートをON状態として磁場書き込みを行いソース部およびドレイン部の磁性体の保磁力の差でスピンの反平行状態、平行状態を実現し、抵抗変化率値の読み出しを行う。

【0174】

試料の抵抗変化率を図42に示す。図42からわかるように、半導体(Si)を介して

50

室温で大きな磁気抵抗変化率と、ソース部およびドレイン部のMTJ構造からのMR変化率が重畳し大きなMR変化率が得られる。また、p型スピンMOSFETにおいても同様の効果を得ることができる。また、Si基板2と強磁性積層膜との間にトンネルバリアとなるSiO₂層およびMgO層を設けない試料（ショットキー障壁型）の場合も、同様の効果を得ることができる。

【0175】

また、トンネルバリアと、CoおよびMnを含むフルホイスラー合金層との間に、CoおよびFeを含む合金からなる強磁性層を設けたスピンMOSFETの、室温における磁気抵抗変化率を高くすることができる。また、第1乃至第4強磁性層として、CoFe層を用いるよりも、Co₂FeAl_{0.5}Si_{0.5}を用いた方が、室温で高い磁気抵抗変化率を得ることができる。

10

【0176】

（実施例6）

本発明の実施例6は、半導体基板2としてSi基板を用いた図17に示す第6実施形態のn型スピンMOSFETである。本実施例によるスピンMOSFETは、ソース領域5a、ドレイン領域5b上の強磁性積層膜を作製する際に、強磁性積層構造を変えるため磁化固着層18aを作製したのちにMTJ構造22bを作製する。

【0177】

磁化固着層18aは、図12、図17に示すように、Si基板上に、膜厚が0.5nmのSiO₂層（図示せず）／膜厚が0.5nmのMgOからなるトンネルバリア13a／膜厚が3nmの第1強磁性層挿入層18a₁／膜厚が10nmのCo₂MnSi層18a₂／膜厚が0.9nmのRu層18a₃／膜厚が3nmのCoFe層18a₄／膜厚が10nmのIrMn層18a₅／膜厚が10nmのRu層および膜厚が50nmのTa層からなるキャップ層20が、この順序で積層された強磁性積層膜である。

20

【0178】

また、MTJ構造22bは、図15、図17に示すように、Si基板上に、膜厚が0.5nmのSiO₂層（図示せず）／膜厚が0.5nmのMgOからなるトンネルバリア13b／膜厚が3nmの第2強磁性層23₁／膜厚が10nmのCo₂MnSi層23₂／膜厚が3nmの第3強磁性層23₃／膜厚が0.9nmのRu層23₄／膜厚が10nmのCo₂MnSi層23₅／膜厚が3nmの第4強磁性層23₆／膜厚が0.95nmのMgOからなるトンネルバリア24／膜厚が3nmの第5強磁性層25₁／膜厚が5nmのCo₂MnSi層25₂／膜厚が0.9nmのRu層25₃／膜厚が3nmのCoFe層25₄／膜厚が10nmのIrMn層26／膜厚が10nmのRu層および膜厚が50nmのTa層からなるキャップ層20が、この順序で積層された強磁性積層膜である。

30

【0179】

そして、上記第1乃至第5強磁性層をCo₂FeAl_{0.5}Si_{0.5}で形成した強磁性積層膜を有するスピンMOSFETを第1試料とし、上記第1乃至第5強磁性層をCoFeで形成した強磁性積層膜を有するスピンMOSFETを第2試料として用意する。すなわち、第1および第2試料は、トンネルバリアと、Co₂MnSi層との間に、CoおよびFeを含む合金からなる強磁性層を設けた構成となっている。

40

【0180】

一方、第1比較試料のスピンMOSFETの磁化固着層として、Si基板上に、膜厚が0.5nmのSiO₂層／膜厚が0.5nmのMgOからなるトンネルバリア／膜厚が5nmのCoFe層／膜厚が0.9nmのRu層／膜厚が3nmのCoFe層／膜厚が10nmのIrMn層／膜厚が10nmのRu層および膜厚が50nmのTa層からなるキャップ層が、この順序で積層された積層構造を用意する。また、第1比較試料のスピンMOSFETのMTJ構造として、Si基板上に、膜厚が0.5nmのSiO₂層／膜厚が0.5nmのMgO層／膜厚が5nmのCoFe層／膜厚が0.9nmのRu層／膜厚が5nmのCoFe層／膜厚が0.95nmのMgOからなるトンネルバリア／膜厚が5nmのCoFe層／膜厚が0.9nmのRu層／膜厚が3nmのCoFe層／膜厚が10nm

50

の I r M n 層／膜厚が 1 0 n m の R u 層および膜厚が 5 0 n m の T a 層からなるキャップ層が、この順序で積層された積層構造を用意する。

【0181】

また、第 2 比較試料として、第 1 試料のスピン M O S F E T において、強磁性積層膜の $C o_2 F e A l_{0.5} S i_{0.5}$ からなる第 1 乃至第 5 強磁性層を削除した構成の強磁性積層膜を有するスピン M O S F E T を用意する。

【0182】

上記第 1 および第 2 試料と、第 1 および第 2 比較試料とに対して、磁場中でアニールを 3 0 0 ° C で 1 時間行う。その後、スピン M O S F E T のゲートを O N 状態として磁場書き込みを行いソース部およびドレイン部の磁性体の保磁力の差でスピンの反平行状態、平行状態を実現し、抵抗変化率値の読み出しを行う。

10

【0183】

試料の抵抗変化率を図 4 3 に示す。図 4 3 からわかるように、半導体 (S i) を介して室温で大きな磁気抵抗変化率と、ソース部およびドレイン部の M T J 構造からの M R 変化率が重畳し大きな M R 変化率が得られる。また、p 型スピン M O S F E T においても同様の効果が得られる。また、S i 基板 2 と強磁性積層膜との間にトンネルバリアとなる S i O₂ 層および M g O 層を設けない試料 (ショットキー障壁型) の場合も、同様の効果を得ることができる。

【0184】

また、トンネルバリアと、C o および M n を含むフルホイスラー合金層との間に、C o および F e を含む合金からなる強磁性層を設けたスピン M O S F E T の、室温における磁気抵抗変化率を高くすることができる。また、第 1 乃至第 4 強磁性層として、C o F e 層を用いるよりも、 $C o_2 F e A l_{0.5} S i_{0.5}$ を用いた方が、室温で高い磁気抵抗変化率を得ることができる。

20

【0185】

(実施例 7)

本発明の実施例 7 は、半導体基板 2 として S i 基板を用いた図 2 2 に示す第 8 実施形態の n 型スピン M O S F E T である。本実施例によるスピン M O S F E T は、ソース領域 5 a、ドレイン領域 5 b 上の強磁性積層膜を作製する際に、強磁性積層構造を変えるため磁化固定層 3 4 を作製したのちに M T J 構造 3 0 b を作製する。

30

【0186】

磁化固定層 3 4 は、図 2 2、図 2 3 に示すように、S i 基板上に、膜厚が 0 . 5 n m の S i O₂ 層 (図示せず) ／膜厚が 0 . 5 n m の M g O からなるトンネルバリア 1 3 a ／膜厚が 2 n m の第 1 強磁性層 3 4₁ ／膜厚が 3 n m の C o₂ M n S i 層 3 4₂ ／膜厚が 1 0 n m の F e P d 層 3 4₃ ／膜厚が 1 0 n m の R u 層および膜厚が 5 0 n m の T a 層からなるキャップ層 2 0 a が、この順序で積層された強磁性積層膜である。

【0187】

また、M T J 構造 3 0 b は、図 2 0、図 2 2 に示すように、S i 基板上に、膜厚が 0 . 5 n m の S i O₂ 層 (図示せず) ／膜厚が 0 . 5 n m の M g O からなるトンネルバリア 1 3 b ／膜厚が 2 n m の第 2 強磁性層 3 1₁ ／膜厚が 3 n m の C o₂ M n S i 層 3 1₂ ／膜厚が 1 0 n m の F e P d 層 3 1₃ ／膜厚が 3 n m の C o₂ M n S i 層 3 1₄ ／膜厚が 2 n m の第 3 強磁性層 3 1₅ ／膜厚が 0 . 9 5 n m の M g O からなるトンネルバリア 3 2 ／膜厚が 2 n m の第 4 強磁性層 3 3₁ ／膜厚が 3 n m の C o₂ M n S i 層 3 3₂ ／膜厚が 3 0 n m の F e P d 層 3 3₃ ／膜厚が 1 0 n m の R u 層および膜厚が 5 0 n m の T a 層からなるキャップ層 2 0 b が、この順序で積層された強磁性積層膜である。

40

【0188】

そして、上記第 1 乃至第 4 強磁性層を $C o_2 F e A l_{0.5} S i_{0.5}$ で形成した強磁性積層膜を有するスピン M O S F E T を第 1 試料とし、上記第 1 乃至第 4 強磁性層を C o F e で形成した強磁性積層膜を有するスピン M O S F E T を第 2 試料として用意する。すなわち、第 1 および第 2 試料は、トンネルバリアと、C o₂ M n S i 層との間に、C o お

50

よぶFeを含む合金からなる強磁性層を設けた構成となっている。

【0189】

一方、第1比較試料のスピンMOSFETの磁化固定層として、Si基板上に、膜厚が0.5nmのSiO₂層／膜厚が0.5nmのMgOからなるトンネルバリア／膜厚が3nmのCoFe層／膜厚が10nmのFePd層／膜厚が10nmのRu層および膜厚が50nmのTa層からなるキャップ層が、この順序で積層された積層構造を用意する。また、第1比較試料のスピンMOSFETのMJT構造として、Si基板上に、膜厚が0.5nmのSiO₂層／膜厚が0.5nmのMgOからなるトンネルバリア／膜厚が3nmのCoFe層／膜厚が10nmのFePd層／膜厚が3nmのCoFe層／膜厚が0.95nmのMgOからなるトンネルバリア／膜厚が3nmのCoFe層／膜厚が30nmのFePd層／膜厚が10nmのRu層および膜厚が50nmのTa層からなるキャップ層が、この順序で積層された積層構造を用意する。

10

【0190】

また、第2比較試料として、第1試料のスピンMOSFETにおいて、強磁性積層膜のCo₂FeAl_{0.5}Si_{0.5}からなる第1乃至第5強磁性層を削除した構成の強磁性積層膜を有するスピンMOSFETを用意する。

【0191】

上記第1および第2試料と、第1および第2比較試料とに対して、磁場中でアニールを300℃で1時間行う。その後、スピンMOSFETのゲートをON状態として、磁場を膜面に略垂直方向に印加して磁場書き込みを行い、ソース部およびドレイン部の磁性体の保磁力の差でスピンの反平行状態、平行状態を実現し、抵抗変化率値の読み出しを行う。

20

【0192】

試料の抵抗変化率を図44に示す。図44からわかるように、半導体(Si)を介して室温で大きな磁気抵抗変化率と、ソース部およびドレイン部のMTJ構造からのMR変化率が重畳し大きなMR変化率が得られる。また、p型スピンMOSFETにおいても同様の効果を得ることができる。また、Si基板2と強磁性積層膜との間にトンネルバリアとなるSiO₂層およびMgO層を設けない試料(ショットキー障壁型)の場合も、同様の効果を得ることができる。

【0193】

また、トンネルバリアと、CoおよびMnを含むフルホイスラー合金層との間に、CoおよびFeを含む合金からなる強磁性層を設けたスピンMOSFETの、室温における磁気抵抗変化率を高くすることができる。また、第1乃至第4強磁性層として、CoFe層を用いるよりも、Co₂FeAl_{0.5}Si_{0.5}を用いた方が、室温で高い磁気抵抗変化率を得ることができる。

30

【図面の簡単な説明】

【0194】

【図1】 ハーフメタルホイスラー合金のエネルギーバンド構造を示す図。

【図2】 ハーフメタルホイスラー合金のMTJのMR比の温度依存性を示す図。

【図3】 第1実施形態によるスピンMOSFETの断面図。

【図4】 第1実施形態の変形例によるスピンMOSFETの断面図。

40

【図5】 第2実施形態によるスピンMOSFETの断面図。

【図6】 第2実施形態に係るソース部およびドレイン部の一具体例の積層構造を示す断面図。

【図7】 線対称な図形を示す図。

【図8】 線非対称な図形を示す図。

【図9】 第2実施形態の変形例によるスピンMOSFETの断面図。

【図10】 第3実施形態によるスピンMOSFETの断面図。

【図11】 第3実施形態の変形例によるスピンMOSFETの断面図。

【図12】 第4実施形態に係るソース部の一具体例の積層構造を示す断面図。

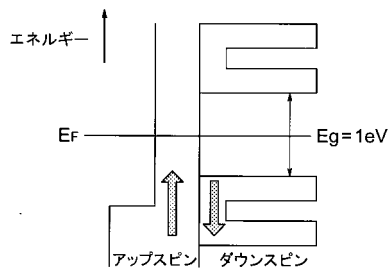
【図13】 第4実施形態に係るドレイン部の一具体例の積層構造を示す断面図。

50

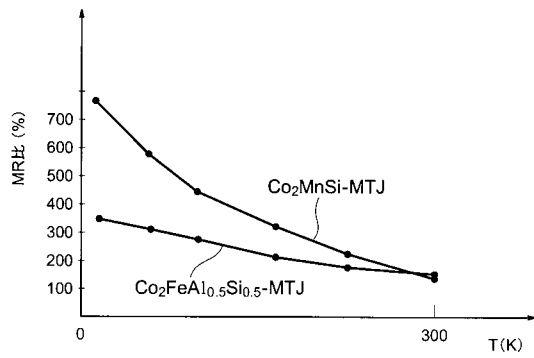
- 【図 1 4】第 5 実施形態によるスピノ MOS F E T の断面図。
- 【図 1 5】第 5 実施形態に係るソース部およびドレイン部の一具体例の積層構造を示す断面図。
- 【図 1 6】第 5 実施形態の変形例によるスピノ MOS F E T の断面図。
- 【図 1 7】第 6 実施形態によるスピノ MOS F E T の断面図。
- 【図 1 8】第 6 実施形態の変形例によるスピノ MOS F E T の断面図。
- 【図 1 9】第 7 実施形態によるスピノ MOS F E T の断面図。
- 【図 2 0】第 7 実施形態に係るソース部およびドレイン部の一具体例の積層構造を示す断面図。
- 【図 2 1】第 7 実施形態の変形例によるスピノ MOS F E T の断面図。 10
- 【図 2 2】第 8 実施形態によるスピノ MOS F E T の断面図。
- 【図 2 3】第 8 実施形態に係るソース部の一具体例の積層構造を示す断面図。
- 【図 2 4】第 8 実施形態の変形例によるスピノ MOS F E T の断面図。
- 【図 2 5】第 9 実施形態による論理回路を示す回路図。
- 【図 2 6】第 9 実施形態の論理回路の出力のフローティングゲート電圧依存性を示す図。
- 【図 2 7】第 9 実施形態の論理回路が AND 回路として機能する場合の論理表を示す図。
- 【図 2 8】第 9 実施形態の論理回路が OR 回路として機能する場合の論理表を示す図。
- 【図 2 9】第 9 実施形態の第 1 変形例による論理回路を示す図。
- 【図 3 0】第 9 実施形態の第 2 変形例による論理回路を示す図。
- 【図 3 1】第 1 0 実施形態による磁気抵抗効果素子の断面図。 20
- 【図 3 2】第 1 1 実施形態の MRAM のメモリセルを示す断面図。
- 【図 3 3】第 1 1 実施形態の MRAM の主要部の回路図。
- 【図 3 4】実施例 1 の強磁性積層膜の断面図。
- 【図 3 5】第 1 比較試料の強磁性積層膜の断面図。
- 【図 3 6】実施例 1 の室温における抵抗変化率を示す図。
- 【図 3 7】ソース部およびドレイン部の膜面面積が異なる MOS F E T の製造方法を説明する断面図。
- 【図 3 8】ソース部およびドレイン部の膜面面積が異なる MOS F E T の製造方法を説明する平面図。
- 【図 3 9】実施例 2 の室温における抵抗変化率を示す図。 30
- 【図 4 0】実施例 3 の室温における抵抗変化率を示す図。
- 【図 4 1】実施例 4 の室温における抵抗変化率を示す図。
- 【図 4 2】実施例 5 の室温における抵抗変化率を示す図。
- 【図 4 3】実施例 6 の室温における抵抗変化率を示す図。
- 【図 4 4】実施例 7 の室温における抵抗変化率を示す図。
- 【符号の説明】
- 【0 1 9 5】
- 2 半導体基板
- 3 素子領域
- 4 素子分離領域 40
- 5 a ソース領域
- 5 b ドレイン領域
- 6 a n 型不純物拡散領域
- 6 b n 型不純物拡散領域
- 7 b n⁺ 不純物拡散領域
- 8 チャネル領域
- 9 ゲート絶縁膜
- 1 0 ゲート電極
- 1 2 ゲート側壁
- 1 3 a 誘電体層 50

- 1 3 b 誘電体層
- 1 4 a トンネルバリア
- 1 4 b トンネルバリア
- 1 5 a ソース部
- 1 5 b ドレイン部

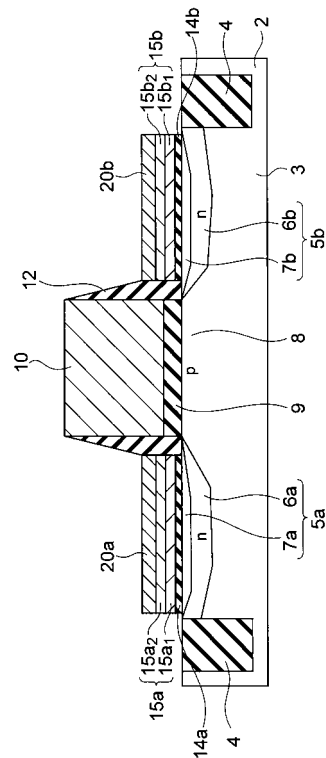
【図 1】



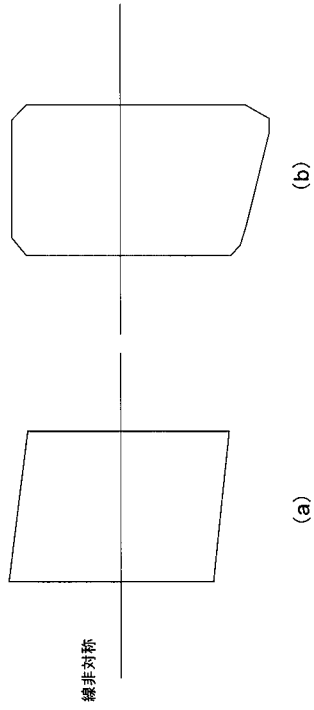
【図 2】



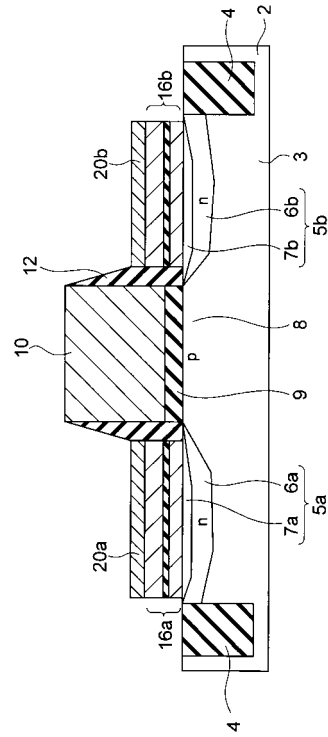
【図 3】



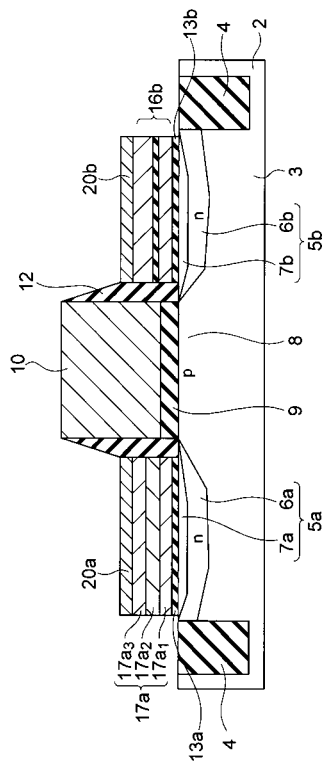
【図 8】



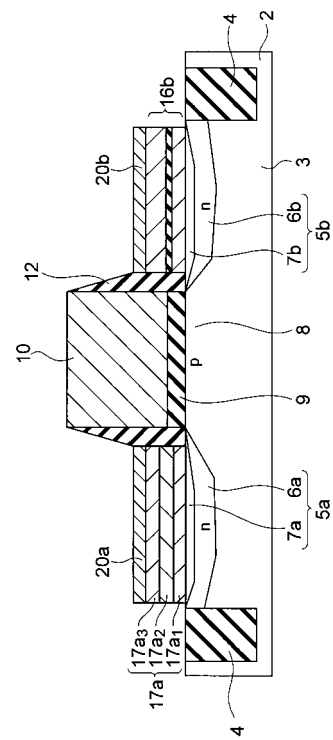
【図 9】



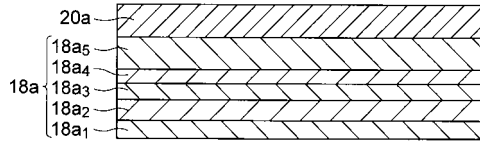
【図 10】



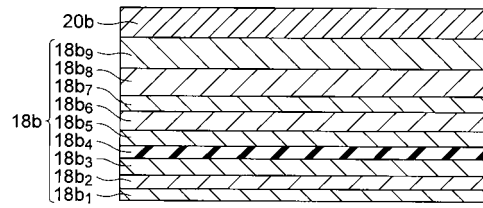
【図 11】



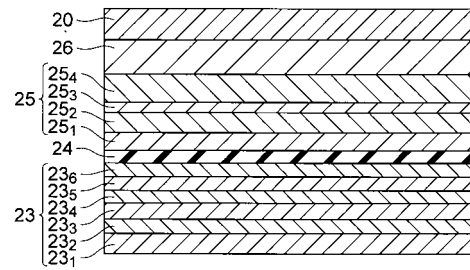
【図 1 2】



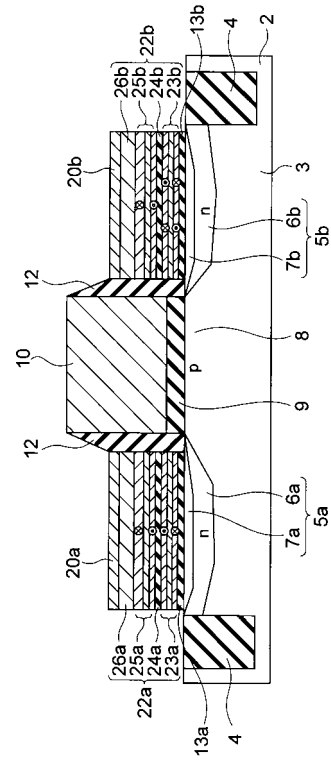
【図 1 3】



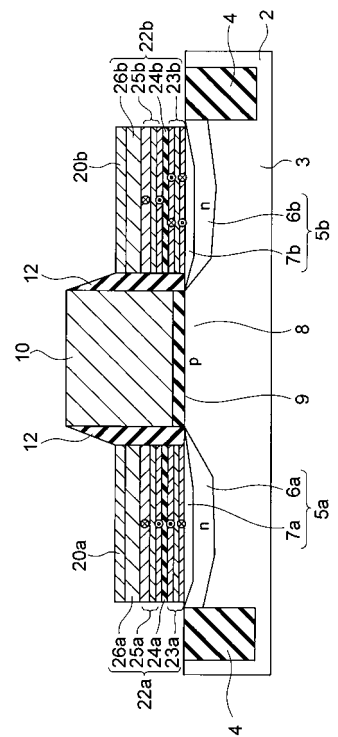
【図 1 5】



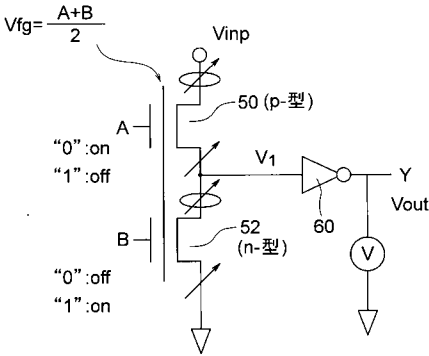
【図 1 4】



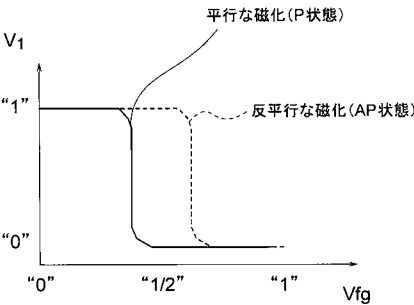
【図 1 6】



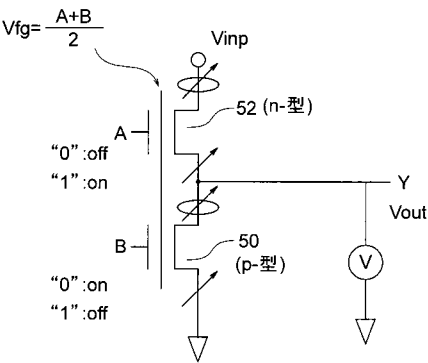
【図 2 5】



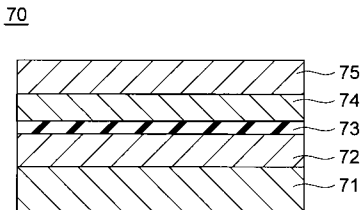
【図 2 6】



【図 3 0】



【図 3 1】



【図 2 7】

AND(MOSFET52;AP状態)

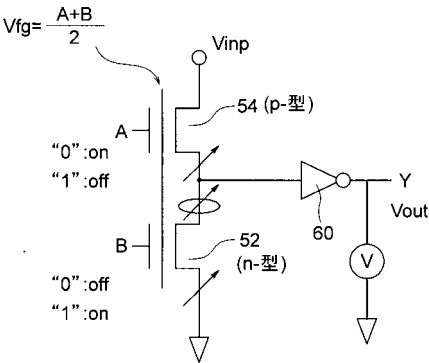
A	B	V _{fg}	V ₁	V _{out}
0	0	0	1	0
1	0	1/2	~1	0
0	1		~1	0
1	1	1	0	1

【図 2 8】

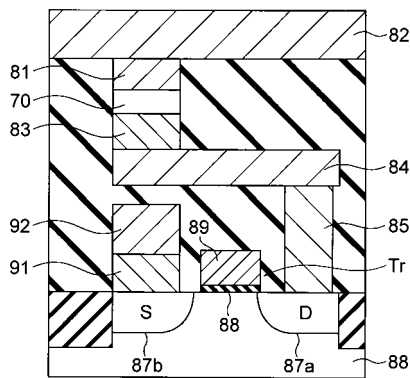
OR(MOSFET52;P状態)

A	B	V _{fg}	V ₁	V _{out}
0	0	0	1	0
1	0	1/2	~0	1
0	1		~0	1
1	1	1	0	1

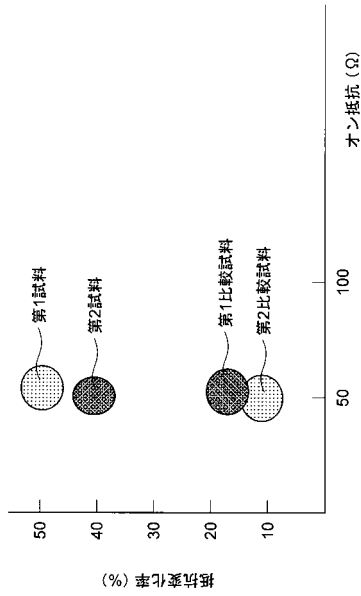
【図 2 9】



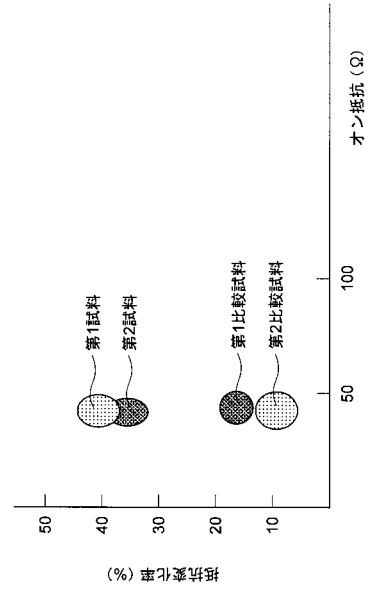
【図 3 2】



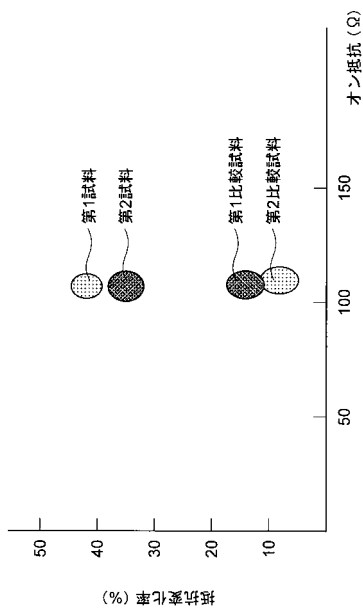
【図 39】



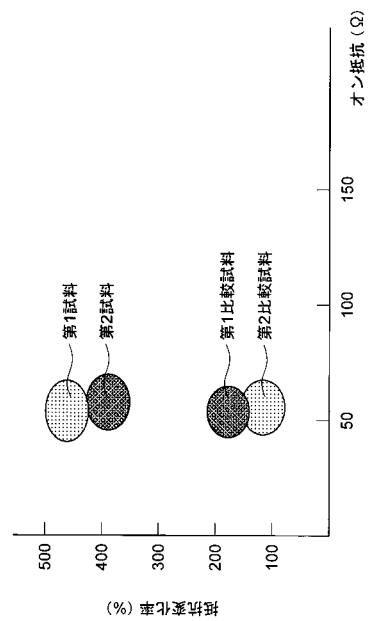
【図 40】



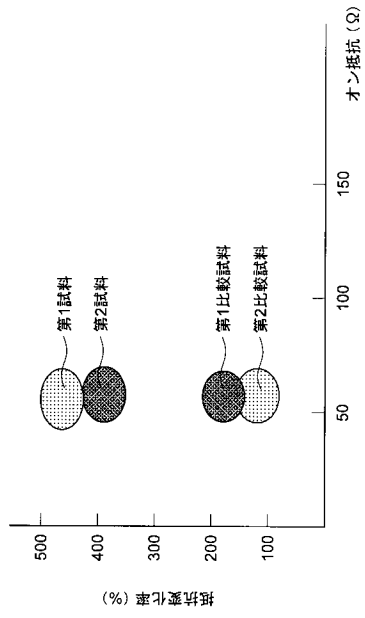
【図 41】



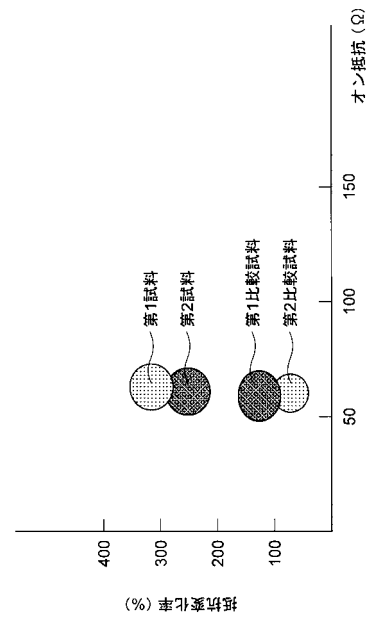
【図 42】



【図 4 3】



【図 4 4】



フロントページの続き

- (72)発明者 井 口 智 明
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 杉 山 英 行
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 石 川 瑞 恵
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 丸 亀 孝 生
東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 4M119 AA06 AA17 BB01 CC05 DD05 DD06 DD17 DD33 DD45 DD55
EE23 EE27 FF05 FF15 FF16 FF17
5F092 AB08 AC12 AC24 AD23 BB10 BB16 BB22 BB24 BB31 BB36
BB42 BB44 BB53 BC03 BC07 BC12 BC13 BC22 BD03 BD05
BD14 BE13