

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁸ H01L 21/8238 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년01월11일 10-0541656 2005년12월30일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2004-0061161 2004년08월03일	(65) 공개번호 (43) 공개일자
------------------------	--------------------------------	------------------------

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 정무경
 경기도 수원시 영통구 영통동 청명마을 4단지아파트 405-1102

 강희성
 경기도 성남시 분당구 정자동 110 한솔마을청구아파트 110-1203

 유혁주
 서울특별시 구로구 구로6동 현대아파트 1동 306호

 정우영
 경기도 성남시 분당구 정자동 로얄팰리스아파트 B동 2301호

 김경수
 경기도 성남시 수정구 태평1동 7115-19 한성홈타운 302호

(74) 대리인 정상빈
 김동진

심사관 : 이강민

(54) 성능이 향상된 CMOS 소자 및 그 제조 방법

요약

성능이 향상된 CMOS 소자가 제공된다. CMOS 소자는 제1 폭 영역과 콘택 형성 영역이 되며 상기 제1 폭보다 넓은 제2 폭 영역으로 이루어진 적어도 하나의 다폭 액티브 영역 쌍을 포함하는 제1 액티브 영역과, 제1 액티브 영역상에 배열된 제1 게이트와, 제1 액티브 영역 내에 형성된 제1 도전형 소오스/드레인 영역을 포함하는 제1 도전형 MOS 트랜지스터 및 제1 폭보다 넓은 제3 폭을 가지는 제2 액티브 영역과, 제2 액티브 영역상에 배열된 제2 게이트와, 제2 액티브 영역 내에 형성된 제2 도전형 소오스/드레인 영역을 포함하는 제2 도전형 MOS 트랜지스터를 포함한다. CMOS 소자의 제조 방법 또한 제공된다.

대표도

도 3

색인어

CMOS, 스트레스, 레이아웃, 전자, 정공

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 CMOS 소자가 적용되는 예시적인 회로들이다.

도 2는 얇은 트렌치 소자 분리 영역(STI)에 기인하는 압축 스트레스를 나타내는 단면도이다.

도 3은 본 발명의 제1 실시예에 따른 CMOS 소자의 레이아웃도이고, 도 4a와 도 4b는 각각 도 3의 A-A' 및 B-B' 선을 따라 자른 단면도들이다.

도 5는 SiON에서 질화물의 몰 비에 따른 스트레스를 나타내는 그래프이다.

도 6은 본 발명의 제1 실시예에 따른 CMOS 소자의 변형예를 나타내는 레이아웃도이다.

도 7은 본 발명의 제1 실시예에 따른 CMOS 소자의 다른 변형예를 나타내는 레이아웃도이다.

도 8은 본 발명의 제2 실시예에 따른 CMOS 소자의 레이아웃도이고, 도 9a와 도 9b는 각각 도 8의 A-A' 및 B-B' 선을 따라 자른 단면도들이다.

도 10은 본 발명의 제3 실시예에 따른 CMOS 소자의 레이아웃도이고, 도 11a와 도 11b는 각각 도 10의 A-A' 및 B-B' 선을 따라 자른 단면도들이다.

도 12는 STI에 기인하는 인장 스트레스를 나타내는 단면도이다.

도 13은 본 발명의 제4 실시예에 따른 CMOS 소자의 레이아웃도이고, 도 14a와 도 14b는 각각 도 13의 A-A' 및 B-B' 선을 따라 자른 단면도들이다.

도 15는 본 발명의 제5 실시예에 따른 CMOS 소자의 레이아웃도이고, 도 16a와 도 16b는 각각 도 15의 A-A' 및 B-B' 선을 따라 자른 단면도들이다.

도 17은 본 발명의 제6 실시예에 따른 CMOS 소자의 레이아웃도이고, 도 18a와 도 18b는 각각 도 17의 A-A' 및 B-B' 선을 따라 자른 단면도들이다.

도 19a 내지 도 19d는 본 발명의 실시예들에 따른 CMOS 소자를 구성하는 STI를 형성하는 방법을 설명하기 위한 단면도들이다.

도 20a 내지 도 20c는 본 발명의 제2 및 제5 실시예에 따른 CMOS 소자를 구성하는 콘택 보조 패턴인 에피택셜 패턴 또는 버퍼 폴리 패턴 형성 방법을 설명하기 위한 단면도들이다.

도 21a 내지 도 21c는 본 발명의 제3 및 제6 실시예에 따른 CMOS 소자를 구성하는 콘택 보조 패턴인 국부 배선 형성 방법을 설명하기 위한 단면도들이다.

(도면의 주요 부분에 대한 부호의 설명)

120, 420, 420', 420": NMOS 액티브 영역

130, 130', 130", 430: PMOS 액티브 영역

150, 450: 게이트 190,490: 콘택

200, 300, 500, 600: 콘택 보조 패턴

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로, 보다 상세하게는 성능이 향상된 CMOS 소자 및 그 제조 방법에 관한 것이다.

CMOS 소자는 NMOS 트랜지스터와 PMOS 트랜지스터를 함께 포함한다. NMOS 트랜지스터의 주 캐리어는 전자이고, PMOS 트랜지스터의 주 캐리어는 전자와 정공이다. 따라서, CMOS 소자의 전체적인 성능을 실질적으로 향상시키기 위해서는 서로 상반되는 특성을 가지는 전자와 정공을 주 캐리어로 사용하는 PMOS와 NMOS 트랜지스터의 성능이 균형을 이루어야 한다.

일반적으로 실리콘 등의 반도체 기판 내에서 전자의 이동도는 정공의 이동도보다 2 내지 2.5배 정도 빠른 것으로 알려져 있다. 따라서, 종래의 CMOS 소자의 경우에는 PMOS 트랜지스터의 채널 폭의 크기를 NMOS 트랜지스터의 채널 폭의 크기보다 2 내지 2.5배 정도 크게 형성하여 왔다.

그럼에도 불구하고, CMOS 소자에서는 전자와 정공이 외부로부터 가해지는 소정의 스트레스에 대해서 서로 동일하게 반응하지 않고 오히려 반대로 반응하기 때문에 PMOS 트랜지스터와 NMOS 트랜지스터의 성능 불균형이 발생한다.

따라서, 안정적으로 셋팅된 종래의 CMOS 제조 방법을 그대로 적용하면서도 PMOS 트랜지스터와 NMOS 트랜지스터의 성능 불균형을 해소하기 위한 개별적인 공정을 요구하지 않고, PMOS 트랜지스터와 NMOS 트랜지스터의 성능 균형을 이룸으로써 향상된 성능을 가질 수 있는 CMOS 소자의 개발이 요구된다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 성능이 향상된 CMOS 소자를 제공하고자 하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는 성능이 향상된 CMOS 소자의 제조 방법을 제공하고자 하는 것이다.

본 발명이 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 CMOS 소자는 제1 폭 영역과 콘택 형성 영역이 되며 상기 제1 폭보다 넓은 제2 폭 영역으로 이루어진 적어도 하나의 다폭 액티브 영역 쌍을 포함하는 제1 액티브 영역과, 상기 제1 액티브 영역상에 배열된 제1 게이트와, 상기 제1 액티브 영역 내에 형성된 제1 도전형 소오스/드레인 영역을 포함하는 제1 도전형 MOS 트랜지스터, 및 상기 제1 폭보다 넓은 제3 폭을 가지는 제2 액티브 영역과, 상기 제2 액티브 영역상에 배열된 제2 게이트와, 상기 제2 액티브 영역 내에 형성된 제2 도전형 소오스/드레인 영역을 포함하는 제2 도전형 MOS 트랜지스터를 포함한다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 CMOS 소자는 제1 폭의 제1 액티브 영역과, 상기 제1 액티브 영역상에 배열된 제1 게이트와, 상기 제1 액티브 영역 내에 형성된 제1 도전형 소오스/드레인 영역과, 상기 제1 폭보다 넓은 폭을 가지며 상기 제1 액티브 영역과 오버랩되는 콘택 보조 패턴을 포함하는 제1 도전형 MOS 트랜지스터, 및 상기 제1 폭보다 넓은 제2 폭을 가지는 제2 액티브 영역과, 상기 제2 액티브 영역상에 배열된 제2 게이트와, 상기 제2 액티브 영역 내에 형성된 제2 도전형 소오스/드레인 영역을 포함하는 제2 도전형 MOS 트랜지스터를 포함한다.

상기 다른 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 CMOS 소자의 제조 방법에 따르면, 제1 폭 영역과 콘택 형성 영역이 되며 상기 제1 폭보다 넓은 제2 폭 영역으로 이루어진 적어도 하나의 다폭 액티브 영역 쌍을 포함하는 제1 액티브 영역과 상기 제1 폭보다 넓은 제3 폭을 가지는 제2 액티브 영역을 형성한 후, 상기 제1 및 제2 액티브 영역에 각각 제1 도전형 MOS 트랜지스터 및 제2 도전형 MOS 트랜지스터를 형성한다.

상기 다른 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 CMOS 소자의 제조 방법에 따르면, 제1 폭의 제1 액티브 영역과 상기 제1 폭보다 넓은 제2 폭을 가지는 제2 액티브 영역을 형성한 후, 상기 제1 및 제2 액티브 영역 상에 각각 제1 및 제2 게이트를 형성한다. 이어서, 상기 제1 폭보다 넓은 폭을 가지며 상기 제1 게이트에 의해 노출된 상기 제1 액티브 영역과 오버랩되는 콘택 보조 패턴을 형성한다.

기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 따라서, 몇몇 실시예에서, 잘 알려진 공정 단계들, 잘 알려진 소자 구조 및 잘 알려진 기술들은 본 발명이 모호하게 해석되어지는 것을 피하기 위하여 구체적으로 설명되지 않는다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 나아가, "제1 도전형"과 "제2 도전형"이라는 용어는 N 또는 P-형과 같이 서로 반대되는 도전형을 가리키며, 여기에 설명되고 예시되는 각 실시예는 그것의 상보적인 실시예도 포함한다.

NMOS 트랜지스터와 PMOS 트랜지스터의 채널 영역은 액티브 영역위에 증착되는 게이트 절연막과 게이트 막질에서 기인하는 스트레스, 소오스/드레인 영역을 구성하는 반도체 물질의 종류에 따른 스트레스 및/또는 얇은 트렌치 소자 분리 영역(STI)에 기인하는 스트레스 등을 받는다. 이 중, STI에 기인하는 스트레스는 전자의 이동도를 열화시킬 수 있는 압축 스트레스(compressive stress)이거나 정공의 이동도를 열화시킬 수 있는 인장 스트레스(tensile stress) 중 어느 하나 일 수 있다. 이하 본 발명의 실시예들에서는 전자 또는 정공의 이동도 중 어느 하나에 대해서만 유리하게 작용하는 STI에 기인하는 스트레스를 예시하여 스트레스에 선택적으로 대응할 수 있도록 하는 액티브 영역을 가짐으로써 전자와 정공의 이동도의 균형이 이루어지도록 하여 성능이 향상된 CMOS 소자에 대하여 개시할 것이다. 그러나, STI에 기인하는 스트레스 이외에도 이와 유사한 스트레스에 대해서 탄력적 선택적으로 대응하기 위해 본 발명의 실시예에 따른 CMOS 소자의 구조를 채택할 수 있음은 물론이다. 본 발명의 바람직한 실시예들은 도 1 내지 도 21c를 참조함으로써 가장 잘 이해될 수 있을 것이다.

본 발명의 실시예들에 따른 CMOS 소자는 디지털 신호 처리 및/또는 데이터 저장을 위해 널리 사용되는 소자이다. 예를 들어, CMOS 소자는 로직 회로, 고주파 작동 바이폴라 트랜지스터와 함께 구현되는 BiCMOS 회로, 완전 CMOS 형 SRAM 셀 회로 등을 구현하는데 널리 적용된다. CMOS 소자가 적용되는 예시적인 회로들이 도 1(a) 내지 도 1(g)에 도시되어 있다. 도 1(a)는 인버터를, 도 1(b)는 낸드 게이트를, 도 1(c) 및 도 1(d)는 풀-업, 풀-다운 회로를, 도 1(e)는 버퍼를, 도 1(f) 및 도 1(g)는 출력 드라이버 회로를 각각 나타낸다. 당업자라면 도 1(a) 내지 도 1(g)의 회로 이외의 다양한 회로에 본 발명의 CMOS 소자가 적용될 수 있음을 알 수 있을 것이다. 예컨대, 도 1(a) 내지 도 1(g)와 같이 NMOS 소자와 PMOS 소자의 게이트에 동일 신호가 인가되는 CMOS 소자를 협의의 CMOS 소자라고 한다면, 개별적인 게이트에 의해 구동되며 동일 기관 상에 형성된 개별적인 NMOS 소자와 PMOS 소자를 구비하는 소자를 광의의 CMOS 소자라고 할 수 있으며, 광의의 CMOS 소자에도 이하에서 설명하는 본 발명의 실시예들이 그대로 적용될 수 있음은 물론이다.

이하에서는 도 1(a)의 인버터를 예로 들어 본 발명에 따른 예시적인 CMOS 소자의 실시예들을 설명하도록 한다.

제1 내지 제3 실시예들은 STI가 전자의 이동도를 열화시킬 수 있는 압축 스트레스(compressive stress)를 채널 영역에 가하는 경우의 CMOS 소자에 관한 것이다. 도 2에 도시되어 있는 바와 같이 STI(3)를 채우는 압축 스트레스성 물질 또는 STI(3) 측벽에 형성된 압축 스트레스성 라이너(미도시)로 인해 STI(3) 형성 후 어닐 공정을 거치면 STI(3)를 구성하는 압축 스트레스성 물질 또는 라이너가 화살표(4) 방향으로 팽창하게 된다. 그 결과 STI(3)에 의해 정의되는 액티브 영역을 구성하는 기관(1) 또한 압축 스트레스(5)를 받게된다. 따라서, 채널 영역(9)을 구성하는 기관(1) 격자 구조가 가까워지게 된다. 그 결과 전자의 이동은 어려워지게 되고 정공의 이동은 양호해지게 된다.

따라서, 제1 내지 제3 실시예들에서는 NMOS 트랜지스터의 액티브 영역의 폭보다 PMOS 트랜지스터 액티브 영역의 전부 또는 일부 폭이 작도록 하여 STI가 PMOS 채널 영역에는 가깝게 하고 반대로 STI가 NMOS 채널 영역으로부터는 멀어지도록 할 것이다. 따라서, 압축 스트레스가 PMOS 채널 영역에 미치는 영향과 NMOS 채널 영역에 미치는 영향을 다르게 하여 전자와 정공 이동도의 균형을 이룸으로써 전체적으로는 성능이 향상된 CMOS 소자를 구현하도록 할 것이다.

도 3은 본 발명의 제1 실시예에 따른 CMOS 소자의 레이아웃도이고, 도 4a와 도 4b는 각각 도 3의 A-A' 및 B-B' 선을 따라 자른 단면도들이다.

도 3 내지 도 4b를 참고하면, 기판(100) 내에 형성된 STI(110)에 의해 NMOS 액티브 영역(120)과 PMOS 액티브 영역(130)이 정의되어 있다.

STI(110)는 기판(100) 내에 소정 깊이로 형성된 트렌치 영역(112)을 매립하는 절연성 물질(114)을 포함한다. 절연성 물질(114)은 기판(100)에 압축성 스트레스를 x축 방향, 예컨대 채널 방향으로 가할 수 있는 물질일 수 있다. 예컨대, TEOS-O₃ 계 PECVD 산화물(TEOS-O₃ based PECVD oxide), SiH₄ 계 PECVD 산화물(SiH₄ based PECVD oxide) 또는 고밀도 플라즈마 산화물(High Density Plasma oxide) 일 수 있다. 또는 도 5에 도시되어 있는 바와 같이, 질화물의 몰 비(mole fraction)가 0.05 이하인 SiON 또한 압축성 스트레스를 가하는 물질일 수 있다.

다시 도 3 내지 도 4b를 참조하면, PMOS 액티브 영역(130)은 제1 폭(W_{AP1}) 영역(130a)과 콘택(190) 형성 영역이 되는 제2 폭(W_{AP2}) 영역(130b)으로 이루어진 적어도 하나의 다폭(multiwidth) 액티브 영역 쌍을 포함한다. NMOS 액티브 영역(120)은 제1 폭(W_{AP1})보다 넓은 제3 폭(W_{AN})을 가진다. 제2 폭(W_{AP2})과 제3 폭(W_{AN})은 실질적으로 동일할 수 있다.

게이트(150)는 게이트 절연막(140) 상에 형성되며, 도 3에 도시되어 있는 바와 같이, NMOS 액티브 영역(120)과 PMOS 액티브 영역(130) 상에 공용으로 배열되어 NMOS 트랜지스터와 PMOS 트랜지스터에 동일 신호가 인가되도록 할 수 있다. 또, 도 6에 도시되어 있는 바와 같이, NMOS 액티브 영역(120)과 PMOS 액티브 영역(130)에 게이트 패턴(150a, 150b)이 각각 독립적으로 배열되고, 별도의 게이트 콘택(195)을 통해서 하나의 게이트 배선(187)에 연결되어 NMOS 트랜지스터와 PMOS 트랜지스터에 동일 신호가 인가되도록 할 수 있다.

PMOS 트랜지스터는 게이트(150)와 게이트(150)에 정렬되어 PMOS 액티브 영역(130)내에 형성된 확장(extension) 소오스/드레인 영역(155)과 게이트(150)와 게이트 측벽 스페이서(150s)에 정렬되어 PMOS 액티브 영역(130)내에 형성된 깊은(deep) 소오스/드레인 영역(160)으로 이루어진 소오스/드레인 영역(170)을 포함한다.

NMOS 트랜지스터는 게이트(150)와 게이트(150)에 정렬되어 NMOS 액티브 영역(120)내에 형성된 확장(extension) 소오스/드레인 영역(157)과 게이트(150)와 게이트 측벽 스페이서(150s)에 정렬되어 NMOS 액티브 영역(120)내에 형성된 깊은(deep) 소오스/드레인 영역(162)으로 이루어진 소오스/드레인 영역(172)을 포함한다.

소오스/드레인 콘택(190)은 층간 절연막(180) 내에 형성된다.

PMOS 채널(177)의 경우 x축 방향, 예컨대 채널 방향으로 압축성 스트레스를 가하는 STI(110)와 가까운 반면 NMOS 채널(179)의 경우 STI(110)와 멀기 때문에 PMOS 트랜지스터와 NMOS 트랜지스터의 성능을 모두 향상시킬 수 있다.

나아가, PMOS 채널(177)에 미치는 압축성 스트레스가 정공의 이동도를 현저히 향상시켜서 전자와 정공의 이동도의 차이를 상쇄시킬 수 있는 정도라면, 도 7에 도시되어 있는 바와 같이, NMOS 트랜지스터와 PMOS 트랜지스터의 채널 폭을 결정하는 NMOS 액티브(120)의 길이(L_{AN})와 PMOS 액티브(130)의 길이(L_{AP})를 동일하게 하여 CMOS 소자의 면적을 효과적으로 감소시킬 수도 있다.

도 8은 본 발명의 제2 실시예에 따른 CMOS 소자의 레이아웃도이고, 도 9a와 도 9b는 각각 도 8의 A-A' 및 B-B' 선을 따라 자른 단면도들이다.

도 8 내지 도 9b를 참고하면, 기판(100) 내에 형성된 STI(110)에 의해 NMOS 액티브 영역(120)과 PMOS 액티브 영역(130')이 정의되어 있다. STI(110)는 제1 실시예에서 설명한 바와 같은 압축 스트레스성 물질로 구성된다.

PMOS 액티브 영역의 폭(W_{AP})이 PMOS 액티브 영역(130')의 전 길이 방향에 걸쳐서 NMOS 액티브 영역(120)의 폭(W_{AN})보다 작다. 따라서, PMOS 액티브 영역의 폭(W_{AP})이 PMOS 트랜지스터의 소오스/드레인 콘택(190)이 형성되기에 불충분하다. 그러므로, PMOS 액티브 영역(130')상에 형성되고 인접 STI(110)상으로 연장되어 형성된 콘택 보조 패턴(200)을 더 포함한다. 콘택 보조 패턴(200)은 에피택셜 패턴 또는 버퍼 폴리 패턴일 수 있다. 도면에는 콘택 보조 패턴(200)이 PMOS 액티브 영역(130')상에만 형성된 것으로 도시되어 있으나, NMOS 액티브 영역(120) 상에도 형성될 수 있다.

PMOS 트랜지스터는 게이트(150)와 게이트(150)에 정렬되어 PMOS 액티브 영역(130') 내에 형성된 확장(extension) 소오스/드레인 영역(155)과 게이트(150)와 게이트 측벽 스페이서(150s)에 정렬되어 콘택 보조 패턴(200)과 PMOS 액티브 영역(130')내에 형성된 엘리베이트드(elevated) 깊은(deep) 소오스/드레인 영역(160)으로 이루어진 소오스/드레인 영역(170)을 포함한다. 경우에 따라서는, 깊은 소오스/드레인 영역(160)은 콘택 보조 패턴(200) 형성 전에 PMOS 액티브 영역(130')내에만 형성될 수도 있다.

NMOS 트랜지스터는 게이트(150)와 게이트(150)에 정렬되어 NMOS 액티브 영역(120)내에 형성된 확장(extension) 소오스/드레인 영역(157)과 게이트(150)와 게이트 측벽 스페이서(150s)에 정렬되어 NMOS 액티브 영역(120)내에 형성된 깊은(deep) 소오스/드레인 영역(162)으로 이루어진 소오스/드레인 영역(172)을 포함한다.

게이트(150) 상면에는 콘택 보조 패턴(200) 형성시 게이트(150) 상면을 보호하기 위한 캡핑 절연막(152)을 더 포함할 수 있다.

PMOS 트랜지스터의 소오스/드레인 콘택(190)은 콘택 보조 패턴(200) 상의 층간절연막(180) 내에 형성되어 콘택 보조 패턴(200)을 통해 소오스/드레인 영역(170)과 접속한다.

NMOS 트랜지스터의 소오스/드레인 콘택(190)은 NMOS 액티브 영역(120) 상의 층간절연막(180) 내에 형성되어 소오스/드레인 영역(172)과 접속한다.

도 10은 본 발명의 제3 실시예에 따른 CMOS 소자의 레이아웃도이고, 도 11a와 도 11b는 각각 도 10의 A-A' 및 B-B' 선을 따라 자른 단면도들이다.

도 10 내지 도 11b를 참고하면, 기판(100) 내에 형성된 STI(110)에 의해 NMOS 액티브 영역(120)과 PMOS 액티브 영역(130")이 정의되어 있다. STI(110)는 제1 실시예에서 설명한 바와 같은 압축성 물질로 구성된다.

제2 실시예와 마찬가지로 PMOS 액티브 영역(130")의 폭(W_{AP})이 액티브 영역(130")의 전 길이 방향에 걸쳐서 NMOS 액티브 영역(120)의 폭(W_{AN})보다 작다. 따라서, PMOS 액티브 영역의 폭(W_{AP})이 PMOS 트랜지스터의 소오스/드레인 콘택(190)이 형성되기에 불충분하다. 그러므로, PMOS 액티브 영역(130")상에 형성되고 인접 STI(110)상으로 연장되어 형성된 콘택 보조 패턴(300)을 더 포함한다. 콘택 보조 패턴(300)은 국부 배선(300)일 수 있다. 콘택 보조 패턴(300)은 제1 층간 절연막(180a) 내에 형성된 다마신 국부 배선일 수 있다. 다마신 국부 배선은 알루미늄(Al), 알루미늄 합금(Al-alloy), 구리(Cu), 금(Au), 은(Ag), 텅스텐(W) 및 몰리브데늄(Mo)으로 이루어진 군에서 선택된 적어도 어느 하나로 구성될 수 있다. 저저항 관점에서 구리 다마신 국부 배선이 효과적일 수 있다. 도면에는 콘택 보조 패턴(300)이 PMOS 액티브 영역(130") 상에만 형성된 것으로 도시되어 있으나, NMOS 액티브 영역(120) 상에도 형성될 수 있다.

따라서, PMOS 트랜지스터는 게이트(150)와 게이트(150)에 정렬되어 PMOS 액티브 영역(130") 내에 형성된 확장(extension) 소오스/드레인 영역(155)과 게이트(150)와 게이트 측벽 스페이서(150s)에 정렬되어 PMOS 액티브 영역(130") 내에 형성되고 콘택 보조 패턴(300)과 접속하는 깊은(deep) 소오스/드레인 영역(160)으로 이루어진 소오스/드레인 영역(170)을 포함한다.

NMOS 트랜지스터는 게이트(150)와 게이트(150)에 정렬되어 NMOS 액티브 영역(120) 내에 형성된 확장(extension) 소오스/드레인 영역(157)과 게이트(150)와 게이트 측벽 스페이서(150s)에 정렬되어 NMOS 액티브 영역(120) 내에 형성된 깊은(deep) 소오스/드레인 영역(162)으로 이루어진 소오스/드레인 영역(172)을 포함한다.

게이트(150) 상면에는 버퍼폴리패턴 또는 국부배선(300) 형성시 게이트(150) 상면을 보호하기 위한 캡핑 절연막(152)을 더 포함할 수 있다.

PMOS 트랜지스터의 소오스/드레인 콘택(190)은 국부 배선(300) 상의 제2 층간절연막(180b) 내에 형성되어 콘택 보조 패턴(300)을 통해 소오스/드레인 영역(170)과 접속한다.

NMOS 트랜지스터의 소오스/드레인 콘택(190)은 NMOS 액티브 영역(120) 상의 제1 및 제2 층간절연막(180a, 180b) 내에 형성되어 소오스/드레인 영역(172)과 접속한다.

이하에서 설명하는 제4 내지 제6 실시예들은 STI가 전자의 이동도 향상을 가능하게 하는 인장성 스트레스(tensile stress)를 채널 영역에 가하는 경우의 CMOS 소자에 관한 것이다.

도 12에 도시되어 있는 바와 같이 STI(3)를 인장 스트레스를 가하는 물질로 형성하거나 STI(3) 형성 후 어닐 공정을 거치면 STI(3)를 채우는 인장 스트레스 물질이 화살표(14) 방향으로 수축하게 된다. 그 결과 STI(3)에 의해 정의되는 액티브를 구성하는 기판(1) 또한 인장 스트레스(15)를 받게된다. 따라서, 채널 영역(9)을 구성하는 기판(1) 격자 구조가 멀어지게 된다. 그 결과 정공의 이동은 어려워지고 전자의 이동은 양호해진다.

따라서, 제4 내지 제6 실시예들에서는 PMOS 트랜지스터의 액티브 영역의 폭보다 NMOS 트랜지스터 액티브 영역의 폭이 작도록 하여 STI가 NMOS 채널 영역에는 가깝게 반대로 STI가 PMOS 채널 영역으로부터는 멀어지도록 할 것이다. 따라서, 인장 스트레스가 NMOS 채널 영역에 미치는 영향과 PMOS 채널 영역에 미치는 영향을 다르게 하여 전자와 정공 이동도의 균형을 이룸으로써 전체적으로는 성능이 향상된 CMOS 소자를 구현하도록 할 것이다. 제4 내지 제6 실시예들은 STI를 구성하는 물질이 달라짐으로써 제1 내지 제3 실시예들의 NMOS와 PMOS를 서로 맞바꾼 구조로 구현되게 된다.

도 13은 본 발명의 제4 실시예에 따른 CMOS 소자의 레이아웃도이고, 도 14a와 도 14b는 각각 도 13의 A-A' 및 B-B' 선을 따라 자른 단면도들이다.

도 13 내지 도 14b를 참고하면, 기판(400) 내에 형성된 STI(410)에 의해 NMOS 액티브 영역(420)과 PMOS 액티브 영역(430)이 정의되어 있다.

STI(410)는 기판(400) 내에 소정 깊이로 형성된 트렌치(412)의 측벽을 따라 형성된 라이너(413)와 트렌치(412)를 매립하는 절연성 물질(414)을 포함한다. 절연성 물질(414)은 기판(400)에 인장 스트레스를 x축 방향, 예컨대 채널 방향으로 가할 수 있는 물질일 수 있다. 예컨대, TEOS-O3 계 CVD 산화물(TEOS-O3 based CVD oxide)일 수 있다. 또는 도 5에 도시되어 있는 바와 같이, 질화물의 몰 비(mole fraction)가 0.05 이상인 SiON 또한 인장 스트레스를 가하는 물질일 수 있다.

다시 도 13 내지 도 14b를 참조하면, NMOS 액티브 영역(420)은 제1 폭(W_{AN1}) 영역(420a)과 콘택(490) 형성 영역이 되는 제2 폭(W_{AN2}) 영역(420b)으로 이루어진 적어도 하나의 다폭 액티브 영역 쌍을 포함한다. PMOS 액티브 영역(430)은 제1 폭(W_{AN1})보다 넓은 제3 폭(W_{AP})을 가진다. 제2 폭(W_{AN2})과 제3 폭(W_{AP})은 실질적으로 동일할 수 있다.

게이트(450)는 게이트 절연막(440)을 개재하여 NMOS 액티브 영역(420)과 PMOS 액티브 영역(430)상에 공용으로 배열되어 CMOS 소자를 구성하거나, 도 6을 참고하여 설명한 바와 마찬가지로, NMOS 액티브 영역(420)과 PMOS 액티브 영역(430)에 게이트 패턴이 각각 독립적으로 배열되고, 별도의 게이트 콘택을 통해서 하나의 게이트 배선에 연결될 수도 있다.

PMOS 트랜지스터는 게이트(450)와 게이트(450)에 정렬되어 PMOS 액티브 영역(430)내에 형성된 확장(extension) 소오스/드레인 영역(455)과 게이트(450)와 게이트 측벽 스페이서(450s)에 정렬되어 PMOS 액티브 영역(430)내에 형성된 깊은(deep) 소오스/드레인 영역(460)으로 이루어진 소오스/드레인 영역(470)을 포함한다.

NMOS 트랜지스터는 게이트(450)와 게이트(450)에 정렬되어 NMOS 액티브 영역(420)내에 형성된 확장(extension) 소오스/드레인 영역(457)과 게이트(450)와 게이트 측벽 스페이서(450s)에 정렬되어 NMOS 액티브 영역(420)내에 형성된 깊은(deep) 소오스/드레인 영역(462)으로 이루어진 소오스/드레인 영역(472)을 포함한다.

소오스/드레인 콘택(490)은 층간 절연막(480) 내에 형성된다.

NMOS 채널(479)의 경우 x축 방향, 예컨대 채널 방향으로 인장 스트레스를 가하는 STI(410)와 가까운 반면 PMOS 채널(477)의 경우 STI(410)와 멀기 때문에 PMOS 트랜지스터와 NMOS 트랜지스터의 성능을 모두 향상시킬 수 있다.

도 15는 본 발명의 제5 실시예에 따른 CMOS 소자의 레이아웃도이고, 도 16a와 도 16b는 각각 도 15의 A-A' 및 B-B' 선을 따라 자른 단면도들이다.

도 15 내지 도 16b를 참고하면, 기판(400) 내에 형성된 STI(410)에 의해 NMOS 액티브 영역(420')과 PMOS 액티브 영역(430)이 정의되어 있다. STI(410)는 제4 실시예에서 설명한 바와 같은 인장 스트레스성 물질로 구성된다.

제5 실시예는 제4 실시예와 달리 NMOS 액티브 영역의 폭(W_{AN})이 NMOS 액티브 영역(420')의 전 길이 방향에 걸쳐서 PMOS 액티브 영역(430)의 폭(W_{AP})보다 작다. 따라서, NMOS 액티브 폭(W_{AN})이 NMOS 트랜지스터의 소오스/드레인 콘택(490)이 형성되기에 불충분하다. 그러므로, NMOS 액티브 영역(420')상에 형성되고 인접 STI(410)상으로 연장되어 형성된 콘택 보조 패턴(500)을 더 포함한다. 콘택 보조 패턴(500)은 에피택셜 패턴 또는 버퍼 폴리 패턴일 수 있다. 도면에는 콘택 보조 패턴(500)이 NMOS 액티브 영역(420')상에만 형성된 것으로 도시되어 있으나, PMOS 액티브 영역(430) 상에도 형성될 수 있다.

PMOS 트랜지스터는 게이트(450)와 게이트(450)에 정렬되어 PMOS 액티브 영역(430) 내에 형성된 확장(extension) 소오스/드레인 영역(457)과 게이트(450)와 게이트 측벽 스페이서(450s)에 정렬되어 PMOS 액티브 영역(430) 내에 형성된 깊은(deep) 소오스/드레인 영역(460)으로 이루어진 소오스/드레인 영역(470)을 포함한다.

NMOS 트랜지스터는 게이트(450)와 게이트(450)에 정렬되어 NMOS 액티브 (420') 내에 형성된 확장(extension) 소오스/드레인 영역(457)과 게이트(450)와 게이트 측벽 스페이서(450s)에 정렬되어 콘택 보조 패턴(500)과 NMOS 액티브 (420') 내에 형성된 엘리베이트드(elevated) 깊은(deep) 소오스/드레인 영역(462)으로 이루어진 소오스/드레인 영역(472)을 포함한다. 경우에 따라서는, 깊은 소오스/드레인 영역(462)은 콘택 보조 패턴(500) 형성 전에 NMOS 액티브 영역(420')내에만 형성될 수도 있다.

게이트(450) 상면에는 콘택 보조 패턴(500) 형성시 게이트(150) 상면을 보호하기 위한 캡핑 절연막(452)을 더 포함할 수 있다.

PMOS 트랜지스터의 소오스/드레인 콘택(490)은 PMOS 액티브 영역(430) 상의 층간절연막(480) 내에 형성되어 소오스/드레인 영역(470)과 접속한다.

NMOS 트랜지스터의 소오스/드레인 콘택(490)은 콘택 보조 패턴(500) 상의 층간절연막(480) 내에 형성되어 콘택 보조 패턴(500)을 통해 소오스/드레인 영역(472)과 접속한다.

도 17은 본 발명의 제6 실시예에 따른 CMOS 소자의 레이아웃도이고, 도 18a와 도 18b는 각각 도 17의 A-A' 및 B-B' 선을 따라 자른 단면도들이다.

도 17 내지 도 18b를 참고하면, 기판(400) 내에 형성된 STI(410)에 의해 NMOS 액티브 영역(420'')과 PMOS 액티브 영역(430)이 정의되어 있다. STI(410)는 제4 실시예에서 설명한 바와 같은 인장 스트레스성 물질로 구성된다.

제5 실시예와 마찬가지로 NMOS 액티브 영역의 폭(W_{AN})이 액티브(420'')의 전 길이 방향에 걸쳐서 PMOS 액티브(430)의 폭(W_{AP})보다 작다. 따라서, NMOS 액티브 폭(W_{AN})이 NMOS 트랜지스터의 소오스/드레인 콘택(490)이 형성되기에 불충분하다. 그러므로, NMOS 액티브 영역(420'') 상에 형성되고 인접 STI(410)상으로 연장되어 형성된 콘택 보조 패턴(600)을 더 포함한다. 콘택 보조 패턴(600)은 제1 층간절연막(480a) 내에 형성된 국부 배선일 수 있다. 도면에는 콘택 보조 패턴(600)이 NMOS 액티브 영역(420'')상에만 형성된 것으로 도시되어 있으나, PMOS 액티브 영역(430) 상에도 형성될 수 있다.

따라서, NMOS 트랜지스터는 게이트(450)와 게이트(450)에 정렬되어 NMOS 액티브 영역(420") 내에 형성된 확장(extension) 소오스/드레인 영역(457)과 게이트(450)와 게이트 측벽 스페이서(450s)에 정렬되어 NMOS 액티브 영역(420") 내에 형성되고 콘택 보조 패턴(600)과 접촉하는 깊은(deep) 소오스/드레인 영역(462)으로 이루어진 소오스/드레인 영역(472)을 포함한다.

PMOS 트랜지스터는 게이트(450)와 게이트(450)에 정렬되어 PMOS 액티브(430) 내에 형성된 확장(extension) 소오스/드레인 영역(455)과 게이트(450)와 게이트 측벽 스페이서(450s)에 정렬되어 PMOS 액티브(430) 내에 형성된 깊은(deep) 소오스/드레인 영역(460)으로 이루어진 소오스/드레인 영역(470)을 포함한다.

게이트(450) 상면에는 콘택 보조 패턴(600) 형성시 게이트(150) 상면을 보호하기 위한 캡핑 절연막(152)을 더 포함할 수 있다.

NMOS 트랜지스터의 소오스/드레인 콘택(490)은 콘택 보조 패턴(600) 상의 제2 층간절연막(480b) 내에 형성되어 콘택 보조 패턴(600)을 통해 소오스/드레인 영역(472)과 접속한다.

PMOS 트랜지스터의 소오스/드레인 콘택(490)은 PMOS 액티브 영역(430) 상의 제1 및 제2 층간절연막(480a, 480b) 내에 형성되어 소오스/드레인 영역(470)과 접속한다.

이하에서는 본 발명에 따른 CMOS 소자를 제조하는 방법을 설명한다. CMOS 소자의 제조를 위해 잘 알려진 공정 단계들, 잘 알려진 소자 구조 및 잘 알려진 기술들은 본 발명이 모호하게 해석되어지는 것을 피하기 위하여 구체적으로 설명되지 않는다. 각 도면에서 도면부호는 (제1 내지 제3 실시예(제4 내지 제6 실시예))의 형태로 표기하도록 한다.

도 19a 내지 도 19d는 본 발명의 실시예들에 따른 CMOS 소자를 구성하는 STI를 형성하는 방법을 설명하기 위한 단면도들이다.

먼저 도 19a를 참조하면, 반도체 기판(100(400)) 상에 STI가 형성될 영역을 노출시키는 마스크 패턴(104)을 형성한다. 마스크 패턴(104)은 열산화막 패턴(101)과 질화막 패턴(102)의 적층 구조일 수 있다. 후속 공정에서 STI에 채워질 물질이 압축 스트레스성 물질인 경우에는 제1 내지 제3 실시예의 레이아웃(도 3, 도 7, 도 8, 도 10)을 사용하고 인장 스트레스성 물질인 경우에는 제4 내지 제6 실시예의 레이아웃(도 13, 도 15, 도 17)을 사용하여 마스크 패턴(104)을 형성한다. 마스크 패턴(104)을 식각 마스크로 사용하여 기판(100(400))을 이방성 건식 식각하여 활성 영역을 한정하는 트렌치(112(412))를 형성한다. 트렌치(112(412))는 매립시 보이드가 형성되지 않는 종횡비(aspect ratio)로 형성하는 것이 바람직하다.

도 19b를 참조하면, 트렌치(112(412))의 내벽을 따라 라이너(113)를 형성하여 트렌치(112(412)) 내벽을 보호한다. 라이너(113)는 열산화막 단독 또는 열산화막과 질화막의 적층막일 수 있다. 이어서, 트렌치(112(412)) 내부를 절연물질(114(414))로 매립한다. 압축 스트레스성 물질로 매립하고자 할 경우에는 TEOS 가스와 오존을 반응가스로 사용하는 PECVD법을 이용하여 TEOS-O₃ 계 PECVD 산화물을 형성하거나, SiH₄와 산소를 반응가스로 사용하는 PECVD법 이용하여 SiH₄ 계 PECVD 산화물을 형성하거나, SiH₄와 산소를 반응가스로 사용하고 불활성 가스(예컨대 Ar 가스)를 스퍼터링 가스로 사용하는 고밀도 플라즈마(HDP)법을 이용하여 고밀도 플라즈마 산화물을 형성할 수 있다. 또는 디클로로실란과 암모니아 및 질산을 반응가스로 사용하는 LPCVD법을 이용하여 질화물의 몰 비(mole fraction)가 0.05 이하인 SiON막(도 5 참고)을 형성할 수도 있다.

반대로, 인장 스트레스성 물질로 매립하고자 할 경우에는 TEOS 가스와 오존을 반응가스로 사용하는 CVD법을 이용하여 TEOS-O₃ 계 CVD 산화물을 형성하거나, 상술한 LPCVD법을 사용하여 질화물의 몰 비(mole fraction)가 0.05 이상인 SiON막(도 5 참고)을 형성할 수도 있다.

도 19c를 참조하면, 절연물질(114(414))의 상부 표면을 마스크 패턴(104)의 상부 표면과 실질적으로 동일한 레벨로 평탄화한다. 예를 들어, CMP(Chemical Mechanical Polishing) 또는 에치백(etch back)을 사용하여 평탄화할 수 있다. .

도 19d를 참조하면 마스크 패턴(104)을 제거하여 제1 내지 제6 실시예에 따른 NMOS 액티브 영역(120(420, 420', 420''))과 PMOS 액티브 영역(130, 130', 130'', (430))을 정의하는 STI(110(410))를 형성한다. 마스크 패턴(104) 중 질화막 패턴(102)은 인산 스트립을 적용하여 제거하고, 열산화막 패턴(103)은 HF나 BOE(Buffered Oxide Etchant)를 이용하여 제거한다.

이후, CMOS 소자를 구성하는 PMOS 트랜지스터 및 NMOS 트랜지스터를 형성하는 공정은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다른 구체적인 형태로 다양하게 진행될 수 있으며, 아래에서 설명하는 공정은 일례에 불과하다. 따라서, PMOS 트랜지스터 및 NMOS 트랜지스터의 형성 공정은 도면을 참조하지 않고 설명하도록 한다.

STI(110(410))형성 전 또는 후에 선택적으로 웰 형성을 진행할 수 있다. 이어서, 산화막, 열적 성장된 실리콘 이산화막, 질화막, 산질화막, 실크, 폴리이미드, 고유전율 물질등의 절연막을 형성한다. 고유전율 물질로는 Al_2O_3 , Ta_2O_5 , HfO_2 , ZrO_2 , 하프늄 실리케이트, 지르코늄 실리케이트 또는 이들의 조합막 등이 사용될 수 있다. 계속해서, 절연막 상에 폴리실리콘(poly-Si), Si-Ge, Ge 또는 이들의 적층막으로 이루어진 도전막을 형성한 후, 도전막 및 절연막을 패터닝하여 게이트(150(450)) 및 게이트 절연막(140(440))을 형성한다. 선택적으로 NMOS 와 PMOS 게이트(150(450))에 각각 n형 및 p형 불순물을 주입할 수 있다. 또, 게이트(150(450))의 실리사이드화를 진행할 수도 있다. 그리고, 게이트(150(450))의 상면에는 캡핑 절연막(152(452))을 더 형성할 수도 있다.

이어서, 게이트(150(450))를 마스크로 하여 이온 주입을 실시하여 확장(extension) 소오스/드레인 영역(155(455), 157(457))을 형성한다. NMOS 액티브 영역(120(420, 420', 420''))에는 n형 불순물, 예컨대, As을 주입할 수 있으며, PMOS 액티브 영역(130, 130', 130'' (430))에는 p형 불순물, 예컨대 B가 주입될 수 있다.

또, 선택적으로 채널의 길이가 짧아짐에 따른 펀치-스루(punch-through) 현상을 방지하기 위하여 확장(extension) 소오스/드레인 영역 형성용 불순물과 반대 타입의 불순물을 주입하는 할로 이온 주입을 실시할 수 있다. NMOS 액티브 영역(120(420, 420', 420''))에는 p형 불순물, 예컨대 B를 주입할 수 있으며, PMOS액티브 영역(130, 130', 130'' (430))에는 n형 불순물, 예컨대 As가 주입될 수 있다.

이어서, 게이트 측벽 스페이서(150s(450s))를 형성한다. 계속해서, 게이트(150(450)) 및 스페이서((150s(450s))를 마스크로 하여 이온주입을 실시하여 깊은 소오스/드레인 영역(160(460), 162(462))을 형성한다. NMOS 액티브 영역(120(420, 420', 420''))에는 n형 불순물, 예컨대, As을 주입할 수 있으며, PMOS액티브 영역(130, 130', 130''(430))에는 p형 불순물, 예컨대 B가 주입될 수 있다. 이때, 불순물의 농도 및 이온 주입 에너지는 확장(extension) 소오스/드레인 영역(155(455), 157(457)) 형성을 위한 이온 주입시의 불순물의 농도 및 이온 주입 에너지보다 크도록 한다.

이어서, 소오스/드레인 영역(170(470), 172(472)) 및/또는 게이트(150(450))의 실리사이드화 공정을 진행할 수 있다.

실리사이드화 공정이 완료된 기관의 전면에 층간절연막(180(480))을 형성한 후, 패터닝 공정을 통해 소오스/드레인 콘택(190(490)) 형성 공정을 진행한다.

제1 및 제4 실시예의 경우에는 상술한 NMOS 및 PMOS 트랜지스터의 제조 방법에 따라 진행하면 CMOS 소자를 완성할 수 있다.

제2 및 제5 실시예의 경우에는 에피택셜 패턴 또는 버퍼 폴리 패턴으로 이루어진 콘택 보조 패턴(200(500))의 형성을 위하여 다음과 같은 공정을 더 필요로 한다.

도 20a에 도시되어 있는 바와 같이, 확장(extension) 소오스/드레인 영역(155(455), 157(457))이 형성되어 있는 기관(100(400)) 전면에 비선택적 에피택시 공정을 실시해서 에피택셜층을 형성하거나, CVD 공정에 의해 버퍼 폴리층을 형성하여 콘택 보조 패턴층(199(499))을 형성한다. 비선택적 에피택시 공정을 실시하기 위해서 게이트(150(450))의 상면에는 캡핑 절연막(152(452))이 형성되어 있는 것이 바람직하다. 비선택적 에피택시 공정은 SiH_2Cl_2 또는 SiH_4 를 전구체(precursor)로 사용하는 RPCVD (Reduced Pressure Chemical Vapor Deposition)법 또는 Si_2H_6 를 전구체로 사용하는 UHV_CVD(UltraHigh Vacuum Chemical Vapor Deposition) 법에 의해 진행할 수 있다.

계속해서, 도 20b에 도시되어 있는 바와 같이, 콘택 보조 패턴층(199(499))을 패터닝하여 콘택 보조 패턴(200(500))을 형성한다. 제2 실시예의 경우에는 PMOS 액티브 영역(130')과 인접하는 STI(110) 영역의 일부에만 콘택 보조 패턴(200)이 남도록 패터닝하고, 제4 실시예의 경우에는 NMOS 액티브 영역(420')과 인접하는 STI(410) 영역의 일부에만 콘택 보조 패턴(500)이 남도록 패터닝한다. 도면에는 도시하지 않았으나 공정에 따라서는 제2 실시예의 경우에는 NMOS 액티브 영역(120) 상에도 콘택 보조 패턴(200)을 형성할 수 있으며, 제4 실시예의 경우에는 PMOS 액티브 영역(430) 상에도 콘택 보조 패턴(500)을 형성할 수 있다.

이어서, 도 20c에 도시되어 있는 바와 같이, 게이트(150(450)) 및 스페이서((150s(450s)))를 마스크로 하여 이온주입을 실시하여 콘택 보조 패턴(200(500))과 액티브 영역(130'(420'))내에 깊은 소오스/드레인 영역(160(462))을 형성한다. 이때, 콘택 보조 패턴(200(500))은 깊은 소오스/드레인 영역(160(462))을 가능한 얇게 형성할 수 있도록 하는 기능을 한다.

물론 경우에 따라서는 콘택 보조 패턴(200(500)) 형성 전에 깊은 소오스/드레인 영역(160(462))을 형성하고, 콘택 보조 패턴(200(500))을 형성한 후, 콘택 보조 패턴(200(500))에 이온을 주입하여 도전성을 띠도록 할 수도 있다.

이후, 층간 절연막(180(480))을 형성한후, 콘택 보조 패턴(200(500))과 접속하는 콘택(190(490))을 형성한다.

제3 및 제6 실시예의 경우에는 국부 배선으로 이루어진 콘택 보조 패턴(300(600))의 형성을 위하여 다음과 같은 공정을 필요로 한다.

도 21a에 도시되어 있는 바와 같이, 확장(extension) 소오스/드레인 영역(155(455), 157(457)) 및 깊은 소오스/드레인 영역(160(462))이 형성되어 있는 기관(100(400)) 전면에 제1 층간 절연막(140a)을 형성한다. 후속 공정에서 실시하게 될 CMP 공정의 종료점을 설정하기 위해서 제1 층간절연막(180a) 상부에 CMP 스톱퍼층을 더 형성할수도 있다. 이어서, 제1 층간절연막(180a)을 패터닝하여 국부배선이 형성될 배선 영역(182)을 형성한다. 배선 영역(182)은 제3 실시예의 경우에는 PMOS 액티브 영역(130")과 인접하는 STI(110) 영역을 노출시키는 영역일 수 있으며, 제6 실시예의 경우에는 NMOS 액티브 영역(420")과 인접하는 STI(410) 영역을 노출시키는 영역일 수 있다. 도면에는 도시하지 않았으나 공정에 따라서는 3 실시예의 경우에는 NMOS 액티브 영역(120)을 노출시키는 배선 영역(182)도 형성할 수 있으며, 제6 실시예의 경우에는 PMOS 액티브 영역(430)을 노출시키는 배선 영역(182)도 형성할 수도 있다.

계속해서, 도 21b를 참조하면, 배선 영역(182)을 채우는 도전막을 형성한 후, 평탄화하여 콘택 보조 패턴인 국부 배선(300(600))을 형성한다. 도전막을 이루는 물질은 알루미늄(Al), 알루미늄 합금(Al-alloy), 구리(Cu), 금(Au), 은(Ag), 텅스텐(W) 및 몰리브덴(Mo)으로 이루어진 군에서 선택된 적어도 어느 하나로 구성될 수 있다. 그리고, 도전막을 형성하는 방법은 도전물질을 스퍼터링(Sputtering)법으로 막을 형성하고 리플로우(reflow) 하는 방법, CVD(Chemical Vapor Deposition)법으로 형성하는 방법, 전기도금법(Electroplating) 중에서 선택된 어느 하나의 방법으로 형성할 수 있다. 전기도금법을 이용하는 경우에는 전해 시에 전류를 흘리기 위하여 시드층(seed layer)을 형성할 필요가 있다. 상술한 단일 도전막 형성전에 확산방지막을 형성할 수 있다. 확산방지막의 재료로는 Ta, TaN, TiN, WN, TaC, WC, TiSiN, TaSiN 중에서 선택된 적어도 하나를 사용할 수 있으며, 형성 방법으로는 PVD(Physical Vapor Deposition), CVD(Chemical Vapor Deposition), ALD(Atomic Layer Deposition) 중에서 선택된 어느 하나의 방법을 사용할 수 있다.

이어서, 도 21c에 도시되어 있는 바와 같이, 제2 층간 절연막(180b)을 형성한 후, 국부 배선으로 이루어진 콘택 보조 패턴(300(600))과 접속하는 콘택(190(490))을 형성한다.

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

발명의 효과

본 발명의 실시예들에 따른 CMOS 소자는 STI에 기인하며 전자 또는 정공의 이동도 중 어느 하나에 대해서만 유리하게 작용하는 스트레스에 대하여 선택적으로 대응하여 전자 또는 정공 이동도의 불균형을 해소할 수 있도록 하는 액티브 영역을 가진다. 따라서, 전자와 정공의 이동도의 균형이 이루어져서 CMOS 소자의 성능이 향상된다.

(57) 청구의 범위

청구항 1.

제1 폭 영역과 콘택 형성 영역이 되며 상기 제1 폭보다 넓은 제2 폭 영역으로 이루어진 적어도 하나의 다폭 액티브 영역 쌍을 포함하는 제1 액티브 영역과,

상기 제1 액티브 영역상에 배열된 제1 게이트와,

상기 제1 액티브 영역 내에 형성된 제1 도전형 소오스/드레인 영역을 포함하는 제1 도전형 MOS 트랜지스터; 및

상기 제1 폭보다 넓은 제3 폭을 가지는 제2 액티브 영역과,

상기 제2 액티브 영역상에 배열된 제2 게이트와,

상기 제2 액티브 영역 내에 형성된 제2 도전형 소오스/드레인 영역을 포함하는 제2 도전형 MOS 트랜지스터를 포함하는 CMOS 소자.

청구항 2.

제1 항에 있어서, 상기 제1 액티브 영역과 상기 제2 액티브 영역은 기판 내에 형성되고 압축 스트레스성 절연물로 매립된 트랜치 소자 분리 영역에 의해 정의되고, 상기 제1 도전형은 P형이고, 상기 제2 도전형은 N형인 CMOS 소자.

청구항 3.

제2 항에 있어서, 상기 압축 스트레스성 절연물은 TEOS-O₃ 계 PECVD 산화물, SiH₄ 계 PECVD 산화물, 고밀도 플라즈마 산화물, 또는 질화물의 몰 비가 0.05 이하인 실리콘산질화물인 CMOS 소자.

청구항 4.

제1 항에 있어서, 상기 제1 액티브 영역과 상기 제2 액티브 영역은 기판 내에 형성되고 인장 스트레스성 절연물로 매립된 트랜치 소자 분리 영역에 의해 정의되고, 상기 제1 도전형은 N형이고, 상기 제2 도전형은 P형인 CMOS 소자.

청구항 5.

제4 항에 있어서, 상기 인장 스트레스성 절연물은 TEOS-O₃ 계 CVD 산화물 또는 질화물의 몰 비가 0.05 이상인 실리콘산질화물인 CMOS 소자.

청구항 6.

제1 항에 있어서, 상기 제2 폭과 상기 제3 폭은 동일한 CMOS 소자.

청구항 7.

제1 항에 있어서, 상기 제1 게이트와 상기 제2 게이트는 동일 신호가 인가되는 CMOS 소자.

청구항 8.

제1 폭의 제1 액티브 영역과,

상기 제1 액티브 영역상에 배열된 제1 게이트와,

상기 제1 액티브 영역 내에 형성된 제1 도전형 소오스/드레인 영역과,

상기 제1 폭보다 넓은 폭을 가지며 상기 제1 액티브 영역과 오버랩되는 콘택 보조 패턴을 포함하는 제1 도전형 MOS 트랜지스터; 및

상기 제1 폭보다 넓은 제2 폭을 가지는 제2 액티브 영역과,

상기 제2 액티브 영역상에 배열된 제2 게이트와,

상기 제2 액티브 영역 내에 형성된 제2 도전형 소오스/드레인 영역을 포함하는 제2 도전형 MOS 트랜지스터를 포함하는 CMOS 소자.

청구항 9.

제8 항에 있어서, 상기 콘택 보조 패턴은 에피택셜 패턴, 버퍼 폴리 패턴 또는 국부 배선인 CMOS 소자.

청구항 10.

제8 항에 있어서, 상기 제1 액티브 영역과 상기 제2 액티브 영역은 기판 내에 형성되고 압축 스트레스성 절연물로 매립된 트렌치 소자 분리 영역에 의해 정의되고, 상기 제1 도전형은 P형이고, 상기 제2 도전형은 N형인 CMOS 소자.

청구항 11.

제10 항에 있어서, 상기 압축 스트레스성 절연물은 TEOS-O₃ 계 PECVD 산화물, SiH₄ 계 PECVD 산화물, 고밀도 플라즈마 산화물, 또는 질화물의 물 비가 0.05 이하인 실리콘산화물인 CMOS 소자.

청구항 12.

제10 항에 있어서, 상기 콘택 보조 패턴은 에피택셜 패턴 또는 버퍼 폴리 패턴이고,

상기 P형 MOS 트랜지스터는 상기 에피택셜 패턴 또는 상기 버퍼 폴리 패턴상에 형성되어 상기 에피택셜 패턴 또는 상기 버퍼 폴리 패턴을 통해 상기 P형 소오스/드레인 영역과 접속하는 콘택을 더 포함하는 CMOS 소자.

청구항 13.

제10 항에 있어서, 상기 콘택 보조 패턴은 국부배선이고,

상기 P형 MOS 트랜지스터는 상기 국부 배선상에 형성되어 상기 국부배선을 통해 상기 P형 소오스/드레인 영역과 접속하는 콘택을 더 포함하는 CMOS 소자.

청구항 14.

제10 항에 있어서, 상기 N형 MOS 트랜지스터는 상기 제2 액티브 영역상에 형성되어 상기 N형 소오스/드레인 영역과 접속하는 콘택을 더 포함하는 CMOS 소자.

청구항 15.

제8 항에 있어서, 상기 제1 액티브 영역과 상기 제2 액티브 영역은 기판 내에 형성되고 인장 스트레스성 절연물로 매립된 트렌치 소자 분리 영역에 의해 정의되고, 상기 제1 도전형은 N형이고, 상기 제2 도전형은 P형인 CMOS 소자.

청구항 16.

제15 항에 있어서, 상기 인장 스트레스성 절연물은 TEOS-O₃ 계 CVD 산화물 또는 질화물의 몰 비가 0.05 이상인 실리콘 산질화물인 CMOS 소자.

청구항 17.

제15 항에 있어서, 상기 콘택 보조 패턴은 에피택셜 패턴 또는 버퍼 폴리 패턴이고,

상기 N형 MOS 트랜지스터는 상기 에피택셜 패턴 또는 상기 버퍼 폴리 패턴상에 형성되어 상기 에피택셜 패턴 또는 상기 버퍼 폴리 패턴을 통해 상기 N형 소오스/드레인 영역과 접속하는 콘택을 더 포함하는 CMOS 소자.

청구항 18.

제15 항에 있어서, 상기 콘택 보조 패턴은 국부배선이고,

상기 N형 MOS 트랜지스터는 상기 국부 배선상에 형성되어 상기 국부배선을 통해 상기 N형 소오스/드레인 영역과 접속하는 콘택을 더 포함하는 CMOS 소자.

청구항 19.

제15 항에 있어서, 상기 P형 MOS 트랜지스터는 상기 제2 액티브 영역상에 형성되어 상기 P형 소오스/드레인 영역과 접속하는 콘택을 더 포함하는 CMOS 소자.

청구항 20.

제8 항에 있어서, 상기 제1 게이트와 상기 제2 게이트는 동일 신호가 인가되는 CMOS 소자.

청구항 21.

(a) 제1 폭 영역과 콘택 형성 영역이 되며 상기 제1 폭보다 넓은 제2 폭 영역으로 이루어진 적어도 하나의 다폭 액티브 영역 쌍을 포함하는 제1 액티브 영역과 상기 제1 폭보다 넓은 제3 폭을 가지는 제2 액티브 영역을 형성하는 단계; 및

(b) 상기 제1 및 제2 액티브 영역에 각각 제1 도전형 MOS 트랜지스터 및 제2 도전형 MOS 트랜지스터를 형성하는 단계를 포함하는 CMOS 소자의 제조 방법.

청구항 22.

제21 항에 있어서, 상기 (a) 단계는,

상기 기판내에 상기 제1 및 제2 액티브 영역을 정의하는 트렌치를 형성하는 단계; 및

상기 트렌치를 압축 스트레스성 물질로 매립하는 단계를 포함하고,

상기 제1 도전형은 P형이고, 상기 제2 도전형은 N형인 CMOS 소자의 제조 방법.

청구항 23.

제22 항에 있어서, 상기 압축 스트레스성 물질로 매립하는 단계는

TEOS 가스와 오존을 반응가스로 사용하는 PECVD법, SiH₄와 산소를 반응가스로 사용하는 PECVD법, SiH₄와 산소를 반응가스로 사용하고 불활성 가스를 스퍼터링 가스로 사용하는 고밀도 플라즈마(HDP)법, 또는 디클로로실란과 암모니아 및 질산을 반응가스로 사용하며 형성물질내의 질화물의 몰 비가 0.05 이하가 되도록 하는 LPCVD법으로 진행되는 CMOS 소자의 제조 방법.

청구항 24.

제21 항에 있어서, 상기 (a) 단계는,

상기 기판내에 상기 제1 및 제2 액티브 영역을 정의하는 트렌치를 형성하는 단계; 및

상기 트렌치를 인장 스트레스성 물질로 매립하는 단계를 포함하고,

상기 제1 도전형은 N형이고 상기 제2 도전형은 P형인 CMOS 소자의 제조 방법.

청구항 25.

제24 항에 있어서, 상기 인장 스트레스성 물질로 매립하는 단계는

TEOS 가스와 오존을 반응가스로 사용하는 CVD법, 또는 디클로로실란과 암모니아 및 질산을 반응가스로 사용하며 형성 물질 내의 질화물의 몰 비가 0.05 이상이 되도록하는 LPCVD법으로 진행되는 CMOS 소자의 제조 방법.

청구항 26.

(a) 제1 폭의 제1 액티브 영역과 상기 제1 폭보다 넓은 제2 폭을 가지는 제2 액티브 영역을 형성하는 단계;

(b) 상기 제1 및 제2 액티브 영역 상에 각각 제1 및 제2 게이트를 형성하는 단계; 및

(c) 상기 제1 폭보다 넓은 폭을 가지며 상기 제1 게이트에 의해 노출된 상기 제1 액티브 영역과 오버랩되는 콘택 보조 패턴을 형성하는 단계를 포함하는 CMOS 소자의 제조 방법.

청구항 27.

제26 항에 있어서, 상기 (c) 단계 전 또는 후에 상기 제1 및 제2 액티브 영역에 각각 제1 도전형 및 제2 도전형 소오스/드레인 영역을 형성하는 단계를 더 포함하는 CMOS 소자의 제조 방법.

청구항 28.

제26 항에 있어서, 상기 콘택 보조 패턴은 에피택셜 패턴, 버퍼 폴리 패턴 또는 국부 배선으로 형성하는 CMOS 소자의 제조 방법.

청구항 29.

제26 항에 있어서, 상기 (a) 단계는,

상기 기판내에 상기 제1 및 제2 액티브 영역을 정의하는 트렌치를 형성하는 단계; 및

상기 트렌치를 압축 스트레스성 물질로 매립하는 단계를 포함하고,

상기 제1 도전형은 P형이고, 상기 제2 도전형은 N형인 CMOS 소자의 제조 방법.

청구항 30.

제29 항에 있어서, 상기 압축 스트레스성 물질로 매립하는 단계는

TEOS 가스와 오존을 반응가스로 사용하는 PECVD법, SiH₄와 산소를 반응가스로 사용하는 PECVD법, SiH₄와 산소를 반응가스로 사용하고 불활성 가스를 스퍼터링 가스로 사용하는 고밀도 플라즈마(HDP)법, 또는 디클로로실란과 암모니아 및 질산을 반응가스로 사용하며 형성물질내의 질화물의 몰 비가 0.05 이하가 되도록 하는 LPCVD법으로 진행되는 CMOS 소자의 제조 방법.

청구항 31.

제26 항에 있어서, 상기 (a) 단계는,

상기 기판내에 상기 제1 및 제2 액티브 영역을 정의하는 트렌치를 형성하는 단계; 및

상기 트렌치를 인장 스트레스성 물질로 매립하는 단계를 포함하고,

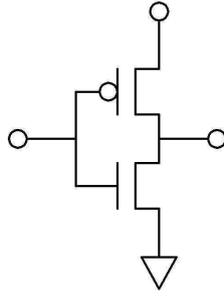
상기 제1 도전형은 N형이고 상기 제2 도전형은 P형인 CMOS 소자의 제조 방법.

청구항 32.

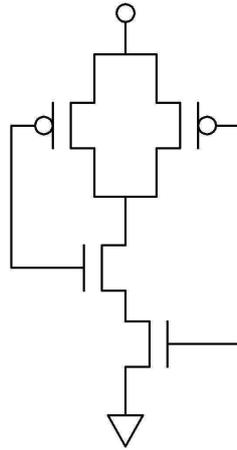
제31 항에 있어서, 상기 인장 스트레스성 물질로 매립하는 단계는 TEOS 가스와 오존을 반응가스로 사용하는 CVD법, 또는 디클로로실란과 암모니아 및 질산을 반응가스로 사용하며 형성물질 내의 질화물의 몰 비가 0.05 이상이 되도록하는 LPCVD법으로 진행되는 CMOS 소자의 제조 방법.

도면

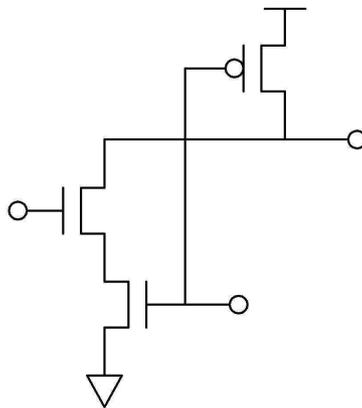
도면1a



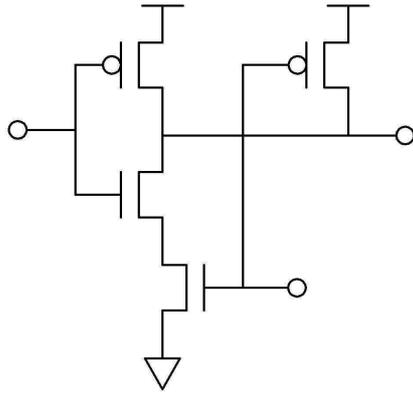
도면1b



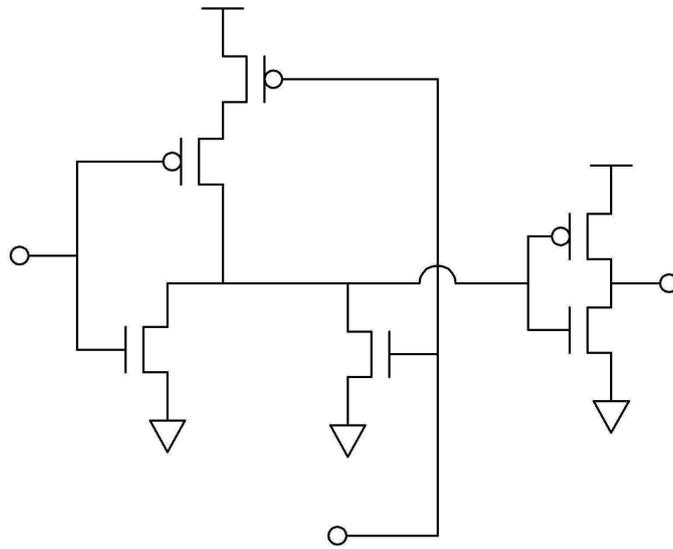
도면1c



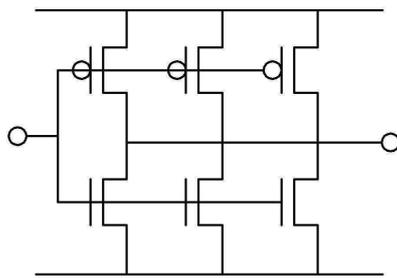
도면1d



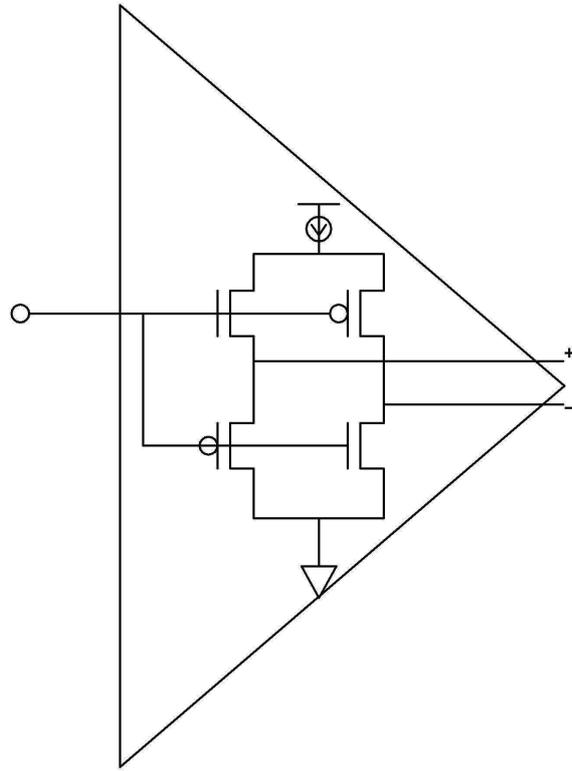
도면1e



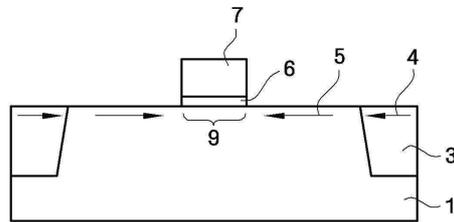
도면1f



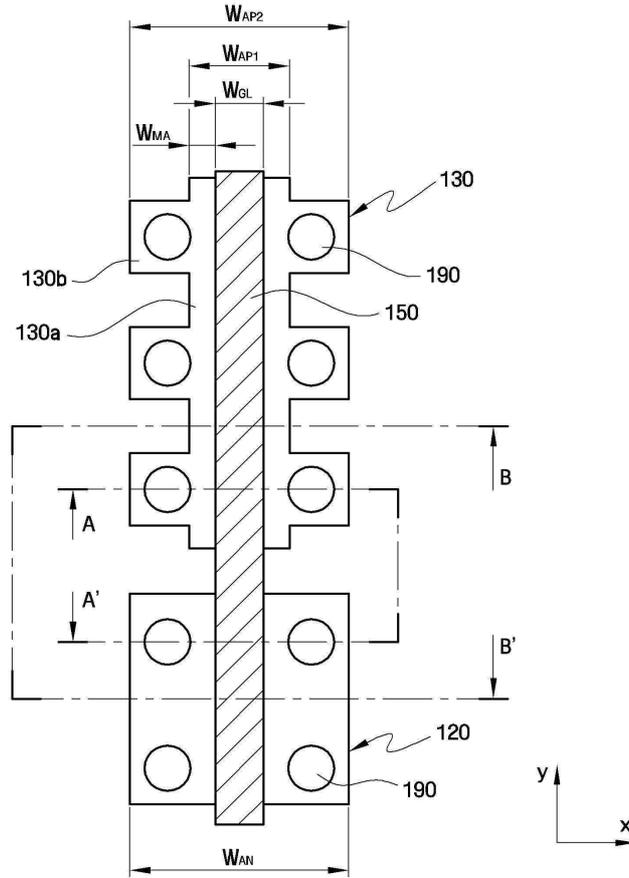
도면1g



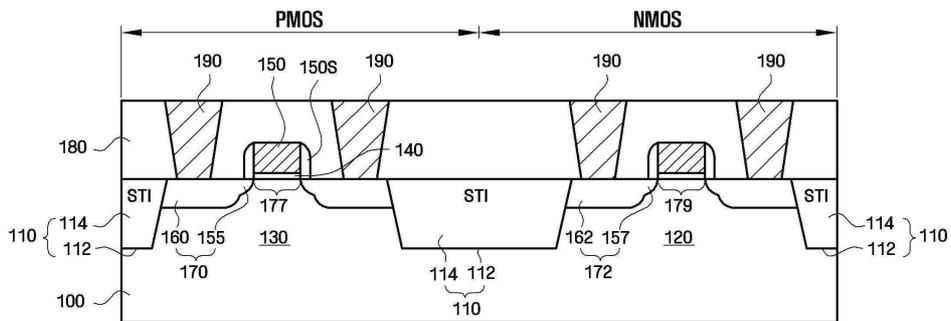
도면2



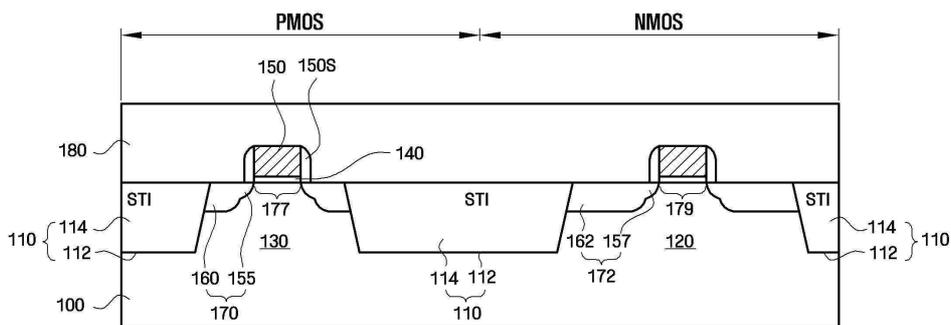
도면3



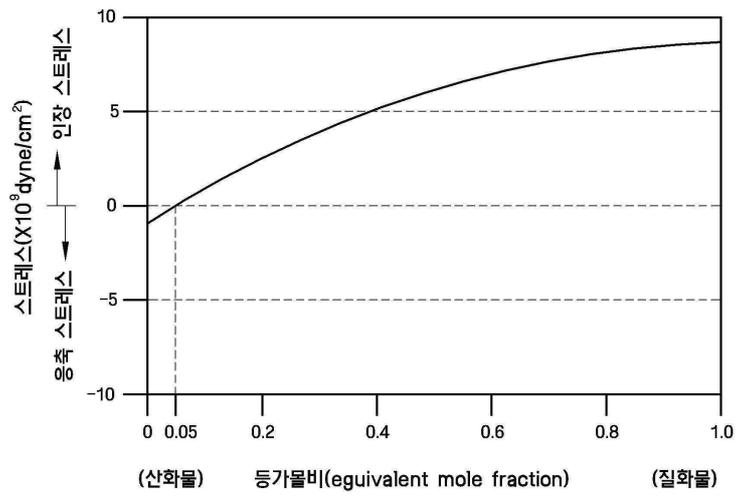
도면4a



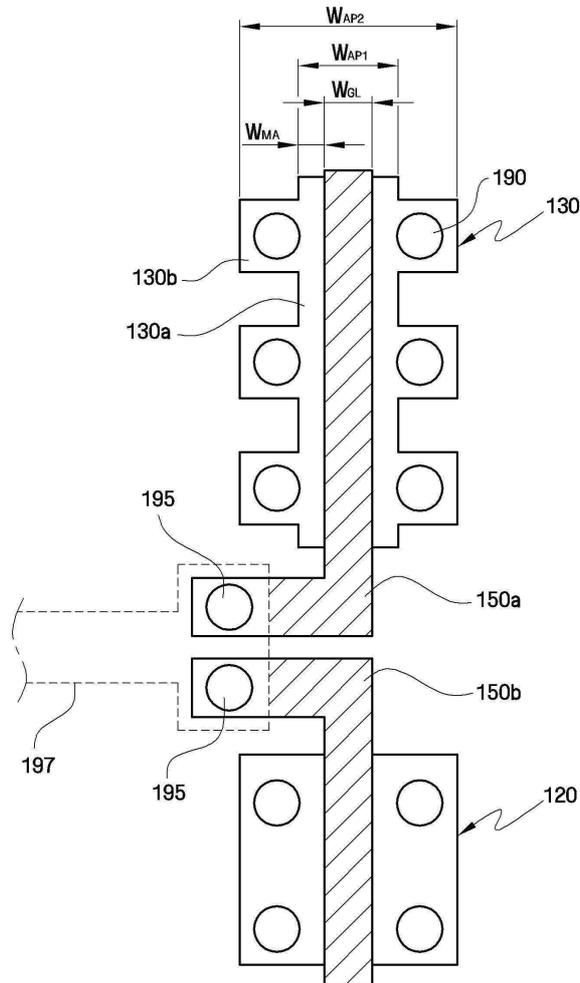
도면4b



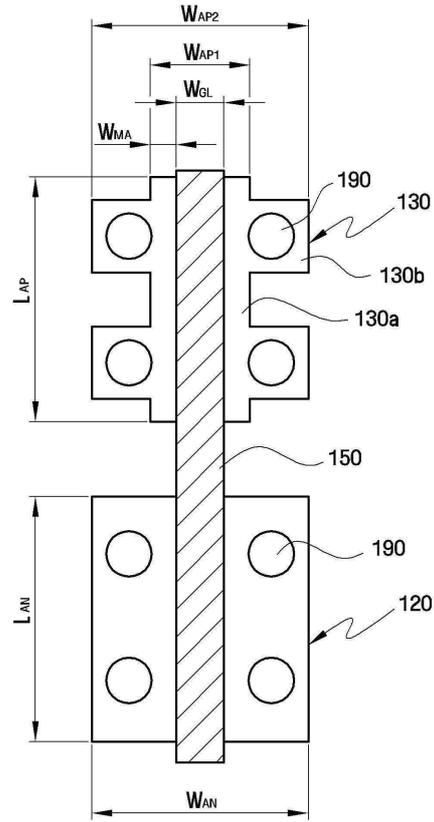
도면5



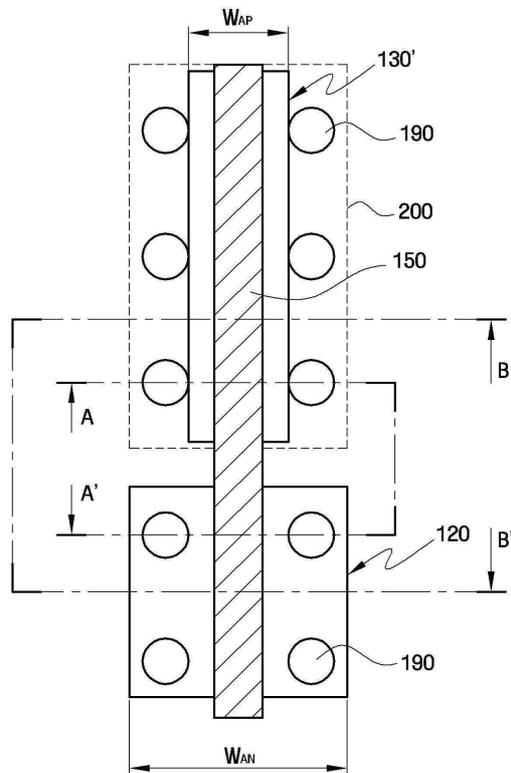
도면6



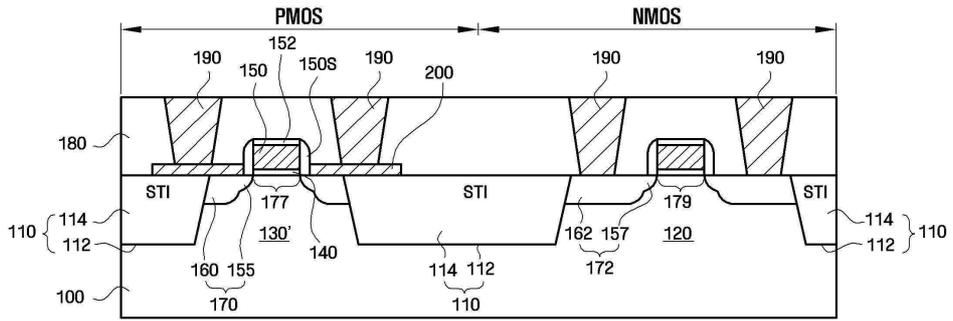
도면7



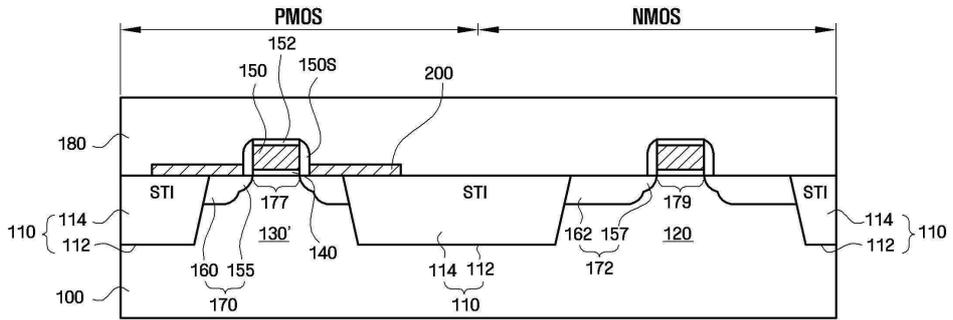
도면8



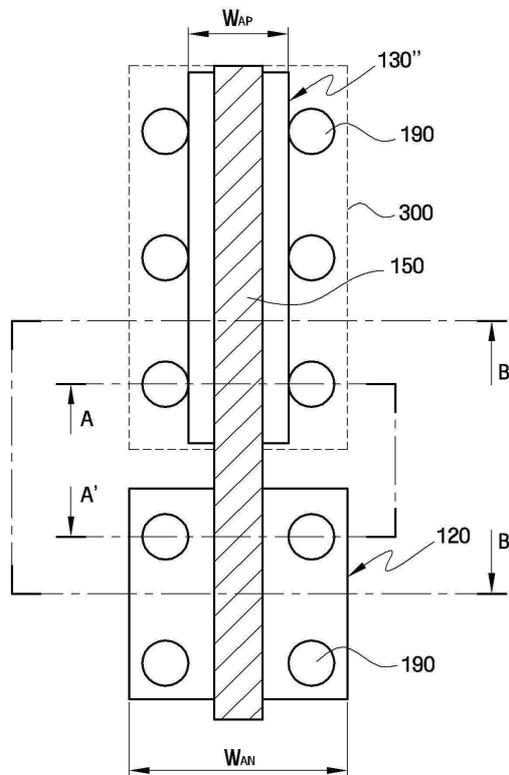
도면9a



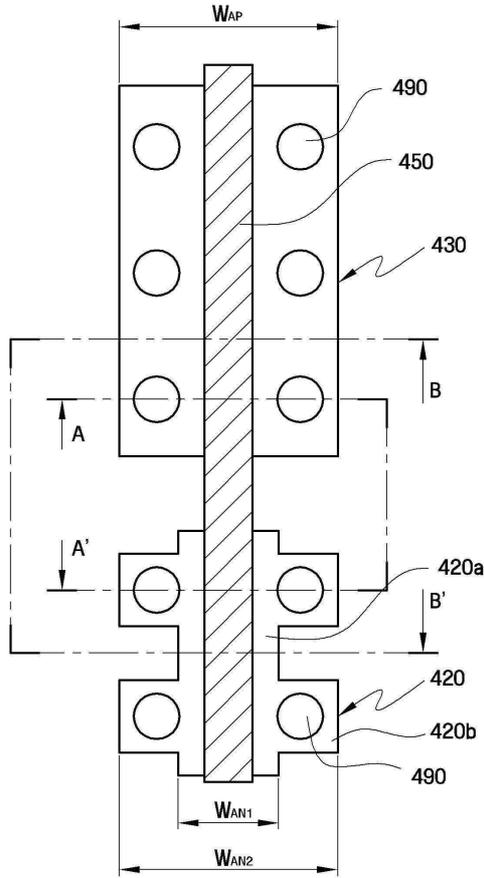
도면9b



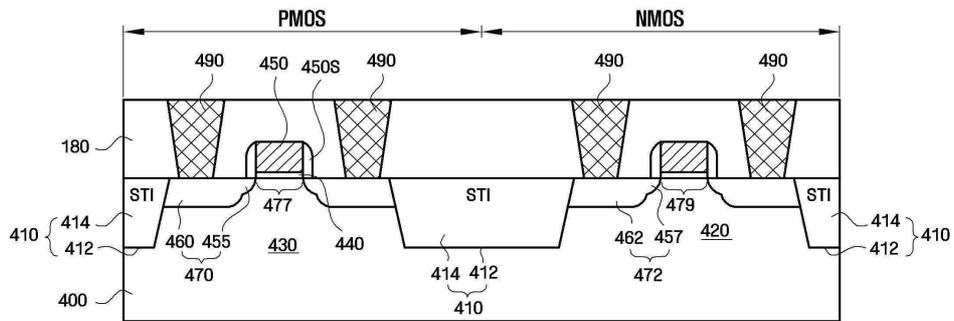
도면10



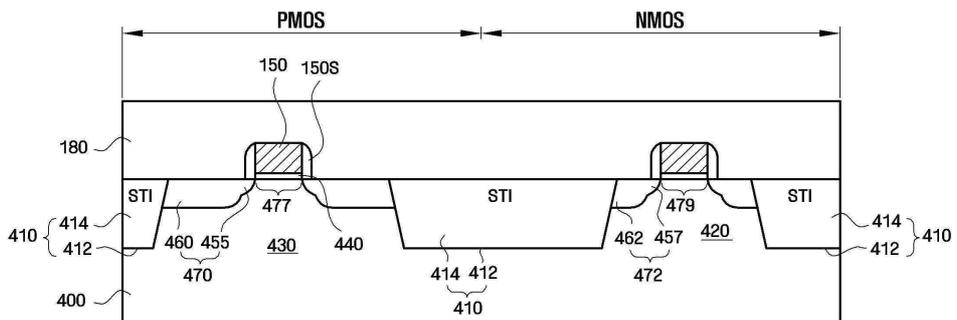
도면13



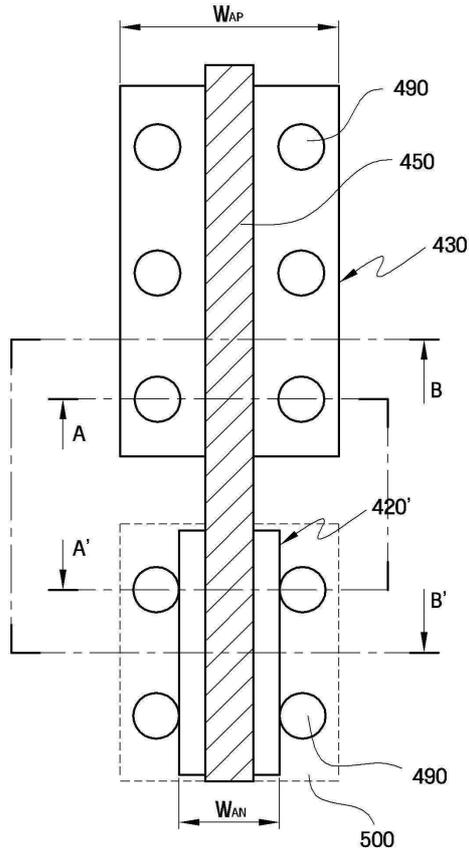
도면14a



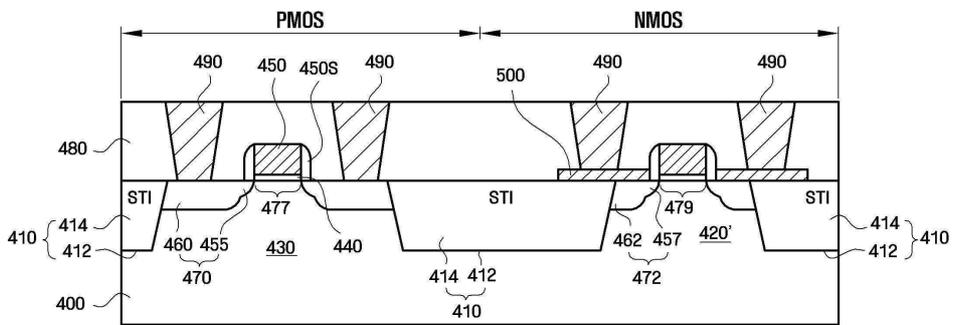
도면14b



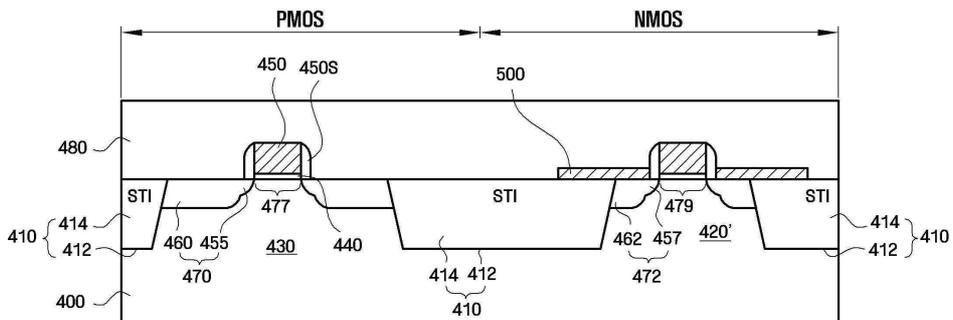
도면15



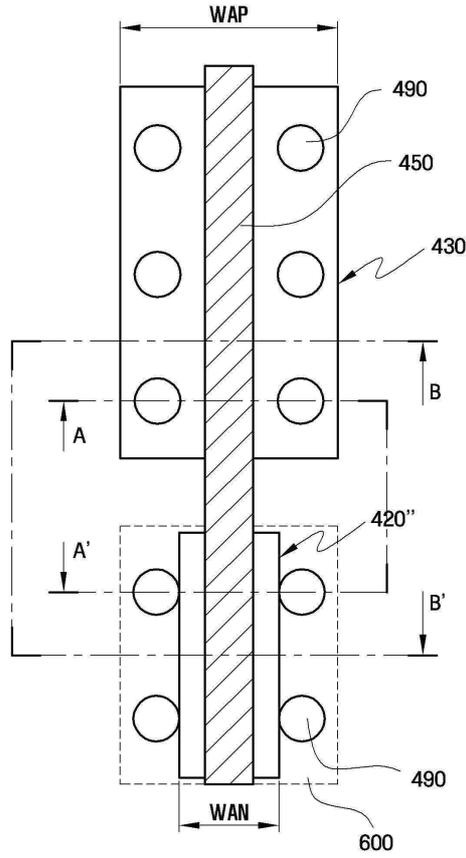
도면16a



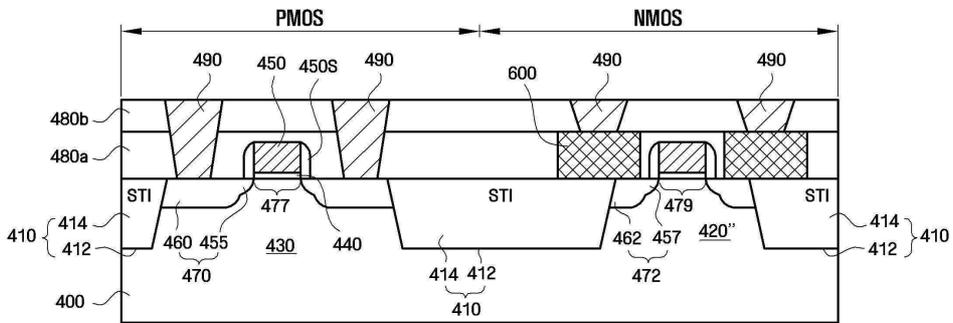
도면16b



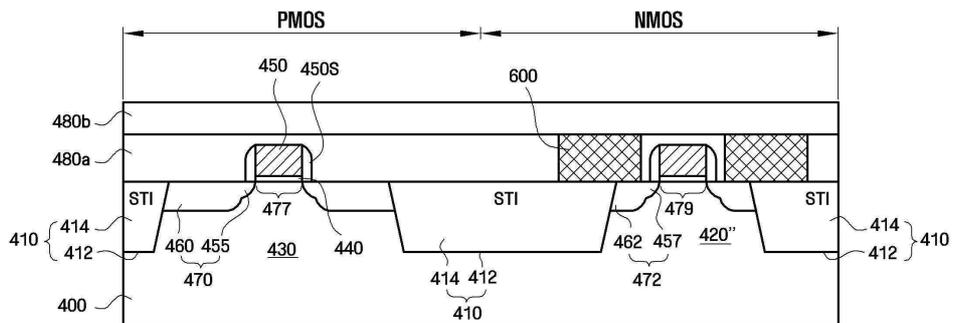
도면17



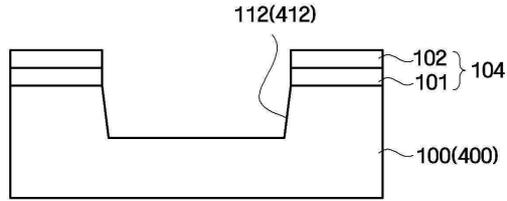
도면18a



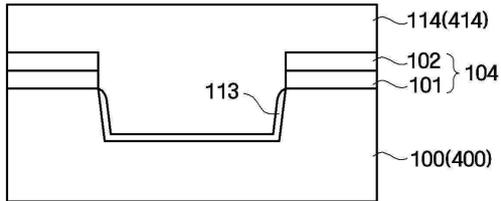
도면18b



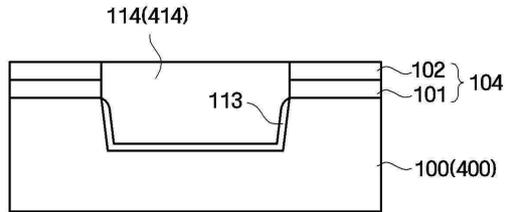
도면19a



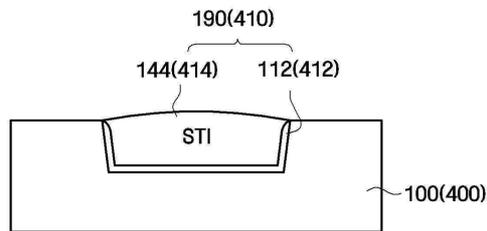
도면19b



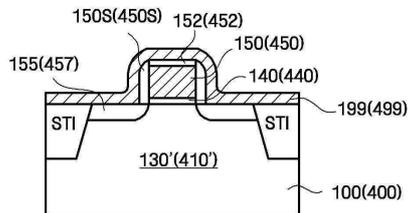
도면19c



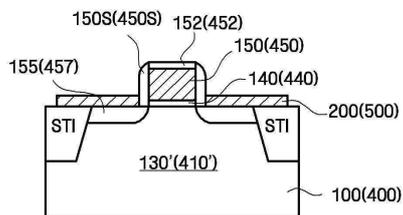
도면19d



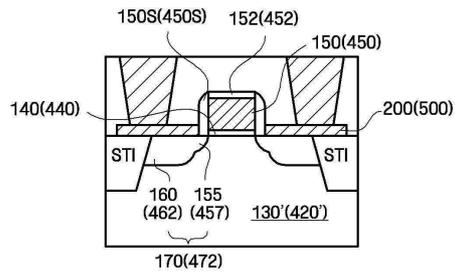
도면20a



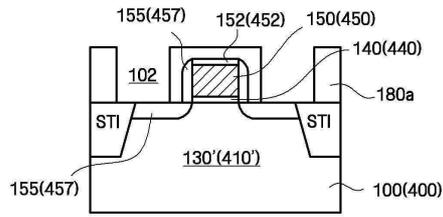
도면20b



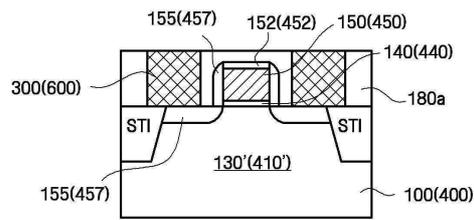
도면20c



도면21a



도면21b



도면21c

