

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-244389

(P2012-244389A)

(43) 公開日 平成24年12月10日(2012.12.10)

(51) Int.Cl.

H03K 5/1252 (2006.01)

F I

H03K 5/01

G

テーマコード (参考)

5J039

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願2011-112273 (P2011-112273)
 (22) 出願日 平成23年5月19日 (2011. 5. 19)

(71) 出願人 000191238
 新日本無線株式会社
 東京都中央区日本橋横山町3番10号
 (74) 代理人 100083194
 弁理士 長尾 常明
 (72) 発明者 坂本 至
 埼玉県ふじみ野市福岡2丁目1番1号 新
 日本無線株式会社川越製作所内
 (72) 発明者 岡野 淳一
 埼玉県ふじみ野市福岡2丁目1番1号 新
 日本無線株式会社川越製作所内
 (72) 発明者 河野 智行
 埼玉県ふじみ野市福岡2丁目1番1号 新
 日本無線株式会社川越製作所内
 Fターム(参考) 5J039 BB04 BB19 KK10 KK13 MM00

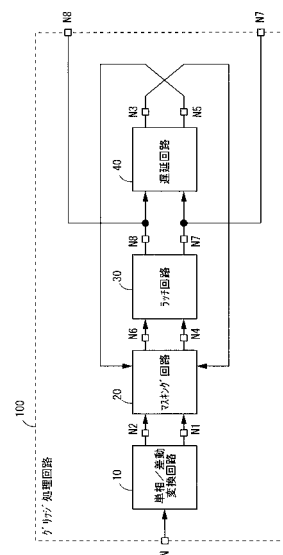
(54) 【発明の名称】 グリッジ処理回路

(57) 【要約】

【課題】グリッジのパルス幅を十分に伸張させて後段回路で貫通電流が発生しないようにする。

【解決手段】単相の入力信号から差動信号をノードN1, N2に生成する単相／差動変換回路10と、ノードN1の信号をノードN3の信号でマスクングしてノードN4に出力し、ノードN2の信号をノードN5の信号でマスクングしてノードN6に出力するマスクング回路30と、ノードN4, N6の信号を入力しノードN7, N8に出力信号を出力するラッチ回路30と、ノードN7の信号を時間T0だけ遅延させてノードN5に出力し、ノードN8の信号を時間T0だけ遅延させてノードN3に出力する遅延回路40とを具備し、ノードN8の信号を出力信号とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

入力信号の反転信号を第 1 のノードに出力し、前記入力信号の非反転信号を第 2 のノードに出力する単相／差動変換回路と、

前記第 1 のノードの信号を第 3 のノードの信号でマスクングして第 4 のノードに出力し、前記第 2 のノードの信号を第 5 のノードの信号でマスクングして第 6 のノードに出力するマスクング回路と、

前記第 4 のノードの信号の変化又は前記第 6 のノードの信号の変化によって第 7 のノードの信号と第 8 のノードの信号を変化させる S R F F からなるラッチ回路と、

前記第 7 のノードの信号を第 1 の時間だけ遅延させて前記第 5 ノードに出力し、且つ前記第 8 ノード信号を前記第 1 の時間だけ遅延させて前記第 3 のノードに出力する遅延回路とを具備し、

前記第 8 のノード又は前記第 7 のノードの信号を出力信号としたことを特徴とするグリッジ処理回路。

【請求項 2】

請求項 1 に記載のグリッジ処理回路において、

前記遅延回路の前記第 1 の時間は、前記出力信号が入力する後段回路の貫通電流防止用のマスク時間と同じかそれより長いことを特徴とするグリッジ処理回路。

【請求項 3】

請求項 1 又は 2 に記載のグリッジ処理回路において、

前記マスクング回路は、前記第 5 のノードの信号が第 1 の論理のとき前記第 2 のノードの信号の如何に拘わらず第 6 のノードの信号を第 2 の論理にし、前記第 3 のノードの信号が第 1 の論理のとき前記第 1 のノードの信号の如何に拘わらず第 4 のノードの信号を第 2 の論理にすることを特徴とするグリッジ処理回路。

【請求項 4】

請求項 1、2 又は 3 に記載のグリッジ処理回路において、

前記ラッチ回路は、前記第 4 のノードが第 2 の論理から第 1 の論理に変化するとき前記第 7 のノードを第 2 の論理にするとともに前記第 8 のノードを第 1 の論理にし、前記第 6 のノードが第 2 の論理から第 1 の論理に変化するとき前記第 7 のノードを第 1 の論理にするとともに前記第 8 のノードを第 2 の論理にすることを特徴とするグリッジ処理回路。

【請求項 5】

請求項 1、2、3 又は 4 に記載のグリッジ処理回路において、

前記第 7 および第 8 のノードの一方にインピーダンス変換回路を接続し、他方に該インピーダンス変換回路の入力インピーダンスと等しい負荷容量発生回路を接続したことを特徴とするグリッジ処理回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、信号に混入したグリッジのパルス幅を伸張させるグリッジ処理回路に関する。

【背景技術】

【0002】

図 9 に D 級増幅器におけるプリドライバ回路 200 を示す。このプリドライバ回路 200 は、オア回路 OR 1、アンド回路 AND 1、遅延素子 DL 3、DL 4、PMOS トランジスタ MP 1、NMOS トランジスタ MN 1 から構成される。オア回路 OR 1、アンド回路 AND 1、遅延素子 DL 3、DL 4 は、トランジスタ MP 1、MN 1 が同時にオンして貫通電流が流れないようにするためのマスクング回路を構成している。このマスクング回路のマスク時間は、遅延素子 DL 3、DL 4 の遅延時間 T 1 によって設定される。

【0003】

よって、このプリドライバ回路 200 では、入力信号のパルス幅が遅延素子 DL 3、D

10

20

30

40

50

L 4 の遅延時間 T 1 より長い場合には、図 1 0 (a) に示すように、時間 T 1 のオフ期間が形成され、トランジスタ M P 1 , M N 1 間に貫通電流が流れることはないが、入力信号が遅延時間 T 1 より短いグリッジの場合は、正常なマスキング動作が行われず、図 1 0 (b) に示すようにトランジスタ M P 1 , M N 1 が同時にオンして貫通電流が流れ、そのトランジスタ M P 1 , M N 1 に大きなダメージが生じる場合がある。

【 0 0 0 4 】

そこで、このようなグリッジによる問題を防止する方法として、特許文献 1 に見られるように、遅延回路と比較回路とラッチ回路でグリッジ除去回路を構成する方法がある。この例では、信号が変化すると比較回路が反応してラッチ回路がデータを取り込む動作を行う。ラッチ回路でのホールド時間は、遅延回路の遅延時間で決まるので、この時間を、ノイズによって信号が影響する時間よりも長くすることで、ノイズの影響を除去することができる。

10

【 0 0 0 5 】

また、特許文献 2 ～ 4 にみられるように、信号経路にローパスフィルタを設けて、ノイズによって発生する周波数の高い成分を除去するものもあり、更に、特許文献 5 に見られるように、非同期の信号を、クロックにて D F F に取り込み直した後で、同一論理の信号の時間幅をカウンタで数えて、ノイズを除去するものもある。

【先行技術文献】

【特許文献】

【 0 0 0 6 】

20

【特許文献 1】特開 2 0 0 2 － 2 0 8 8 4 4 号公報 (図 1 0 、 図 1 1)

【特許文献 2】特開平 8 － 2 3 7 0 8 7 号公報 (図 1 2)

【特許文献 3】特開平 7 － 3 3 6 2 0 1 号公報 (図 1 3)

【特許文献 4】特開 2 0 0 7 － 7 4 2 9 4 号公報 (図 1 4)

【特許文献 5】米国特許第 6 3 3 7 6 4 9 号明細書 (F I G . 2)

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 7 】

しかし、上記のような特許文献 1 に記載のものでは、遅延素子に取り込むタイミングを誤ると、誤ったデータをホールドする欠点があった。また、特許文献 2 ～ 4 に記載のものでは、信号線にローパスフィルタが入ることで、伝搬遅延が生じる欠点があった。特に負帰還の経路に入れる場合には、位相余裕度を損なう欠点となっていた。更に、特許文献 5 に記載のものは、信号よりも十分に高い周波数のクロックが必要となる欠点があった。

30

【 0 0 0 8 】

本発明の目的は、上記したようなグリッジを除去するのではなく、そのパルス幅を十分に伸張させて後段回路で貫通電流が発生しないようにしたグリッジ処理回路を提供することである。

【課題を解決するための手段】

【 0 0 0 9 】

40

上記目的を達成するために、請求項 1 にかかる発明のグリッジ処理回路は、入力信号の反転信号を第 1 のノードに出力し、前記入力信号の非反転信号を第 2 のノードに出力する単相／差動変換回路と、前記第 1 のノードの信号を第 3 のノードの信号でマスキングして第 4 のノードに出力し、前記第 2 のノードの信号を第 5 のノードの信号でマスキングして第 6 のノードに出力するマスキング回路と、前記第 4 のノードの信号の変化又は前記第 6 のノードの信号の変化によって第 7 のノードの信号と第 8 のノードの信号を変化させる S R F F からなるラッチ回路と、前記第 7 のノードの信号を第 1 の時間だけ遅延させて前記第 5 ノードに出力し、且つ前記第 8 ノード信号を前記第 1 の時間だけ遅延させて前記第 3 のノードに出力する遅延回路とを具備し、前記第 8 のノード又は前記第 7 のノードの信号を出力信号としたことを特徴とする。

請求項 2 にかかる発明は、請求項 1 に記載のグリッジ処理回路において、前記遅延回路

50

の前記第 1 の時間は、前記出力信号が入力する後段回路の貫通電流防止用のマスク時間と同じかそれより長いことを特徴とする。

請求項 3 にかかる発明は、請求項 1 又は 2 に記載のグリッジ処理回路において、前記マスキング回路は、前記第 5 のノードの信号が第 1 の論理のとき前記第 2 のノードの信号の如何に拘わらず第 6 のノードの信号を第 2 の論理にし、前記第 3 のノードの信号が第 1 の論理のとき前記第 1 のノードの信号の如何に拘わらず第 4 のノードの信号を第 2 の論理にすることを特徴とする。

請求項 4 にかかる発明は、請求項 1、2 又は 3 に記載のグリッジ処理回路において、前記ラッチ回路は、前記第 4 のノードが第 2 の論理から第 1 の論理に変化するとき前記第 7 のノードを第 2 の論理にするとともに前記第 8 のノードを第 1 の論理にし、前記第 6 のノードが第 2 の論理から第 1 の論理に変化するとき前記第 7 のノードを第 1 の論理にするとともに前記第 8 のノードを第 2 の論理にすることを特徴とする。

請求項 5 にかかる発明は、請求項 1、2、3 又は 4 に記載のグリッジ処理回路において、前記第 7 および第 8 のノードの一方にインピーダンス変換回路を接続し、他方に該インピーダンス変換回路の入力インピーダンスと等しい負荷容量発生回路を接続したことを特徴とする。

【発明の効果】

【0010】

本発明のグリッジ処理回路によれば、グリッジのパルス幅を遅延回路の遅延時間だけ伸張できるので、そのグリッジ処理回路の出力信号を後段のプリドライバ回路に出力しても、そのプリドライバ回路での貫通電流発生を防止可能となる。また、信号線路内にローパスフィルタを必要としないため、負帰還の回路に入れた場合でも系を安定化できる。更に、クロックが不要であるため、別途発振回路を設ける必要もない。

【図面の簡単な説明】

【0011】

【図 1】本発明の原理説明用のグリッジ処理回路の回路図である。

【図 2】本発明の第 1 の実施例のグリッジ処理回路の回路図である。

【図 3】本発明の第 2 の実施例のグリッジ処理回路の回路図である。

【図 4】本発明の第 3 の実施例のグリッジ処理回路の回路図である。

【図 5】本発明の第 4 の実施例のグリッジ処理回路の回路図である。

【図 6】本発明の第 5 の実施例のグリッジ処理回路の回路図である。

【図 7】本発明の第 6 の実施例のグリッジ処理回路の回路図である。

【図 8】本発明の第 1 の実施例のグリッジ処理回路の動作波形図である。

【図 9】従来の D 級増幅器のプリドライバ回路の回路図である。

【図 10】図 9 のプリドライバ回路の動作波形図である。

【発明を実施するための形態】

【0012】

< 本発明の原理 >

図 1 に本発明のグリッジ処理回路 100 の原理構成を示す。本発明のグリッジ処理回路 100 は、単相／差動変換回路 10、マスキング回路 20、ラッチ回路 30、および遅延回路 40 を備える。

【0013】

単相／差動変換回路 10 は、入力端子 IN の入力信号を反転した反転信号をノード N1 に出力し、非反転の信号をノード N2 に出力する。マスキング回路 20 は、ノード N1 の信号をノード N3 の信号によりマスキングしてノード N4 に出力し、ノード N2 の信号をノード N5 の信号によりマスキングしてノード N6 に出力する。ラッチ回路 30 は、ノード N4 の信号の変化又はノード N6 の信号の変化によってノード N7 の信号とノード N8 の信号を変化させる S R F F (セット・リセット・フリップフロップ) で構成されている。遅延回路 40 は、ノード N7 の信号を時間 T0 だけ遅延してノード N5 に出力し、ノード N8 の信号を時間 T0 だけ遅延してノード N3 に出力する。この遅延時間 T0 は、図 9

で説明したブリドライバ回路 200 の遅延素子 DL3, DL4 の遅延時間 T1 と同じか又はそれより長く設定されている。

【0014】

このグリッジ処理回路 100 では、入力端子 IN に遅延回路 40 における遅延時間 T0 よりも長い時間幅のパルスが入力したときは、ラッチ回路 30 のホールド期間中に信号が変化せず、ノード N8 の出力信号は入力端子 IN の入力信号と同じ波形になり、ノード N7 の出力信号の波形は入力端子 IN の入力信号を反転した波形となる。しかし、入力端子 IN に遅延回路 40 における遅延時間 T0 よりも短い時間幅のパルスが入力したときは、ラッチ回路 30 でホールドされた信号が出力するため、ノード N7, N8 の出力信号の波形は遅延時間 T0 のパルス幅に整形されて出力する。これにより、遅延時間 T0 よりも短いパルス幅のグリッジが入力されても、そのグリッジはパルス幅が時間 T0 ($\geq T1$) に伸張されて出力されることになるため、ノード N8 の信号をブリドライバ回路に入力しても、そこで貫通電流を発生させる恐れはない。

【0015】

<第 1 の実施例>

図 2 に本発明の第 1 の実施例のグリッジ処理回路 100 を示す。単相／差動変換回路 10 は、インバータ INV1, INV2 からなり、入力端子 11 に入力した信号がインバータ INV1 で反転され反転信号としてノード N1 に出力し、インバータ INV2 で更に反転され非反転信号としてノード N2 に出力する。このとき、入力信号 IN は、インバータ INV1, INV2 によってインピーダンス変換されてノード N1, N2 に出力する。

【0016】

マスキング回路 20 は、ノード N2 の信号をノード N5 の信号でマスキングしてノード N6 に出力するナンド回路 NAND1 と、ノード N1 の信号をノード N3 の信号でマスキングしてノード N4 に出力するナンド回路 NAND2 とを備える。すなわち、ナンド回路 NAND1 はノード N5 の信号が“L”のときはノード N2 の信号如何に拘わらず“H”の信号をノード N6 に出力するが、ノード N5 の信号が“H”のときはノード N2 の信号を反転させてノード N6 に出力する。また、ナンド回路 NAND2 はノード N3 の信号が“L”のときはノード N1 の信号如何に拘わらず“H”の信号をノード N4 に出力するが、ノード N3 の信号が“H”のときはノード N1 の信号を反転させてノード N4 に出力する。

【0017】

ラッチ回路 30 は、ナンド回路 NAND3, NAND4 からなる SRFF で構成され、ノード N4 の信号が“H”→“L”に変化するとき、ノード N7 の信号を“H”に、ノード N8 の信号を“L”に変化させる。また、ノード 6 の信号が“H”→“L”に変化するとき、ノード N7 の信号を“L”に、ノード N8 の信号を“H”に変化させる。

【0018】

遅延回路 40 は、ノード N8 の信号を時間 T0 だけ遅延してノード N3 に出力する遅延素子 DL2 と、ノード N7 の信号を時間 T0 だけ遅延してノード N5 に出力する遅延素子 DL1 とを備える。

【0019】

次に図 8 の波形図を使用して動作を説明する。

(1) ノードの論理が、 $N7 \neq N5$ 、 $N8 \neq N3$ の条件のとき、

(1-1) $N7 = \text{“H”}$ 、 $N8 = \text{“L”}$ の場合は $N5 = \text{“L”}$ 、 $N3 = \text{“H”}$ であり、マスキング回路 20 はノード N2 がいずれの論理になっても $N6 = \text{“H”}$ に固定され、ノード N4 はノード N1 の信号の反転信号となるが、ラッチ回路 30 は、ノード N4 が“L”、“H”のいずれになっても、 $N7 = \text{“H”}$ 、 $N8 = \text{“L”}$ を保持する。

(1-2) $N7 = \text{“L”}$ 、 $N8 = \text{“H”}$ の場合は $N5 = \text{“H”}$ 、 $N3 = \text{“L”}$ であり、マスキング回路 20 はノード N1 がいずれの論理になっても $N4 = \text{“H”}$ に固定され、ノード N6 はノード N2 の信号の反転信号となるが、ラッチ回路 30 は、ノード N6 が“L”、“H”のいずれになっても、 $N7 = \text{“L”}$ 、 $N8 = \text{“H”}$ を保持する。

(1-3) この結果、ノードN1, N2に信号を生成する入力端子11の信号が“H”, “L”のいずれに変化しても、ラッチ回路30のノードN7, N8はその論理が保持される。

【0020】

(2) ノードの論理が、 $N7 = N5$ 、 $N8 = N3$ の条件のとき、

(2-1) $N7 = \text{“H”}$ 、 $N8 = \text{“L”}$ の場合は、 $N5 = \text{“H”}$ 、 $N3 = \text{“L”}$ であり、マスキング回路20はノードN1がいずれの論理であっても $N4 = \text{“H”}$ に固定され、ノードN6は入力端子11の論理の反転信号となり、ラッチ回路30に書き込み可能となる。このときは、 $N6 = \text{“H”}$ になっても $N8 = \text{“L”} \rightarrow \text{“L”}$ であるが、 $N6 = \text{“L”}$ になれば $N8 = \text{“L”} \rightarrow \text{“H”}$ に変化する。

10

(2-2) $N7 = \text{“L”}$ 、 $N8 = \text{“H”}$ の場合は、 $N5 = \text{“L”}$ 、 $N3 = \text{“H”}$ であり、マスキング回路20はノードN2がいずれの論理であっても $N6 = \text{“H”}$ に固定され、ノードN4は入力端子11の論理の反転信号となり、ラッチ回路30に書き込み可能となる。このときは、 $N4 = \text{“H”}$ になっても $N7 = \text{“L”} \rightarrow \text{“L”}$ であるが、 $N4 = \text{“L”}$ になれば $N7 = \text{“L”} \rightarrow \text{“H”}$ に変化する。

(2-3) この結果、ノードN1, N2に信号を生成する入力端子11の信号を、ラッチ回路30に書き込む動作が行われる。

【0021】

以上により、ノードN7, N8には、図8に示すように、入力端子11に入力する入力信号のパルス幅が遅延素子DL1, DL2の遅延時間T0よりも長いパルス幅Taの信号はそのパルス幅Taで出力するが、遅延時間T0よりも短いパルス幅Tbの信号はその遅延時間T0にまで伸張されてから、出力する。

20

【0022】

<第2の実施例>

図3に第2の実施例のグリッジ処理回路100Aを示す。ここでは、図2におけるグリッジ処理回路100のナンド回路NAND1～NAND4を、ノア回路NOR1～NOR4に置き換えて、マスキング回路20A、ラッチ回路30Aを構成している。全体の動作は、図2で説明したものと同一である。

【0023】

<第3の実施例>

30

図4に、図2のグリッジ処理回路100のノードN8にインピーダンス変換回路50を接続して出力信号を取り出すようにした第3の実施例を示す。インピーダンス変換回路50は、インバータINV3と、マスキング回路20やラッチ回路30のナンド回路NAND1～4と同じナンド回路NAND5とで構成されていて、これにより立ち上がり立ち下りの伝播遅延を同一に近づけることができる。また、大きな容量の負荷を駆動可能となる。

<第4の実施例>

【0024】

図5に、図3のグリッジ処理回路100AのノードN8にインピーダンス変換回路50Aを接続して出力信号を取り出すようにした第4の実施例を示す。インピーダンス変換回路50Aは、インバータINV4と、マスキング回路20Aやラッチ回路30Aのノア回路NOR1～4と同じノア回路NOR5とで構成されていて、これにより立ち上がり立ち下りの伝播遅延を同一に近づけることができる。また、大きな容量の負荷を駆動可能となる。

40

<第5の実施例>

【0025】

図6に、図4のグリッジ処理回路100のノードN7に負荷容量発生回路60を接続して、ノードN7, N8の負荷容量をバランスさせた第6の実施例を示す。負荷容量発生回路60は、ナンド回路NAND6で構成されている。

<第6の実施例>

50

【0026】

図7に、図5のグリッジ処理回路100AのノードN7に負荷容量発生回路60Aを接続して、ノードN7、N8の負荷容量をバランスさせた第7の実施例を示す。負荷容量発生回路60Aは、ノア回路NOR6で構成されている。

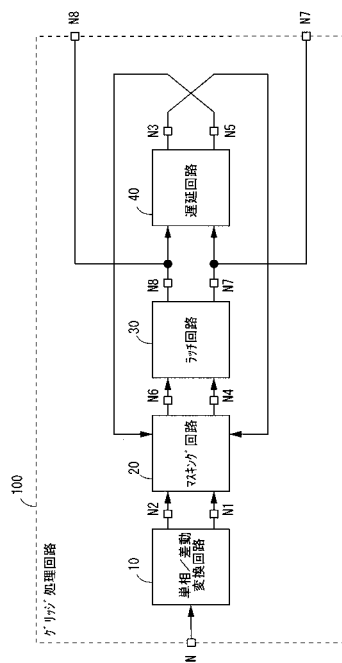
【符号の説明】

【0027】

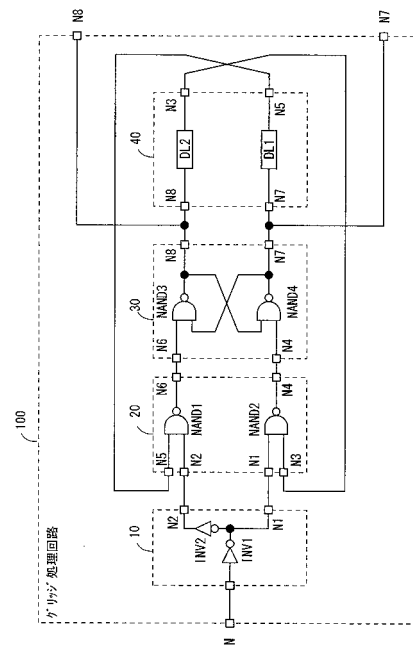
- 100、100A：グリッジ処理回路
- 200：プリドライバ回路
- 10：单相／差動変換回路
- 20、20A：マスキング回路
- 30、30A：ラッチ回路
- 40：遅延回路
- 50、50A：インピーダンス変換回路
- 60、60A：負荷容量発生回路

10

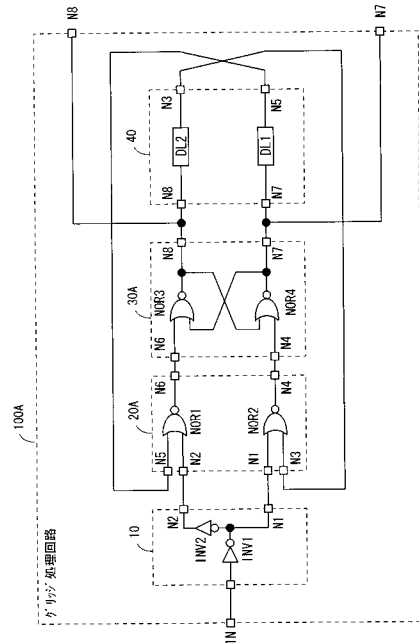
【図1】



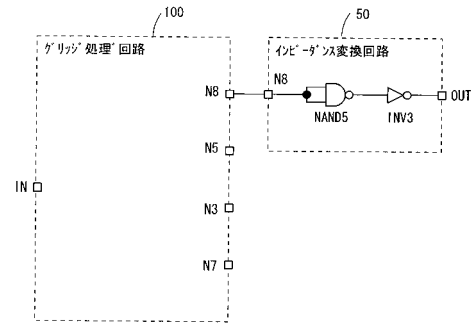
【図2】



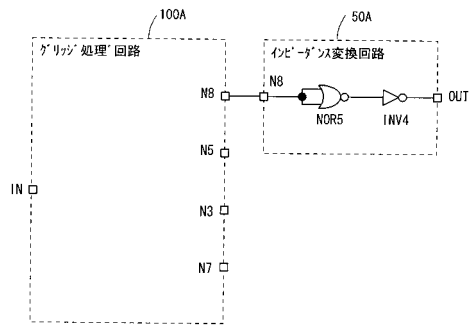
【図 3】



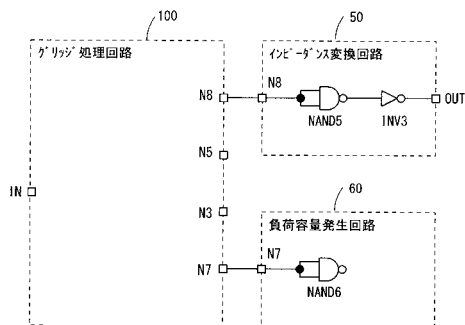
【図 4】



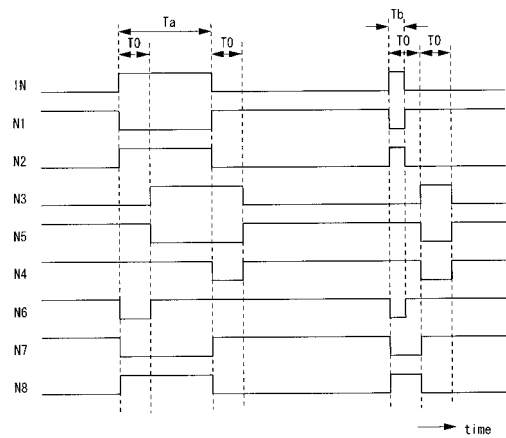
【図 5】



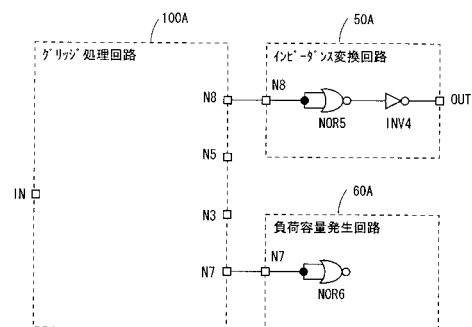
【図 6】



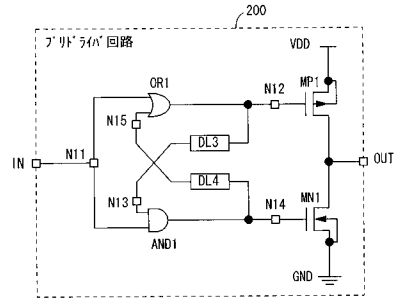
【図 8】



【図 7】



【図 9】



【図 10】

