

(12) 发明专利申请

(10) 申请公布号 CN 102971853 A

(43) 申请公布日 2013. 03. 13

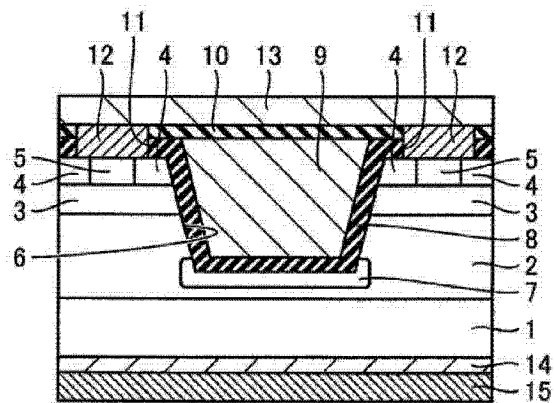
(21) 申请号 201180032956. 4
 (22) 申请日 2011. 07. 14
 (30) 优先权数据
 2010-174664 2010. 08. 03 JP
 (85) PCT申请进入国家阶段日
 2012. 12. 31
 (86) PCT申请的申请数据
 PCT/JP2011/066096 2011. 07. 14
 (87) PCT申请的公布数据
 W02012/017798 JA 2012. 02. 09
 (71) 申请人 住友电气工业株式会社
 地址 日本大阪府大阪市
 (72) 发明人 增田健良
 (74) 专利代理机构 中原信达知识产权代理有限
 责任公司 11219
 代理人 李兰 孙志湧

(51) Int. Cl.
H01L 29/12 (2006. 01)
H01L 21/336 (2006. 01)
H01L 29/78 (2006. 01)

权利要求书 1 页 说明书 13 页 附图 8 页

(54) 发明名称
 半导体器件及其制造方法

(57) 摘要
 本发明提供了具有稳定特性和高质量的半导体器件以及用于生产该半导体器件的工艺。该半导体器件包括具有主表面的衬底(1)和碳化硅层(2至5)。该碳化硅层形成在衬底(1)的主表面上。碳化硅层中的每一个具有作为相对于主表面倾斜的端表面的侧表面。在碳化硅层是六方晶型时,侧表面基本上包含 {03-3-8} 面和 {01-1-4} 面中的一种,并且在碳化硅层是立方晶型时,侧表面基本上包含 {100} 面。



1. 一种半导体器件,包括:
衬底(1、31),所述衬底(1、31)具有主表面;以及
碳化硅层,所述碳化硅层形成在所述衬底(1、31)的所述主表面上,
所述碳化硅层(2至5、32至35、42、43)包括相对于所述主表面倾斜的端表面(20),
在所述碳化硅层(2至5、32至35、42、43)是六方晶型的情况下,所述端表面(20)基本上包括{03-3-8}面和{01-1-4}面之一,并且在所述碳化硅层(2至5、32至35、42、43)是立方晶型的情况下,所述端表面(20)基本上包括{100}面。
2. 根据权利要求1所述的半导体器件,其中,所述端表面(20)包括有源区。
3. 根据权利要求2所述的半导体器件,其中,所述有源区包括沟道区。
4. 根据权利要求1所述的半导体器件,其中,
所述碳化硅层(2至5、32至35、42、43)在其主表面上包括台面结构,所述台面结构具有由所述端表面(20)构成的侧表面,所述主表面与所述碳化硅层(2至5、32至35、42、43)的面对所述衬底(1、31)的表面相反,并且
PN结形成在所述台面结构中。
5. 根据权利要求1所述的半导体器件,其中,所述端表面(20)的至少一部分构成终端结构(46)。
6. 一种用于制造半导体器件的方法,包括以下步骤:
制备衬底(1、31),在所述衬底(1、31)上形成有碳化硅层(2至5、32至35、42、43);
在将所述碳化硅层(2至5、32至35、42、43)暴露于包含氧和氯的反应气体的同时,通过利用加热所述碳化硅层(2至5、32至35、42、43)进行的蚀刻而去除所述碳化硅层(2至5、32至35、42、43)的所述主表面的一部分,来形成相对于所述碳化硅层(2至5、32至35、42、43)的主表面倾斜的端表面(20);并且
利用所述端表面(20),形成包括在所述半导体器件中的结构,
在所述碳化硅层(2至5、32至35、42、43)是六方晶型的情况下,所述端表面(20)基本上包括{03-3-8}面和{01-1-4}面之一,并且在所述碳化硅层(2至5、32至35、42、43)是立方晶型的情况下,所述端表面(20)基本上包括{100}面。
7. 根据权利要求6所述的用于制造半导体器件的方法,进一步包括以下步骤:在形成所述端表面(20)的步骤之前,在所述碳化硅层(2至5、32至35、42、43)的所述主表面上形成具有图案的掩膜层(17),
其中,在形成所述端表面(20)的步骤中,利用所述掩膜层(17)作为掩膜,执行用于形成沟槽(6)的蚀刻。
8. 根据权利要求6所述的用于制造半导体器件的方法,其中,在形成所述端表面(20)的步骤中使用的反应气体中,氧的流量与氯的流量的比率不小于0.1且不大于2.0。
9. 根据权利要求6所述的用于制造半导体器件的方法,其中,在形成所述端表面(20)的步骤中,在不小于700°C且不大于1200°C的温度下加热所述碳化硅层(2至5、32至35、42、43)。

半导体器件及其制造方法

技术领域

[0001] 本发明涉及半导体器件及用于制造该半导体器件的方法,更具体地,涉及利用在碳化硅层中形成并且包括预定晶面的倾斜表面的半导体器件以及用于制造这种半导体器件的方法。

背景技术

[0002] 传统上,已提出使用碳化硅(SiC)作为用于半导体器件的材料。例如,通过改进的雷利(Rayleigh)方法制造由这种碳化硅制成的衬底。

[0003] 然而,如上所述制造的碳化硅衬底具有的问题在于,在其表面中形成开口并且常常产生微管,微管是在c轴方向上延伸的晶体缺陷。当在衬底表面上形成碳化硅的外延膜时,由于在衬底表面中存在微管,导致在外延膜中也存在晶体缺陷,这会造成最终得到的半导体器件的电特性劣化。

[0004] 为了解决这种问题,例如,专利文献1(日本专利特开 No. 2004-292305)公开了一种通过以下步骤实现的液相外延生长技术:将由碳化硅单晶制成的籽晶衬底和多晶碳化硅衬底叠置并且使硅源置于其间,将它们容纳在封闭容器中,此后将籽晶衬底和多晶碳化硅衬底加热到1400°C至2300°C,并且,利用由置于这两个衬底之间的熔化硅源产生的超薄硅熔体,通过液相外延生长方法在籽晶衬底上生长碳化硅单晶。专利文献1描述了通过如上所述的方法外延生长的碳化硅单晶可以减小微管密度。

[0005] 引用列表

[0006] 专利文献

[0007] PTL1:日本专利特开 No. 2004-292305

发明内容

[0008] 技术问题

[0009] 然而,在专利文献1所公开的技术中,以液相执行晶体生长,因此难以控制杂质的浓度。因此,因为不能精确地控制杂质的浓度,所以存在的问题是,使用外延生长的碳化硅单晶的半导体器件可能具有劣化或波动的电特性。

[0010] 另外,例如,至于六方晶型的碳化硅,传统上已经报道了,可以通过利用所谓的半极性面,诸如具有{03-3-8}面取向的面,作为诸如MOSFET的半导体器件中的沟道,来实现高沟道迁移率。专利文献1还描述了可以使用不同于(0001)的任意面取向作为籽晶衬底的面取向。然而,专利文献1没有提到用于形成如上所述的半极性面的具体方法。尽管也可想到的是加工碳化硅单晶衬底以形成上述的半极性面,但加工具有有限的处理精度,因此所形成的面可能不是精确的上述的半极性面。在这种情况下,存在的问题是,所形成的半导体器件的特性(例如,沟道迁移率)没有充分提高。

[0011] 已经提出本发明来解决以上问题,并且本发明的一个目的在于提供具有稳定特性的高质量半导体器件和用于制造这种半导体器件的方法。

[0012] 问题的解决方法

[0013] 由于努力研究,发明人已发现,通过在预定条件下处理碳化硅单晶,可以作为自发形成的表面形成所谓的半极性面,并且通过使用由此自发形成的半极性面作为半导体器件的有源区(例如,沟道区),可以实现电特性优良(例如,具有高沟道迁移率)的半导体器件。基于发明人的这些发现,根据本发明的半导体器件包括具有主表面和碳化硅层的衬底。碳化硅层形成在衬底的主表面上。碳化硅层包括相对于主表面倾斜的端表面。在碳化硅层具有六方晶型的情况下,端表面基本上包括 {03-3-8} 面和 {01-1-4} 面中的一种,并且在碳化硅层具有立方晶型的情况下,端表面基本上包括 {100} 面。

[0014] 应该注意,表述“端表面基本上包括 {03-3-8} 面和 {01-1-4} 面中的一种”是指构成端表面的晶面是 {03-3-8} 面和 {01-1-4} 面中的一种的情况,以及构成端表面的晶面是在 $\langle 1-100 \rangle$ 方向上相对于 {03-3-8} 面或 {01-1-4} 面具有不小于 -3° 且不大于 3° 的偏离角的面。还应该注意,“在 $\langle 1-100 \rangle$ 方向相对于 {03-3-8} 面或 {01-1-4} 面的偏离角”是指上述端表面的法线在由 $\langle 1-100 \rangle$ 方向和 $\langle 0001 \rangle$ 方向限定的平面上的正交投影与 {03-3-8} 面或 {01-1-4} 面的法线形成的角度。正值的符号对应于正交投影接近平行于 $\langle 1-100 \rangle$ 方向的情况,而负值的符号对应于正交投影接近平行于 $\langle 0001 \rangle$ 方向的情况。另外,表述“端表面基本上包括 {100} 面”是指构成端表面的晶面是 {100} 面的情况,以及构成端表面的晶面是在任何晶体取向上相对于 {100} 面具有不小于 -3° 且不大于 3° 的偏离角的晶面的情况。

[0015] 以此方式,碳化硅层的端表面基本上对应于 {03-3-8} 面、{01-1-4} 面和 {100} 面中的任意一种。因此,可以使用与所谓的半极性面对应的端表面作为半导体器件的有源区。因为端表面由此对应于稳定的晶面,所以与采用另一个晶面(诸如 $\langle 0001 \rangle$ 面)用于有源区的情况相比,在采用该端表面用于诸如沟道区的有源区的情况下,可以充分地稳定减小漏电流并且可以得到高击穿电压。

[0016] 另外,发明人已发现,通过在将碳化硅层暴露于包含氧和氯的反应气体的同时加热碳化硅层(碳化硅单晶层),在碳化硅中自发形成允许最低蚀刻速率的晶面。发明人还发现,通过调节反应气体的组成(例如,氧和氯之间的比率)和加热温度,可以自发形成上述的 {03-3-8} 面、{01-1-4} 面或 {100} 面。基于这些发现,根据本发明的用于制造半导体器件的方法包括步骤:制备其上形成碳化硅层的衬底;形成相对于碳化硅层的主表面倾斜的端表面;并且使用该端表面,形成包括在半导体器件中的结构。在形成端表面的步骤中,通过利用在将碳化硅层暴露于包含氧和氯的反应气体的同时加热碳化硅的蚀刻,去除碳化硅层的主表面的一部分。因此,形成相对于碳化硅层的主表面倾斜的端表面。在碳化硅层具有六方晶型的情况下,端表面基本上包括 {03-3-8} 面和 {01-1-4} 面中的一种,并且在碳化硅层具有立方晶型的情况下,端表面基本上包括 {100} 面。在这种情况下,可以容易制造根据本发明的半导体器件。另外,因为可以通过如上所述执行蚀刻(热蚀刻)自发形成 {03-3-8} 面、{01-1-4} 面或 {100} 面,所以不需要采用液相生长等来形成这些晶面。因此,在自发形成过程中,以上晶面中的杂质浓度不太可能发生变化。因此,可以通过诸如离子注入的方法容易地控制晶面中的杂质浓度。

[0017] 本发明的有益效果

[0018] 根据本发明,可以得到具有稳定减小的漏电流和高击穿电压的优良特性的半导体

器件。

附图说明

- [0019] 图 1 是示出根据本发明的半导体器件的第一实施例的示意性横截面图。
- [0020] 图 2 是示出用于制造图 1 中所示的半导体器件的方法的示意性横截面图。
- [0021] 图 3 是示出用于制造图 1 中所示的半导体器件的方法的示意性横截面图。
- [0022] 图 4 是示出用于制造图 1 中所示的半导体器件的方法的示意性横截面图。
- [0023] 图 5 是示出用于制造图 1 中所示的半导体器件的方法的示意性横截面图。
- [0024] 图 6 是示出用于制造图 1 中所示的半导体器件的方法的示意性横截面图。
- [0025] 图 7 是示出用于制造图 1 中所示的半导体器件的方法的示意性横截面图。
- [0026] 图 8 是示出用于制造图 1 中所示的半导体器件的方法的示意性横截面图。
- [0027] 图 9 是示出用于制造图 1 中所示的半导体器件的方法的示意性横截面图。
- [0028] 图 10 是示出用于制造图 1 中所示的半导体器件的方法的参考例的示意性横截面图。
- [0029] 图 11 是示出用于制造图 1 中所示的半导体器件的方法的参考例的示意性横截面图。
- [0030] 图 12 是示出图 1 中所示的半导体器件的变型的示意性横截面图。
- [0031] 图 13 是示出根据本发明的半导体器件的第二实施例的示意性横截面图。
- [0032] 图 14 是示出用于制造图 13 中所示的半导体器件的方法的示意性横截面图。
- [0033] 图 15 是示出用于制造图 13 中所示的半导体器件的方法的示意性横截面图。
- [0034] 图 16 是示出用于制造图 13 中所示的半导体器件的方法的示意性横截面图。
- [0035] 图 17 是示出用于制造图 13 中所示的半导体器件的方法的示意性横截面图。
- [0036] 图 18 是示出用于制造图 13 中所示的半导体器件的方法的示意性横截面图。
- [0037] 图 19 是示出用于制造图 13 中所示的半导体器件的方法的示意性横截面图。
- [0038] 图 20 是示出用于制造图 13 中所示的半导体器件的方法的示意性横截面图。
- [0039] 图 21 是示出用于制造图 13 中所示的半导体器件的方法的示意性横截面图。
- [0040] 图 22 是示出图 13 中所示的半导体器件的变型的示意性横截面图。
- [0041] 图 23 是示出根据本发明的半导体器件的第三实施例的示意性横截面图。
- [0042] 图 24 是示出图 23 中所示的半导体器件的变型的示意性横截面图。
- [0043] 图 25 是碳化硅层的侧表面的放大局部示意性横截面图。

具体实施方式

[0044] 下面参照附图描述本发明的实施例。应该注意,在下述附图中,为相同或对应的部分赋予相同的附图标记,并且不再重复进行描述。另外,在本说明书中,单个取向用 $[\]$ 标示,取向群(group orientation)用 $\langle \rangle$ 标示,单个面用 $()$ 标示,并且面群(group plane)用 $\{ \}$ 标示。另外,虽然应当通过在数字上方设置“-”(横杠)来结晶学地指示负指数,但是在本说明书中是通过在数字之前设置负号指示的。

[0045] (第一实施例)

[0046] 参照图 1,将描述本发明中的半导体器件的第一实施例。

[0047] 参照图 1, 本发明中的半导体器件是垂直型 MOSFET, 其是采用具有倾斜侧表面的沟槽的垂直型器件。图 1 中所示的半导体器件包括: 衬底 1, 其由碳化硅制成; 击穿电压保持层 2, 其由碳化硅制成并且用作具有 n 型导电性的外延层; p 型体层 3 (p 型半导体层 3), 其由碳化硅制成并且具有 p 型导电性; n 型源极接触层 4, 其由碳化硅制成并且具有 n 型导电性; 接触区 5, 其由碳化硅制成并且具有 p 型导电性; 栅极绝缘膜 8; 栅电极 9; 层间绝缘膜 10; 源电极 12; 源极布线电极 13; 漏电极 14; 以及背侧表面保护电极 15。

[0048] 衬底 1 由六方晶型的碳化硅或立方晶型的碳化硅制成。击穿电压保持层 2 形成在衬底 1 的一个主表面上。p 型体层 3 中的每一个形成在击穿电压保持层 2 上。在 p 型体层 3 上, 形成 n 型源极接触层 4。p 型接触区 5 形成为被 n 型源极接触层 4 围绕。通过去除 n 型源极接触层 4、p 型体层 3 和击穿电压保持层 2 的一部分, 形成沟槽 6。沟槽 6 的侧壁中的每一个用作相对于衬底 1 的主表面倾斜的端表面。倾斜的端表面围绕突出部分(具有上表面的突出状部分, 源电极 12 形成在该上表面上)。如果衬底 1 具有六方晶型, 则突出部分可以具有例如六边形平面形状。另外, 如果衬底 1 具有立方晶型, 则突出部分可以具有例如四边形平面形状。

[0049] 栅极绝缘膜 8 形成在沟槽 6 的侧壁和底壁上。栅极绝缘膜 8 延伸到 n 型源极接触层 4 中的每一个的上表面上。栅电极 9 形成在栅极绝缘膜 8 上, 以填充沟槽 6 的内部。栅电极 9 具有基本与栅极绝缘膜 8 在 n 型源极接触层 4 中的每一个的上表面上的部分的上表面一样高的上表面。

[0050] 层间绝缘膜 10 形成为覆盖栅电极 9 以及栅极绝缘膜 8 延伸到 n 型源极接触层 4 中的每一个的上表面上的部分。通过去除层间绝缘膜 10 和栅极绝缘膜 8 的一部分, 形成开口 11, 以暴露 n 型源极接触层 4 的一部分和 p 型接触区 5。源电极 12 形成为与 p 型接触区 5 和 n 型源极接触层 4 的该一部分接触, 以填充开口 11 的内部。源极布线电极 13 形成为与源电极 12 中的每一个的上表面接触, 以便在层间绝缘膜 10 的上表面上延伸。另外, 漏电极 14 形成在衬底 1 的背侧表面上, 该背侧表面与衬底的上面形成有击穿电压保持层 2 的主表面相反。该漏电极 14 是欧姆电极。漏电极 14 具有与其面对衬底的表面相反并且上面形成有背侧表面保护电极 15 的表面。

[0051] 在图 1 中所示的半导体器件中, 沟槽 6 的侧壁中的每一个倾斜并且在构成击穿电压保持层 2 等的碳化硅具有六方晶型的情况下, 基本上对应于 {03-38} 面和 {01-1-4} 面中的一种。另外, 在构成击穿电压保持层 2 等的碳化硅具有立方晶型的情况下, 沟槽 6 的倾斜侧壁基本上对应于 {100} 面。如从图 1 看到的, 可以使用由此对应于所谓半极性面的侧壁中的每一个作为沟道区, 其是半导体器件的有源区。因为侧壁中的每一个对应于稳定的晶面, 所以与采用另一个晶面(诸如(0001)面)用于沟道区的情况相比, 在采用这种侧壁用于沟道区的情况下, 可以显著减小漏电流并且可以得到高击穿电压。

[0052] 下面简要描述图 1 中所示的半导体器件的操作。参照图 1, 当向栅电极 9 施加等于或小于阈值的电压时, 即, 当半导体器件处于截止(OFF)状态时, p 型体层 3 和具有 n 型导电性的击穿电压保持层 2 被反向偏置。因此, 它们处于非导电状态。另一方面, 当向栅电极 9 馈送正电压时, 在 p 型体层 3 与栅极绝缘膜 8 接触的区域附近的沟道区中形成反型层。因此, n 型源极接触层 4 和击穿电压保持层 2 彼此电连接。结果, 电流在源电极 12 和漏电极 14 之间流动。

[0053] 下面参照图 2 至图 9 描述用于制造本发明中的图 1 中所示的半导体器件的方法。

[0054] 首先,参照图 2,在由碳化硅制成的衬底 1 的主表面上,形成具有 n 型导电性的碳化硅的外延层。外延层用作击穿电压保持层 2。借助采用 CVD 方法的外延生长,形成击穿电压保持层 2,该 CVD 方法例如利用硅烷(SiH_4)和丙烷(C_3H_8)的混合气体作为原料气体并且利用氢气(H_2)作为载气。在这种情况下,优选的是,例如,引入氮(N)或磷(P)作为 n 型导电性的杂质。击穿电压保持层 2 可以包含浓度例如不小于 $5 \times 10^{15} \text{cm}^{-3}$ 且不大于 $5 \times 10^{16} \text{cm}^{-3}$ 的 n 型杂质。

[0055] 接着,将离子注入击穿电压保持层 2 的上表面层中,从而形成 p 型体层 3 和 n 型源极接触层 4。在用于形成 p 型体层 3 的离子注入中,注入诸如铝(Al)的 p 型导电性的杂质离子。在这种情况下,通过调节将要注入的离子的加速能量,可以调节其中将要形成 p 型体层 3 的区域的深度。

[0056] 接着,将 n 型导电性的杂质离子注入由此具有其中形成的 p 型体层 3 的击穿电压保持层 2 中,从而形成 n 型源极接触层 4。示例性的可使用的 n 型杂质是磷等。以此方式,得到图 3 中所示的结构。

[0057] 接着,如图 4 中所示,在 n 型源极接触层 4 的上表面上形成掩膜层 17。可以使用诸如硅氧化物膜的绝缘膜作为掩膜层 17。例如,可以采用以下过程作为用于形成掩膜层 17 的方法。也就是说,借助 CVD 方法等,在 n 型源极接触层 4 的上表面上形成硅氧化物膜。然后,借助光刻方法,在硅氧化物膜上,形成具有预定开口图案的抗蚀剂膜(未示出)。使用该抗蚀剂膜作为掩膜,通过蚀刻去除硅氧化物膜的一部分。此后,去除抗蚀剂膜。结果,形成了具有与将要形成图 4 中所示的沟槽 16 的区域一致的开口图案的掩膜层 17。

[0058] 然后,使用掩膜层 17 作为掩膜,借助蚀刻,去除 n 型源极接触层 4、p 型体层 3 和击穿电压保持层 2 的一部分。示例性的可使用的蚀刻方法是反应离子蚀刻(RIE),尤其是感应耦合等离子体(ICP)RIE。具体地,例如,可以使用采用 SF_6 或 SF_6 和 O_2 的混合气体作为反应气体的 ICP-RIE。借助这种蚀刻,可以在将要形成图 1 中所示的沟槽 6 的区域中,形成具有与衬底 1 的主表面基本垂直的侧壁的沟槽 16。以此方式,得到了图 4 中所示的结构。

[0059] 接着,执行热蚀刻步骤,以在击穿电压保持层 2、p 型体层 3 和 n 型源极接触层 4 中的每一个中示出预定的晶面。具体地,使用氧气和氯气的混合气体作为反应气体,在例如不小于 700°C 且不大于 1000°C 的热处理温度下,蚀刻(热蚀刻)图 4 中所示的沟槽 16 的侧壁中的每一个,从而形成沟槽 6,该沟槽 6 具有相对于衬底 1 的主表面倾斜的侧表面 20,如图 5 中所示。

[0060] 这里,例如,可以将氯气流量与氧气流量的比率(氯气流量/氧气流量)设定为不小于 0.5 且不大于 4.0,更优选地,不小于 1.0 且不大于 2.0,作为用于热蚀刻步骤的条件。应该注意,除了氯气和氧气之外,反应气体还可以包含载气。示例性的可使用的载气是氮(N_2)气、氩气、氦气等。当如上所述将热处理温度设定为不小于 700°C 且不大于 1000°C 时,蚀刻 SiC 的速率大致为例如 $70 \mu\text{m}/\text{小时}$ 。另外,当在这种情况下使用氧化硅(SiO_2)作为掩膜层 17 时,SiC 与 SiO_2 的选择比可以非常高。因此,在蚀刻 SiC 期间,没有基本上蚀刻由 SiO_2 制成的掩膜层 17。

[0061] 应该注意,在侧表面 20 中的每一个处示出的晶面对应于例如 {03-3-8} 面。即,在上述条件下蚀刻的过程中,沟槽 6 的侧表面 20 自发形成为对应于 {03-3-8} 面,即允许最低

蚀刻速率的晶面。结果,得到如图 5 中所示的结构。应该注意,构成侧表面 20 的晶面可以是 {01-1-4} 面。另外,在构成击穿电压保持层 2 等的碳化硅具有立方晶型的情况下,构成侧表面 20 的晶面可以是 {100} 面。

[0062] 接着,通过诸如蚀刻的任何方法去除掩膜层 17。此后,使用光刻方法,将具有预定图案的抗蚀剂膜(未示出)形成为沟槽 6 的内部延伸到 n 型源极接触层 4 中的每一个的上表面上。可以使用具有与沟槽 6 的底部和 n 型源极接触层 4 的上表面的一部分相一致的开口图案的抗蚀剂膜作为该抗蚀剂膜。通过使用这个抗蚀剂膜作为掩膜,注入 p 型导电性的杂质的离子,在沟槽 6 的底部形成电场缓和区 7,并且在 n 型源极接触层 4 的该一部分的区域处形成具有 p 型导电性的接触区 5。此后,去除抗蚀剂膜。结果,得到如图 6 中所示的结构。

[0063] 然后,执行活化退火步骤,以活化借助上述离子注入而注入的杂质。在这个活化退火步骤中,在没有在由碳化硅制成的外延层的表面上形成特定的盖层的情况下,执行退火处理。这里,发明人已发现,在采用上述 {03-38} 面的情况下,即使在没有在其表面上形成诸如盖层的保护膜的情况下执行活化退火处理时,该表面的特性也决不会劣化并且可以保持足够的表面平滑度。因此,省去传统上在活化退火处理之前形成保护层(盖层)的必要步骤,并且直接执行活化退火步骤。应该注意,可以在执行活化退火步骤之前,形成上述盖层。替代地,例如,可以在执行活化退火处理之前,只在 n 型源极接触层 4 和 p 型接触区 5 的上表面上设置盖层。

[0064] 接着,如图 7 中所示,将栅极绝缘膜 8 形成为从沟槽 6 的内部延伸到 n 型源极接触层 4 和 p 型接触区 5 的上表面上。例如,可以使用通过热氧化由碳化硅制成的外延层而得到的氧化物膜(氧化硅膜)作为栅极绝缘膜 8。以此方式,得到图 7 中所示的结构。

[0065] 接着,如图 8 中所示,在栅极绝缘膜 8 上形成栅电极 9,以填充沟槽 6 的内部。例如,可以使用以下方法作为用于形成栅电极 9 的方法。首先,采用溅射方法等在栅极绝缘膜 8 上形成导体膜。该导体膜将成为延伸到沟槽 6 的内部以及 p 型接触区 5 上的区域的栅电极。该导体膜可以由诸如金属的任何材料制成,只要该材料具有导电性。此后,使用诸如回蚀方法或 CMP 方法的合适方法,去除形成在除了沟槽 6 的内部之外的区域上的导体膜的一部分。结果,保持了填充沟槽 6 的内部的导体膜以构成栅电极 9。以此方式,得到图 8 中所示的结构。

[0066] 接着,将层间绝缘膜 10(参见图 9)形成为覆盖栅电极 9 的上表面和暴露于 p 型接触区 5 上的栅极绝缘膜 8 的上表面。层间绝缘膜可以由任何材料制成,只要该材料是绝缘的。另外,使用光刻方法,在层间绝缘膜 10 上形成具有图案的抗蚀剂膜。该抗蚀剂膜(未示出)设置有形成为与 p 型接触区 5 上的区域一致的开口图案。

[0067] 使用这个抗蚀剂膜作为掩膜,借助蚀刻去除层间绝缘膜 10 和栅极绝缘膜 8 的一部分。结果,形成开口 11(参见图 9),以贯穿层间绝缘膜 10 和栅极绝缘膜 8 延伸。开口 11 中的每一个都具有底部,p 型接触区 5 和 n 型源极接触层 4 的一部分在该底部处暴露。此后,形成将用作源电极 12(参见图 9)的导体膜,以填充开口 11 的内部并且覆盖上述抗蚀剂膜的上表面。此后,使用化学溶液等去除抗蚀剂膜,从而同时去除在抗蚀剂膜上形成的导体膜的一部分(剥离)。结果,填充开口 11 内部的导体膜构成源电极 12。这个源电极 12 是与 p 型接触区 5 和 n 型源极接触层 4 形成欧姆接触的欧姆电极。

[0068] 另外,在衬底 1 的背侧表面(与其上形成有击穿电压保持层 2 的主表面相反的衬底

表面)上,形成漏电极 14(参见图 9)。漏电极 14 可以由任何材料制成,只要该材料允许与衬底 1 的欧姆接触。以此方式,得到图 9 中所示的结构。

[0069] 此后,采用诸如溅射方法的合适方法形成源极布线电极 13(参见图 1)和背侧表面保护电极 15(参见图 1)。源极布线电极 13 与源电极 12 的上表面中的每一个形成接触,并且在层间绝缘膜 10 的上表面上延伸。背侧表面保护电极 15 形成在漏电极 14 的表面上。结果,可以得到图 1 中所示的半导体器件。

[0070] 参照图 10 和图 11,以下描述用于制造本发明中的图 1 中所示的半导体器件的方法的参考例。

[0071] 在用于制造本发明中的半导体器件的方法的参考例中,首先执行图 2 至图 4 中所示的步骤。此后,去除图 4 中所示的掩膜层 17。接着,将由硅制成的 Si 膜 21(参见图 10)形成为从沟槽 16 的内部延伸到 n 型源极接触层 4 的上表面。在这种状态下,执行热处理,以在与在沟槽 16 的内周表面和 n 型源极接触层 4 的上表面上的 Si 膜 21 接触的区域中造成碳化硅的重构。因此,如图 10 中所示,形成碳化硅的重构层 22,使得沟槽的侧壁中的每一个对应于预定的晶面($\{03-3-8\}$ 面)。结果,得到图 10 中所示的结构。

[0072] 此后,去除剩余的 Si 膜 21。可以借助例如使用 HNO_3 和 HF 等的混合液体(气体)的蚀刻来去除 Si 膜 21。此后,借助蚀刻进一步去除上述的重构层 22。可以使用 ICP-RIE 作为用于去除重构层 22 的蚀刻。结果,可以形成使其倾斜侧表面如图 11 中所示的沟槽 6。

[0073] 此后,通过执行图 6 至图 9 中所示的上述步骤,可以得到图 1 中所示的半导体器件。

[0074] 接着,参照图 12,描述图 1 中所示的半导体器件的变型。图 12 中所示的半导体器件基本具有与图 1 中所示的半导体器件的构造相同的构造,不同之处在于沟槽 6 的形状。具体地,在图 12 中所示的半导体器件中,沟槽 6 具有 V 形横截面形状。另外,从不同的观点看,图 12 中所示的半导体器件的沟槽 6 具有相对于衬底 1 的主表面倾斜、彼此相对并且其下部彼此连接的侧表面。在沟槽 6 的底部(相对侧壁的下部在该处彼此连接的部分),形成电场缓和区 7。利用由此构造的半导体器件,可以提供与图 1 中所示的半导体器件的效果相同的效果。另外,在图 12 中所示的半导体器件中,沟槽 6 不具有图 1 中所示的平坦底表面。因此,图 12 中所示的沟槽 6 具有比图 1 中所示的沟槽 6 的宽度窄的宽度。结果,与图 1 中所示的半导体器件相比,图 12 中所示的半导体器件的尺寸可以减小。这有利于实现半导体器件的更精细的设计和更高的集成度。

[0075] (第二实施例)

[0076] 参照图 13,以下描述本发明中的半导体器件的第二实施例。

[0077] 参照图 13,本发明中的半导体器件是 IGBT,其是利用具有倾斜侧表面的沟槽的垂直型器件。图 13 中所示的半导体器件包括:衬底 31,其由碳化硅制成并且具有 p 型导电性;p 型外延层 36,其由碳化硅制成并且用作具有 p 型导电性的缓冲层;n 型外延层 32,其由碳化硅制成并且用作具有 n 型导电性的击穿电压保持层;p 型半导体层 33,其由碳化硅制成并且对应于具有 p 型导电性的阱区;n 型源极接触层 34,其由碳化硅制成并且对应于具有 n 型导电性的发射区;接触区 35,其由碳化硅制成并且具有 p 型导电性;栅极绝缘膜 8;栅电极 9;层间绝缘膜 10;源电极 12,其对应于发射极;源极布线电极 13;漏电极 14,其对应于集电极;以及背侧表面保护电极 15。

[0078] p 型外延层 36 形成在衬底 31 的一个主表面上。在 p 型外延层 36 上,形成 n 型外延层 32。在 n 型外延层 32 上,形成 p 型半导体层 33 中的每一个。在 p 型半导体层 33 上,形成 n 型源极接触层 34。p 型接触区 35 形成为被 n 型源极接触层 34 围绕。通过去除 n 型源极接触层 34、p 型半导体层 33 和 n 型外延层 32 的一部分,形成沟槽 6。沟槽 6 的侧壁中的每一个用作相对于衬底 31 的主表面倾斜的端表面。倾斜的端表面围绕突出部分(突出状部分,其具有源电极 12 形成在其上的上表面)。突出部分具有例如六边形平面形状。

[0079] 栅极绝缘膜 8 形成在沟槽 6 的侧壁和底壁上。栅极绝缘膜 8 延伸到 n 型源极接触层 34 的上表面上。栅电极 9 形成在栅极绝缘膜 8 上,以填充沟槽 6 的内部。栅电极 9 具有基本与栅极绝缘膜 8 在 n 型源极接触层 34 的上表面上的部分的上表面一样高的上表面。

[0080] 层间绝缘膜 10 形成为覆盖栅电极 9 以及栅极绝缘膜 8 延伸到 n 型源极接触层 34 的上表面上的部分。通过去除层间绝缘膜 10 和栅极绝缘膜 8 的一部分,形成开口 11,以暴露 n 型源极接触层 34 的一部分和 p 型接触区 35。源电极 12 形成与为 p 型接触区 35 和 n 型源极接触层 34 的该一部分接触,以填充开口 11 的内部。源极布线电极 13 形成为与源电极 12 的上表面接触,以便在层间绝缘膜 10 的上表面上延伸。

[0081] 另外,如图 1 中所示的半导体器件,漏电极 14 和背侧表面保护电极 15 形成在衬底 1 的背侧表面上,该背侧表面与上面形成有击穿电压保持层 2 的主表面相反。

[0082] 如图 1 中所示的半导体器件,在图 13 中所示的半导体器件中,在构成 n 型外延层 32 等的碳化硅具有六方晶型的情况下,沟槽 6 的侧壁中的每一个倾斜并且基本上对应于 {03-3-8} 面和 {01-14} 面中的一种。另外,在构成 n 型外延层 32 等的碳化硅具有立方晶型的情况下,沟槽 6 的倾斜侧壁基本上对应于 {100} 面。另外,在这种情况下,可以得到与图 1 中所示的半导体器件的效果类似的效果。

[0083] 下面简要描述图 13 中所示的半导体器件的操作。参照图 13,当向栅电极 9 施加负电压并且负电压超过阈值时,在 p 型半导体层 33 的与设置在栅电极 9 侧面栅极绝缘膜 8 接触并且面对沟槽 6 的端部区域(沟道区)中,形成反型层。因此,用作发射区的 n 型源极接触层 34 和用作击穿电压保持层的 n 型外延层 32 彼此电连接。因此,从用作发射区的 n 型源极接触区 34 向用作击穿电压保持层的 n 型外延层 32 注入正空穴。因此,从衬底 31 经由用作缓冲层的 p 型外延层 36 向 n 型外延层 32 供应电子。结果,使 IGBT 处于导通(ON)状态。因此,在 n 型外延层 32 中发生导电性调制,以使在用作发射极的源电极 12 和用作集电极的漏电极 14 之间的电阻减小,从而允许电流在其内流动。另一方面,当向栅电极 9 施加的负电压等于或小于阈值时,在沟道区中没有形成反型层。因此,在 n 型外延层 32 和 p 型半导体层 33 之间保持反向偏置状态。结果,使 IGBT 处于截止状态,由此没有电流在其内流动。

[0084] 参照图 14 至图 21,以下描述用于制造本发明中的第二实施例的半导体器件的方法。

[0085] 首先,参照图 14,在由碳化硅制成的衬底 31 的主表面上,形成由具有 p 型导电性的碳化硅制成的 p 型外延层 36。另外,在 p 型外延层 36 上,形成具有 n 型导电性的碳化硅的 n 型外延层 32。n 型外延层 32 用作击穿电压保持层。p 型外延层 36 和 n 型外延层 32 是借助采用 CVD 方法的外延生长而形成的,该 CVD 方法例如利用硅烷(SiH_4)和丙烷(C_3H_8)的混合气体作为原料气体并且利用氢气(H_2)作为载气。在这种情况下,优选的是,引入例如铝(Al)作为 p 型导电性的杂质,并且引入例如氮(N)或磷(P)作为 n 型导电性的杂质。

[0086] 接着,将离子注入击穿电压保持层 32 的上表面层中,从而形成 p 型半导体层 33 和 n 型源极接触层 34。在用于形成 p 型体层 33 的离子注入中,注入诸如铝(Al)的 p 型导电性的杂质的离子。在这种情况下,通过调节将要注入的离子的加速能量,可以调节其中将要形成 p 型半导体层 33 的区域的深度。

[0087] 接着,将 n 型导电性的杂质离子注入由此具有其中形成的 p 型半导体层 33 的 n 型外延层 32 中,从而形成 n 型源极接触层 34。示例性的可使用的 n 型杂质是磷等。以此方式,得到图 15 中所示的结构。

[0088] 接着,如图 16 中所示,在 n 型源极接触层 34 的上表面上形成掩膜层 17。可以使用诸如氧化硅膜的绝缘膜作为掩膜层 17。可以使用与如图 4 中所示的用于制造掩膜层 17 的方法相同的方法,作为形成掩膜层 17 的方法。结果,形成了具有与将要形成图 16 中所示的沟槽 16 的区域一致的开口图案的掩膜层 17。

[0089] 然后,使用掩膜层 17 作为掩膜,借助蚀刻去除 n 型源极接触层 34、p 型半导体层 33 和 n 型外延层 32 的一部分。可以使用与图 4 中所示的步骤相同的方法,作为用于蚀刻的方法等。以此方式,可以得到图 16 中所示的结构。

[0090] 接着,执行热蚀刻步骤,以在击穿电压保持层 32、p 型半导体层 33 和 n 型源极接触层 34 中的每一个中示出预定的晶面。用于这个热蚀刻步骤的条件可以与参照图 5 描述的用于热蚀刻步骤的条件相同。结果,可以形成沟槽 6,该沟槽 6 具有相对于衬底 31 的主表面倾斜的侧表面 20,如图 17 中所示。应该注意,在侧表面 20 中的每一个处示出的晶面的面取向为例如 {03-3-8}。以此方式,得到如图 17 中所示的结构。

[0091] 接着,借助诸如蚀刻的任何方法去除掩膜层 17。此后,如图 6 中所示的步骤,使用光刻方法,将具有预定图案的抗蚀剂膜(未示出)形成为从沟槽 6 的内部延伸到 n 型源极接触层 34 的上表面上。可以使用具有与沟槽 6 的底部和 n 型源极接触层 34 的上表面的一部分一致的开口图案的抗蚀剂膜作为该抗蚀剂膜。通过使用这个抗蚀剂膜作为掩膜,注入 p 型导电性的杂质离子,在沟槽 6 的底部形成电场缓和区 7,并且在 n 型源极接触层 34 的该一部分的区域处形成具有 p 型导电性的接触区 35。此后,去除抗蚀剂膜。结果,得到如图 18 中所示的结构。

[0092] 然后,执行活化退火步骤,以活化借助上述离子注入而注入的杂质。在这个活化退火步骤中,如上述本发明中的第一实施例的情况,在没有在由碳化硅制成的外延层的表面上(具体地,在沟槽 6 的侧表面 20 上)形成特定的盖层的情况下,执行退火处理。应该注意,可以在执行活化退火步骤之前,形成上述盖层。替代地,例如,可以在执行活化退火处理之前,只在 n 型源极接触层 34 和 p 型接触区 35 的上表面上设置盖层。

[0093] 接着,如图 19 中所示,将栅极绝缘膜 8 形成为从沟槽 6 的内部延伸到 n 型源极接触层 34 和 p 型接触区 35 的上表面上。栅极绝缘膜 8 由与用于图 7 中所示的栅极绝缘膜 8 的材料相同的材料制成,并且借助与用于形成图 7 中所示的栅极绝缘膜 8 的方法相同的方法形成。以此方式,得到图 19 中所示的结构。

[0094] 接着,如图 20 中所示,在栅极绝缘膜 8 上形成栅电极 9,以填充沟槽 6 的内部。可以借助与用于形成图 8 中所示的栅电极 9 的方法相同的方法形成栅电极 9。以此方式,得到图 20 中所示的结构。

[0095] 接着,将层间绝缘膜 10(参见图 21)形成为覆盖栅电极 9 的上表面和暴露于 p 型

接触区 35 上的栅极绝缘膜 8 的上表面。层间绝缘膜 10 可以由任何材料制成,只要该材料是绝缘的。另外,如图 9 中所示的步骤,在层间绝缘膜 10 和栅极绝缘膜 8 中形成开口 11 (参见图 21)。使用与用于形成图 9 中的开口的相同的方法,形成开口 11 中的每一个。开口 11 具有底部,p 型接触区 35 和 n 型源极接触层 34 的一部分在该底部处暴露。

[0096] 此后,使用与图 9 中所示的方法相同的方法,由填充开口 11 内部的导体膜形成源电极 12。这个源电极 12 是与 p 型接触区 35 和 n 型源极接触层 34 形成欧姆接触的欧姆电极。

[0097] 另外,在衬底 31 的背侧表面(与其上形成有 n 型外延层 32 的主表面相反的衬底表面)上,形成漏电极 14 (参见图 21)。漏电极 14 可以由任何材料制成,只要该材料允许与衬底 31 的欧姆接触。以此方式,得到图 21 中所示的结构。

[0098] 此后,采用诸如溅射方法的合适方法形成源极布线电极 13 (参见图 13)和背侧表面保护电极 15 (参见图 13)。源极布线电极 13 与源电极 12 的上表面形成接触,并且在层间绝缘膜 10 的上表面上延伸。背侧表面保护电极 15 形成在漏电极 14 的表面上。结果,可以得到图 13 中所示的半导体器件。

[0099] 接着,参照图 22,描述图 13 中所示的半导体器件的变型。图 22 中所示的半导体器件基本具有与图 13 中所示的半导体器件的构造相同的构造,不同之处在于沟槽 6 的形状。具体地,在图 22 中所示的半导体器件中,沟槽 6 具有 V 形横截面形状,如图 12 中所示的半导体器件。在沟槽 6 的底部(相对侧壁的下部在该处彼此连接的部分),形成电场缓和区 7。利用由此构造的半导体器件,可以提供与图 13 中所示的半导体器件的效果相同的效果。另外,在图 22 中所示的半导体器件中,沟槽 6 不具有图 13 中所示的平坦底表面。因此,图 22 中所示的沟槽 6 具有比图 13 中所示的沟槽 6 的宽度窄的宽度。结果,与图 13 中所示的半导体器件相比,图 22 中所示的半导体器件的尺寸可以减小。这有利于实现半导体器件的更精细的设计和更高的集成度。

[0100] (第三实施例)

[0101] 参照图 23,以下描述本发明中的半导体器件的第三实施例。

[0102] 参照图 23,本发明中的半导体器件是 PiN 二极管,并且包括:衬底 1,其由碳化硅制成; n^- 外延层 42,其具有 n 型导电性,具有比衬底 1 中的导电杂质浓度低的导电杂质浓度,并且在其表面处具有脊状结构; p^+ 半导体层 43,其形成在于 n^- 外延层 42 的表面上形成的脊状结构 44 中并且连接到 n^- 外延层 42;以及保护环 45,其形成为围绕脊状结构 44。衬底 1 由碳化硅制成并且具有 n 型导电性。 n^- 外延层 42 形成在衬底 1 的主表面上。 n^- 外延层 42 具有带有脊状结构 44 的表面,该脊状结构 44 形成在该表面上并且具有相对于衬底 1 的主表面倾斜的侧表面 20。在包括脊状结构 44 的上表面的层中,形成具有 p 型导电性的 p^+ 半导体层 43。保护环 45 形成为围绕这个脊状结构 44,保护环 45 中的每一个是 p 型导电性的区域。保护环 45 中的每一个形成为具有围绕脊状结构 44 的环形形状。脊状结构 44 的侧表面 20 中的每一个由特定晶面(例如, {03-3-8} 面)构成。即,脊状结构 44 由与特定晶面 ({03-3-8} 面)等价的六个面构成。因此,脊状结构 44 的上表面和底部每个都具有六边形平面形状。

[0103] 另外,在具有这种结构的半导体器件中,脊状结构 44 的侧表面 20 对应于稳定的晶面,如图 1 中示出的沟槽 6 的侧表面 20。因此,与侧表面 20 对应于另一个晶面的情况相比,

可以充分减小来自侧表面 20 的漏电流。

[0104] 下面描述用于制造图 23 中所示的半导体器件的方法。在用于制造图 23 中所示的半导体器件的方法中,首先制备由碳化硅制成的衬底 1。例如,使用由六方晶型的碳化硅制成的衬底作为衬底 1。使用外延生长方法,在衬底 1 的主表面上形成 n^- 外延层 42。将具有 p 型导电性的杂质的离子注入 n^- 外延层 42 的表面层中,从而形成将成为 p^+ 半导体层 43 的 p 型半导体层。

[0105] 此后,在将用作脊状结构 44 (参见图 23)的区域上,形成由硅氧化物膜制成并且成为岛形式的掩膜图案。这个掩膜图案可以适于具有例如六边形平面形状,但是可以具有任何其它形状(诸如,圆形或四边形)。利用所形成的这个掩膜图案,借助蚀刻去除 p^+ 半导体层 43 和 n^- 外延层 42 的一部分。结果,在掩膜图案下方形成将用作脊状结构 44 的突出部分。

[0106] 然后,如上述本发明的第一实施例中的图 5 中所示的步骤,执行热蚀刻步骤,从而借助蚀刻去除突出部分的侧表面,以得到图 23 中所示的倾斜侧表面 20。此后,去除掩膜图案。另外,形成具有预定图案的抗蚀剂膜,以覆盖整个结构。这个抗蚀剂膜设置有与将成为保护环 45 的区域一致的开口图案。使用抗蚀剂膜作为掩膜,将 p 型导电性的杂质注入 n^- 外延层 42 中,从而形成保护环 45。此后,去除抗蚀剂膜。在用于形成保护环 45 的离子注入之后,执行活化退火处理。在活化退火处理中,可以在没有形成覆盖至少侧表面 20 的盖层的情况下执行热处理。结果,可以得到图 23 中示出的半导体器件。

[0107] 接着,参照图 24,描述图 23 中所示的半导体器件的变型。

[0108] 图 24 中所示的半导体器件具有与图 23 中所示的半导体器件的结构基本相同的结构,但是不同之处在于,形成 JTE (结终端扩展)区 46 替代保护环 45 (参见图 23)。JTE 区 46 是 p 型导电性的区域。这种 JTE 区 46 还可以通过执行离子注入和活化退火形成,如形成图 23 中所示的保护环 45 的过程。然后,在用于制造图 24 中所示的半导体器件的方法中,在用于形成 JTE 区 46 的离子注入之后,在没有形成覆盖至少侧表面 20 的盖层的情况下,执行活化退火处理,如用于制造图 23 中所示的半导体器件的方法。另外,以此方式,侧表面 20 由稳定的晶面(例如, {03-3-8} 面)构成。因此,没有出现诸如侧表面 20 因活化退火而具有表面粗糙度的问题。

[0109] 下面描述本发明的特性特征,尽管在上述实施例中已描述了其中的一些。

[0110] 如图 1、图 13、图 23、图 24 等中所示,根据本发明的半导体器件包括:衬底 1、31,其具有主表面;以及碳化硅层(图 1 中的击穿电压保持层 2、半导体层 3、n 型源极接触层 4 和 p 型接触区 5、或图 13 中的 n 型外延层 32、p 型半导体层 33、n 型源极接触层 34 和 p 型接触区 35、或图 23 和图 24 中的 n^- 外延层 42 和 p^+ 半导体层 43)。碳化硅层形成在衬底 1、31 的主表面上。碳化硅层包括用作相对于主表面倾斜的端表面的侧表面 20。在碳化硅层具有六方晶型的情况下,侧表面 20 基本上包括 {03-3-8} 面和 {01-1-4} 面中的一种。在碳化硅层具有立方晶型的情况下,侧表面 20 基本上包括 {100} 面。

[0111] 以此方式,碳化硅层中形成的侧表面 20 基本上对应于 {03-3-8} 面、{01-1-4} 面和 {100} 面中的任意一种。这里,与所谓的半极性面对应的侧表面 20 可以用作半导体器件的有源区(例如,沟道区)。因为侧表面 20 由此对应于稳定的晶面,所以与采用另一个晶面(诸如(0001)面)用于沟道区的情况相比,在采用这种侧表面 20 用于诸如沟道区的有源区的情况下,可以充分减小漏电流并且可以得到高击穿电压。

[0112] 在本说明书中,沟槽 6 的侧表面 20 对应于 {03-3-8} 面、{01-1-4} 面和 {100} 面中的任意一种的情况包括以下情况:存在构成沟槽 6 的侧表面的多个晶面,并且这多个晶面包括 {03-3-8} 面、{01-1-4} 面和 {100} 面中的任意一种。下面具体描述沟槽 6 的侧表面对应于 {03-3-8} 面的示例性情况。

[0113] 在本发明中,显微地,如图 25 中所示,{03-3-8} 面还包括通过例如在沟槽 6 的侧表面中交替设置面 56a (第一面)和面 56b (第二面)而构成的化学稳定的面。面 56a 具有 {03-3-8} 的面取向,而连接到面 56a 的面 56b 具有与面 56a 的面取向不同的面取向。这里,术语“显微地”是指“微小到至少考虑原子间间隔的大约两倍大的尺寸的程度”。优选地,面 56b 具有 {0-11-1} 的面取向。另外,例如,图 25 中的面 56b 可以具有是 Si 原子(或 C 原子)的原子间间隔的两倍大的长度(宽度)。

[0114] 另外,下面描述沟槽的侧表面对应于 {01-1-4} 面的示例性情况。在本发明中,显微地,如图 25 中所示,{01-1-4} 面还包括通过交替设置面 56a (第一面)和面 56b (第二面)而构成的化学稳定的面。面 56a 具有 {01-1-4} 的面取向,而连接到面 56a 的面 56b 具有与面 56a 的面取向不同的面取向。此外,下面描述了沟槽的侧表面对应于 {100} 面的示例性情况。在本发明中,显微地,如图 25 中所示,{100} 面还包括通过交替设置面 56a (第一面)和面 56b (第二面)而构成的化学稳定的面。面 56a 具有 {100} 的面取向,而连接到面 56a 的面 56b 具有与面 56a 的面取向不同的面取向。

[0115] 在半导体器件中,侧表面 20 可以包括如图 1 或图 13 中所示的有源区。另外,在半导体器件中,具体地,有源区包括沟道区。在这种情况下,可以可靠地得到上述特性,诸如减小的漏电流和高击穿电压。

[0116] 在半导体器件中,碳化硅层可以在其位于与其面对衬底 1、31 的表面相反的主表面处包括台面结构,该台面结构具有通过如图 23 和图 24 中所示的上述侧表面 20 构成的侧表面。在台面结构中,可以形成 PN 结(图 23 或图 24 中的 n^- 外延层 42 和 p^+ 半导体层 43 之间的结)。在这种情况下,用作台面结构的侧壁的侧表面 20 对应于上述晶面。因此,可以减小来自侧表面 20 的漏电流。

[0117] 在半导体器件中,如图 24 中所示,侧表面 20 的至少一部分可以构成终端结构(JTE 区 46)。在这种情况下,可以减小在侧表面 20 中形成的终端结构中的漏电流,并且终端结构中的击穿电压可以是高的。

[0118] 另外,根据本发明的用于制造半导体器件的方法包括以下步骤:如图 3 或图 15 中所示,制备其上形成碳化硅层的衬底 1、31;如图 4 和图 5 或图 16 和图 17 中所示,形成相对于碳化硅层的主表面倾斜的端表面(侧表面 20);并且如图 6 至图 11 或图 18 至图 21 中所示,使用端表面(侧表面 20),形成包括在半导体器件中的结构。在形成端表面(侧表面 20)的步骤中,通过利用在将碳化硅层暴露于包含氧和氯的反应气体的同时加热碳化硅层的蚀刻,去除碳化硅层的主表面的一部分。因此,形成相对于碳化硅层的主表面(例如,图 5、图 17 中的 n 型源极接触层 4、34 的上表面)倾斜的端表面(侧表面 20)。在碳化硅层具有六方晶型的情况下,端表面(侧表面 20)基本上包括 {03-3-8} 面和 {01-1-4} 面中的一种,并且在碳化硅层具有立方晶型的情况下,端表面(侧表面 20)基本上包括 {100} 面。在这种情况下,可以容易地制造根据本发明的半导体器件。

[0119] 另外,根据本发明的用于加工衬底的方法包括以下步骤:如图 3 或图 15 中所示,制

备其上形成有碳化硅层的衬底 1、31；并且如图 4 和图 5 或图 16 和图 17 中所示，形成相对于碳化硅层的主表面倾斜的端表面（侧表面 20）。在形成端表面（侧表面 20）的步骤中，通过利用在将碳化硅层暴露于包含氧和氯的反应气体的同时加热碳化硅层的蚀刻，去除碳化硅层的主表面的一部分。因此，形成相对于碳化硅层的主表面倾斜的侧表面 20。在碳化硅层具有六方晶型的情况下，侧表面 20 基本上包括 {03-3-8} 面和 {01-1-4} 面中的一种，并且在碳化硅层具有立方晶型的情况下，侧表面 20 基本上包括 {100} 面。在这种情况下，可以容易地得到其上形成有碳化硅层以具有包括上述晶面的侧表面的衬底。

[0120] 用于制造半导体器件的方法或用于加工衬底的方法还可以包括，在形成端表面（侧表面 20）的步骤之前，如图 4 或图 16 中所示在碳化硅层的主表面上形成具有图案的掩膜层 17 的步骤。在形成端表面（侧表面 20）的步骤中，可以使用掩膜层 17 作为掩膜执行蚀刻。在这种情况下，可以根据掩膜层 17 的图案的位置，控制将要形成的侧表面 20 的位置。这导致将要形成的半导体器件的布局的自由度增大。

[0121] 另外，优选的是借助采用掩膜层 17 作为掩膜的蚀刻，预先去除碳化硅层的一部分，并且此后在将碳化硅层暴露于包含氧和氯的反应气体的同时加热碳化硅层，如图 5 或图 17 中所示，从而借助蚀刻（热蚀刻）去除碳化硅层的主表面的一部分。在这种情况下，与没有使用掩膜层 17 作为掩膜预先执行上述蚀刻的情况相比，热蚀刻碳化硅层以形成侧表面 20 所花费的时间更短。

[0122] 在用于制造半导体器件的方法或用于加工衬底的方法中，在形成端表面（侧表面 20）的步骤中使用的反应气体中，氧的流量与氯的流量的比率可以是不小于 0.25 且不大于 2.0。在这种情况下，可以可靠地形成包括 {03-3-8} 面、{01-1-4} 面或 {100} 面的端表面。

[0123] 在用于制造半导体器件的方法或用于加工衬底的方法中的形成端表面（侧表面 20）的步骤中，可以在不小于 700℃ 且不大于 1200℃ 的温度下加热碳化硅层。另外，加热温度的下限可以为 800℃，更优选地为 900℃。另外，加热温度的上限可以更优选地为 1100℃，进一步优选地为 1000℃。在这种情况下，在形成包括 {03-3-8} 面、{01-1-4} 面或 {100} 面的端表面的热蚀刻步骤中，蚀刻速率可以是足够实用的值。因此，这个步骤中的处理时间可以足够短。

[0124] 本文公开的实施例在任何方面都是示例性的并非限制性的。本发明的范围由权利要求书的条款限定，而非由以上描述限定，并且旨在包括落入与权利要求书的条款等价的范围和含义内的任何修改形式。

[0125] 工业适用性

[0126] 本发明尤其有利地应用于采用碳化硅层的半导体器件。

[0127] 附图标记列表

[0128] 1、31：衬底；2：击穿电压保持层；3：体层（p 型半导体层）；4、34：n 型源极接触层；5、35：接触区；6、16：沟槽；7：电场缓和区；8：栅极绝缘膜；9：栅电极；10：层间绝缘膜；11：开口；12：源电极；13：源极布线电极；14：漏电极；15：背侧表面保护电极；17：掩膜层；20：侧表面；21：Si 膜；22：SiC 重构层；32：n 型外延层；33：p 型半导体层；36：p 型外延层；42：n⁻ 外延层；43：p⁺ 半导体层；44：脊状结构；45：保护环；46：JTE 区。

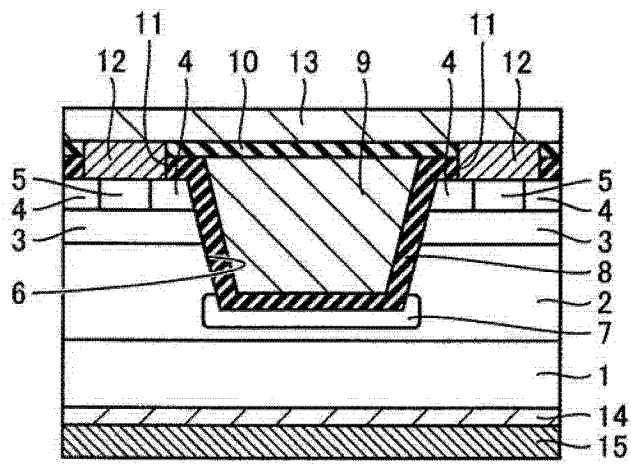


图 1

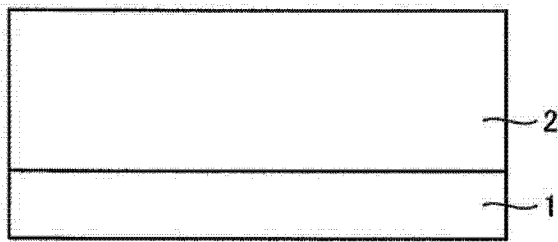


图 2

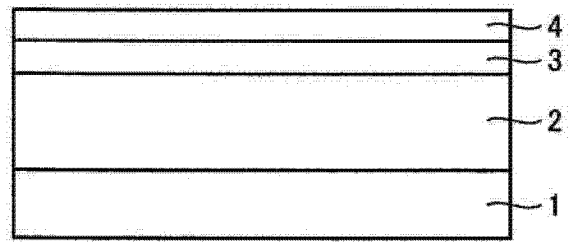


图 3

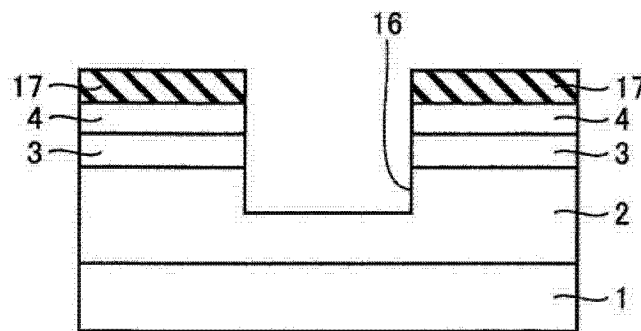


图 4

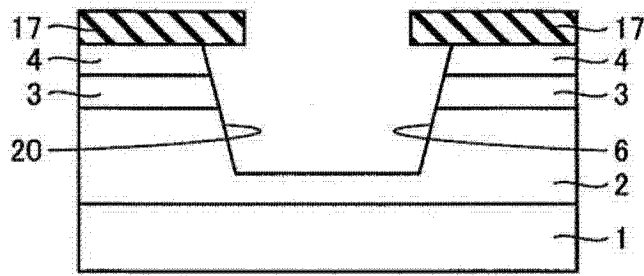


图 5

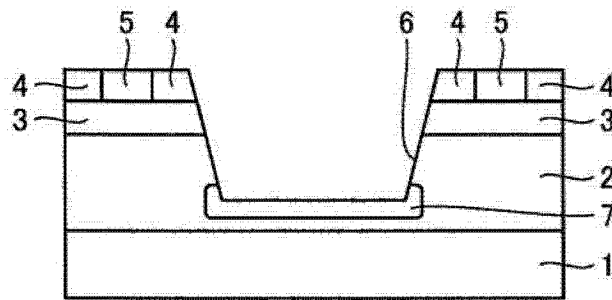


图 6

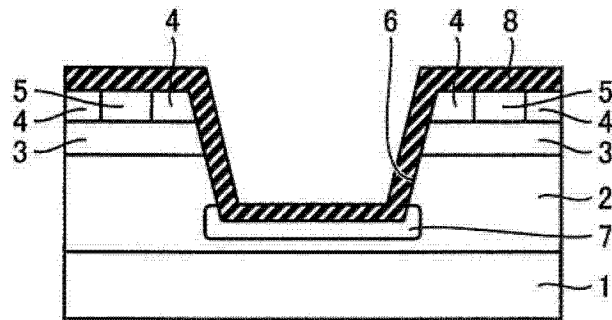


图 7

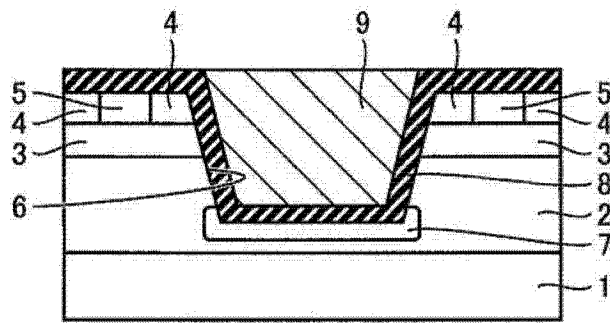


图 8

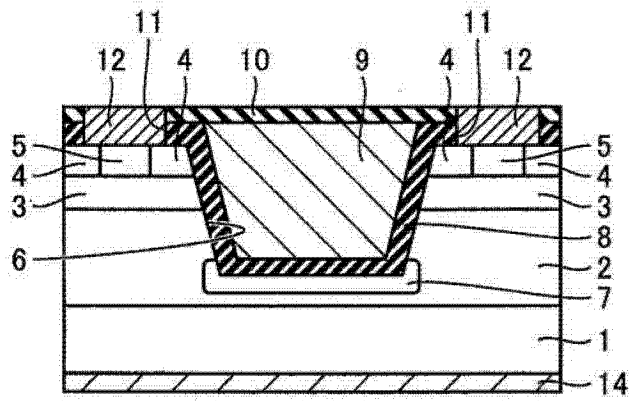


图 9

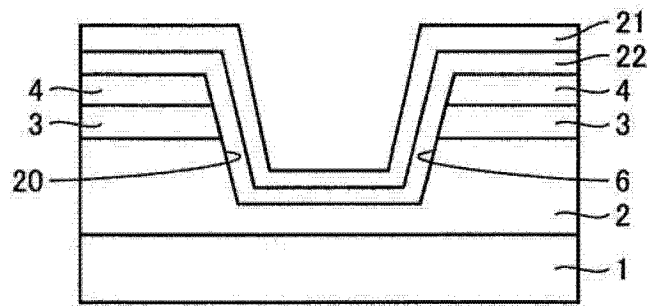


图 10

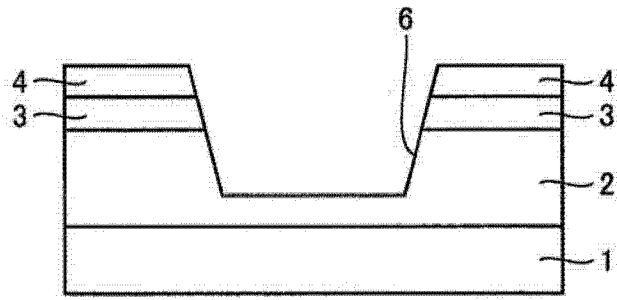


图 11

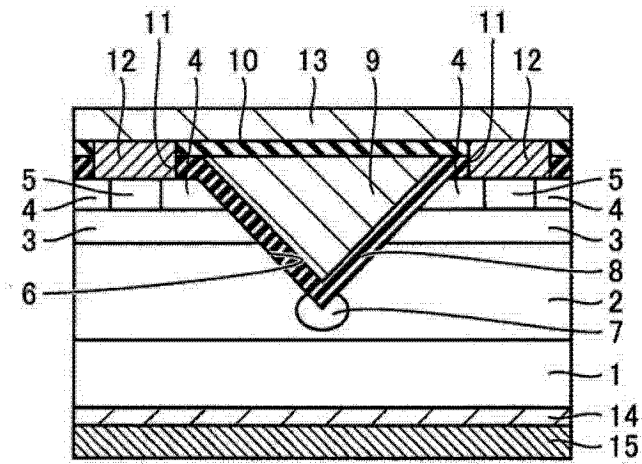


图 12

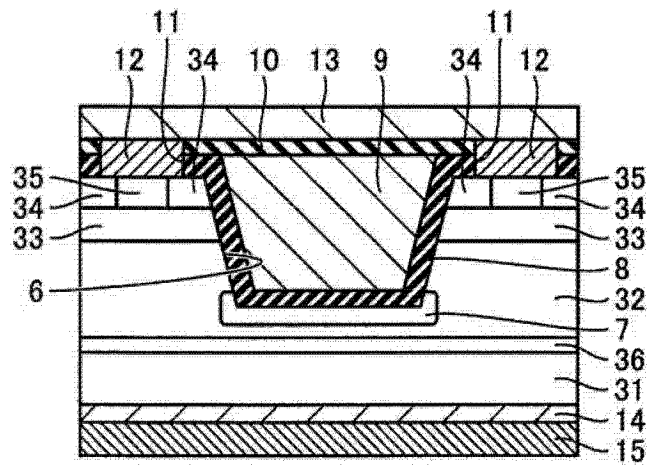


图 13

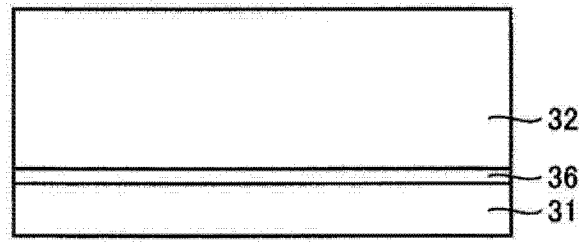


图 14

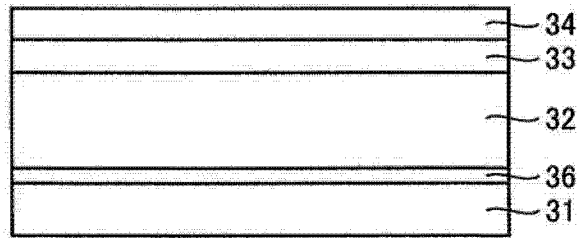


图 15

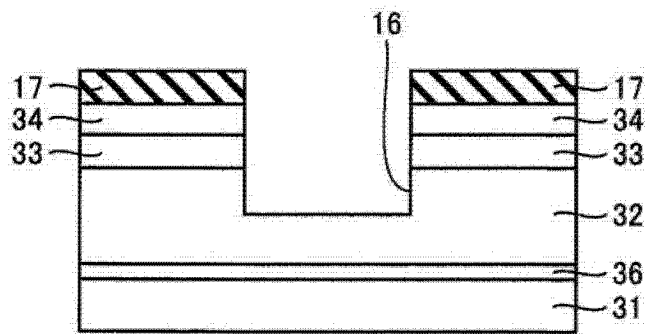


图 16

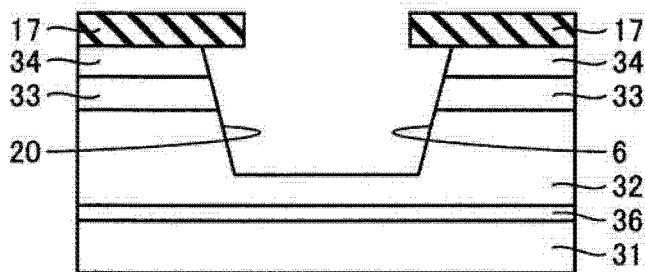


图 17

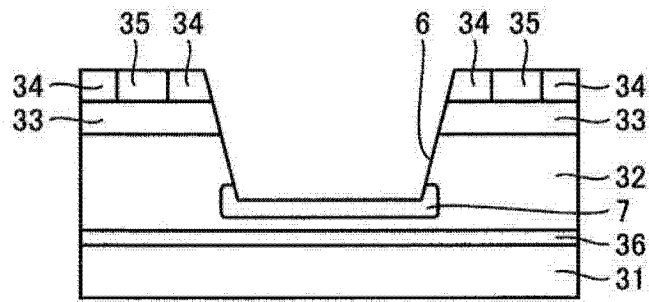


图 18

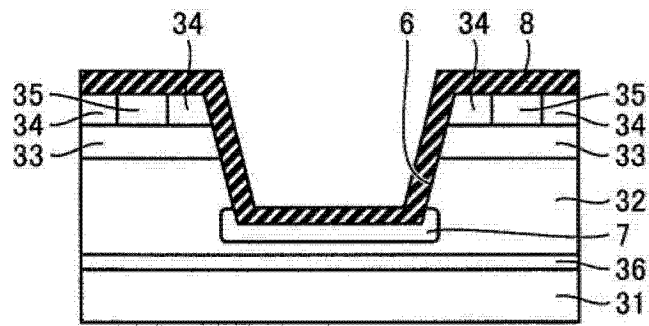


图 19

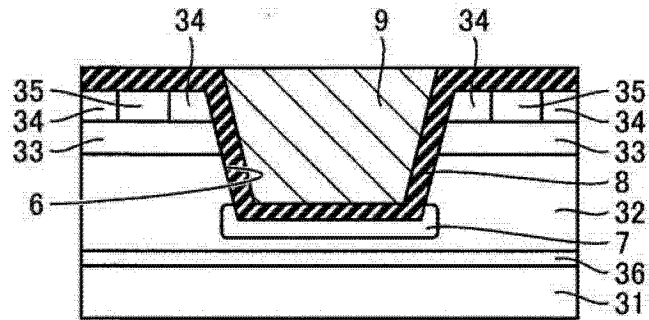


图 20

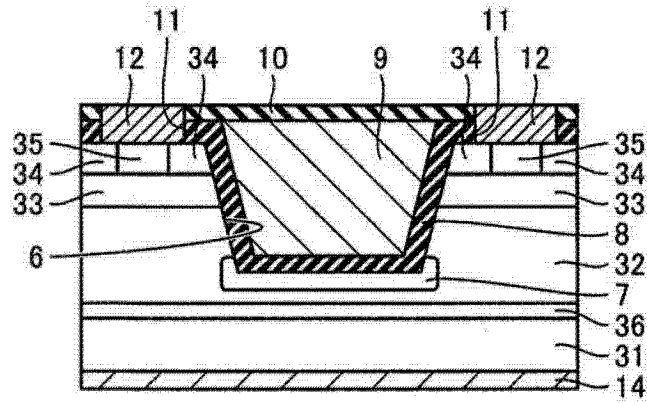


图 21

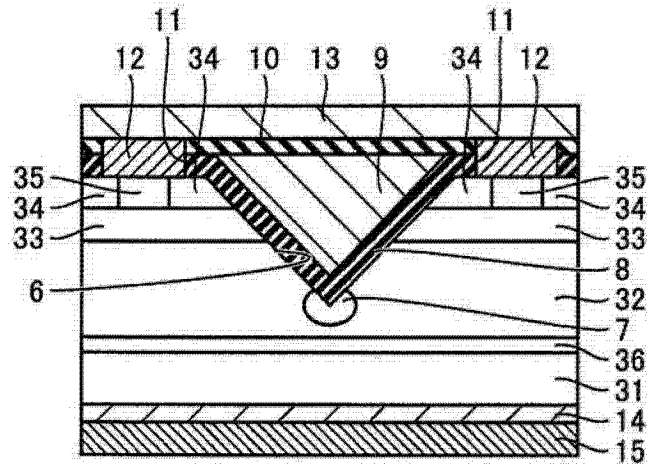


图 22

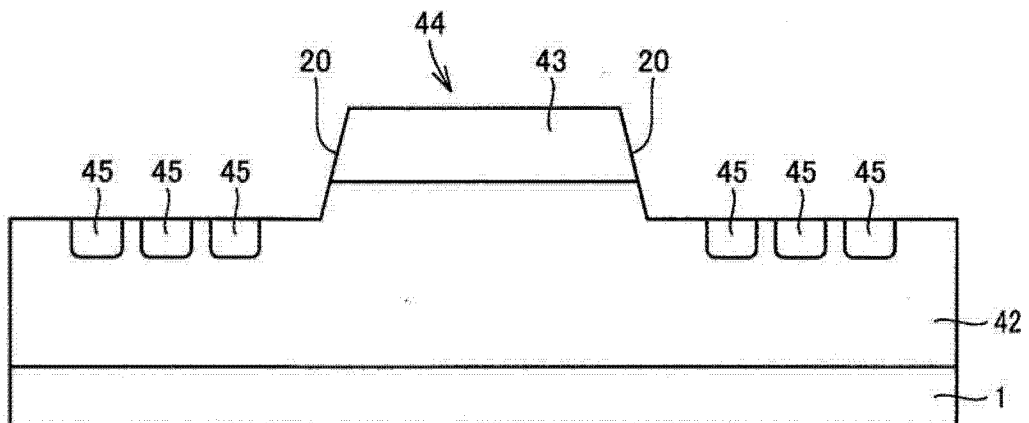


图 23

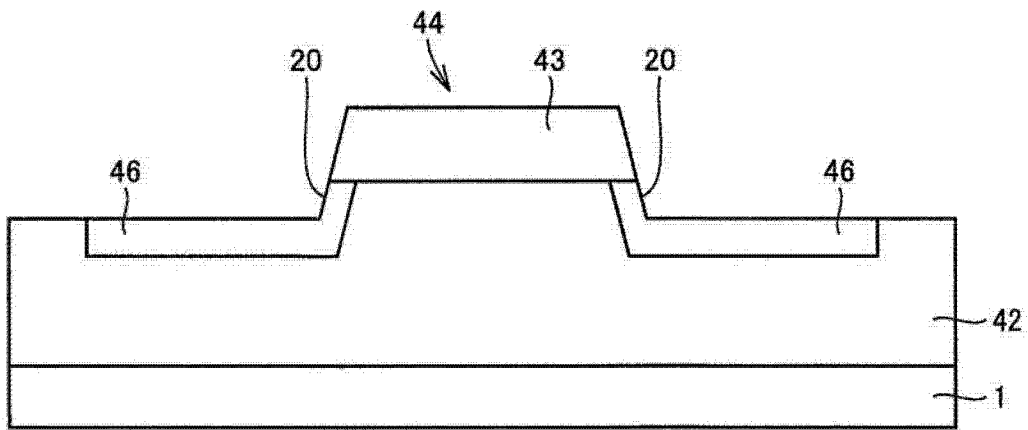


图 24

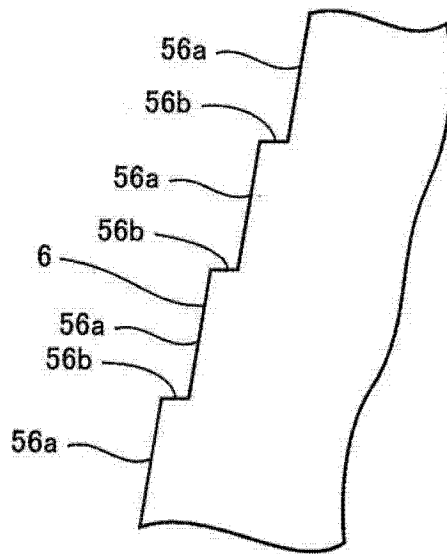


图 25