



(12)发明专利申请

(10)申请公布号 CN 111240460 A

(43)申请公布日 2020.06.05

(21)申请号 202010104557.5

(51)Int.Cl.

(22)申请日 2015.07.29

G06F 1/3287(2019.01)

(30)优先权数据

G06T 1/20(2006.01)

62/030,913 2014.07.30 US

G06F 15/80(2006.01)

14/458,052 2014.08.12 US

14/458,014 2014.08.12 US

(62)分案原申请数据

201580051324.0 2015.07.29

(71)申请人 莫维迪厄斯有限公司

地址 荷兰史基浦里克

(72)发明人 B·巴里 R·里士满 F·康纳

D·莫洛尼

(74)专利代理机构 上海专利商标事务所有限公司 31100

代理人 汪骏飞 侯颖婧

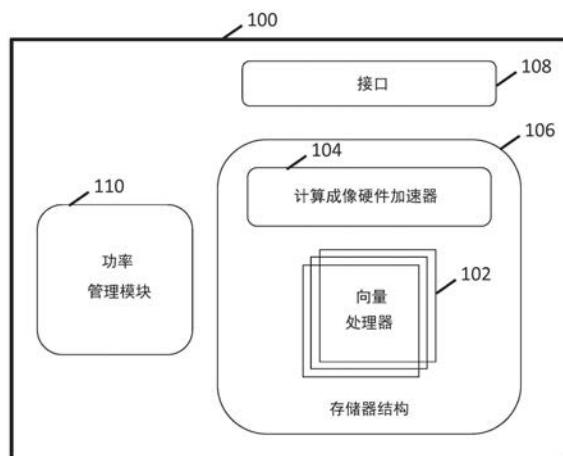
权利要求书5页 说明书28页 附图22页

(54)发明名称

低功率计算成像

(57)摘要

本申请公开了一种计算设备(100)，所述计算设备可以提供用于计算成像的低功率、高能力计算平台。所述计算设备可以包括一个或多个处理单元，例如一个或多个向量处理器(102)以及一个或多个硬件加速器(104)、智能存储器结构(106)、外围设备(108)、以及功率管理模块(110)。所述计算设备可以与外部设备(如一个或多个图像传感器、加速度计、陀螺仪、或任何其他合适的传感器设备)进行通信。



1. 一种电子设备,包括:

多个向量处理器,所述多个向量处理器中的第一向量处理器用于在第一值数组上操作;

硬件加速器,所述硬件加速器具有可编程数据路径流水线,所述可编程数据路径流水线用于基于用于配置所述可编程数据路径流水线的配置信息对第二值数组执行滤波操作;

存储器结构;以及

主机处理器,所述主机处理器用于使所述存储器结构向所述第一向量处理器提供所述第一值数组并且向所述硬件加速器提供所述第二值数组。

2. 如权利要求1所述的电子设备,其中,所述硬件加速器包括:

缓冲器,所述缓冲器用于存储由所述可编程数据路径流水线处理的图像的扫描线;以及

流水线停转控制器,所述流水线停转控制器用于在所述缓冲器已满时停转所述可编程数据路径流水线的操作。

3. 如权利要求2所述的电子设备,进一步包括深度映射客户端,所述深度映射客户端用于检索深度信息,所述深度信息指示由所述图像的所述扫描线中的像素表示的物体的深度。

4. 如权利要求3所述的电子设备,进一步包括深度映射器,所述深度映射器用于将所述深度信息的分辨率与所述图像的所述扫描线的分辨率匹配。

5. 如权利要求4所述的电子设备,其中,所述深度映射器用于将所述深度信息与所述图像的所述扫描线进行同步。

6. 如权利要求3所述的电子设备,其中,所述深度映射客户端用于对所述深度信息上采样以匹配所述扫描线的分辨率。

7. 如权利要求1所述的电子设备,其中,所述存储器结构包括:

多个缓冲器;

所述多个缓冲器中的第一缓冲器与所述第一向量处理器相关联;并且

所述多个向量处理器中的第二向量处理器用于通过所述第一缓冲器来向所述第一向量处理器发送数据。

8. 如权利要求7所述的电子设备,其中,所述存储器结构用于基于转移到所述第一向量处理器的数据量对所述第一缓冲器的容量进行动态修改。

9. 如权利要求7所述的电子设备,其中,所述存储器结构用于基于转移到所述第一向量处理器的数据量将所述多个缓冲器中的至少两个缓冲器与所述第一向量处理器进行动态关联。

10. 如权利要求7所述的电子设备,其中,通过使用所述存储器结构中的一个或多个存储器片实现所述多个缓冲器。

11. 如权利要求7所述的电子设备,其中,所述存储器结构用于当所述第一向量处理器进入低功率模式时存储所述第一向量处理器的状态信息。

12. 如权利要求11所述的电子设备,进一步包括所述存储器结构中的用于存储所述状态信息的静态随机访问存储器。

13. 如权利要求1所述的电子设备,进一步包括所述存储器结构内的直接存储器访问

(DMA) 控制器, 其中, 所述DMA控制器包括其中一组DMA操作将被执行的顺序。

14. 如权利要求13所述的电子设备, 其中, 所述DMA控制器用于基于使能缓冲器执行所述组DMA操作的子集, 所述使能缓冲器包括多个位, 所述多个位的值指示是否将由所述DMA控制器执行所述DMA操作的子集中的对应DMA操作。

15. 如权利要求1所述的电子设备, 其中, 所述硬件加速器包括多个模块, 所述多个模块被链接到一起以执行所述滤波操作。

16. 如权利要求15所述的电子设备, 其中, 所述硬件加速器用于基于所述配置信息链接所述多个模块, 所述配置信息由与所述可编程数据路径流水线通信的软件模块提供。

17. 如权利要求16所述的电子设备, 所述多个模块中的第一模块用于向所述存储器结构中的缓冲器提供相应的输出, 并且所述缓冲器用于接收来自所述多个模块中的第二模块的输入。

18. 如权利要求17所述的电子设备, 进一步包括所述硬件加速器的用于跟踪所述缓冲器的填充水平的第一滤波器模块。

19. 如权利要求18所述的电子设备, 其中所述第一滤波器模块用于在允许第二滤波器模块将扫描线添加至所述缓冲器之前检查所述缓冲器的所述填充水平。

20. 如权利要求2所述的电子设备, 其中, 所述流水线停转控制器用于当所述缓冲器已满时停转第一图像信号处理功能。

21. 如权利要求20所述的电子设备, 其中, 所述流水线停转控制器用于允许第二图像信号处理功能检索存储在所述缓冲器中的处理后的扫描线。

22. 如权利要求1-21中任一项所述的电子设备, 其中, 所述存储器结构包括互斥控制器, 所述互斥控制器用于:

监测由所述第一向量处理器生成的独占访问请求的状态, 所述独占访问请求包括对共享资源进行独占访问的请求; 并且

当所述第一向量处理器被授权对所述共享资源的独占访问时, 向所述第一向量处理器发送指示所述第一向量处理器具有对所述共享资源的独占访问的确认。

23. 一种方法, 包括:

由具有多个向量处理器的存储器结构提供第一向量处理器以在第一值数组上操作;

由所述存储器结构提供具有可编程数据路径流水线的硬件加速器;

由所述数据路径流水线, 基于配置信息对第二值数组执行滤波操作;

由所述存储器结构向所述第一向量处理器提供所述第一值数组; 以及

由所述存储器结构向所述硬件加速器提供所述第二值数组。

24. 如权利要求23所述的方法, 进一步包括:

向缓冲器存储图像的扫描线, 所述图像的所述扫描线由所述可编程数据路径流水线处理; 以及

当所述缓冲器已满时通过流水线停转控制器停转所述可编程数据路径流水线的操作。

25. 如权利要求24所述的方法, 进一步包括检索深度信息, 所述深度信息指示由所述图像的所述扫描线中的像素所表示的物体的深度。

26. 如权利要求25所述的方法, 进一步包括将所述深度信息的分辨率与所述图像的所述扫描线的分辨率匹配。

27. 如权利要求26所述的方法,进一步包括将所述深度信息与所述图像的所述扫描线进行同步。

28. 如权利要求25所述的方法,进一步包括对所述深度信息上采样以匹配所述扫描线的分辨率。

29. 如权利要求23所述的方法,进一步包括:

提供多个缓冲器中的第一缓冲器,所述第一缓冲器与所述第一向量处理器相关联;以及

由所述多个向量处理器中的第二向量处理器通过所述第一缓冲器来向所述第一向量处理器发送数据。

30. 如权利要求29所述的方法,进一步包括基于转移到所述第一向量处理器的数据量对所述第一缓冲器的容量进行动态修改。

31. 如权利要求29所述的方法,进一步包括基于转移到所述第一向量处理器的数据量将所述多个缓冲器中的至少两个缓冲器与所述第一向量处理器进行动态关联。

32. 如权利要求29所述的方法,进一步包括当所述第一向量处理器进入低功率模式时存储所述第一向量存储器的状态信息。

33. 如权利要求32所述的方法,进一步包括提供所述存储器结构中的静态随机访问存储器以存储所述状态信息。

34. 如权利要求23所述的方法,进一步包括所述存储器结构内的直接存储器访问控制器,所述直接存储器访问控制器包括其中将被执行的一组操作的顺序。

35. 如权利要求34所述的方法,进一步包括基于使能缓冲器执行所述一组操作的子集,所述使能缓冲器包括多个位,所述多个位的值指示是否将由所述直接存储器访问控制器执行所述操作的子集中的对应操作。

36. 如权利要求23所述的方法,进一步包括将所述多个模块链接到一起以执行所述滤波操作。

37. 如权利要求36所述的方法,进一步包括基于所述配置信息使所述硬件加速器将所述多个模块链接在一起,所述配置信息由与所述可编程数据路径流水线通信的软件模块提供。

38. 如权利要求37所述的方法,进一步包括:

通过所述多个模块中的第一模块,向所述存储器结构中的缓冲器提供相应的输出;以及

检索来自所述多个模块中的第二模块的输入。

39. 如权利要求38所述的方法,进一步包括跟踪所述缓冲器的填充水平。

40. 如权利要求39所述的方法,进一步包括在允许第二滤波器模块将扫描线添加至所述缓冲器之前检查所述缓冲器的所述填充水平。

41. 如权利要求23所述的方法,进一步包括当所述缓冲器已满时停转第一图像信号处理功能。

42. 如权利要求41所述的方法,进一步包括允许第二图像信号处理功能检索存储在所述缓冲器中的处理后的扫描线。

43. 如权利要求23-42中任一项所述的方法,进一步包括:

通过互斥控制器监测由所述第一向量处理器生成的独占访问请求的状态,所述独占访问请求包括对共享资源进行独占访问的请求;并且

当所述第一向量处理器被授权对所述共享资源的独占访问时,向所述第一向量处理器发送指示所述第一向量处理器具有对所述共享资源的独占访问的确认。

44. 一种电子设备,包括:

多个向量处理器,所述多个向量处理器中的第一向量处理器用于在第一值数组上操作;

硬件加速器,所述硬件加速器包括可编程数据路径流水线,所述可编程数据路径流水线用于基于用于配置所述可编程数据路径流水线的所述配置信息对第二值数组执行滤波操作;

存储器结构;以及

用于使所述存储器结构向所述第一向量处理器提供第一值数组并且向所述硬件加速器提供所述第二值数组的装置。

45. 如权利要求44所述的电子设备,其中,所述硬件加速器包括:

用于缓冲由所述可编程数据路径流水线处理的图像的扫描线的装置;以及

用于当所述缓冲装置已满时停转所述可编程数据路径流水线的操作的装置。

46. 如权利要求45所述的电子设备,进一步包括用于检索深度信息的装置,以检索指示由所述图像的所述扫描线中的像素表示的物体的深度的信息。

47. 如权利要求46所述的电子设备,进一步包括用于深度映射的装置,以将所述深度信息的分辨率与所述图像的所述扫描线的分辨率匹配。

48. 如权利要求47所述的电子设备,进一步包括深度映射装置,以将所述深度信息与所述图像的所述扫描线进行同步。

49. 如权利要求46所述的电子设备,其中,所述深度信息检索装置用于对所述深度信息上采样以匹配所述扫描线的分辨率。

50. 如权利要求44所述的电子设备,其中,所述存储器结构包括:

用于缓冲的第一装置,所述用于缓冲的第一装置与所述第一向量处理器相关联;并且

所述多个向量处理器中的第二向量处理器用于通过所述用于缓冲的第一装置来向所述第一向量处理器发送数据。

51. 如权利要求50所述的电子设备,其中所述存储器结构用于基于转移到所述第一向量处理器的数据量对所述用于缓冲的第一装置的容量进行动态修改。

52. 如权利要求50所述的电子设备,其中,所述存储器结构用于基于转移到所述第一向量处理器的数据量将至少所述用于缓冲的第一装置和用于缓冲的第二装置与所述第一向量处理器进行动态关联。

53. 如权利要求50所述的电子设备,其中,通过使用所述存储器结构中的一个或多个存储器片实现所述用于缓冲的第一装置。

54. 如权利要求50所述的电子设备,其中,所述存储器结构用于当所述第一向量处理器进入低功率模式时存储所述第一向量处理器的状态信息。

55. 如权利要求54所述的电子设备,进一步包括用于存储所述状态信息的用于静态随机存储器访问的装置。

56. 如权利要求44所述的电子设备,进一步包括用于控制存储器访问的装置,以实现其中将被执行的一组操作的顺序。

57. 如权利要求56所述的电子设备,其中所述用于控制存储器访问的装置用于基于使能缓冲器执行所述一组操作的子集,所述使能缓冲器包括多个位,所述多个位的值指示是否将由所述用于控制存储器访问的装置执行所述操作的子集中的对应操作。

58. 如权利要求44所述的电子设备,其中,所述硬件加速器包括多个模块,所述多个模块被链接到一起以执行所述滤波操作。

59. 如权利要求58所述的电子设备,其中,所述硬件加速器用于基于所述配置信息链接所述多个模块,所述配置信息由与所述可编程数据路径流水线通信的软件模块提供。

60. 如权利要求59所述的电子设备,其中,所述多个模块中的第一模块用于向所述存储器结构中的用于缓冲的装置提供相应的输出,所述缓冲装置用于接收来自所述多个模块中的第二模块的输入。

61. 如权利要求60所述的电子设备,进一步包括用于滤波的第一装置,以跟踪所述缓冲器的填充水平。

62. 如权利要求44所述的电子设备,进一步包括用于停转的装置,以在用于缓冲的装置已满时停转第一图像信号处理功能。

63. 如权利要求62所述的电子设备,其中,所述停转装置用于允许第二图像信号处理功能检索存储在所述缓冲装置中的处理后的扫描线。

低功率计算成像

[0001] 本申请是申请日为2015年7月29日、申请号为“201580051324.0”、发明名称为“低功率计算成像”的发明专利申请的分案申请。

[0002] 相关申请的交叉引用

[0003] 本申请要求提交于2014年8月12日的题为“LOW POWER COMPUTATIONAL IMAGING (低功率计算成像)”的美国专利申请号14/458,014的较早优先权日期的权益,所述申请对提交于2014年7月30日的题为“LOW POWER COMPUTATIONAL IMAGING COMPUTING DEVICE (低功率计算成像计算设备)”的美国临时专利申请号62/030,913以及提交于2013年11月18日的题为“APPARATUS, SYSTEMS, AND METHODS FOR PROVIDING COMPUTATIONAL IMAGING PIPELINE (用于提供计算成像流水线的装置、系统、和方法)”的美国专利申请号14/082,396要求了优先权,其对提交于2013年11月6日的题为“APPARATUS, SYSTEMS, AND METHODS FOR PROVIDING CONFIGURABLE AND COMPOSABLE COMPUTATIONAL IMAGING PIPELINE (用于提供可配置和可组合的计算成像流水线的装置、系统、和方法)”的罗马尼亚专利申请OSIM登记A/00812以及对提交于2013年8月8日的题为“CONFIGURABLE AND COMPOSABLE COMPUTATIONAL IMAGING PIPELINE (可配置和可组合的计算成像流水线)”的英国专利申请号GB1314263.3要求了优先权。本申请还要求提交于2014年8月12日的题为“APPARATUS, SYSTEMS, AND METHODS FOR LOW POWER COMPUTATIONAL IMAGING (用于低功率计算成像的装置、系统、和方法)”的美国专利申请号14/458,052的较早优先权日期的权益,所述申请对提交于2014年7月30日的题为“LOW POWER COMPUTATIONAL IMAGING COMPUTING DEVICE (低功率计算成像计算设备)”的美国临时专利申请号62/030,913、以及对提交于2013年11月18日的题为“APPARATUS, SYSTEMS, AND METHODS FOR PROVIDING COMPUTATIONAL IMAGING PIPELINE (用于提供计算成像流水线的装置、系统、和方法)”的美国专利申请号14/082,396要求了优先权,其对提交于2013年11月6日的题为“APPARATUS, SYSTEMS, AND METHODS FOR PROVIDING CONFIGURABLE AND COMPOSABLE COMPUTATIONAL IMAGING PIPELINE (用于提供可配置和可组合的计算成像流水线的装置、系统、和方法)”的罗马尼亚专利申请OSIM登记A/00812以及对提交于2013年8月8日的题为“CONFIGURABLE AND COMPOSABLE COMPUTATIONAL IMAGING PIPELINE (可配置和可组合的计算成像流水线)”的英国专利申请号GB1314263.3要求了优先权。。所述申请中的每项申请都特此通过引用以其全文结合在此。

技术领域

[0004] 本申请总体上涉及提供一种低功率计算成像计算设备。

背景技术

[0005] 计算成像是一种新的成像范式,其能够基于图像和视频提供空前的用户体验和信息。例如,计算成像可以对图像和/或视频进行处理以提供场景的深度映射,提供场景的全景视图,从图像和/或视频提取面部,从图像和/或视频提取文本、特征和元数据,并且甚至

提供基于对象和场景识别特征的自动化视觉认知能力。

[0006] 虽然计算成像可以提供有趣的能力,但它没有被广泛采用。计算成像的缓慢采用可归因于计算成像伴随有基本的数据处理挑战。通常,图像分辨率和视频帧速率是高的。因此,计算成像通常需要数百千兆字节的计算资源,这可能难以通过使用常规计算机处理器来获得,特别是在性能必须是可持续的并且在低功耗下由高的存储器带宽支持的情况下。此外,计算成像一般对延迟敏感。因为用户不可能等待几分钟来使相机识别对象,所以计算成像相机一般被设计为快速处理图像和视频,这进一步加重了计算成像的计算要求。

[0007] 遗憾的是,难以在定制硬件中实现计算成像技术。由于计算成像领域处于其相对初期,实现技术在不断变化。因此,难以在硬件中完全定制计算成像,因为实施技术的变化将需要重新设计整个硬件。因此,通常期望提供灵活的硬件架构和灵活的硬件基础结构。

[0008] 同时,对于这样的视频和图像处理的需求在很大程度上来自功率消耗是关键考虑因素的便携式电子设备,例如平板计算机和移动设备。其结果是,存在对于即使在受限的功率预算下也可以操作的灵活的计算成像基础结构。

发明内容

[0009] 根据所公开的主题,提供了用于提供低功率计算成像的系统和方法。

[0010] 所公开的主题包括一种计算设备。所述计算设备可以包括多个向量处理器,其中,所述多个向量处理器中的一个向量处理器被配置成用于执行在第一值数组上操作的指令。所述计算设备还可以包括硬件加速器,所述硬件加速器被配置成用于对第二值数组执行滤波操作。所述计算设备还可以包括存储器结构,所述存储器结构包括多个存储器片以及具有第一接口和第二接口的互连系统,其中,所述第一接口被配置成用于将所述多个向量处理器耦合至所述多个存储器片上,并且其中,所述第二接口被配置成用于将所述硬件加速器耦合至所述多个存储器片上。另外,所述计算设备可以包括主机处理器,所述主机处理器被配置成用于使所述存储器结构通过所述第一接口向所述多个向量处理器中的所述一个向量处理器提供所述第一值数组并且通过所述第二接口向所述硬件加速器提供所述第二值数组,由此使所述多个向量处理器中的所述一个向量处理器能够根据所述指令处理所述第一值数组并且使所述硬件加速器能够根据所述滤波操作处理所述第二值数组。

[0011] 在某些实施例中,所述计算设备可以包括多个功率岛,每个功率岛包括至少一个功率域,其中,所述多个功率岛中的第一功率岛被耦合至第一电源电压来向所述多个向量处理器中的一个向量处理器提供所述第一电源电压,并且其中,所述多个功率岛中的第二功率岛被耦合至第二电源电压来向所述硬件加速器提供所述第二电源电压。

[0012] 在某些实施例中,所述计算设备可以包括功率管理模块,所述功率管理模块被配置成用于向将所述多个功率岛中的所述第一功率岛耦合至所述第一电源电压的开关提供使能信号,由此将所述多个向量处理器中的所述一个向量处理器置于活动模式。

[0013] 在某些实施例中,所述多个向量处理器中的所述一个向量处理器可以包括用于处理所述第一值数组的逻辑电路区域以及用于至少存储所述第一值数组的子集的本地存储器,并且所述功率管理模块可以被配置成用于使所述第一电源电压被提供给所述逻辑电路区域并且使第三电源电压被提供给所述本地存储器以独立控制所述逻辑电路区域和所述本地存储器的功耗。

[0014] 在某些实施例中,所述功率管理模块可以被配置成用于断开所述开关以将所述多个功率岛中的所述第一功率岛从所述第一电源电压断开,由此将所述多个向量处理器中的所述一个向量处理器置于低功率模式。

[0015] 在某些实施例中,所述功率管理模块可以包括有效信号生成器,所述有效信号生成器被配置成用于生成指示所述多个功率岛中的所述第一功率岛中的电路块准备好处理输入数据的时刻的有效信号,其中,所述有效信号生成器包括向所述多个功率岛中的所述第一功率岛中的所述电路块提供所述第一电源电压的开关菊链。

[0016] 在某些实施例中,所述计算设备可以包括耦合至多个输入/输出(I/O)引脚的外围设备,其中,所述外围设备被配置成用于提供所述多个向量处理器中的至少一个处理器与外部设备之间的通信信道。

[0017] 在某些实施例中,所述外围设备可以在始终通电的功率岛内。

[0018] 在某些实施例中,所述外围设备可以被配置成用于监测来自所述外部设备的信号以检测所述多个向量处理器中的一个向量处理器应当响应的事件,并且当所述外围设备检测到所述事件时,使所述功率管理模块将所述多个向量处理器中的所述一个向量处理器置于所述活动模式。

[0019] 在某些实施例中,所述外围设备可以包括仿真模块,所述仿真模块被配置成用于使所述外围设备通过所述I/O引脚的公共组来仿真多个标准协议接口的功能。

[0020] 在某些实施例中,所述外围设备可以被耦合至I/O引脚的差分对上,并且所述外围设备被配置成用于基于极性控制信号来改变所述差分对的极性。

[0021] 在某些实施例中,I/O引脚差分对可以包括移动行业处理器接口(MIPI)通道差分对。

[0022] 在某些实施例中,所述外围设备可以包括旁路缓冲器,所述旁路缓冲器被配置成用于在输入I/O引脚和输出I/O引脚之间进行旁路,由此在所述输入I/O引脚与所述输出I/O引脚之间提供通信信道而无需将所述向量处理器中的所述一个向量处理器置于活动模式。

[0023] 所公开的主题包括一种方法。所述方法可以包括:提供包括多个存储器片的存储器结构以及具有第一接口和第二接口的互连系统。所述方法还可以包括:使用所述第一接口将所述多个存储器片和多个向量处理器进行耦合,以及使用所述第二接口将所述多个存储器片与硬件加速器进行耦合。所述方法可以进一步包括:由所述存储器结构通过所述第一接口向所述多个向量处理器中的一个向量处理器提供第一值数组并且通过所述第二接口向所述硬件加速器提供第二值数组;在多个向量处理器中的所述一个向量处理器上执行在所述第一值数组上操作的指令,以及由所述硬件加速器对所述第二值数组执行滤波操作。

[0024] 在某些实施例中,所述方法可以包括向所述多个向量处理器中的一个向量处理器提供第一电源电压,以及向所述硬件加速器提供第二电源电压,其中,所述多个向量处理器中的所述一个向量处理器以及所述硬件加速器分别与第一功率岛和第二功率岛相关联。

[0025] 在某些实施例中,所述方法可以包括由功率管理模块向将所述第一功率岛耦合至所述第一电源电压的开关提供使能信号,由此将所述多个向量处理器中的所述一个向量处理器置于活动模式。

[0026] 在某些实施例中,所述方法可以包括:使用向所述多个向量处理器中的所述一个

向量处理器中的所述电路块提供所述第一电源电压的开关菊链，生成指示所述第一功率岛中的电路块准备好处理输入数据的时刻的有效信号。

[0027] 在某些实施例中，所述方法可以包括提供耦合至多个输入/输出(I/O)引脚的外围设备，其中，所述外围设备与始终通电的功率岛相关联。

[0028] 在某些实施例中，所述方法可以包括监测来自外部设备的信号以检测所述多个向量处理器中的所述一个向量处理器应当响应的事件，并且使所述功率管理模块将所述多个向量处理器中的所述一个向量处理器置于所述活动模式。

[0029] 在某些实施例中，所述方法可以包括由所述外围设备通过所述I/O引脚的公共组来仿真多个标准协议接口的功能。

[0030] 在某些实施例中，所述外围设备被耦合至I/O引脚的差分对上，并且所述方法进一步包括基于极性控制信号来改变所述差分对的极性。

[0031] 在某些实施例中，所述方法可以包括使用旁路缓冲器在输入I/O引脚和输出I/O引脚之间进行旁路，由此在所述输入I/O引脚与所述输出I/O引脚之间提供通信信道而无需将所述向量处理器中的所述一个向量处理器置于活动模式。

[0032] 所公开的主题包括一种电子设备。所述电子设备可以包括多个向量处理器，其中，所述多个向量处理器中的一个向量处理器被配置成用于执行在第一值数组上操作的指令。所述电子设备还可以包括硬件加速器，所述硬件加速器包括使用从软件模块所接收的配置信息进行编程的数据路径流水线，其中，所述可编程数据路径流水线被配置成用于根据所述配置信息对第二值数组执行滤波操作。所述电子设备还可以包括存储器结构，所述存储器结构包括多个存储器片。所述电子设备可以进一步包括主机处理器，所述主机处理器被配置成用于使所述存储器结构向所述多个向量处理器中的所述一个向量处理器提供所述第一值数组并且向所述硬件加速器提供所述第二值数组，由此使所述多个向量处理器中的所述一个向量处理器能够根据所述指令处理所述第一值数组并且使所述硬件加速器能够根据所述配置信息处理所述第二值数组。

[0033] 在某些实施例中，所述硬件加速器可以包括输出缓冲器，所述输出缓冲器用于接收由所述可编程数据路径流水线所处理的图像的扫描线，以及流水线停转控制器，所述流水线停转控制器被配置成用于在所述输出缓冲器已满时停转所述可编程数据路径流水线的操作。

[0034] 在某些实施例中，所述硬件加速器可以包括被链接到一起以执行所述滤波操作的多个功能单元。

[0035] 在某些实施例中，所述多个功能单元被链接到一起的顺序是使用从所述软件模块所接收的所述配置信息所确定的。

[0036] 在某些实施例中，将所述多个功能单元中的第一单元的输出提供到存储器结构中的缓冲器，并且从所述缓冲器接收所述多个功能单元中的第二功能单元的输入。

[0037] 在某些实施例中，所述硬件加速器可以包括深度映射客户端，所述深度映射客户端被配置成用于接收指示由所述图像的所述扫描线中的像素所表示的物体的深度的深度信息。

[0038] 在某些实施例中，所述硬件加速器可以包括深度映射模块，所述深度映射模块被配置成用于处理所述深度信息以将所述深度信息的分辨率与所述图像的所述扫描线的分

分辨率相匹配。

[0039] 在某些实施例中，所述深度映射模块被配置成用于将所述深度信息与所述图像的所述扫描线进行时间同步。

[0040] 在某些实施例中，所述存储器结构可以包括互斥(mutex)控制器，所述互斥控制器被配置成用于监测请求由所述向量处理器中的一个向量处理器对共享资源进行独占访问的独占访问请求的状态，并且当所述向量处理器中的所述一个向量处理器接收到对所述共享资源的独占访问时，向所述向量处理器中的所述一个向量处理器发送指示所述向量处理器中的所述一个向量处理器可以对所述共享资源进行所述独占访问的确认消息。

[0041] 在某些实施例中，所述存储器结构可以包括多个缓冲器，其中，所述多个缓冲器中的第一缓冲器与所述向量处理器中的第一向量处理器相关联，并且其中，所述向量处理器中的第二向量处理器被配置成用于通过将数据存储在所述多个缓冲器中的所述第一缓冲器中来向所述向量处理器中的所述第一向量处理器发送数据。

[0042] 在某些实施例中，所述存储器结构可以被配置成用于基于转移到所述向量处理器中的所述第一向量处理器中的数据量对所述多个缓冲器中的所述第一缓冲器的容量进行动态修改。

[0043] 在某些实施例中，所述存储器结构可以被配置成用于基于转移到所述向量处理器中的所述第一向量处理器中的数据量将所述多个缓冲器中的两个或更多个缓冲器与所述向量处理器中的所述第一向量处理器进行动态关联。

[0044] 在某些实施例中，所述多个缓冲器可以是所述存储器结构中的所述多个存储器片中的一个存储器片的一部分。

[0045] 在某些实施例中，所述存储器结构可以被配置成用于当所述向量处理器中的一个向量处理器进入低功率模式时，存储所述向量处理器中的所述一个向量处理器的状态信息。

[0046] 在某些实施例中，将所述状态信息存储在所述存储器结构中的静态随机访问存储器中。

[0047] 在某些实施例中，所述存储器结构可以包括直接存储器访问(DMA)控制器，其中，所述DMA控制器包括指示执行DMA操作的顺序的操作列表。

[0048] 在某些实施例中，所述DMA控制器可以被配置成用于基于使能缓冲器执行所述操作列表中的所述DMA操作的子集，其中，所述使能缓冲器包括多个位，其中，所述多个位中的一个位与所述DMA操作中的一个DMA操作相关联，并且所述多个位中的所述一个位的值指示是否将由所述DMA控制器执行所述DMA操作中的所述一个操作。

[0049] 所公开的主题包括一种方法。所述方法可以包括：所述方法可以包括由包括多个存储器片的存储器结构向多个向量处理器中的一个向量处理器提供第一值数组。所述方法还可以包括：由所述存储器结构向包括可编程数据路径流水线的硬件加速器提供第二值数组；由所述多个向量处理器中的一个向量处理器执行在所述第一值数组上操作的指令；使用配置信息在所述硬件加速器中配置所述数据路径流水线；以及使用所述硬件加速器中的所述数据路径流水线根据所述配置信息对所述第二值数组执行滤波操作。

[0050] 在某些实施例中，所述方法可以包括在输出缓冲器处接收由所述可编程数据路径流水线所处理的图像的扫描线；以及在所述输出缓冲器已满时由流水线停转控制器停转所

述可编程数据路径流水线的操作。

[0051] 在某些实施例中，所述硬件加速器包括多个功能单元，并且所述方法包括根据所述配置信息将所述多个功能单元进行链接以执行所述滤波操作。

[0052] 在某些实施例中，所述多个功能单元包括第一功能单元和第二功能单元，并且其中，将所述多个功能单元进行链接包括将所述第一功能单元的输出链接到所述第二功能单元的输入。

[0053] 在某些实施例中，所述方法可以包括接收指示由所述图像的所述扫描线中的像素所表示的物体的深度的深度信息；以及将所述深度信息与所述图像的所述扫描线进行同步。

[0054] 在某些实施例中，所述方法可以包括由所述存储器结构中的存储器控制器来监测请求由所述向量处理器中的一个向量处理器对共享资源进行独占访问的独占访问请求的状态，并且当所述向量处理器中的所述一个向量处理器接收到对所述共享资源的独占访问时，向所述向量处理器中的所述一个向量处理器发送指示所述向量处理器中的所述一个向量处理器可以对所述共享资源进行所述独占访问的确认消息。

[0055] 在某些实施例中，所述存储器结构可以包括多个缓冲器，其中，所述多个缓冲器中的第一缓冲器与所述向量处理器中的第一向量处理器相关联，并且所述方法进一步包括通过将数据存储在所述多个缓冲器中的所述第一缓冲器中来由所述向量处理器中的第二向量处理器向所述向量处理器中的所述第一向量处理器发送数据。

[0056] 在某些实施例中，所述方法可以包括基于转移到所述向量处理器中的所述第一向量处理器中的数据量对所述多个缓冲器中的所述第一缓冲器的容量进行动态修改。

[0057] 在某些实施例中，所述方法可以包括基于转移到所述向量处理器中的所述第一向量处理器中的数据量将所述多个缓冲器中的两个或更多个缓冲器与所述向量处理器中的所述第一向量处理器进行动态关联。

[0058] 在某些实施例中，所述方法可以包括当所述向量处理器中的一个向量处理器进入低功率模式时，将所述向量处理器中的所述一个向量处理器的状态信息存储在所述存储器结构中。

[0059] 在某些实施例中，将所述状态信息存储在所述存储器结构中的静态随机访问存储器中。

[0060] 在某些实施例中，所述方法可以包括在直接存储器访问 (DMA) 控制器处维护指示执行 DMA 操作的顺序的操作列表。

[0061] 在某些实施例中，所述方法可以包括基于使能缓冲器执行所述操作列表中的所述 DMA 操作的子集，其中，所述使能缓冲器包括多个位，其中，所述多个位中的一个位与所述 DMA 操作中的一个 DMA 操作相关联，并且所述多个位中的所述一个位的值指示是否将由所述 DMA 控制器执行所述 DMA 操作中的所述一个 DMA 操作。

附图说明

[0062] 当结合以下相同的参考号标识相同的元素的附图进行考虑时，所公开的主题的各种目的、特征、以及优点可以通过参照所公开的主题的以下详细说明而被更全面地理解。附图是示意性的，并且不旨在按比例进行绘制。为了清楚起见，没有在每张图中标记每个部

件。也并未示出所公开主题的每个实施例的每个组件，其中图示无需允许本领域普通技术人员理解所公开主题。

- [0063] 图1提供了根据某些实施例的计算设备的高级图解。
- [0064] 图2展示了根据某些实施例的计算设备的详细图解。
- [0065] 图3展示了根据某些实施例的硬件加速器。
- [0066] 图4展示了根据某些实施例的可以基于深度信息适应滤波操作的硬件加速器。
- [0067] 图5展示了硬件加速器。
- [0068] 图6展示了根据某些实施例的基于通用功能的硬件加速器。
- [0069] 图7展示了根据某些实施例的包括用于在多个图像信号处理 (ISP) 功能模块之间进行通信的先入先出 (FIFO) 缓冲器的硬件加速器。
- [0070] 图8展示了根据某些实施例的功率岛的电力供给选通。
- [0071] 图9展示了根据某些实施例的有效信号生成器。
- [0072] 图10展示了根据某些实施例的事件信号监测机制。
- [0073] 图11示出了根据某些实施例的软件定义接口。
- [0074] 图12示出了根据某些实施例的软件定义接口的详细实现方式。
- [0075] 图13展示了根据某些实施例的事件处理器。
- [0076] 图14展示了根据某些实施例的事件处理器中的事件滤波器。
- [0077] 图15示出了根据某些实施例的外围设备的旁路模式。
- [0078] 图16示出了根据某些实施例的可编程移动行业处理器接口 (MIPI) 的接口。
- [0079] 图17展示了根据某些实施例的用于输入/输出界面的极性反转机制的应用。
- [0080] 图18展示了根据某些实施例的具有基于硬件的互斥 (mutex) 控制器的存储器结构。
- [0081] 图19展示了根据某些实施例的缓冲器的动态分配。
- [0082] 图20展示了根据某些实施例的向逻辑电路存储器设备提供不同电压的功率管理机制。
- [0083] 图21展示了根据某些实施例的实现基于缓冲器的直接存储器访问 (DMA) 数据结构使能机制的DMA引擎。
- [0084] 图22展示了根据某些实施例的包括计算设备的电子设备。

具体实施方式

[0085] 在下面的描述中，关于所公开主题的系统和方法以及这些系统和方法可以操作的环境等，阐述了许多具体细节，以便提供对所公开主题的透彻理解。然而，本领域技术人员将清楚的是，可以在没有这些具体细节的情况下实践所公开主题，并且本领域公知的某些特征未进行详细描述，以避免使所公开主题复杂化。此外，应当理解的是，下面提供的示例是示例性的，并且可以预期，在所公开主题的范围内存在其他系统和方法。

[0086] 计算成像可以转换机器捕获物理世界并与其交互的方式。例如，通过计算成像，机器可以捕获使用传统成像技术极难捕获的图像。作为另一个示例，通过计算成像，机器可以理解其周围环境并根据其周围环境作出反应。

[0087] 将计算成像引入大众市场的挑战之一在于，计算成像本身是计算量巨大的。计算

成像通常使用大量的高分辨率的图像和/或大量的具有高帧速率的视频。因此，计算成像通常需要强大的计算平台的支持。此外，由于计算成像通常用于移动环境中，例如使用智能手机或平板计算机，计算成像通常需要可以低功率预算操作的强大的计算平台的支持。

[0088] 本申请公开了一种计算设备，该计算设备可以提供用于计算成像的低功率、高能力的计算平台。图1提供了根据一些实施例的计算设备的高级图示。计算设备100可以包括一个或多个处理单元（例如一个或多个向量处理器102和一个或多个硬件加速器104）、智能存储器结构106、外围设备108、以及功率管理模块110。

[0089] 所述一个或多个向量处理器102包括实现包含对称为向量的数据阵列进行操作的指令的指令集的中央处理单元（CPU）。更具体地，所述一个或多个向量处理器102可以被配置为用于同时对大量数据执行通用算术操作。在一些实施例中，所述一个或多个向量处理器102可以包括单指令多数据、超长指令字（SIMD-VLIW）处理器。在一些实施例中，所述一个或多个向量处理器102可以被设计为执行与计算机视觉和成像应用相关联的指令。

[0090] 所述一个或多个硬件加速器104包括执行一些功能的计算机硬件，其比在更通用的CPU上运行的软件中可能的功能执行更快。非视觉应用中的硬件加速器的示例包括图形处理单元（GPU）中的位块传输（blitting）加速模块，该位块传输加速模块被配置为用于使用光栅算子将几个位图组合成一个。

[0091] 在一些实施例中，所述一个或多个硬件加速器104可以提供适合于图像处理和计算机视觉应用的可配置基础结构。这些硬件加速器104可以被认为包括用于使图像处理加速和围绕专用计算核心的计算机视觉操作的通用包装硬件。例如，硬件加速器104可以包括用于执行图像过滤操作的专用过滤模块。过滤模块可以被配置为用于以有效的方式跨图像操作定制的滤波器内核。在一些实施例中，硬件加速器104可以在每个时钟周期输出一个完整计算的输出像素。

[0092] 智能存储器结构106可以被配置为用于提供具有小时延的低功率存储器系统。由于图像和视频包括大量数据，在存储器和处理单元之间提供高速接口是重要的。在一些实施例中，智能存储器结构106可以包括例如64个存储器块，其中每个块可以包括64位接口。在这些实施例中，例如，以600Mhz操作的存储器结构106能够以307.2GB/秒传输数据。在其他实施例中，智能存储器结构106可以包括任何其他数量的存储器块，其中每个块可以包括实现一个或多个接口协议的任何数量的接口。

[0093] 外围设备108可以被配置为用于提供用于向诸如图像传感器和加速度计等外部设备发送和接收数据位的通信信道。外围设备108可以用于这些向量处理器102、硬件加速器104和存储器结构106的通信机制，以与外部设备通信。

[0094] 功率管理模块110可以被配置为用于控制计算设备100内的多个指定块的活动。更具体地，功率管理模块110可以被配置为用于控制在计算设备100内的多个指定块（也称为功率岛）的供电电压。例如，当功率管理模块110启用功率岛的供电时，可以触发计算设备100向所述功率岛提供适当的供电电压。在一些实施例中，每个功率岛可以包括独立的功率域。因此，可以独立地控制功率岛的供电。在一些实施例中，功率管理模块110还可以被配置成通过计算设备100中的输入/输出引脚中的一者或多者来控制外部附接到计算设备100的功率岛的活动。

[0095] 图2示出了根据一些实施例的计算设备的详细图示。计算设备100可以包括多个向

量处理器102。在该图示中,计算设备100包括12个向量处理器102。这些向量处理器102可以经由处理器间互连(IPI)202彼此通信。这些向量处理器102还可以经由IPI 202和加速器存储器控制器(AMC)交叉开关矩阵204或存储器映射处理器总线208与计算设备100中的其他组件(包括存储器结构106和/或硬件加速器104)通信。

[0096] 在一些实施例中,所述一个或多个向量处理器102可以被设计为执行专有指令集。该专有指令集可以包括专有指令。该专有指令可以是可变长度二进制字符串,其包括指令标头和一个或多个单元指令。该指令标头可以包括关于指令长度和用于相关联的专有指令的活动单元的信息;单元指令可以是包括多个固定或可变的字段的可变长度二进制字符串。这些字段可以包括标识所述指令的操作码和指定在单元指令执行中使用的值的操作数。

[0097] 在题为“VECTOR PROCESSOR(向量处理器)”、代理人案卷No.2209599.127US 1且与本申请同日提交的美国专利申请No.待定提供了向量处理器102的细节,通过引用该申请的整体结合于此。

[0098] 计算设备100可以包括多个硬件加速器104。这些硬件加速器104可以包括被配置为用于执行多种预定处理功能的各种加速器模块。在一些实施例中,预定处理功能可以包括过滤操作。例如,这些硬件加速器104可以包括原始图像处理模块、镜头阴影校正(LSC)模块、拜耳模式去马赛克模块、锐化滤波器模块、多相缩放器模块、Harris角检测模块、颜色组合模块、亮度信道噪声模块、色度信道去噪模块、中值滤波器模块、查找表、卷积模块、边检测模块和/或任何其他合适的模块或模块组合。这些硬件加速器104可以被配置为用于检索和存储驻留在存储器结构106中的多个存储器设备中的数据。

[0099] 存储器结构106可以包括协调计算设备100内的存储器操作的中央存储器系统。存储器结构106可以被设计为减少处理单元(例如向量处理器102和硬件加速器104)之间的不必要的数据传输。存储器结构106被结构为允许多个处理单元并行地访问数据和程序代码存储器而不停顿。另外,存储器结构106可以使主机处理器经由诸如高级可扩展接口(AXI)或任何其他合适的总线208的并行总线访问存储器结构106中的存储器系统。

[0100] 在一些实施例中,处理单元可以通过其多个加载存储单元(LSU)端口每个周期读/写高达128位,并且通过其指令端口每个周期读取高达128位的程序代码。除了分别用于处理器102和硬件加速器104的IPI 202和AMC204接口之外,存储器结构106可以通过高级微控制器总线架构(AMBA)高性能总线(AHB)和AXI总线接口提供对存储器系统的同时读/写访问。AHB和AXI是允许使用共享总线基础结构来连接多个处理单元、存储器系统和外围设备的标准并行接口总线。可以使用任何其他合适的总线。在一些实施例中,存储器结构106可以被配置为用于每个时钟周期处理18x 128位存储器访问的峰值。在其他实施例中,存储器结构106可以被设计为使用具有大的位数的高速接口来每个时钟周期处理任意数量的存储器访问。

[0101] 存储器结构106中的存储器系统可以包括多个存储器片,每个存储器片与这些向量处理器102之一相关联、并且越过其他向量处理器102向该处理器给予优先访问。每个存储器片可以包括多个随机存取存储器(RAM)瓦片(tile),其中每个RAM瓦片可以包括读取端口和写入端口。在一些情况下,每个存储器片可以设置有用于提供对相关存储器片的访问的存储器片控制器。

[0102] 这些处理器和RAM瓦片可以经由总线(也称为IPI 202)彼此耦联。在一些情况下, IPI 202可以将这些向量处理器202中的任一者与存储器结构106中的这些存储器片中的任一者耦联。适当地,每个RAM瓦片可以包括用于准许对所述瓦片的访问的瓦片控制逻辑块。该瓦片控制逻辑块有时被称为瓦片控制逻辑或仲裁块。

[0103] 在一些实施例中,每个存储器片可以包括多个RAM瓦片或物理RAM块。例如,具有128kB大小的存储器片可以包括组织为4k×32位字的四个32kB单端口RAM瓦片(例如,物理RAM元件)。作为另一实例,具有256kB大小的存储器片可以包括组织为8k×32位字的八个32kB单端口RAM瓦片(例如,物理RAM元件)。在一些实施例中,存储器片可以具有低至16kB和高达16MB的容量。在其他实施例中,存储器片可以被配置为用于具有与容纳由所述计算设备处理的各种应用所需的一样大的容量。

[0104] 在一些实施例中,RAM瓦片可以包括单端口互补金属氧化物半导体(CMOS) RAM。单端口CMOS RAM的优点是,其在大多数半导体工艺中通常可用。在其他实施例中,RAM瓦片可以包括多端口CMOS RAM。在一些实施例中,每个RAM瓦片可以是16位宽、32位宽、64位宽、128位宽,或者可以与所述计算设备的特定应用所需的一样宽。

[0105] 单端口存储器设备的使用可以增加存储器子系统的功率和面积效率,但是可能限制存储器系统的带宽。在一些实施例中,存储器结构106可以被设计为允许这些存储器设备表现为能够服务来自多个源(处理器和硬件块)的多个同时读取和写入请求的虚拟多端口存储器子系统。这可以通过使用多个物理RAM实例并提供对它们的仲裁访问以服务多个源来实现。

[0106] 在一些实施例中,每个RAM瓦片可以与瓦片控制逻辑相关联。该瓦片控制逻辑被配置为用于从多个向量处理器102或硬件加速器104接收请求、并且提供对相关联的RAM瓦片的各个读取端口和写入端口的访问。例如,当向量处理器102准备访问RAM瓦片中的数据时,在向量处理器102将存储器数据请求直接发送到RAM瓦片之前,向量处理器102可以将存储器访问请求发送到与RAM瓦片相关联的瓦片控制逻辑。所述存储器访问请求可以包括由处理元件请求的数据的存储器地址。随后,瓦片控制逻辑可以分析存储器访问请求、并且确定向量处理器102是否可以访问所请求的RAM瓦片。如果向量处理器102可以访问所请求的RAM瓦片,则瓦片控制逻辑可以将访问授权消息发送到向量处理器102,并且随后,向量处理器102可以向RAM瓦片发送存储器数据请求。

[0107] 在一些实施例中,瓦片控制逻辑可以被配置为用于确定和实施许多处理单元(例如,向量处理器和硬件加速器)访问相同RAM瓦片的顺序。例如,瓦片控制逻辑可以包括冲突检测器,该冲突检测器被配置为用于检测两个或更多个处理单元尝试同时访问RAM瓦片的情况。冲突检测器可以被配置为用于向运行时调度器报告已经发生访问冲突并且访问冲突应当被解决。

[0108] 存储器结构106还可以包括用于将数据位从存储器传送到向量处理器102或硬件加速器104或者从向量处理器102或硬件加速器104传送到存储器的存储器总线。存储器结构106还可以包括直接存储器存取(DMA)控制器,该DMA控制器协调在向量处理器102、硬件加速器104和存储器之间的数据传送。

[0109] 在某些实施例中,可以通过分离的总线将硬件加速器104耦合至存储器结构106上。所述分离的总线可以包括加速器存储器控制器(AMC) 204,其被配置成用于从至少一个

硬件加速器接收请求，并且通过相关存储器片控制器向硬件加速器授权对存储器片的访问。由此将理解由硬件加速器104所占用的存储器访问路径可以与由向量处理器102所占用的路径不同。实际上，AMC 204可以执行地址滤波、仲裁和复用。在某些实施例中，硬件加速器104可以包括内部缓冲器（例如，FIFO存储器）来负责对访问存储器结构106的延迟。

[0110] 在某些实施例中，可以将AMC 204耦合至一个或多个外围设备108（包括例如，多个移动行业处理器接口（MIPI）照相机接口）上。AMC 204还可以被连接至AXI和APB接口以允许两个系统RISC处理器通过AMC 204来访问存储器结构106中的存储器片。

[0111] 在某些实施例中，AMC 204可以包括进入存储器结构106的每个存储器片的一对64位端口。AMC 204可以被配置成用于由部分地址解码将请求从硬件加速器104路由到合适的存储器片。

[0112] 在某些实施例中，AMC 204可以被耦合至多种多样的处理单元以提供对存储器结构106中的存储器片的访问。例如，可以将AMC 204耦合至任何类型的硬件加速器或第三方元件上以提供对存储器结构106中的存储器片的访问。AMC 204还可以被配置成用于提供对计算系统的更广存储器空间的访问，包括处于在计算设备100外的存储器设备。

[0113] 在某些实施例中，AMC 204可以用循环方式仲裁对相同存储器片的同步的存储器访问请求。例如，处理单元（如硬件加速器104）可以向AMC 204发送包括存储器地址的存储器访问请求。当AMC 204接收到存储器访问请求，AMC 204确定在存储器访问请求中的存储器地址是否与存储器结构106中的存储器片相关联。如果存储器访问请求中的存储器地址不与存储器结构106中的存储器片相关联，则AMC 204可以将存储器请求转发到AMC的AXI主机。如果存储器访问请求中的存储器地址与存储器结构106中的存储器片相关联，AMC 204可以对存储器访问请求进行仲裁以提供对所期望的存储器位置的访问。

[0114] 外围设备108可以被配置为用于提供用于向诸如多个异构图像传感器和加速度计等外部设备发送和接收数据位的通信信道。外围设备108可以用于这些向量处理器102、硬件加速器104和存储器结构106的通信机制，以与外部设备通信。

[0115] 传统上，外围设备的功能已经被固定和硬编码。例如，移动工业处理器接口（MIPI）外围设备仅能够与也实现较低速率数字接口（例如SPI、I2C、I2S或任何其它合适的标准）的外部设备接口连接。

[0116] 然而，在本公开内容的一些实施例中，外围设备108的功能可以使用软件来定义。更具体地，外围设备108可以包括仿真模块，该仿真模块能够仿真标准化接口协议（例如SPI、I2C、I2S或任何其他合适的协议）的功能。

[0117] 功率管理模块110被配置为用于控制计算设备100内的多个块的活动。更具体地，功率管理模块110被配置为用于控制在多个指定块（也称为功率岛）的供电电压。例如，当功率管理模块110启用功率岛的供电时，计算设备100被配置为用于向所述功率岛提供适当的供电电压。功率管理模块110可以被配置为用于通过在寄存器中或在总线上的信号线上施加使能信号来启用对功率岛的供电。在一些实施例中，功率管理模块110还可以被配置成通过计算设备100中的输入/输出引脚中的一者或者来控制外部设备的活动。

[0118] 在一些实施例中，功率岛可以总是通电（例如，总是将供电电压提供给功率岛）。这样的功率岛可以被称为常通（always-on）功率岛。在一些实施例中，常通功率岛可以用于检测来自例如通用输入输出（GPIO）引脚、外部接口、和/或内部功能块（例如低频定时器或上

电复位)的信号。这样,计算设备100可以响应事件或事件序列,并且仅对需要响应所述事件或事件序列的电源岛自适应地上电。

[0119] 图3展示了根据某些实施例的硬件加速器。硬件加速器104可以包括一组硬件图像处理滤波器。硬件加速器104可以使某些计算密集功能能够从向量处理器102卸载。加速器104可以被耦合至AMC 204从而以高带宽访问存储器结构106中的存储器片。

[0120] 在某些实施例中,可以通过AMC 204将硬件加速器104耦合至存储器结构106上。在某些实施例中,硬件加速器104可以包括一个或多个滤波器模块(例如,20个滤波器模块),包括MIPI接收器滤波器和MIPI发射器滤波器。在某些实施例中,滤波器模块可以包括只读AMC接口(读客户端接口)和只写AMC接口(写客户端接口)。在其他实施例中,滤波器模块还可以具有多个只读AMC接口。例如,滤波器模块可以具有多个只读AMC接口用于对多个输入缓冲器、多个平面(从相同缓冲器)的并行访问。所述多个只读AMC接口可以被用于提供额外存储器读带宽以保持滤波器模块的处理吞吐量。对硬件加速器104的描述可以同样地应用于每个滤波器模块,由于硬件加速器104仅可以具有单个滤波器模块。同样,对滤波器模块的描述可以同样地应用于硬件加速器,因为滤波器模块可以是硬件加速器中的唯一滤波器模块。

[0121] 在某些实施例中,AMC 204具有进入存储器结构106的每个存储器片的一个或多个双向(例如,读/写)端口。所述端口可以容纳许多位。例如,所述端口可以容纳64位通信。在某些实施例中,AMC 204还可以包括AXI主机,其提供到外部DRAM设备的直接连通。

[0122] 在某些实施例中,滤波器模块可以被主要设计未处理存储器结构106中的缓冲器。例如,随着MIPI接收器模块和MIPI发射器滤波器模块的异常,滤波器模块可以仅通过其AMC客户端输入和输出数据。对滤波器模块的配置(包括其缓冲器基地址)可以通过若干APB从接口来实现。

[0123] 在某些实施例中,硬件加速器104可以通过MIPI接收器滤波器模块和MIPI发射器滤波器模块接收图像数据。MIPI接收器滤波器模块和MIPI发射器滤波器模块可以允许硬件加速器104中的其他滤波器模块来建立与MIPI接收器控制器和MIPI收发器控制器的直接连接。MIPI接收器滤波器模块和MIPI发射器滤波器模块可以通过并行接口连接至MIPI控制器并且可以被用于将数据从MIPI控制器将数据直接分流到存储器结构106中或将存储器结构外的数据直接分流到MIPI控制器。

[0124] 在某些实施例中,硬件加速器106可以在存储器结构106中所缓冲的、通过AMC 204进行访问的图像数据的扫描线上进行操作。AMC 204可以将事务从其客户端接口路由至目标存储器片(或AXI主机)并且在每个存储器片处对来自不同客户端的同步的事务进行仲裁。在某些实施例中,硬件加速器106中的多个滤波器模块可以通过将一个或多个滤波器模块的输出缓冲器(也成为生产者/父)耦合至其他滤波器模块的输入缓冲器(也成为消费者/子)来流式连接到一起。

[0125] 在某些实施例中,硬件加速器104中的滤波器模块可以在以当前像素为中心的像素上操作二维内核。内核中的所有像素可以在对以当前像素为中心的像素的处理上做出贡献。

[0126] 在某些实施例中,硬件加速器104中的滤波器模块可以逐行处理图像。例如,滤波器模块可以从上到下扫描图像以生成图像的扫描线,并且处理所述扫描线(例如,从左到右

移动)。在其他示例中,滤波器模块可以通过以适合于滤波处理的任何方向/顺序来扫描图像来生成图像的扫描线。

[0127] 在某些实施例中,滤波器模块可以通过读取数据来处理图像的扫描线来形成针对扫描线上的第一像素的内核。滤波器模块可以通过以滑动窗口形式来滑动内核来处理扫描线。一旦完成处理,滤波器模块可以将输出像素写入到输出缓冲器或存储器位置中。

[0128] 在某些实施例中,用于滤波的内核通常是方形的并且沿着每条边通常具有奇数个像素,例如,3x 3、5x 5、或7x 7。如果滤波器模块是用K x K像素内核,则可以为由其输出缓冲器所处理并写入其输出缓冲器的每行图像数据从输入缓冲器中读取图像数据的K条扫描线。

[0129] 在某些实施例中,硬件加速器104可以使用环形输入缓冲器。假设目标滤波器模块被配置成用于接收(用作输入)另滤波器模块(也被称为父滤波器模块)的输出扫描线。还假设目标滤波器模块使用K x K像素内核。则用于目标滤波器模块的输入缓冲器可以被设计为维持图像数据的至少(K+1)条扫描线:针对滤波器模块的K条扫描线以及针对同时接收父滤波器模块的输出扫描线的一条(或多条)扫描线。在本示例中,因为输入缓冲器是环形的,在从父滤波器模块接收(K+1)条扫描线之后,可以将第(K+2)条扫描线写入到第一条线的位置。在大多数情况下,在其当前线号在输入图像内方面,父滤波器模块可以在目标滤波器模块之前。在初始配置后,滤波器模块的读和写客户端可以注意当访问滤波器模块的输入和输出缓冲器时,环形缓冲器地址包装。

[0130] 在某些实施例中,硬件加速器104中的缓冲器可以由预定数目的字节进行对准。例如,硬件加速器104中的缓冲器可以对准在8字节边界上。为了减轻事务路由,读和写客户端和AMC可以被配置成用于提供仅对准的缓冲器访问。当图像宽度不是预定数目的字节的倍数时,则硬件加速器104可以被配置成用于将空字节写入每条扫描线和下字节边界的(未对准的)末端之间的输出缓冲器。

[0131] 图3展示了用于操作滤波器内核、存储在滤波器内核寄存器302中、在输入数据流(例如,一张或多张图像的扫描线)上的硬件加速器的实现方式。输入数据流可以对应于一张或多张图像中的像素。硬件加速器104可以包括数据路径流水线304、流水线停转控制器306、线缓冲器读客户端308、线开始控制输入310、和线缓冲器写客户端310。在某些实施例中,硬件加速器104可以包括至少一个AMC读客户端接口314和/或至少一个AMC写客户端接口316来访问存储器结构106中的存储器片。AMC 204上的读/写客户端接口的数目可以被合适地配置。

[0132] 在某些实施例中,滤波器内核寄存器302可以被编程用于修改有待在输入数据流上被操作的内核。滤波器内核寄存器302可以被配置成用于容纳多种内核大小。例如,滤波器内核寄存器302可以被配置成用于容纳3x 3内核、5x 5内核、7x 7内核、9x 9内核、或任何其他表示为m x n的内核大小。在某些情况下,m可以与n相同;在其他情况下,m可以与n不同。在某些实施例中,滤波器内核寄存器302可以被配置成用于容纳各维度的内核。例如,滤波器内核寄存器302可以被配置成用于容纳一维滤波器、二维滤波器、三维滤波器、或任何整数维度的滤波器。

[0133] 在某些实施例中,线缓冲器读客户端308被配置成用于接收图像的扫描线(例如,图像网格上的图像的行或列)并且用于向数据路径流水线304提供所述扫描线。线缓冲器读

客户端308可以通过AMC读接口314接收图像的扫描线。一旦数据路径流水线304接收了内核和图像的扫描线,数据路径流水线304可以执行滤波操作。一旦数据路径流水线304完成了滤波操作,数据路径流水线304可以将结果线存储在线缓冲器写客户端312中。线缓冲器写客户端312可以可选地将结果线通过AMC写接口316存储在存储器片中。流水线停转控制器306可以停转流水线的某些部分以确保线缓冲器写客户端312不溢出。

[0134] 在某些实施例中,线开始控制器310可以控制数据路径流水线304开始处理所接收的图像的扫描线的时刻。线开始控制器310还可以被配置成用于选择性地使数据路径流水线304的一个或多个部分来执行定制操作。在某些情况下,线开始控制器310还可以控制有待在由数据路径流水线304所进行的滤波操作期间使用的系数。

[0135] 在某些实施例中,数据路径流水线304和线开始控制器310可以是可编程的。数据路径流水线304和线开始控制器310可以被编程从而使得不同类型的滤波操作可以由硬件加速器104所执行。例如,数据路径流水线304和线开始控制器310可以用滤波操作参数(如系数集和/或阈值)进行编程,从而使得可以由硬件加速器104执行定制滤波操作。滤波操作参数还可以包括滤波内核大小、系数、缩放率、增益、阈值、查找表、或任何其他合适的参数。因此,硬件加速器104可以被认为是为了容纳各种图像滤波操作的通用包装。

[0136] 在某些实施例中,数据路径流水线304可以被配置成用于处理以一个或多个数字形式所表示的数字。例如,数据路径流水线304可以被设计为在浮点数(例如,fp16(类似IEEE754的16位浮点格式))、证书、定点数、或任何其他适合于图像处理的数字格式上操作。

[0137] 硬件加速器104可以被配置成用于控制数据路径流水线304如何消费来自输入数据缓冲器308的扫描线以及数据路径流水线304如何将所处理的扫描线存储到输出数据缓冲器312。硬件加速器104可以被配置成用于实现两种控制模式之一:缓冲器填充控制(BFC)模式和同步模式。

[0138] 在某些实施例中,在BFC模式下,硬件加速器104可以被配置成用于维持填充水平的内部计数(例如,存储在输入缓冲器中的扫描线的数目)。硬件加速器104可以被配置成用于在(1)启用硬件加速器,(2)其输入缓冲器具有足够数目的扫描线,以及(3)在其输出缓冲器具有空间来存储所处理的扫描线时,自主处理来自其输入缓冲器的扫描线。在某些情况下,运行数据路径流水线304所需要的缓冲器填充水平可以取决于内核的高度。例如,当内核是3x 3,则硬件加速器104可能需要至少三条扫描线来操作滤波器。

[0139] 在某些实施例中,在同步控制模式下,硬件加速器中的滤波器模块可以被配置成用于在开启针对滤波器模块的开始位时运行。开始位可以使用例如软件模块来开启。在同步控制下,软件模块可以被配置成用于确定针对滤波器模块的输入缓冲器具有足够数目的扫描线并且针对滤波器模块的输出缓冲器具有足够空间来存储来自滤波器模块的所处理的扫描线。一旦满足了这些条件,软件模块可以开启滤波器模块的开始位。

[0140] 在两种模式下,一旦滤波器模块处理了扫描线,滤波器模块可以更新在其缓冲器内和输入图像内的其当前线索引。在某些实施例中,当输出图像不具有与输入图像相同的大小时,滤波器模块也可以更新在输出图像中的其当前线索引。所述线索引的值(和用于缓冲器填充控制的缓冲器填充水平)可以表示滤波器模块的内部状态。这个内部状态可以由软件模块进行访问并且可以被保存、更新、和恢复,从而使得滤波器模块的上下文可以在下一周期运行滤波器模块之前被切换。

[0141] 在某些实施例中，硬件加速器104中的缓冲器可以被配置成用于维持多个数据平面。例如，硬件加速器104中的缓冲器可以被配置成用于在分离的平面中维持图像的红色信道、绿色信道、和蓝色信道。在某些示例中，硬件加速器104中的缓冲器可以被配置成用于支持多达十六个平面。每个平面中的图像数据的扫描线可以被连续存储，并且平面可以由其数目和由其平面步幅进行限定。

[0142] 在某些实施例中，硬件加速器104中的滤波器模块可以被配置成用于顺序处理来自每个数据屏幕的扫描线，每次处理一条。为了顺序处理，从控制的角度来说，来自所有平面的控制线可以被认为具有相同的时间戳。在其他实施例中，硬件加速器104中的滤波器模块可以被配置成用于并行处理多个数据平面。

[0143] 在某些实施例中，在处理图像/视频流之前，或如果切换了上下文，可以合适地配置和启用滤波器模块。每个滤波器模块可以包括限定了其输入缓冲器和输出缓冲器配置的一组软件可编程寄存器。

[0144] 在某些实施例中，可以使用以下参数中的一个或多个来对滤波器模块中的缓冲器进行编程：

[0145] • 基 (base)：基地址。这个参数可以指定缓冲器的基地址。可以将地址对准在字节边界上（例如，AMC客户端数据总线的宽度）。

[0146] • n1：扫描线数目。在环形缓冲器模式中，这个参数可以指定扫描线中的环形缓冲器的大小。针对环形缓冲器的最大扫描线数目可以是1023，但是其他上界也是可能的。如果将缓冲器配置为n1=0，这表示缓冲器在非环形模式中。因此，n1=0将访问缓冲器的读/写客户端放在非环形或非包装模式中，在所述模式中，缓冲器中的扫描线的数目与图像的高度相对应，并且没有环形缓冲器指针包装发生。

[0147] • 1s：线步幅。线步幅可以是固定字节数目的倍数，例如，8个字节。可以预先确定最大线步幅。例如，最大线步幅可以是(32MB-8)字节。可以由读/写客户端使用线步幅和线数目来执行环形缓冲器指针算术。线步幅可以大于或等于图像宽度。

[0148] • np：平面数目。这个参数代表由缓冲器所表示的平面数目。当np=0时，代表缓冲器表示非平面数据（例如，单平面数据）。缓冲器中的线缓冲器存储量可以乘以平面数目。

[0149] • ps：平面步幅。平面步幅可以是固定字节数目的倍数，例如，8个字节。可以预先确定最大平面步幅。例如，最大平面步幅可以是(32MB-8)字节。通常，平面步幅可以大于或等于n1乘以1s。然而，其他平面步幅可以是可能的。

[0150] • 格式 (format)：缓冲器数据格式。这个参数可以指定以字节为单位的像素数据的大小。例如，对于FP16缓冲器，可以将格式设置为2，代表每像素2个字节。

[0151] 在某些实施例中，可以使用以下参数中的一个或多个来对滤波器模块中的输出缓冲器进行编程：

[0152] • 偏移 (offset)：偏移可以指定从基地址（和每条线的开始）到第一像素的偏移。这个参数可以被用于避免被对准在字节边界上的缓冲器的限制的问题。使用偏移，可以在扫描线的左边保留空间，例如，用于由输出缓冲器的消费者的水平像素填充。默认偏移是零。如果指定了非零偏移，则可以在第一输出像素前将空字节写入每条输出扫描线。

[0153] 在某些实施例中，滤波器模块可以支持多种数据类型。以下列出了滤波器模块所支持的最常用数据类型：

- [0154] • U8——无符号8位整数数据
- [0155] • U8F——无符号8位分数数据, 范围[0,1.0]
- [0156] • U16——无符号16位整数数据
- [0157] • U32——无符号32位整数数据
- [0158] • FP16——半精度(16位)浮点
- [0159] • FP32——全精度(32位)浮点

[0160] 在某些实施例中,可以为其操作来优化滤波器模块的数据路径流水线:半精度浮点(FP16)算术可以用于涉及高动态范围的操作;优化后的定点算术可以被用于维持高精度是更重要的情况下。

[0161] 在某些实施例中,仅对于FP16缓冲器,使用FP16算术所实现的滤波器模块可以不限于读/写。U8F缓冲器还可以伴随来自/到滤波器模块内自动发生的FP16的对话而被访问。

[0162] 在某些实施例中,当使用FP16算术来实现滤波器模块时,缓冲器可以是FP16或U8F。当缓冲器是FP16时,缓冲器配置格式可以被设置为2。如果缓冲器是U8F时,缓冲器设置格式可以被设置为1。对于具有FP16数据路径流水线的滤波器模块,如果输入缓冲器格式是“1”,读客户端可以在处理前自动将U8F输入数据转换为FP16。如果输出缓冲器格式是“1”,写客户端可以在存储前将来自数据路径流水线的FP16转换为U8F。

[0163] 在某些实施例中,通过乘以1.0/255将U8F转换成归一化的FP16,在范围[0,1.0]中。归一化的FP16可以通过乘以255并取整来被转换为U8F,这有效地将浮点值量化为8个位。在某些实施例中,来自具有FP16数据路径流水线的滤波器模块的输出数据可以被可选地夹在归一化的范围[0,1.0]中。如果启用向U8F的转换,则隐含启用了夹在归一化的范围内,并且这在如上所述的向U8F的转换之前执行。使用FP16数据路径流水线所实现的滤波器模块不限于处理在归一化的范围[0,1.0]中的数据;还可以支持FP16的全范围。

[0164] 在某些实施例中,滤波器模块被配置成用于在输入图像中跟踪其竖直位置。滤波器模块可以使用此信息来在图像的顶部和底部通过线复制或反射执行竖直填充。不执行竖直填充的滤波器模块可以创建比输入图像小的输出图像,这在某些情况下不是所期望的。

[0165] 在某些实施例中,当滤波器模块被配置成用于执行竖直填充时,可以由输入缓冲器所维持的最小扫描线数目M可以是:

- [0166] M = (K>>1) + 1, 其中>>表示右位移位运算数。

[0167] 在图像的顶部,当输入缓冲器的容量(扫描线方面)小于M,缓冲器中没有足够的扫描线来执行滤波操作。当输入缓冲器的容量(扫描线方面)大于或等于M,如果执行了竖直填充,可以处理数据。类似地,在图像的底部,在处理最后(K>>1)条线时,滤波器模块可以执行线N-1的复制(或对线N-1和其上的线的复制)。

[0168] 在某些实施例中,当内核具有偶数维度时,可以执行竖直填充。对偶数维度的内核的竖直填充可以基本上与对奇数维度的内核的竖直填充相同,除了在底部少了一条应当被填充的线。

[0169] 在某些实施例中,滤波器模块可以执行水平填充。像素内核的水平填充可以被执行为数据从输入缓冲器读取并且写入到像素内核寄存器。滤波器模块可以知道其在当前线上的位置以及在线的开始和结束。因此,可以将有效像素内核寄存器复制到没有有效数据的那些中。与竖直填充一样,是否执行水平填充可以取决于给定滤波器模块的具体功能和

需求。

[0170] 在某些实施例中，在环形缓冲器模式中，滤波器模块可以被配置成用于处理来自其输入缓冲器的扫描线并且将所处理的扫描线写入到其输出缓冲器中。这组操作可以被称为滤波器运行。

[0171] 在某些实施例中，为了灵活性，可以提供可以控制滤波器运行的两个不同的控制机制。在第一机制中，称作缓冲器填充控制模式，滤波器模块可以跟踪其自身环形缓冲器的填充水平并且自行确定其是否可以运行。这种方法本质上是异步的；只要满足所需要的条件，滤波器模块可以可能重复地运行。提供了寄存器中的控制位来允许软件来通知滤波器模块什么时候扫描线已被添加至输入缓冲器或从输出缓冲器移除。当扫描线被添加至输入缓冲器时，可以增加填充水平；当扫描线被从输出缓冲器移除时，可以降低填充水平。在这个模式下，滤波器模块与其输入和输出缓冲器一起可以被看作是先入先出(FIFO)，其中，扫描线占用了其条目并且FIFO的深度由被编程用于输入和输出缓冲器的扫描线的数目来配置。

[0172] 在某些实施例中，如果滤波器模块的输入缓冲器不满，另滤波器模块可以向FIFO添加扫描线。在允许另滤波器模块向输入缓冲器添加扫描线时，软件可以检查输入缓冲器的填充水平。随后，软件或滤波器模块可以增加与输入缓冲器相关联的填充水平。在输出侧，在对输出缓冲器的填充水平进行减量前（例如，在由另滤波器处理了滤波器的输出缓冲器中的线（如读取FIFO）之后），软件可以检查输出缓冲器的填充水平，或响应表示滤波器模块向其输出缓冲器添加了新的扫描线的中断事件。

[0173] 第二机制称作同步模式，取决于软件显式调度每次滤波器运行。可以在寄存器中提供每个滤波器模块的开始位，软件可以写入寄存器来立即开始滤波器运行。当由此机制开始时，可以精确地执行一次滤波器模块。

[0174] 在某些实施例中，当滤波器模块接收中断请求时，其可以被中断。在某些情况下，滤波器模块可以具有多个中断请求源，所述中断请求源被映射到外部中断请求线并且被路由到中断控制器。当滤波器模块标志中断并且启用所述中断，则可以标志相应的外部中断请求线。

[0175] 在某些实施例中，所述多个中断请求源可以包括：

[0176] • 输入缓冲器填充水平减量中断

[0177] • 输出缓冲器填充水平增量中断

[0178] • 帧完成中断

[0179] 在滤波器模块被配置成用于在同步模式中操作时，输出缓冲器填充水平增量中断还可以被认为表示滤波器模块完成了其滤波器运行。

[0180] 在某些实施例中，硬件加速器104可以基于深度信息来适应滤波操作。例如，硬件加速器104可以被配置成用于有条件地仅模糊与距离远于30码的物体相关联的像素，或者超过5码的像素可以比超过10码的像素的模糊程度低等。

[0181] 图4展示了根据某些实施例的可以基于深度信息适应滤波操作的硬件加速器。除了图3中的硬件加速器104中的模块，深度感知硬件加速器402包括深度映射读客户端404和深度映射模块406。深度映射读客户端404被配置成用于接收表明由相应图像中的像素所表示的物体的深度的深度映射。例如，当线缓冲器读客户端308接收图像的扫描线时，深度映

射读客户端404可以被配置成用于接收与图像的扫描线相对应的深度映射。

[0182] 随后,深度映射读客户端404可以向深度映射模块406提供深度映射。当深度映射的分辨率低于图像的扫描线的分辨率时,深度映射模块406可以被配置成用于对深度映射进行上采样以将深度映射的分辨率与扫描线的分辨率进行匹配。当深度映射不与图像的扫描线时间同步时,深度映射模块406可以被配置成用于对深度映射和扫描线进行同步。深度映射模块406随后可以向线开始控制器310提供处理后的深度映射,从而使得线开始控制器310可以控制数据路径流水线304的操作。更通常地,可以有条件地基于使用比较器在像素位置处将深度与一个或多个阈值进行比较来应用算术功能,或可替代地直接使用与每个像素相关联的二进制控制位,这可以使用旁路多路复用器代替比较器输出来进行应用。

[0183] 传统上,用于图像处理操作的硬件加速器包括以预定顺序安排的硬件的图像信号处理(ISP)功能的固定集合。图5展示了传统硬件加速器。传统硬件加速器500会从存储器设备504接收图像,并且以在设计时所预定的顺序使用ISP功能502A-502H处理所接收的图像。在图5中所示的示例中,硬件加速器500以所展示的顺序使用8个ISP功能来处理所接收的图像。此方法相当不灵活,并且会限制硬件加速器500可以被使用的应用领域。图像传感器技术正在迅速发展,并且难以想象针对所有当前和未来传感器使用单个固定ISP流水线。进一步地,当ISP功能在图像的多条扫描线上操作滤波器时,ISP功能不得不在缓冲器中存储进入的扫描线直到存在足够数目的扫描线。这些缓冲器通常使用根据图像的分辨率来确定大小的RAM设备来实现,并且在硬件加速器500的设计时预先确定缓冲器的大小。因此,用于ISP的缓冲器可以有效地在图像分辨率上强加硬限制,这可以由硬件加速器500所处理。此外,由于缓冲器是ISP功能私有的,不可以和其他场景(例如,由软件)中使用缓冲器并且缓冲器会消费大量芯片区域。

[0184] 在某些实施例中,硬件加速器104通过链接通用、公共ISP功能来解决传统硬件加速器的不灵活性。经常地,硬件加速器在功能之间的差别不像由硬件加速器所实现的ISP功能那样多,而是在调用ISP功能的顺序(并且在某些情况下是次数)上。因此,硬件加速器104可以被配置成用于通过链接一个或多个高效实现的通用、公共功能模块来执行所期望的功能。

[0185] 例如,卷积操作可以被表示为乘法和求和。同样,有限脉冲响应(FIR)滤波操作也可以被表示为乘法和求和,尽管FIR滤波操作执行乘法和求和的顺序可能与卷积操作的顺序不同。尽管卷积操作和FIR滤波操作之间存在差别,乘法操作和求和操作是卷积操作和FIR滤波操作的公共功能。因此,硬件加速器104可以被设计成使用同样的乘法模块和同样的求和模块来执行卷积操作和有限脉冲响应滤波操作。

[0186] 在某些实施例中,可以使用软件来确定调用通用、公共功能的顺序。例如,软件可以对硬件加速器进行编程以调用乘法模块和求和模块通过以不同顺序来链接乘法模块和求和模块来执行卷积操作或FIR滤波操作。

[0187] 图6展示了根据某些实施例的基于通用功能的硬件加速器。硬件加速器102可以包括多个通用ISP功能模块602A-602H、用于接收用于处理的图像的一条或多条扫描线的数据接收器模块604、以及用于输出已经由一个或多个通用ISP功能模块602A-602H所处理过的一条或多条扫描线的数据输出模块606。在某些实施例中,所述一个或多个通用ISP功能模块602A-602H可以包括配置寄存器和控制寄存器。这些寄存器的值可以使用软件来进行控

制。在某些实施例中，所述多个通用ISP功能模块602A-602H可以是数据路径流水线304的一部分。

[0188] 在某些实施例中，一个或多个通用ISP功能模块602A-602H可以包括独立的硬件滤波器，所述硬件滤波器还包括直接存储器访问(DMA)能力。所述通用ISP功能模块602A-602H的一个或多个可以使用DMA能力来从存储器结构106中的存储器片和/或向其中加载和/或存储数据。可以使用软件来控制DMA能力。

[0189] 在某些实施例中，数据接收器模块604可以包括用于检索图像的一条或多条扫描线的DMA模块。在其他实施例中，数据接收器模块604可以包括传感器接口模块，如MIPI模块。在某些实施例中，数据输出模块606可以包括用于存储图像的一条或多条处理后的扫描线的DMA模块。在其他实施例中，数据输出模块606可以包括显示设备。

[0190] 在某些实施例中，可以将硬件加速器102耦合至包括ISP表的存储器结构106上。ISP表可以包括一个或多个缓冲器608。每个缓冲器可以包括指向通用ISP功能模块602A-602H中的一个通用ISP功能模块的指针。由于存储器结构106可以包括多端口公共(或统一)存储器，多个设备可以访问ISP表中的所述一个或多个缓冲器来标识可用的通用ISP功能模块。

[0191] 在某些实施例中，运行在处理器610上的软件ISP功能612A-612C可以被设计成用于执行硬件加速器102中的一个或多个通用ISP功能模块602A-602H。例如，软件ISP功能612A可以确定(1)有待被执行的通用ISP功能模块602A-602H的列表来执行所期望的功能，以及(2)所述通用ISP功能模块602A-602H的列表应当被执行的顺序。然后，软件ISP功能612A可以使用与所述通用ISP功能模块602A-602H的列表相对应的一个或多个缓冲器608来链接所述通用ISP功能模块，由此执行所期望的功能。实质上，可以由软件查找其ISP表中的缓冲器608来确定硬件加速器的功能。

[0192] 在某些实施例中，可以通过小存储器映射的先入先出(FIFO)缓冲器来将ISP功能模块的输入接口直接耦合至其他ISP功能模块的输出接口上。图7展示了根据某些实施例的包括用于在ISP功能模块之间进行通信的FIFO缓冲器的硬件加速器。可以将ISP功能模块602耦合至存储器总线接口702上，其转而被耦合至FIFO缓冲器704和存储器结构106上。

[0193] 当第一ISP功能模块602A完成其对图像扫描线的操作时，第一ISP功能模块602A可以将处理后的扫描线存储在FIFO缓冲器704中。随着第一ISP功能模块602A继续处理附加的扫描线，第一ISP功能模块602A可以继续将处理后的扫描线存储在FIFO缓冲器704中，直到FIFO缓冲器704已满。当FIFO缓冲器704已满时，可以将第一ISP功能模块602A停转，直到FIFO缓冲器704不再是满的。同时，第二ISP功能模块602B可以从FIFO缓冲器704检索处理后的扫描线用于进一步处理，直到FIFO缓冲器704空了。实际上，第一ISP功能模块602A可以被认为是数据的生产者；第二ISP功能模块602B可以被认为是数据的消费者；而FIFO缓冲器704可以被认为是仲裁者。由于第二ISP功能模块602B可以从FIFO缓冲器704检索处理后的扫描线，这与存储器结构106中的存储器片相比具有较低延迟，FIFO缓冲器704可以降低ISP功能模块602的链的延迟。

[0194] 在某些实施例中，计算设备100可以包括多个功率岛。每个功率岛可以与专用功率域相关联。因此，可以独立控制每个功率岛的电力电源电压。例如，计算设备100可以确定需要哪些功率岛来执行某个操作，并且开启仅那些所需要的功率岛的电力电源电压。以此方

式,计算设备100可以降低漏电功耗。

[0195] 在某些实施例中,当计算设备100确定功率岛当前在低功率模式时(例如,不提供电源电压),并且需要所述功率岛来执行特定操作,计算设备100可以调用针对所述功率岛的通电序列并且向所述功率岛提供电源电压。

[0196] 在某些实施例中,所述向量处理器102中的每个都可以与唯一的功率岛相关联。在某些实施例中,硬件加速器104可以与唯一的功率岛相关联。在某些实施例中,存储器结构106可以与唯一的功率岛相关联。在某些实施例中,外围设备108可以与唯一的功率岛相关联。

[0197] 在某些实施例中,计算设备100可以通过向功率岛提供使能信号来调用通电序列。所述使能信号可以随后闭合位于电力电源电压和功率岛之间的开关,由此向功率岛提供电力电源电压。此操作有时也被称为电力供给选通。

[0198] 图8展示了根据某些实施例的功率岛的电力供给选通。图8示出了功率岛802,所述功率岛可以包括用于处理输入数据的电路块、用于向功率岛802提供电力电源电压或接地信号的一个或多个开关804A-804B、以及用于保留输入数据直到功率岛802准备好处理输入数据的输入寄存器806。在某些实施例中,当输入寄存器806从有效信号生成器808接收有效信号时(表示功率岛802准备好处理输入数据),触发输入寄存器806来向功率岛802提供输入数据。

[0199] 在某些实施例中,计算设备100被配置成用于生成有效信号,所述有效信号表示功率岛的电力电源电压已到达合适的操作电压。有效信号可以表示功率岛中的电路可以被用于执行所期望的操作的时刻。可以由有效信号生成器808来生成有效信号。

[0200] 有效信号生成器808可以使用定时器来生成有效信号。例如,有效信号生成器808可以确定使能信号被施加到功率岛的时刻,并且使用定时器来等待预定时间量,并且然后生成有效信号。然而,在设计时确定预定时间量是困难的,因为升高功率岛的电力电源电压花费的时间量会受到过程、电压和温度(PVT)变化的影响。为了解决PVT变化,通常保守地(例如,足够大)对预定时间量进行设置以容纳最坏情况的PVT角点,这会不必要地为通电序列增加延迟。

[0201] 为了解决这些问题,在某些实施例中,有效信号生成器808被配置成用于适应性地生成有效信号。更具体地,功率岛可以被配置成用于通过延迟提供给功率岛的使能信号来生成有效信号。

[0202] 图9展示了根据某些实施例的有效信号生成器。有效信号生成器808可以包括被配置成用于向耦合至多个电源开关的逻辑单元提供电力电源电压的多个电源开关。在某些实施例中,电源开关可以是每个逻辑单元的一部分。例如,电源开关可以包括与正供给相串联的一个或多个P通道设备和/或与负供给(接地)相串联的一个或多个N通道设备。可以遍及包括功率岛的逻辑块来分布这些电源开关。在图9中,为了简单,N信道电源开关和P通道电源开关被示为与每个逻辑单元相关联的单个电源开关块。

[0203] 在某些实施例中,有效信号生成器808可以将使能信号施加到电源开关的菊链上并且等到使能信号到达电源开关的菊链的末端。一旦使能信号到达电源开关的菊链的末端,则确保功率岛中的所有逻辑单元都是正常通电的。因此,有效信号生成器808可以使用由电源开关的菊链所延迟的使能信号作为有效信号。这个自校准机制可以适应性地捕获特

定计算设备的任何过程-电压-温度 (PVT) 变化。以此方式, 计算设备不需要必要地等待很长时间段来等到功率岛通电; 计算设备可以仅等待正常对功率岛通电所需的时间量。

[0204] 在某些实施例中, 功率岛可以始终是通电的。换句话说, 功率岛可以被设计为不进入不提供电力电源电压的低功率模式。这种功率岛可以被称为常通功率岛。

[0205] 在某些实施例中, 常通功率岛可以被用于监测外部信号。例如, 常通功率岛可以被用于检测来自通用输入输出 (GPIO) 引脚、外部接口、和/或内部功能块 (如低频定时器或通电复位) 的信号。以此方式, 计算设备 100 可以分析外部信号、确定一个或多个功率岛是否需要被通电以响应外部信号、并且适应性地仅对响应外部信号所需要的功率岛进行通电。

[0206] 图 10 展示了根据某些实施例的事件信号监测机制。图 10 示出了常通功率岛 802 和功率管理模块 110。常通功率岛 802 可以包括用于外围设备 108 的功率域。由于常通功率岛 802 不进入低功率模式, 常通功率岛 802 中的外围设备 108 可以监测与计算设备 100 的时钟异步的信号。当外围设备 108 检测到计算设备 100 应当响应的事件信号时, 外围设备 108 可以警告功率管理模块 110。反过来, 功率管理模块 110 可以确定应当开启计算设备 100 中的哪个功率岛。随后, 功率管理模块 110 可以使一个或多个功率岛通电。

[0207] 在某些实施例中, 外围设备 108 可以包括软件定义接口, 其功能可以用软件进行限定。更具体地, 外围设备 108 可以包括接口协议仿真 (IPE) 模块, 所述模块能够对标准化接口协议 (如 SPI、I2C、I2S、或任何其他合适的协议) 的功能进行仿真。软件定义接口是有益的, 因为外围设备 108 可以维持仅单个软件定义接口, 所述软件定义接口可以被编程以容纳多个接口协议, 而不用维持每个专用于特定接口协议的多个接口。由于单个软件定义接口可以比多个专用接口消费小得多的芯片区域。单个软件定义接口可以大大降低与接口相关联的成本。

[0208] 图 11 示出了根据某些实施例的软件定义接口。图 11 示出了包括通用输入/输出 (I/O) 接口 1104、IPE 模块 1106 的软件定义接口和用于计算设备 100 的内部总线 1108。通用输入/输出接口 104 可以包括用于和外部设备 (如传感器或照相机模块) 进行通信的接口。

[0209] 可以使用 IPE 模块 1106 对 I/O 接口 1104 的功能进行配置。例如, 当 IPE 模块 1106 确定 I/O 接口 1104 应当作为 I2C 接口来操作时, 则 IPE 模块 1106 可以对 I/O 接口 1104 进行编程来使用 I2C 接口协议用于和外部设备进行通信。在某些实施例中, 可以使用软件对 IPE 模块 1106 进行编程。可以对 IPE 模块 1106 进行编程, 从而使得 IPE 模块 1106 可以对 I/O 接口 1104 进行配置以实现标准化接口协议 (如 SPI、I2C、I2S、或任何其他合适的协议)。

[0210] 图 12 示出了根据某些实施例的软件定义接口的详细实现方式。软件定义接口 1102 可以包括通用输入/输出 (GPIO) 接口 1202 及其寄存器 1204。主机处理器可以通过配置在 GPIO 寄存器 1204 中的位来控制 GPIO 1202 的操作。GPIO 1202 可以控制 I/O 接口 1104 中的某些引脚以与外部设备 (如加速度计、环境光线传感器、音频传感器) 进行通信。

[0211] 软件定义接口 1102 还可以包括 IPE 模块 1106 及其寄存器 1206。主机处理器可以通过配置在 IPE 寄存器 1206 中的位来控制 IPE 模块 1106 的操作。IPE 模块 1106 可以被配置成用于确定 (1) 有待由软件定义接口 1102 所实现的接口协议, 以及 (2) 有待被使用的 I/O 接口引脚以实现接口协议。一旦 IPE 模块 1106 确定了要使用 I/O 接口引脚来实现接口协议, IPE 模块 1106 可以向多路复用器 1208 发送控制信号以将所选择的 I/O 接口引脚复用到 IPE 模块 1106。IPE 模块 1106 可以使 I/O 接口引脚通过使 I/O 接口引脚来根据接口协议发送控制信号和数据

来对接口协议进行仿真。

[0212] 在某些实施例中,定时器1214和/或预分频器1216可以被用来将高频参考时钟(例如,在几百兆赫范围中)转换为低频适中(例如,在几百千赫范围中)以向IPE提供适当的时钟信号。在某些实施例中,可以将来自预分频器1216的输出时钟的频率乘以整数值以仿真某些接口。例如,当预分频器1216的输出时钟以500kHz进行操作时,可以将来自预分频器1216的输出时钟的频率乘以三以仿真I2C接口。以此方式,可以使用500kHz时钟来操作IPE逻辑并且对连接至I/O引脚的输出寄存器进行采样。

[0213] 在某些实施例中,外围设备108中的IPE模块1106可以被配置成用于在I/O接口1104的输入引脚和输出引脚之间进行旁路绕出,由此在计算设备100的一侧仿真输入并且在计算设备100的另一次仿真输出,而不用实际影响对处理单元的通电。这允许耦合至计算设备100的第一外部设备(如加速度计)通过I2C来与第二外部设备(如应用处理器SoC)进行通信,而不用唤醒计算设备100的处理单元。

[0214] 软件定义接口1102还可以包括事件处理器1210及其寄存器1212。事件处理器1210可以被配置成用于接收外部信号并且检测计算设备100应当响应的事件。可以使用EP寄存器1212对事件处理器1210的功能进行配置。在某些实施例中,一旦事件处理器1210检测到要响应的事件,事件处理器1210可以确定响应事件所需要的向量处理器102、硬件加速器104、和/或存储器结构106,并且向与所确定的向量处理器102、硬件加速器104、和/或存储器结构106所关联的功率岛发送电力使能信号。

[0215] 图13展示了根据某些实施例的事件处理器。如上所讨论,事件处理器1210可以与外部设备进行通信并且从外部设备接收信号。所述信号可以包括音频样本、加速度计值、环境光线传感器值、或可以通过通信接口(如GPIO)被提供的任何其他输入。事件处理器1210可以被配置成用于将所接收的信号与特定配置进行比较以识别事件或事件序列。一旦事件处理器1210识别了事件或事件序列,事件处理器1210可以指示计算设备100中的一个或多个组件从低功率模式醒来并且开始操作。

[0216] 在某些实施例中,事件处理器1210可以包括一个或多个事件滤波器1302A-1302N。事件滤波器1302被配置成用于从接口1104接收输入信号,并且确定是否发生了特定事件。如果发生了特定事件,事件滤波器1302可以向计算设备100中的多个功率岛中的一个功率岛发送控制信号和/或功率岛使能信号。

[0217] 图14示出了根据某些实施例的事件滤波器的实现方式。事件滤波器1302可以包括寄存器1402、比较器1404、以及布尔运算数1406。可以通过事件处理器控制寄存器1212和定时器1214来控制事件滤波器1302。

[0218] 输入寄存器1402可以被配置成用于从一个或多个外部设备接收输入信号并且向一组比较器1404提供所接收的输入信号。比较器1404可以被配置成用于支持广泛的输入信号表示,包括布尔、整数、定点、以及浮点表示。

[0219] 随后,可以基于来自EP定时器1214的定时器值对来自比较器1404的输出进行逻辑组合,从而确定是否发生了特定事件或事件序列。在某些情况下,当比较器输出之间的特定关系持续一段预定时间后,特定事件或事件序列可以被认为已经发生。一旦事件滤波器1302确定发生了特定事件或事件序列,事件滤波器1302可以输出控制信号以控制计算设备100中的其他组件,如向量处理器102或硬件加速器104,或耦合至外围设备108的外部设备。

[0220] 事件处理器1210可以被配置成用于检测用户开始使用电子设备的事件。事件处理器1210可以随后开启计算设备100中的组件以响应启动事件。例如，事件处理器1210可以被配置成用于检测环境光线的改变，这可以指示是否已将电子设备从口袋中移出。当环境光线保持多于几毫秒的高水平，事件处理器1210可以检查音频输入以确定输入音频信号是否有改变。当事件处理器1210检测到输入音频信号的改变时，事件处理器1210可以使计算设备100中的数字信号处理器能够检测口述命令。以此方式，事件处理器1210允许计算设备100中的组件保持在低功率模式中，并且仅在事件或事件序列已发生时执行操作。因此，事件处理器1210可以大大降低计算设备100的平均待机功率。

[0221] 图15示出了根据某些实施例的外围设备的旁路模式。在图15中，计算设备100可以处于低功率操作模式，在所述模式中，一个或多个功率岛处于低功率模式（例如，没有电力电源电压被施加到所述一个或多个功率岛）。在此情况下，IPE模块1106可以被配置成用于在I/O接口1104的输入引脚和输出引脚（如输入MIPI通道1502和输出MIPI通道1504）之间执行旁路。在本示例中，输入MIPI通道1502被耦合至照相机模块并且输出MIPI通道1504被耦合至应用处理器。因此，照相机模块可以被耦合至应用处理器，而不用实际唤醒在低功率模式中的一个或多个功率岛。

[0222] 在某些实施例中，用于不同接口协议的外围设备108可以共享计算设备100的物理引脚（或焊盘）。例如，外围设备108可以包括用于第一通信协议的第一接口和用于第二通信协议的第二接口。第一接口和第二接口可以被配置成对物理I/O引脚进行时间复用，从而使得可以降低专用于外围设备108的I/O引脚的数目。在某些情况下，外围设备108可以包括表，所述表包括第一和第二接口中的信号与物理引脚之间的映射。

[0223] 在计算设备100被连接至一些MIPI设备（如照相机和显示器）、或连接至应用处理器或计算设备100“出现”为照相机的其他设备的应用中，在MIPI接口块和相关联的引脚的数目方面的计算设备100的配置在设计时可以不是已知的。出于此原因，有利的是将一组MIPI I/O引脚连接至多个可编程的MIPI I/O协议控制块，从而使得支持特定MIPI使用案例所需要的MIPI输入和输出的数目可以在运行时通过软件进行配置。

[0224] 图16示出了根据某些实施例的可编程MIPI接口。所述可编程MIPI接口1600可以包括MIPI媒体访问控制（MAC）协议块1602、MIPI发射器1604、MIPI接收器1606、被配置成用于对来自MIPI发射器1604和MIPI接收器1606中的任的信号进行通道传递的多路复用器1608、被配置成用于改变差分MIPI I/O焊盘1612的极性的MIPI极性开关1610、以及用于在如关于图15所展示的I/O接口1104的输入引脚和输出引脚之间执行旁路的旁路多路复用器1614和旁路缓冲器1616。

[0225] 在某些实施例中，MIPI MAC协议块1602被设计成用于控制MIPI发射器1604和/或MIPI接收器1606的操作，从而使得MIPI发射器1604和/或MIPI接收器1606的运算数合MIPI协议。

[0226] 在某些实施例中，可编程MIPI接口1600可以允许MIPI发射器1604或MIPI接收器1606中的仅来通过MIPI I/O焊盘1612在特定时刻进行通信。例如，可编程MIPI接口1600可以通过多路复用器1608将MIPI发射器1604或MIPI接收器1606中的仅与MIPI I/O焊盘1612进行耦合。以此方式，对于外部设备，MIPI I/O焊盘1612可以被认为是双向MIPI接口。

[0227] 在某些实施例中，可编程MIPI接口1600可以使用MIPI极性开关1610来反转差分

MIPI I/O焊盘的极性,从而使得可以在运行时反转差分MIPI I/O焊盘的极性,从而获得更好的阻抗匹配或改正外部PCB设计中的错误,而不用重做。图17展示了根据某些实施例的用于输入/输出界面的极性反转机制的应用。尽管图17展示了用于MIPI I/O焊盘的极性反转机制的应用,极性反转机制可以被用在是用信号线的差分对的多种其他接口中。

[0228] 在某些实施例中,如以上大体关于图15所描述,可编程MIPI接口1600可以通过提供允许MIPI I/O焊盘1612连接至输出而不需要将计算设备100的处理单元通电的MIPI多路复用器1614和缓冲器1616来提供低功率MIPI旁路模式。此特征在以下模式中是所期望的:多个照相机传感器被连接至计算设备100以执行计算机视觉任务,而在其他使用案例中,不需要计算设备100并且应用处理器使用相同的传感器集合进行静态或视频图像捕获。随着内部MIPI多路复用器1614的提供,可以通过内部旁路多路复用器1614而不是使用外部组件来支持这种使用案例,并且大大简化了在其上组合芯片的PCB的成本和复杂度。

[0229] 在某些实施例中,存储器结构106可以包括被设计成用于利用数据局部性的缓存存储器,包括空间和时间局部性两者。当计算设备100没有被耦合至外部存储器设备时,则存储器结构106可以允许向量处理器102和硬件加速器104将缓存存储器用作一般存储器设备。在某些实施例中,可以将缓存存储器分区,从而使得每个分区被向量处理器中的一个向量处理器或硬件加速器中的一个向量处理器所独占地使用。

[0230] 在某些实施例中,当计算设备100在节电模式中时,存储器结构106被配置成用于维持计算设备100的状态信息。以此方式,当再次开启计算设备100时,计算设备100可以将状态信息重新分发给适当设备,从而使得可以降低与“唤醒”过程相关联的延迟。

[0231] 在某些情况下,在缓存存储器中维持状态信息。在这种情况下,甚至在计算设备100进入节电模式时,也可以将存储状态信息的缓存存储器通电。状态信息可以包括在启动时或运行时期间所加载的二进制应用。状态信息还可以包括在启动时被加载和在运行时期间被修改的配置信息(如寄存器设置、操作模式、流水线配置、以及运行时环境设置),其将以另外方式不得不存储在外部非易失性存储器中,并且在断电到通电序列发生时被检索。状态信息还可以包括数据(如图像数据),以及来自其他传感器的值。状态信息还可以包括计算设备100和其他系统组件之间的通信协议的状态,其将以另外方式需要在断电到通电序列发生时被存储在外部非易失性存储器中并从其中检索。

[0232] 在某些实施例中,存储器结构106可以包括基于硬件的互斥(mutex)控制器206。图18展示了根据某些实施例的具有基于硬件的mutex控制器的存储器结构。图18示出了多个处理单元1802A-1802P、存储器结构106、和mutex控制器206。处理单元1802可以包括向量处理器102或硬件加速器104。mutex控制器206可以包括一个或多个独立可寻址mutex元件,所述元件被配置成用于协调共享数据元件的处理单元1802的多任务处理。更具体地,mutex元件可以被配置成用于为第一处理单元1802A锁定存储在存储器结构106或计算设备100的其他部分中的共享数据元件,从而使得也使用共享数据元件的其他处理单元1802P可以等到第一处理单元1802A释放共享数据元件。因为mutex控制器206驻留在存储器结构106内,当与使用共享总线或其他手段相比较时,降低了释放或锁定共享资源的时间。

[0233] 传统上,当mutex控制器接收对共享资源进行独占访问的请求时,mutex控制器立即响应所述请求,表示请求处理单元是否可以获得对共享资源的独占访问。因此,如果请求处理单元未获得独占访问,请求处理单元不得不继续请求mutex控制器直到请求处理单元

从mutex控制器接收到独占访问。这会增加传统mutex控制器和处理单元之间的总线上的流量。

[0234] 为了解决这个问题,在某些实施例中,当处理单元1802A发送请求对共享资源进行独占访问的独占访问请求时,mutex控制器206可以自行监测请求的状态。一旦mutex控制器206确定授权给处理单元1802A独占访问时,mutex控制器206可以向处理单元1802A发送确认消息,表示处理单元1802A具有对共享资源进行独占访问的权限。以此方式,不需要处理单元1802A多次发送独占访问请求直到处理单元1802A接收到独占访问;处理器单元1802A可以仅发送一次独占访问请求并且等待从mutex控制器206接收独占访问。此发信机制可以降低存储器结构106上的通信负荷。

[0235] 在某些实施例中,存储器结构106可以包括提供处理单元之间的通信的灵活的总线架构。经常地,用于处理单元之间的通信的接口包括缓冲器(如先入先出(FIFO))。例如,当第一处理单元准备好向第二处理单元发送消息时,第一处理单元可以向被分配给第二处理单元的缓冲器发送消息。当第二处理单元准备好接收消息时,第二处理单元可以从缓冲器检索消息。

[0236] 然而,传统接口中的缓冲器具有有限的存储容量。因此,传统接口中的缓冲器通常被限制为存储控制消息,并且不能容纳大量数据(如图像和视频数据)。进一步地,将每个缓冲器永久地分配给这些处理单元中的一个处理单元。因此,尽管分配给第一处理单元的第一缓冲器可能溢出,分配给第二处理单元的第二缓冲器可能是空的。因此,在系统水平上,可能不能完全利用缓冲器的容量。

[0237] 存储器结构106通过增加缓冲器的容量和通过基于对通信的实时需要将缓冲器动态分配给处理单元来解决传统接口的这些缺点。存储器结构106提供用于创建、管理、和释放缓冲器的灵活的机制。可以针对过程期间创建缓冲器,并且一旦过程完成,可以释放缓冲器。在软件程序控制下,可以使被释放的缓冲器对其他应用或处理单元可用。

[0238] 图19展示了根据某些实施例的缓冲器的动态分配。存储器结构106可以包括多个缓冲器1902A-1902P,每个缓冲器可以被独占地分配给处理单元中的一个处理单元(如向量处理器或硬件加速器)。在某些情况下,可以将多个缓冲器1902分配给相同的处理单元。

[0239] 在某些实施例中,多个缓冲器1902可以是缓冲器的存储库的一部分,其可以被分区并且独占地分配给处理单元中的一个处理单元。存储库可以包括来自存储器结构106的存储器片。在某些实施例中,所述缓冲器1092中的每个缓冲器可能具有相同容量。在其他实施例中,所述缓冲器1902中的一个或多个可以具有可变容量。例如,当第一处理单元1802N试图将少量控制消息发送给第二处理单元1802C,存储器结构106可以将小缓冲器1902C分配给第二处理单元1802C,从而使得第二处理单元1802C可以接收少量控制消息。然而,当第一处理单元1802N试图向第二处理单元1802M发送大量视频数据时,存储器结构106可以将具有大容量的缓冲器分配给第二处理单元1802M,从而使得第二处理单元1802M可以接收大量视频。

[0240] 在某些实施例中,可以将多个缓冲器1902中的一个或多个与特定应用(如包括USB、MIPI或以太网的可以在设备(片上系统)设计时被预见的通信接口)相关联。

[0241] 在某些实施例中,功率管理模块110可以被配置成用于向逻辑电路和存储器设备提供不同的电力电源电压。图20展示了根据某些实施例的向逻辑电路存储器设备提供不同

电压的功率管理机制。单个功率岛2002A可以包括逻辑电路区域2004和存储器区域2006。功率管理模块110可以被配置成用于向逻辑电路区域2004提供第一电压V₁以及向存储器区域2006提供第二电压V₂。在某些实施例中,可以由不同的功率调节器提供第一电压和第二电压。因此,可以独立控制第一电压和第二电压。

[0242] 在某些实施例中,逻辑电路区域2004和存储器区域2006可以独立进入低功率模式。例如,功率管理模块110可以使用局部开关2008、2010来分别切断对逻辑电路区域2004和存储器区域2006的电力电源电压。在某些实施例中,功率管理模块110可以使用全局开关2012来切断对在一个或多个功率岛2002A, ..., 2002N中的存储器区域2006的电力电源电压。

[0243] 在某些实施例中,存储器结构106可以包括直接存储器访问(DMA)引擎。DMA引擎可以维持操作列表,所述操作列表包括DMA数据结构的双链表。每个DMA数据结构表示有待由DMA引擎来执行的特定操作。以DMA引擎应当执行与DMA数据结构相关联的操作的顺序来维持DMA数据结构。

[0244] 因为操作列表包括DMA数据结构的双链表,为由双链表所表示的操作序列移除DMA操作花费大量时间。在某些实施例中,DMA引擎可以通过维持表示是否应当执行DMA数据结构的缓冲器来解决这个问题。缓冲器中的每个位都可以被认为是针对相关联的DMA数据结构的使能信号。

[0245] 图21展示了根据某些实施例的实现基于缓冲器的DMA数据结构使能机制的DMA引擎。DMA引擎包括具有多个DMA数据结构2104的操作列表2102。多个DMA数据结构2104可以被耦合至彼此作为双链表。DMA引擎还包括使能缓冲器2106。使能缓冲器2106可以包括多个位。使能缓冲器2106中的位数目可以与操作列表2102中的DMA数据结构的数目相同。使能缓冲器2106中的每个位可以表示是否启用了与位相关联的DMA数据结构。例如,当缓冲器中的第一位是“1”时,则DMA引擎可以确定启用了第一DMA数据结构并且执行第一DMA数据结构。当缓冲器中的第二位是“0”时,则DMA引擎可以确定启用了第二DMA数据结构并且不执行第二DMA数据结构。以此方式,DMA引擎可以选择性地执行操作列表中的DMA数据结构的子集,而不实际从操作列表中移除DMA数据结构。由于DMA引擎不需要移除DMA数据结构,与禁用一个或多个DMA数据结构相关联的延迟可以是小的。

[0246] 在某个实施例中,并行计算设备100可以驻留在电子设备中。图22展示了根据某些实施例的包括计算设备的电子设备。电子设备2200可以包括处理器2202、存储器2204、一个或多个接口2206、和计算设备100。

[0247] 电子设备2200可以具有存储器2204,诸如计算机可读介质、闪速存储器、磁盘驱动器、光驱动器、可编程只读存储器(PROM)和/或只读存储器(ROM)。电子设备2200可以配置有对指令进行处理并运行可存储在存储器2204中的软件的一个或多个处理器2204。处理器2202还可以与存储器2204和多个接口2206通信以与其他设备通信。处理器2202可以是任何可应用的处理器,例如组合CPU、应用处理器和闪速存储器的片上系统,或精简指令集计算(RISC)处理器。

[0248] 存储器2204可以是非暂时性计算机可读介质、闪速存储器、磁盘驱动器、光学驱动器、可编程只读存储器(PROM)、只读存储器(ROM)或任何其他存储器或存储器组合。软件可以在能够执行计算机指令或计算机代码的处理器上运行。处理器还可以使用专用集成电路

(ASIC)、可编程逻辑阵列(PLA)、现场可编程门阵列(FPGA)或任何其他集成电路的硬件中实现。

[0249] 这些接口2206可以在硬件或软件中实现。这些接口2206可以用于从网络接收数据和控制信息以及本地源,诸如到电视机的远程控制。电子设备还可以提供各种用户接口,例如键盘、触摸屏、轨迹球、触摸板和/或鼠标。在一些实施例中,电子设备还可以包括扬声器和显示设备。

[0250] 在一些实施例中,计算设备100中的处理单元(例如向量处理器102和硬件加速器104)可以包括能够执行计算机指令或计算机代码的集成芯片。处理器还可以使用专用集成电路(ASIC)、可编程逻辑阵列(PLA)、现场可编程门阵列(FPGA)或任何其他集成电路的硬件中实现。

[0251] 在一些实施例中,计算设备100可以被实现为片上系统(SOC)。在其他实施例中,并行计算设备中的一个或多个块可以被实现为分开的芯片,并且并行计算设备可以被封装在系统级封装(SIP)中。在一些实施例中,并行计算设备400可以用于数据处理应用。这些数据处理应用可以包括图像处理应用和/或视频处理应用。图像处理应用可以包括图像处理过程(包括图像过滤操作);视频处理应用可以包括视频解码操作、视频编码操作、用于检测视频中的运动或对象的视频分析操作。本发明的附加应用包括基于图像、对象或视频序列的机器学习和分类以及增强现实应用,增强现实应用包括游戏应用从包括深度启用相机的多个相机视图中提取几何形状、以及从多个视图中提取特征, GPU可以从所述视图提取线框几何形状(例如经由点云)用于随后的顶点着色。

[0252] 电子设备2200可以包括移动设备,例如蜂窝电话。移动设备可以使用多种接入技术与多个无线电接入网络通信和与有线通信网络通信。移动设备可以是提供诸如文字处理、网络浏览、游戏、电子书能力、操作系统和全键盘的高级能力的智能电话。移动设备可以运行诸如Symbian OS、iPhone OS、RIM的Blackberry、Windows Mobile、Linux、Palm WebOS、以及Android等操作系统。屏幕可以是可以用于向移动设备输入数据的触摸屏,并且可以使用屏幕而不是全键盘。移动设备可以具有运行应用或与由通信网络中的服务器提供的应用进行通信的能力。移动设备可以从网络上的这些应用接收更新和其他信息。

[0253] 电子设备2200还可以包括诸如电视(TV)、视频投影仪、机顶盒或机顶单元、数字视频记录器(DVR)、计算机、上网本、膝上型计算机,平板计算机以及可以与网络通信的任何其他音频/视频设备。电子设备还可以在其堆栈或存储器中保持全球定位坐标、简档信息或其他位置信息。

[0254] 应当理解的是,虽然本文描述了若干种不同的布置,但是每一种的特征可以有利地以各种形式组合在一起以实现优点。

[0255] 在前述说明书中,已经参考具体示例描述了本申请。然而,在不偏离所附权利要求中阐述的本发明的更广精神和范围的情况下,将显然的是可对其进行各种修改和改变。例如,连接可以是适合于例如经由中间设备从相应的节点、单元或设备传送信号或者对其传送信号的任何类型的连接。因此,除非暗示或另作声明,否则这些连接可以例如是直接连接或间接连接。

[0256] 应当理解的是,本文所描述的架构仅仅是示例性的,并且实际上可以实施实现相同功能的许多其他架构。在抽象但仍然明确的意义上,实现相同功能的多个组件的任何布

置是有效地“相关联”的，以使得实现期望的功能。因此，在此组合以实现特定功能的任何两个组件可以被看作是彼此“相关联”的，以使得实现期望的功能，而不管架构或中间组件。同样，如此关联的任何两个组件还可以被视为是彼此“可操作地连接”或“可操作地耦联”的，以实现期望的功能。

[0257] 此外，本领域技术人员将认识到，上述操作的功能之间的界限仅仅是说明性的。多个操作的功能可以组合成单个操作，和/或单个操作的功能可以分布在多个附加操作中。此外，替换实施例可以包括特定操作的多个实例，并且在各种其它实施例中可以改变操作的顺序。

[0258] 然而，其他修改、变化和替代也是可能的。因此，本说明书和附图应被视为是说明性的而非限制性的。

[0259] 在权利要求中，置于括号之间的任何附图标记不应被解释为限制权利要求。词语“包括”不排除权利要求中所列出的元件或步骤之外的其他元件或步骤的存在。此外，在此使用的术语“一”和“一个”被定义为一个或多于一个。此外，在权利要求中使用诸如“至少一个”和“一个或多个”之类的介绍性短语不应被解释为意味着通过不定冠词“一”或“一个”引入另一权利要求元素将包含这样的引入的权利要求元素的任何特定权利要求限制为仅包含一个这样的元素的发明，即使在相同的权利要求包括介绍性短语“一个或多个”或“至少一个”和诸如“一”或“一个”的不定冠词时亦是如此。这同样适用于定冠词的使用。除非另作声明，术语例如“第一”和“第二”用于任意地区别这类术语所描述的元素。因此，这些术语不一定旨在指示这类元素的时序或其他优先顺序。某些措施被引用在相互不同的权利要求中的单纯事实并不指示不能有利地使用这些措施的组合。

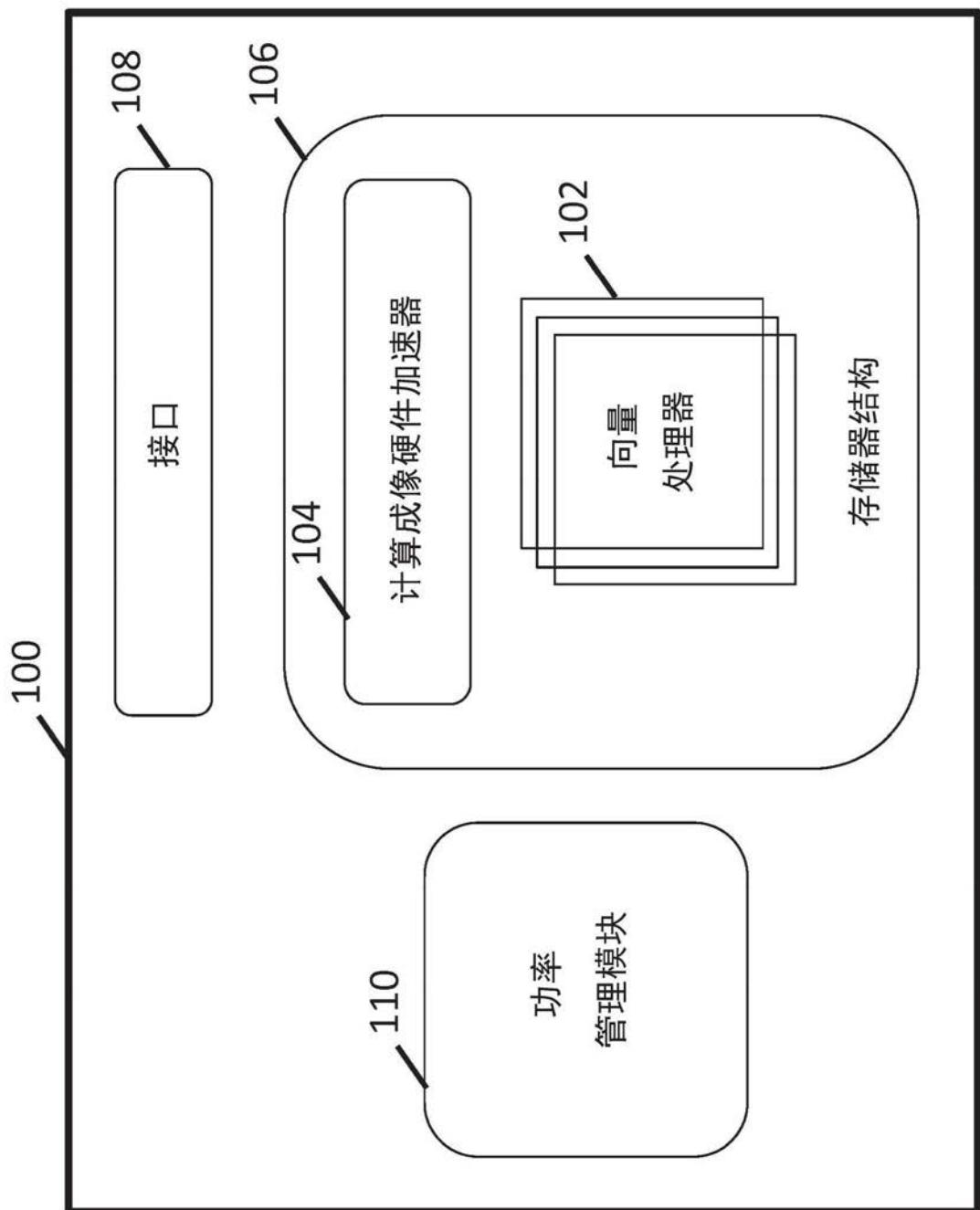


图1

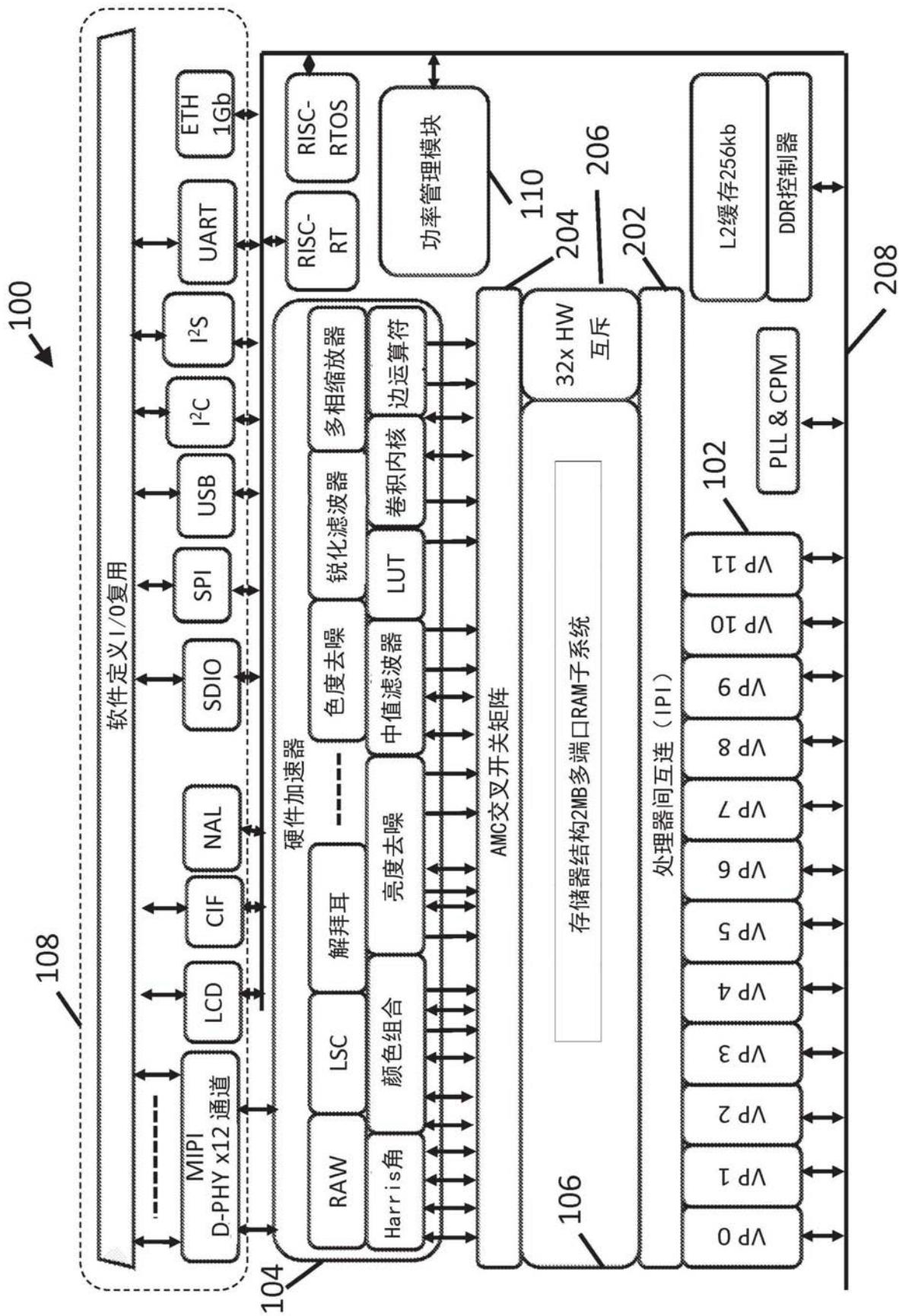


图2

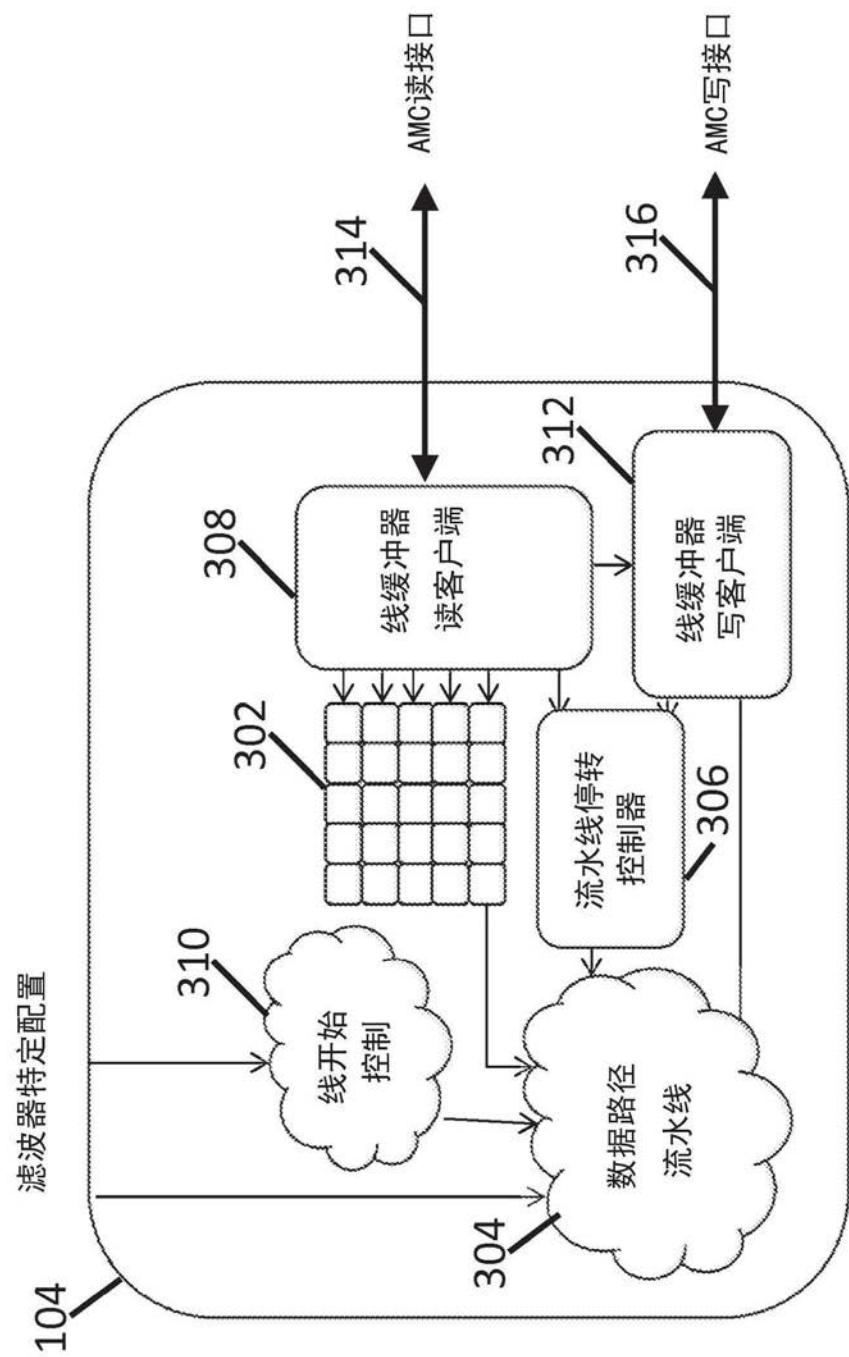


图3

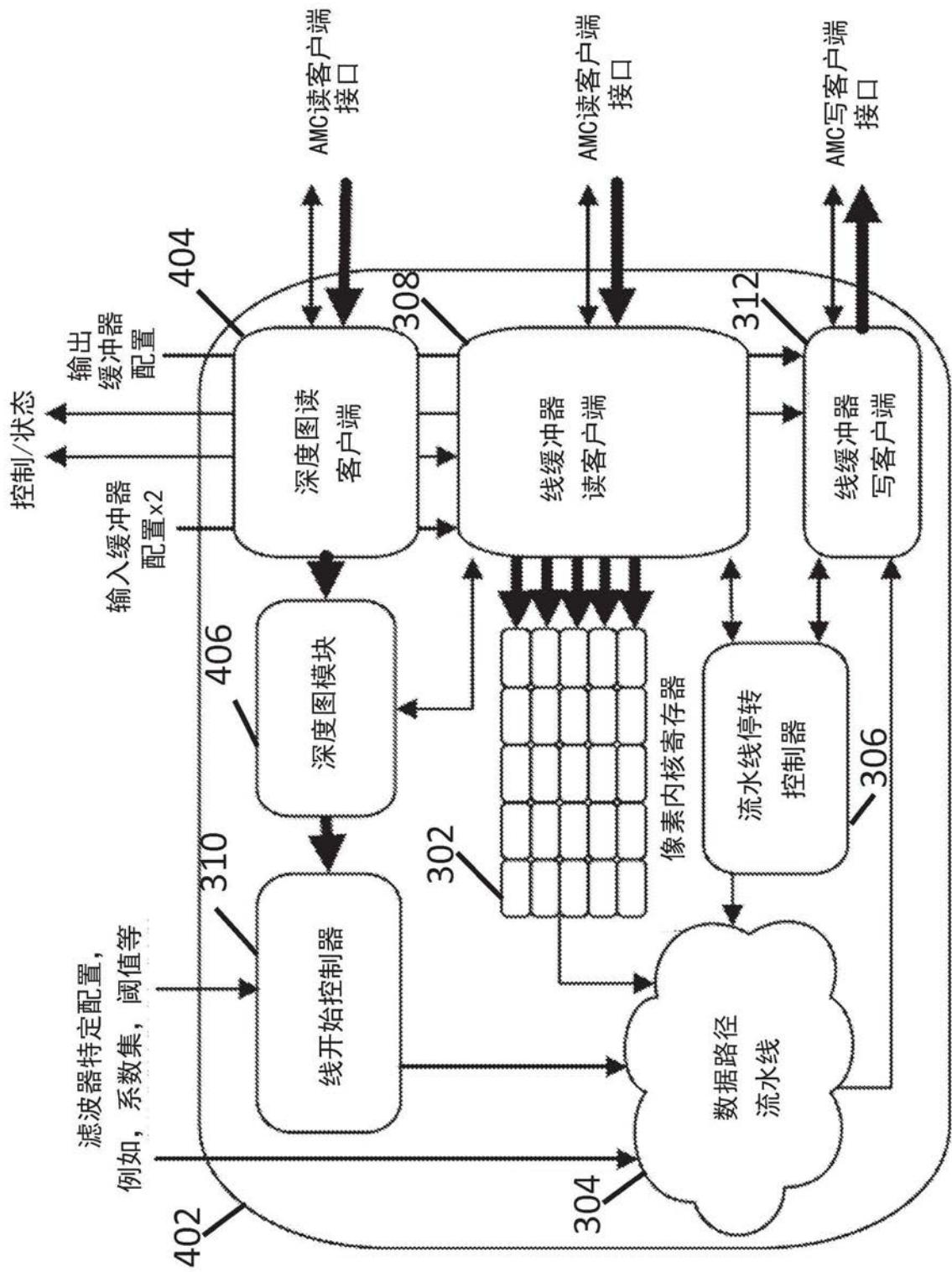


图4

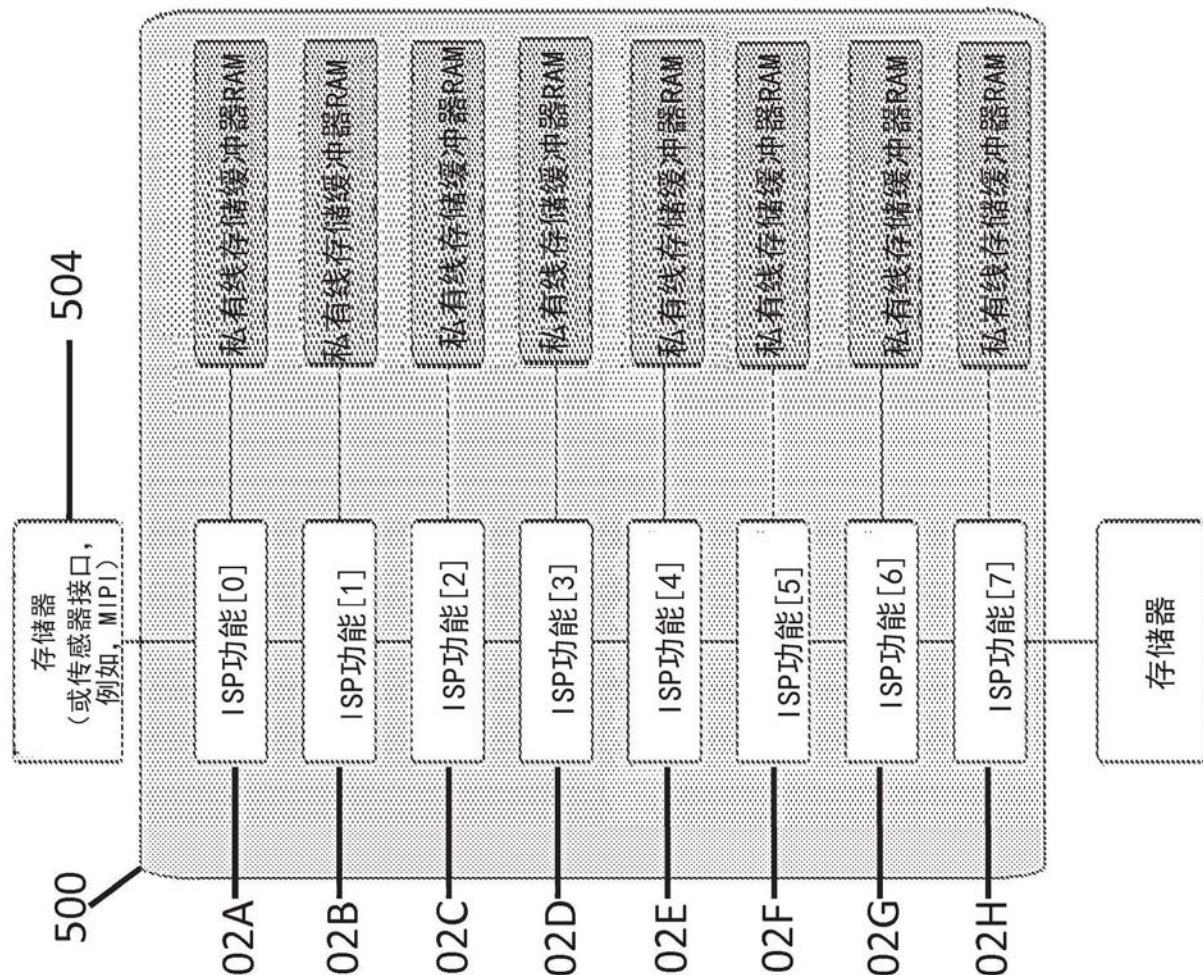


图5

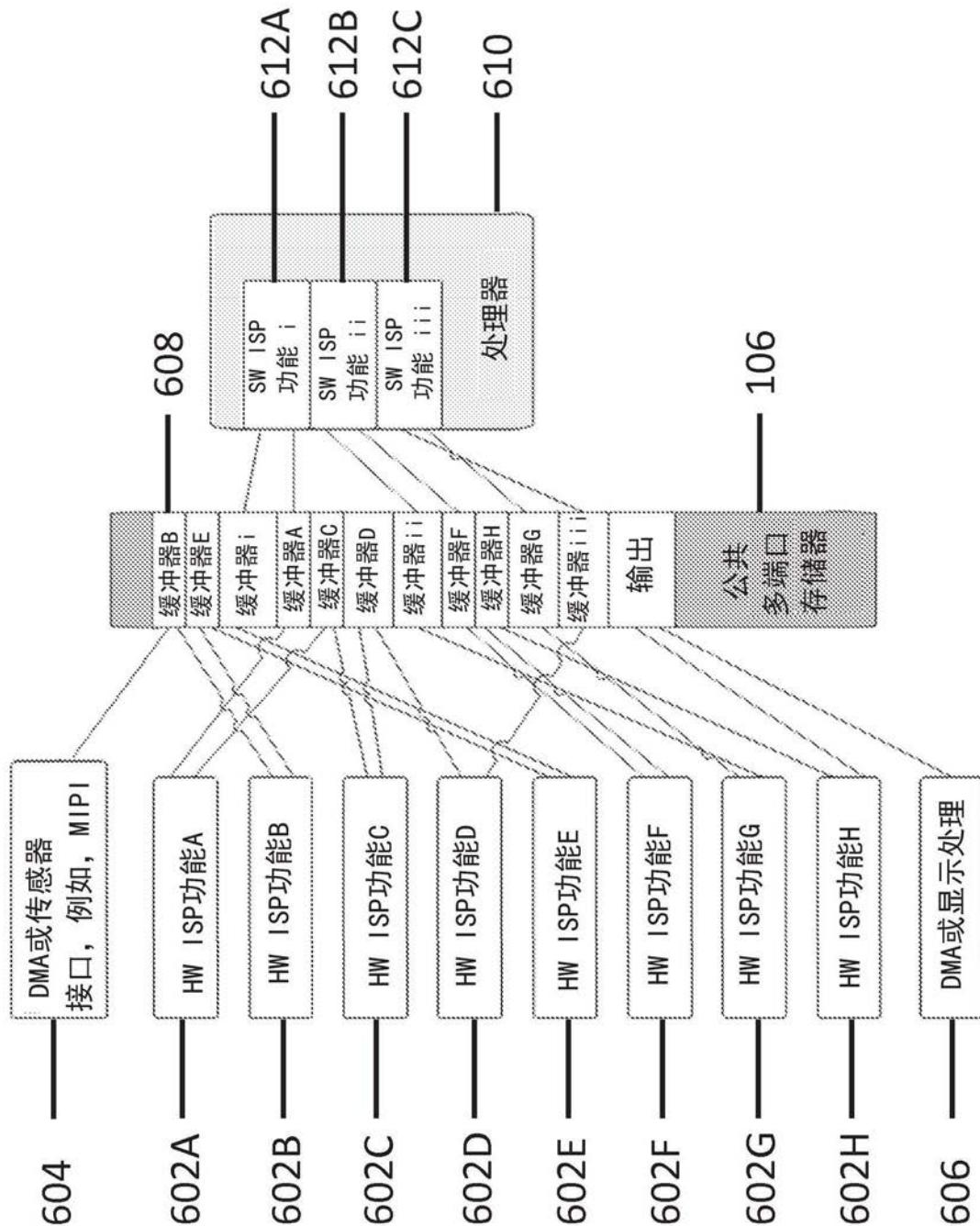


图6

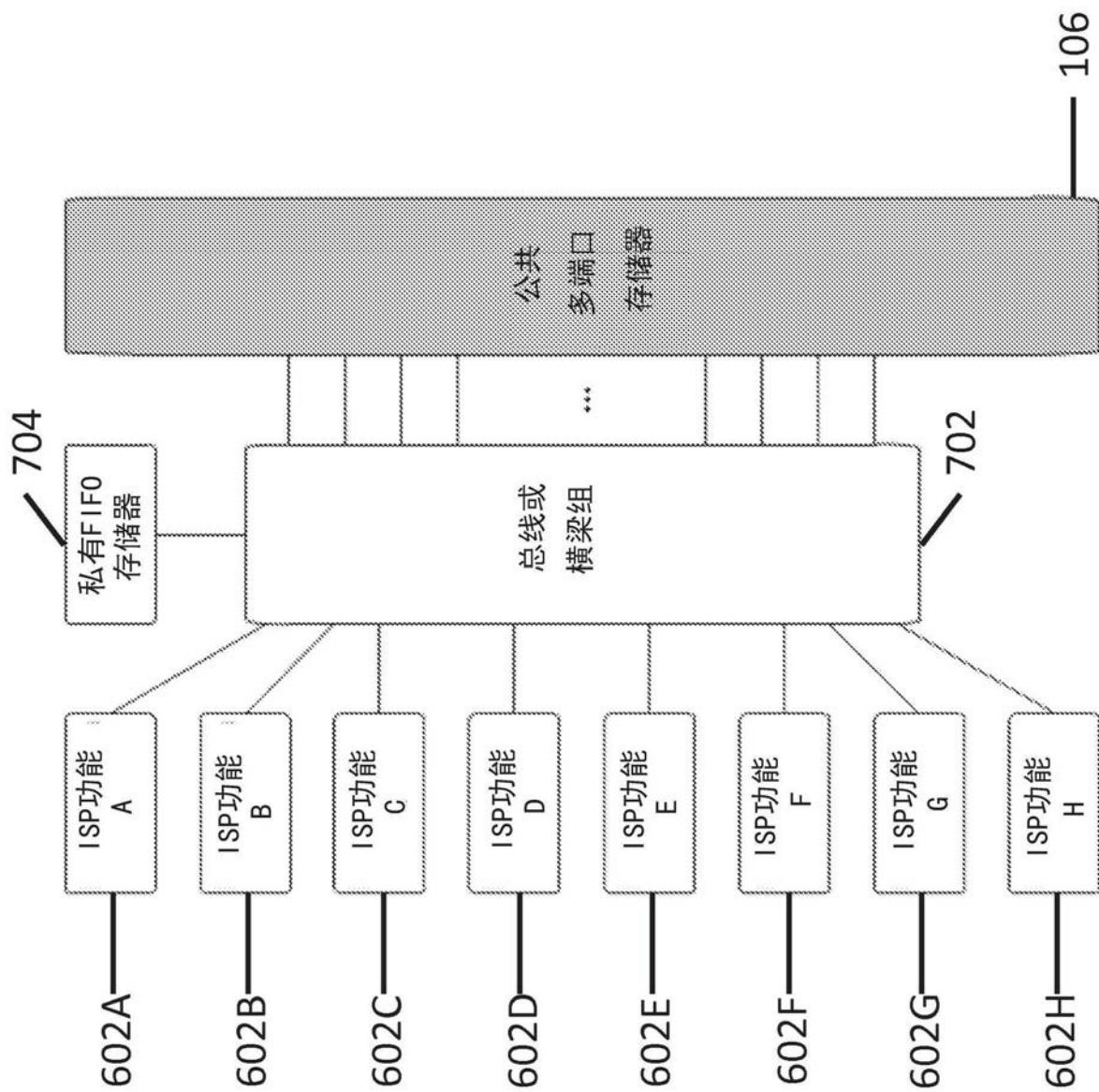


图7

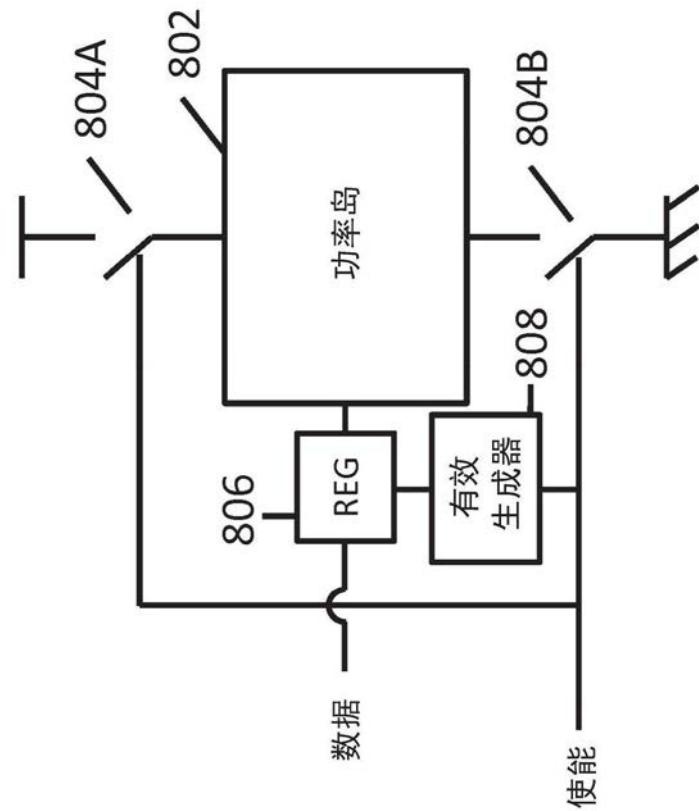


图8

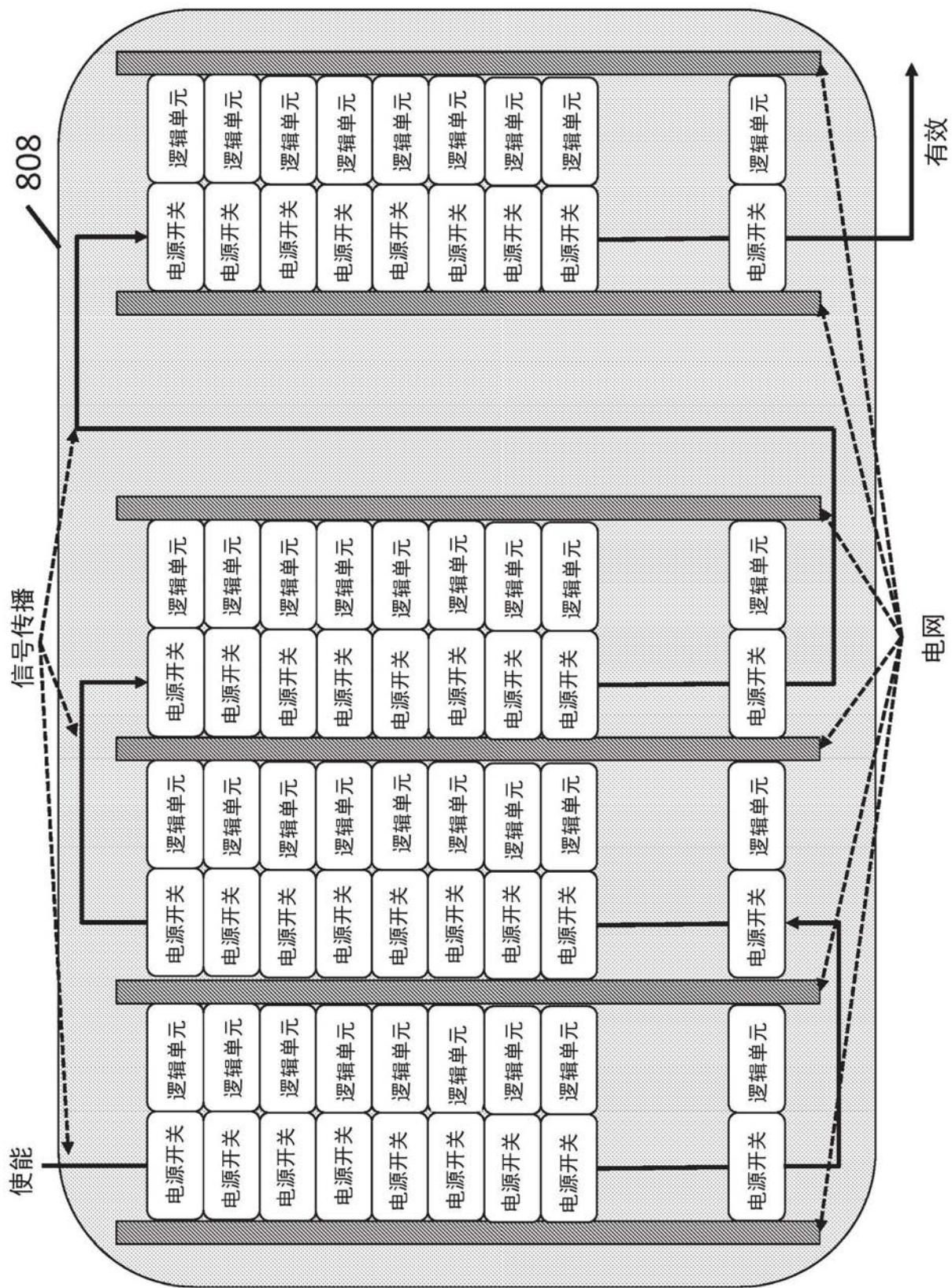


图9

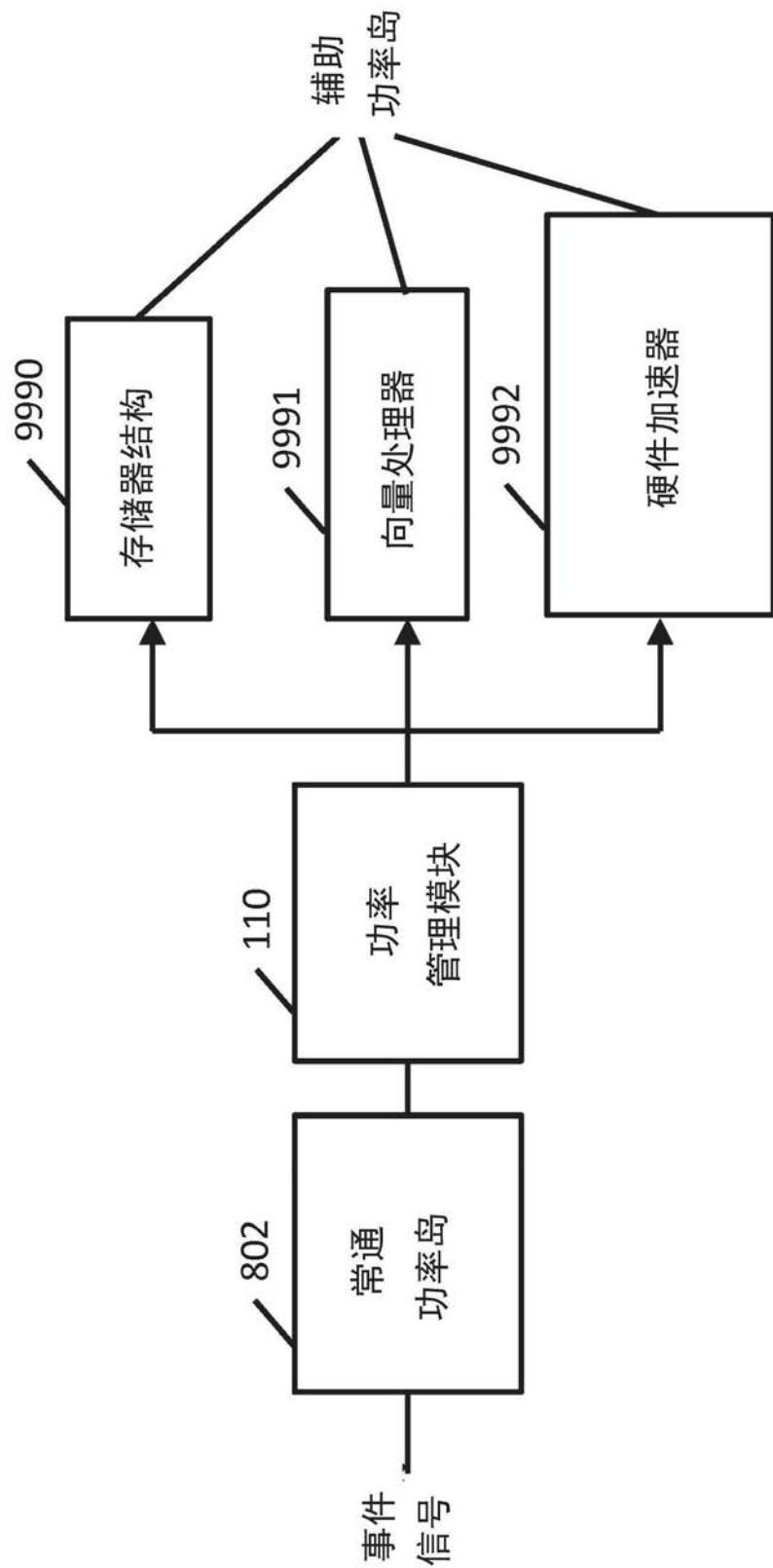


图10

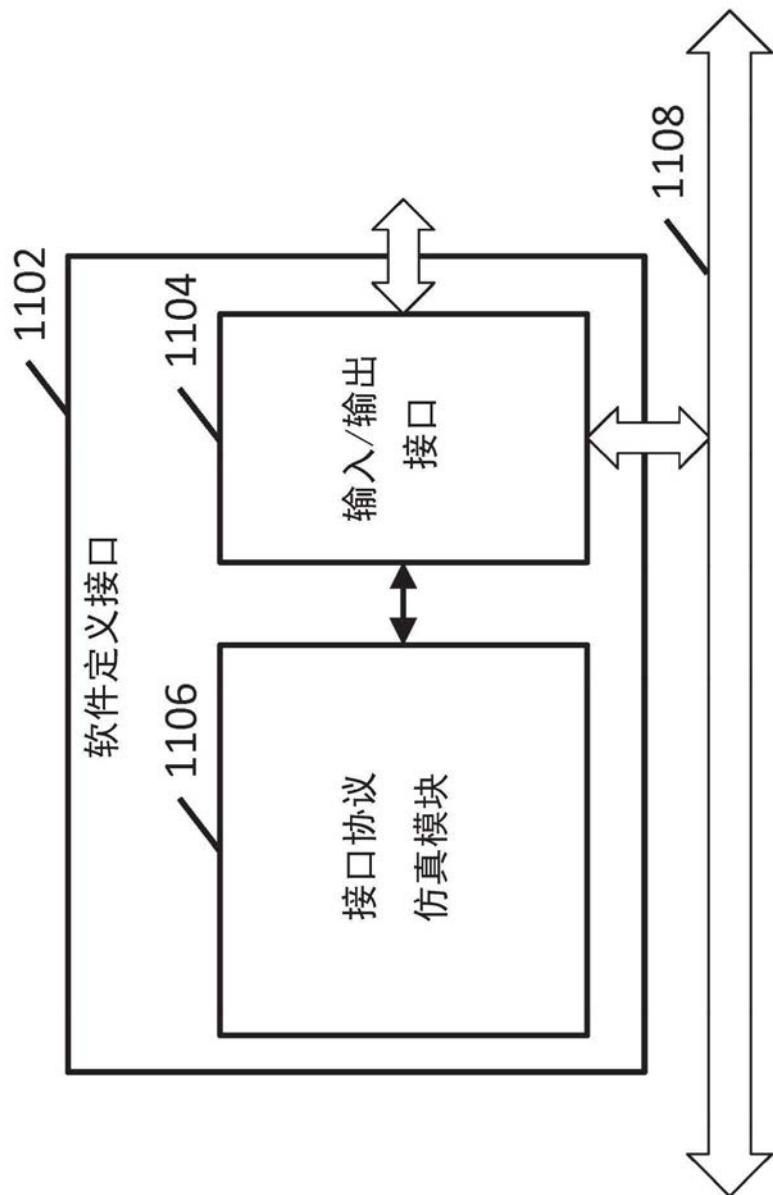


图11

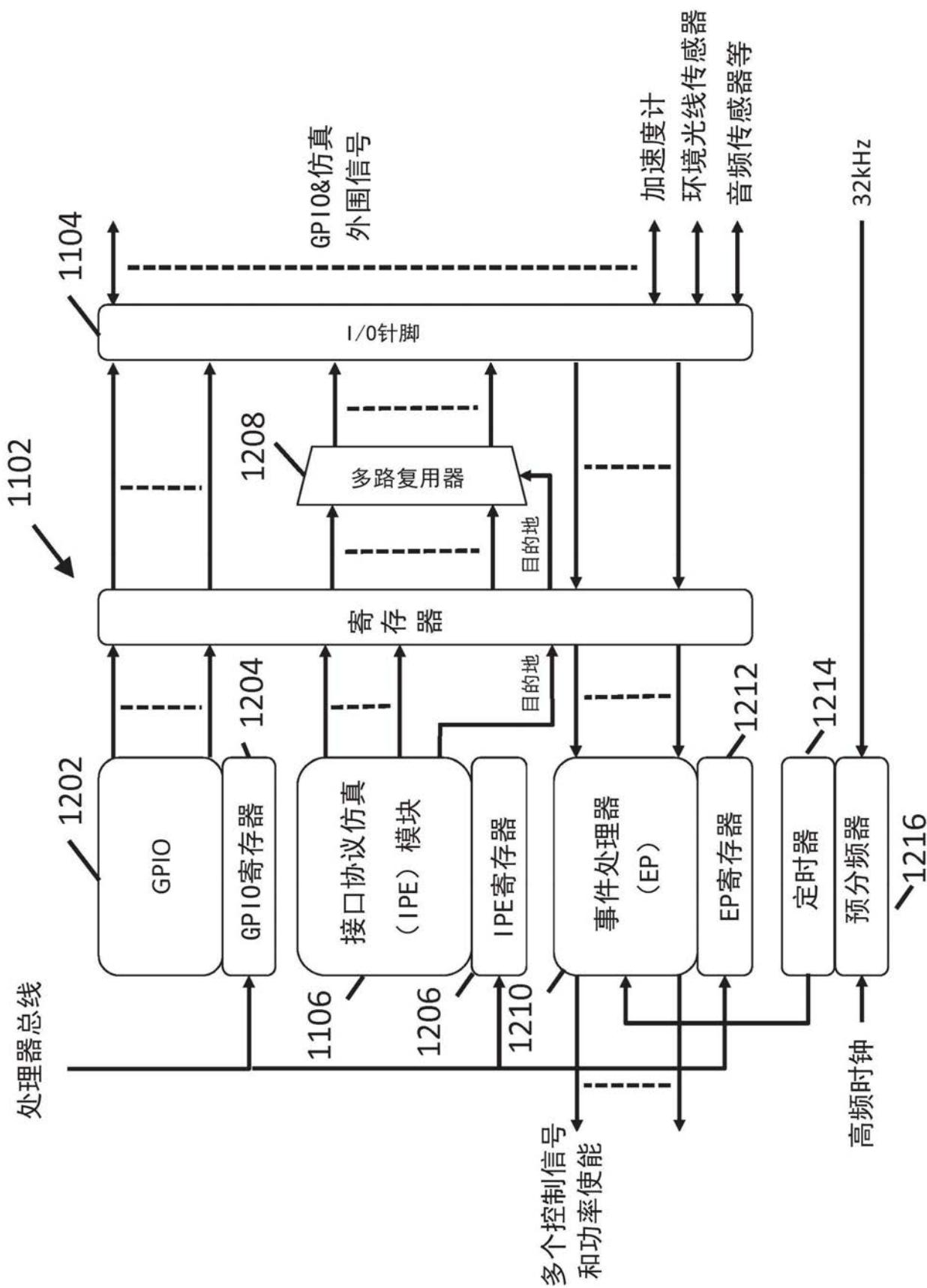


图12

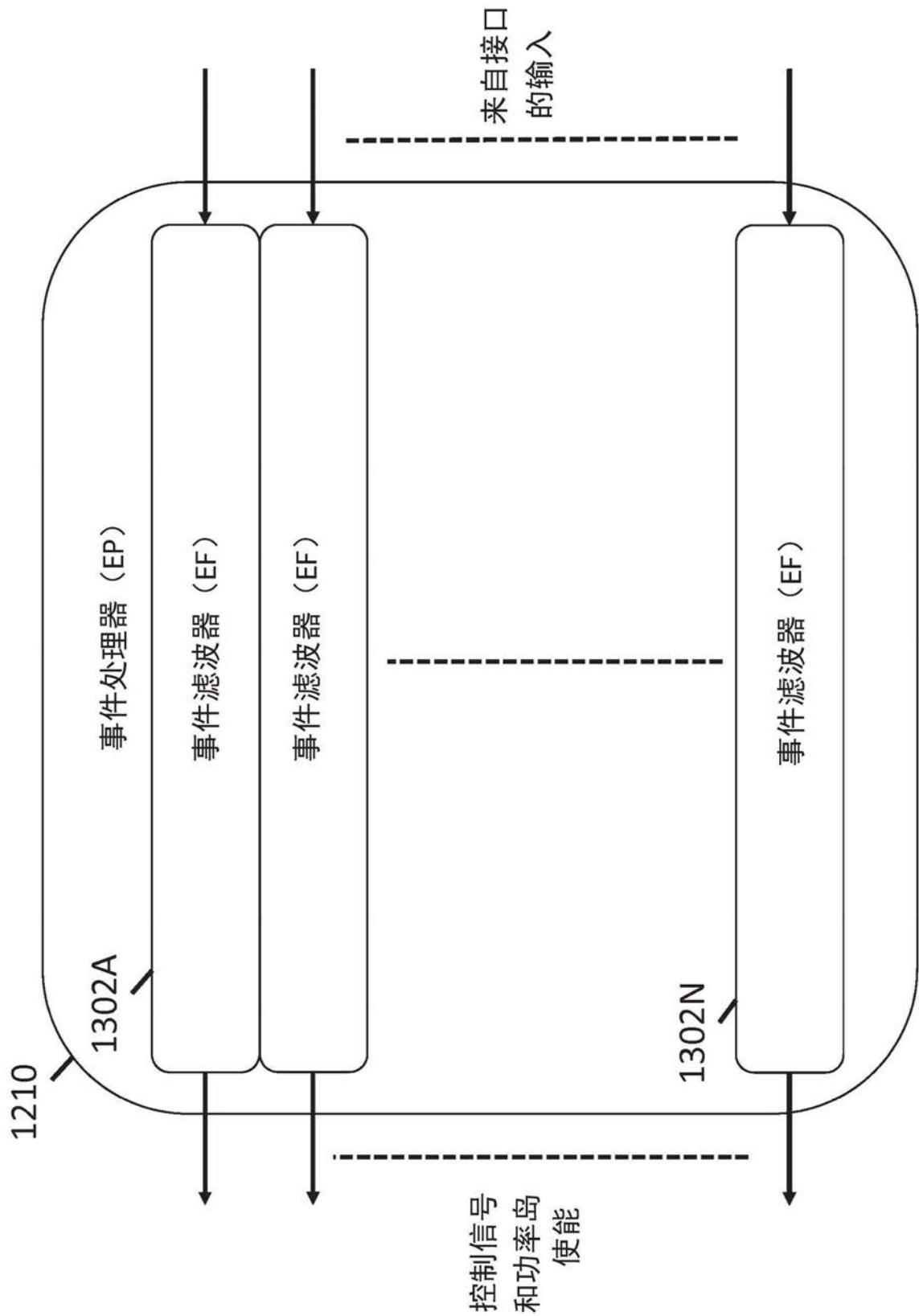


图13

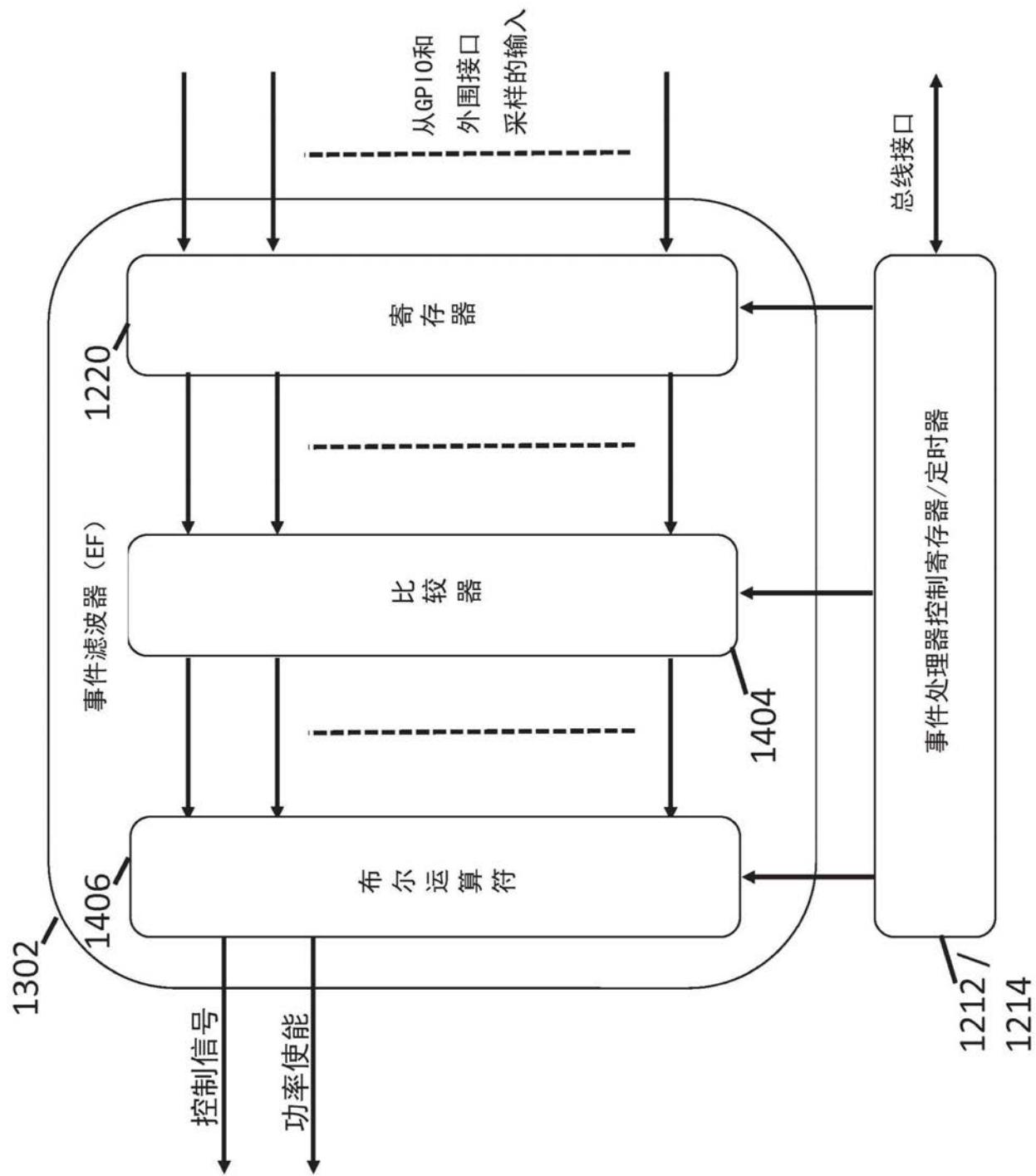


图14

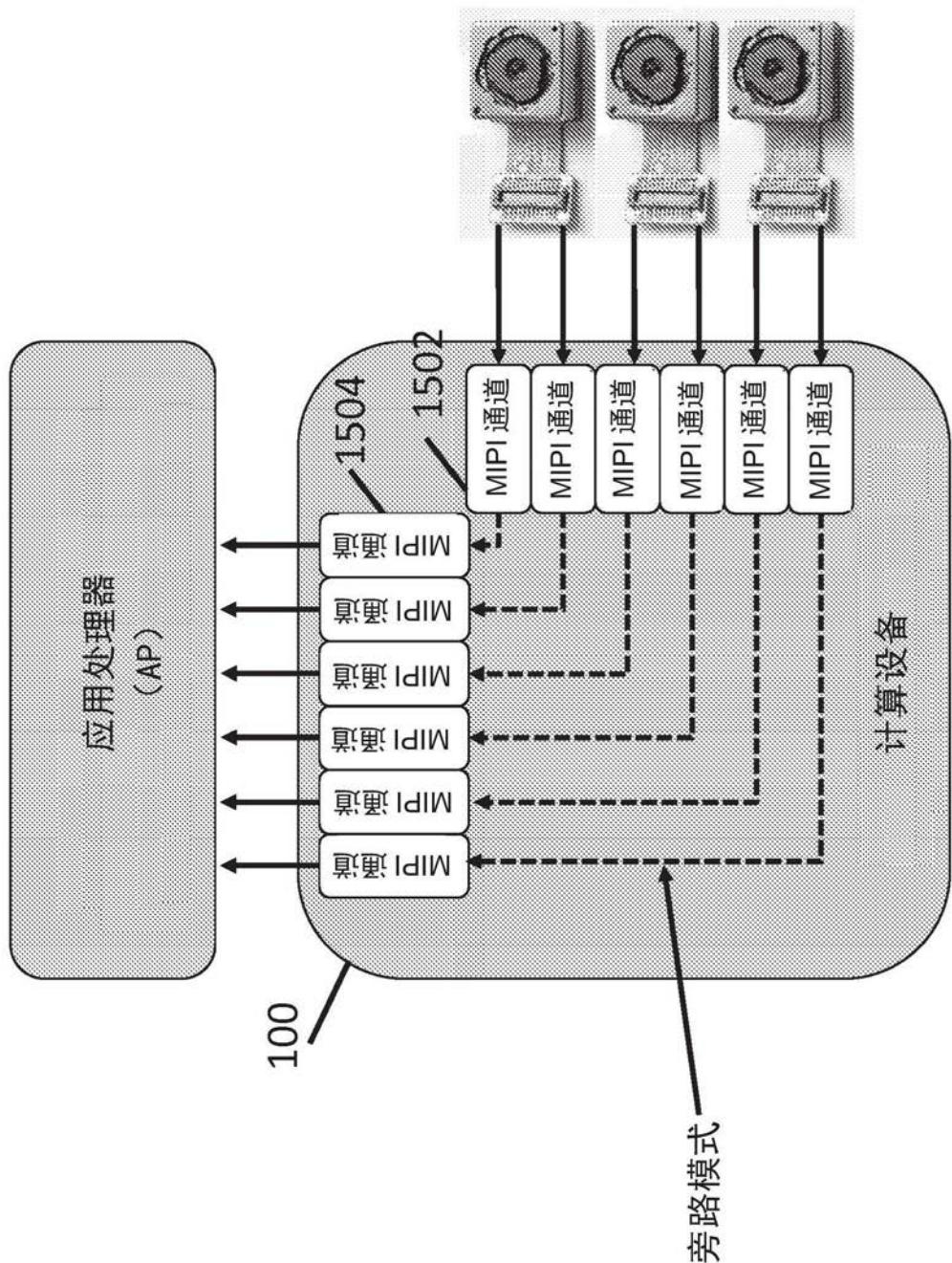


图15

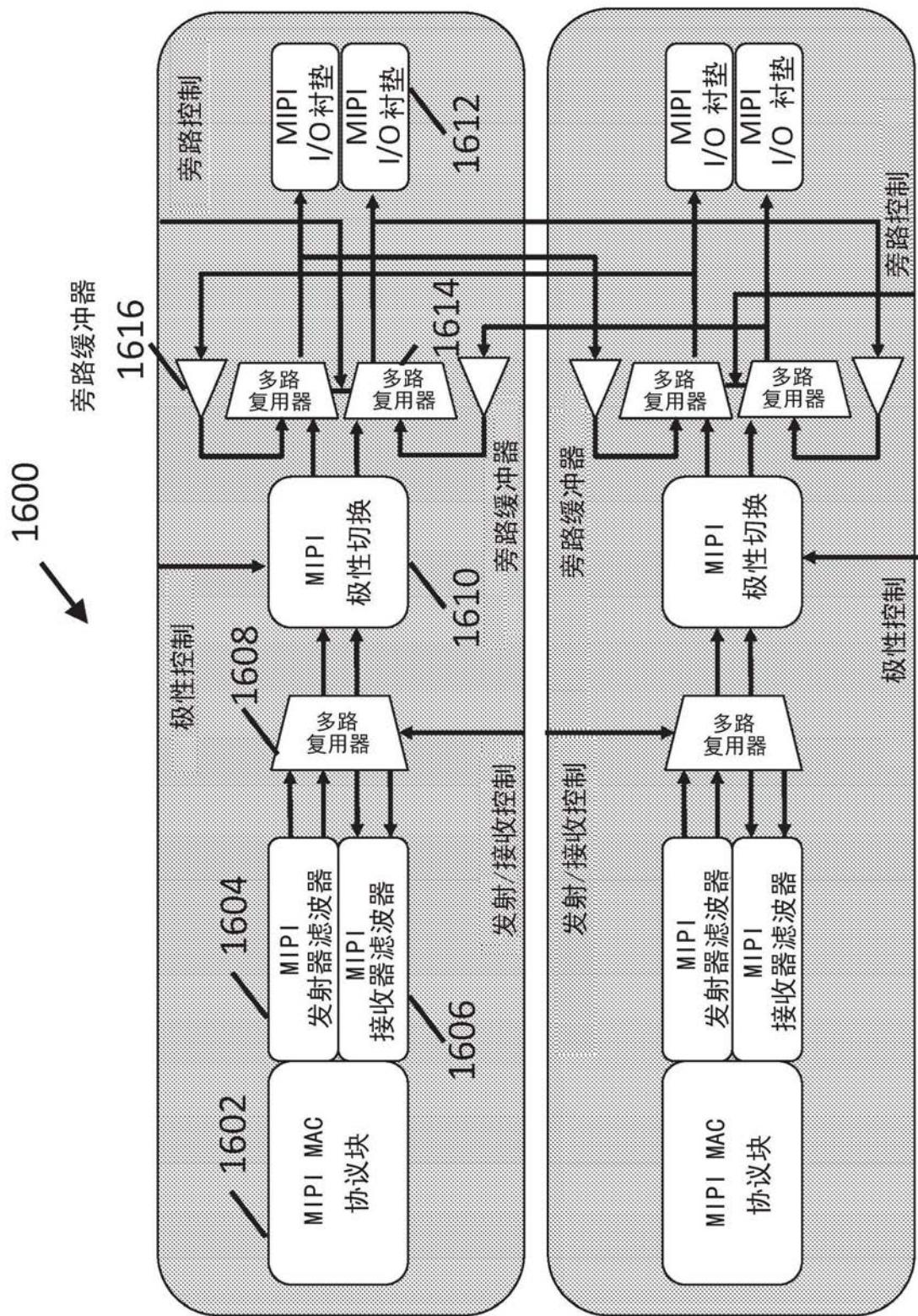


图16

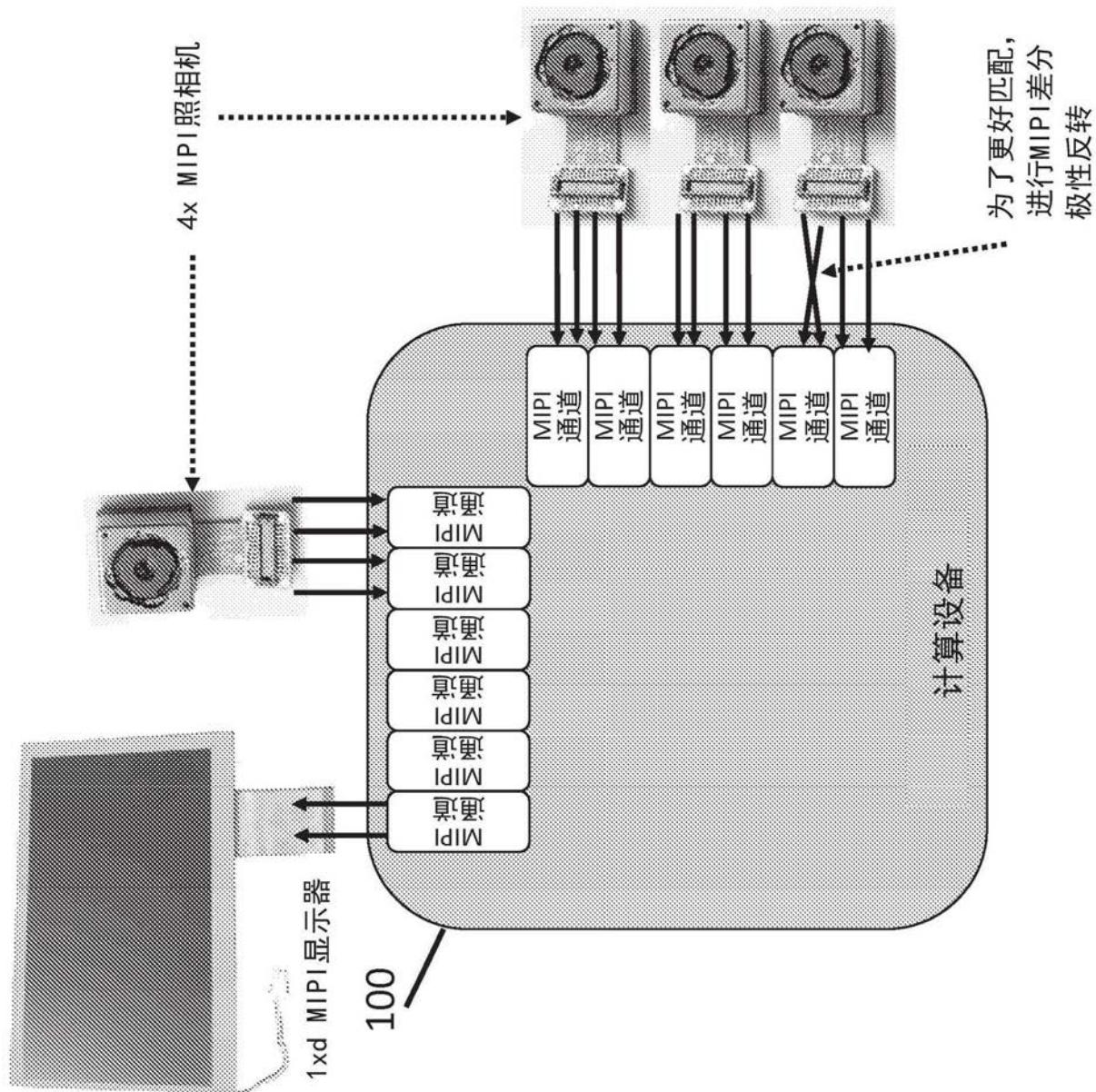


图17

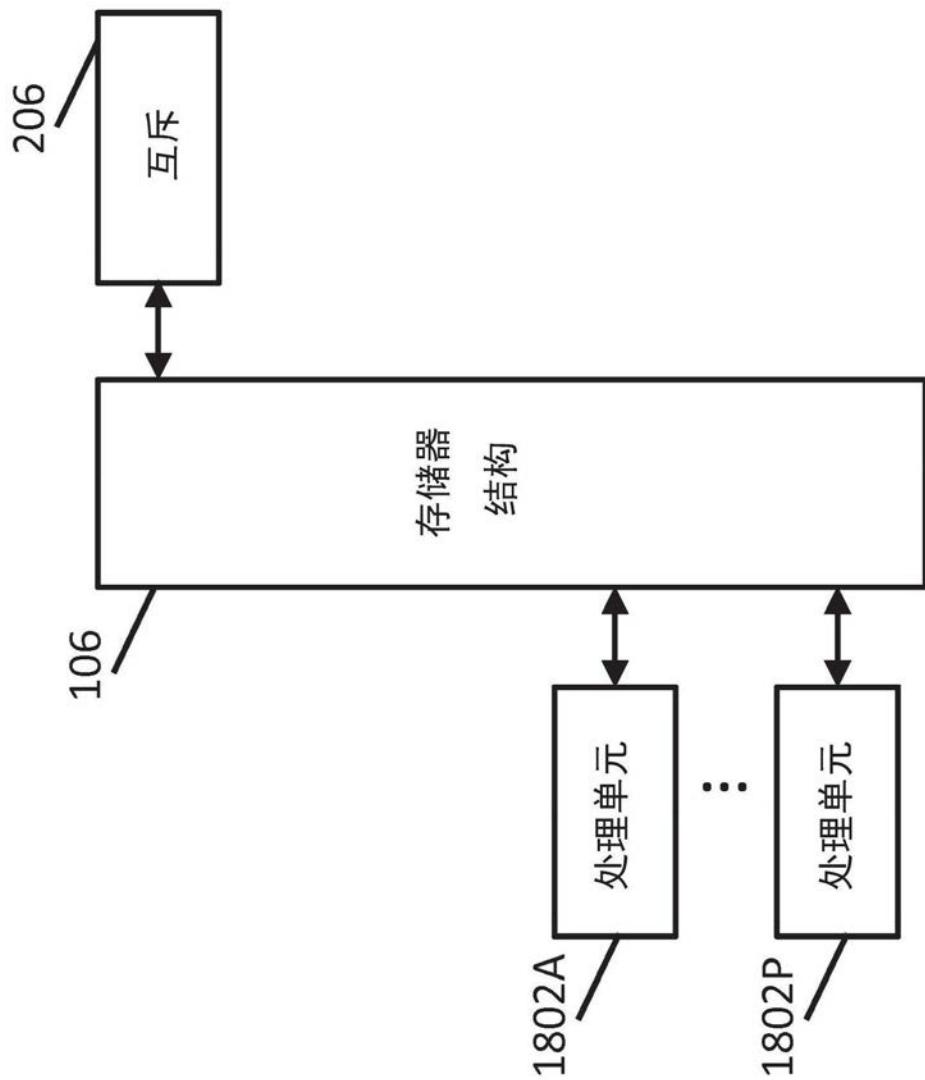


图18

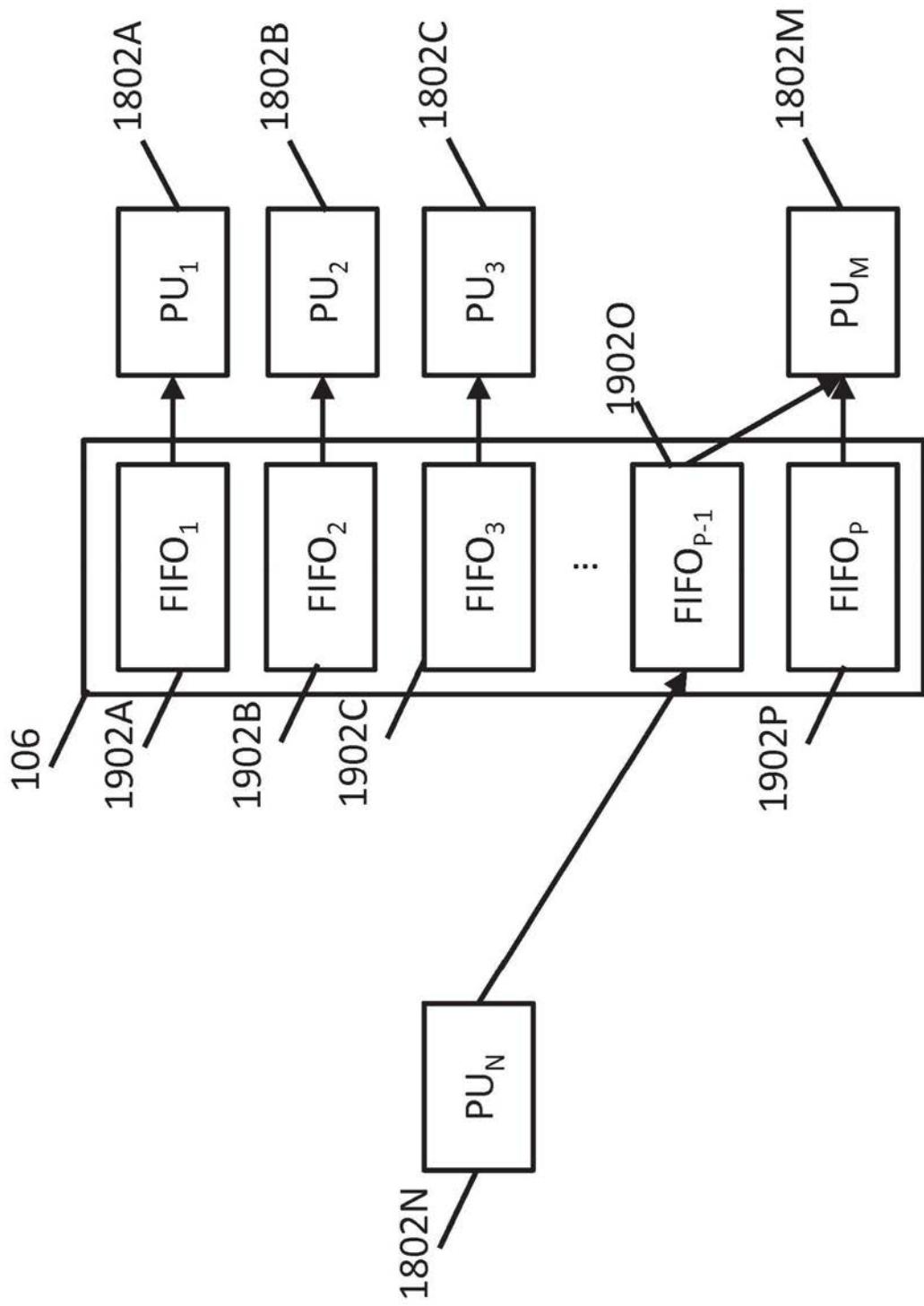


图19

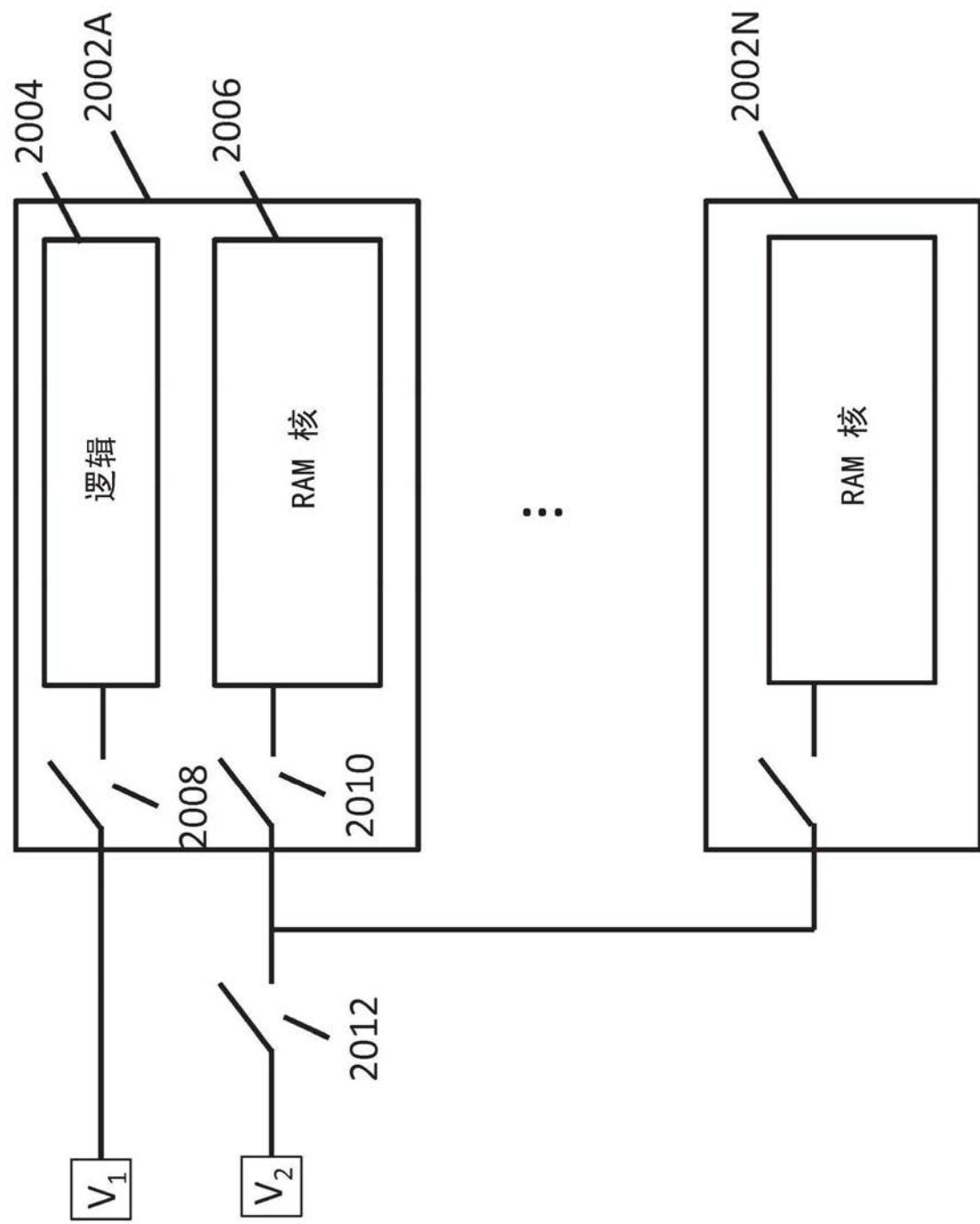


图20

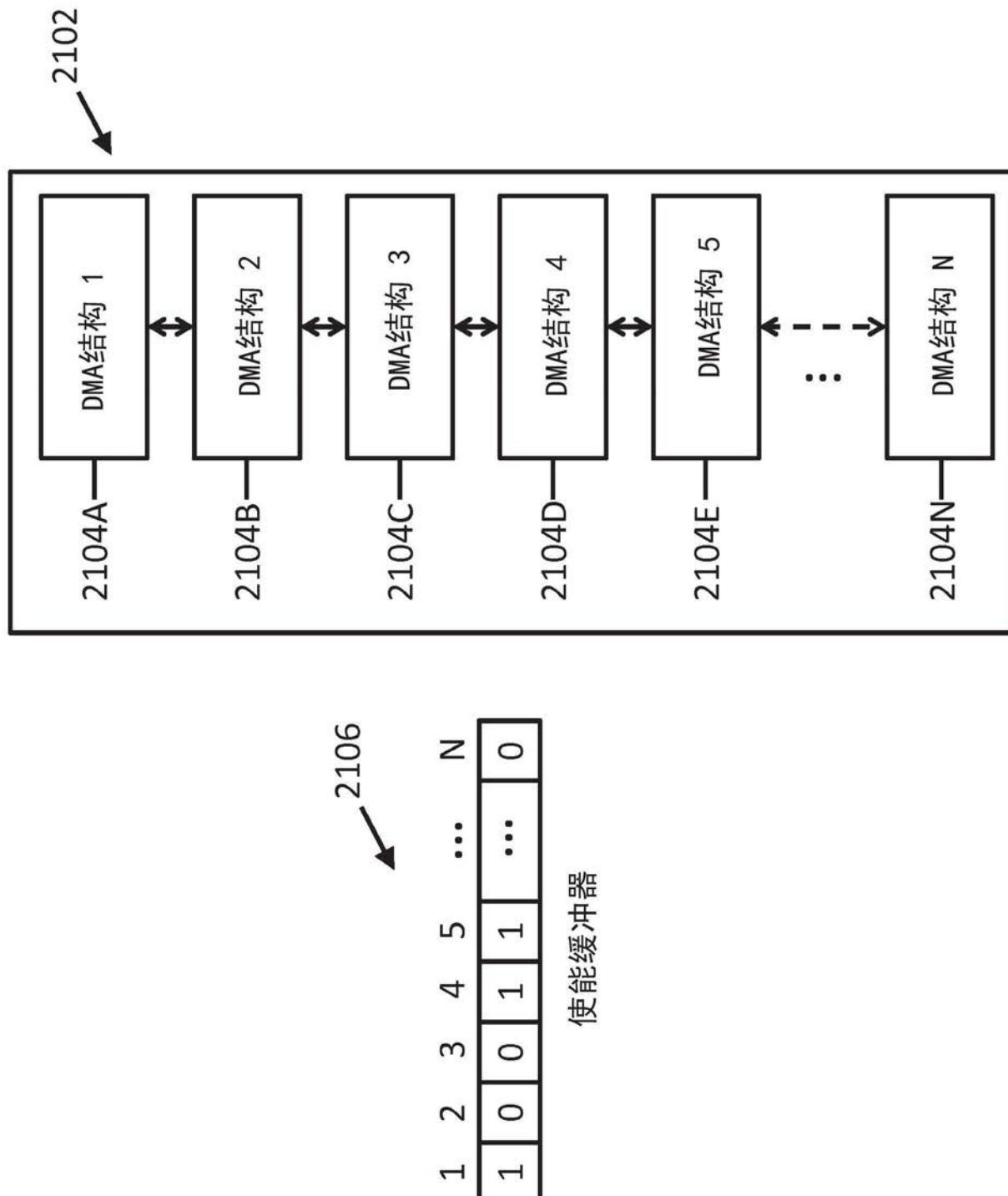


图21

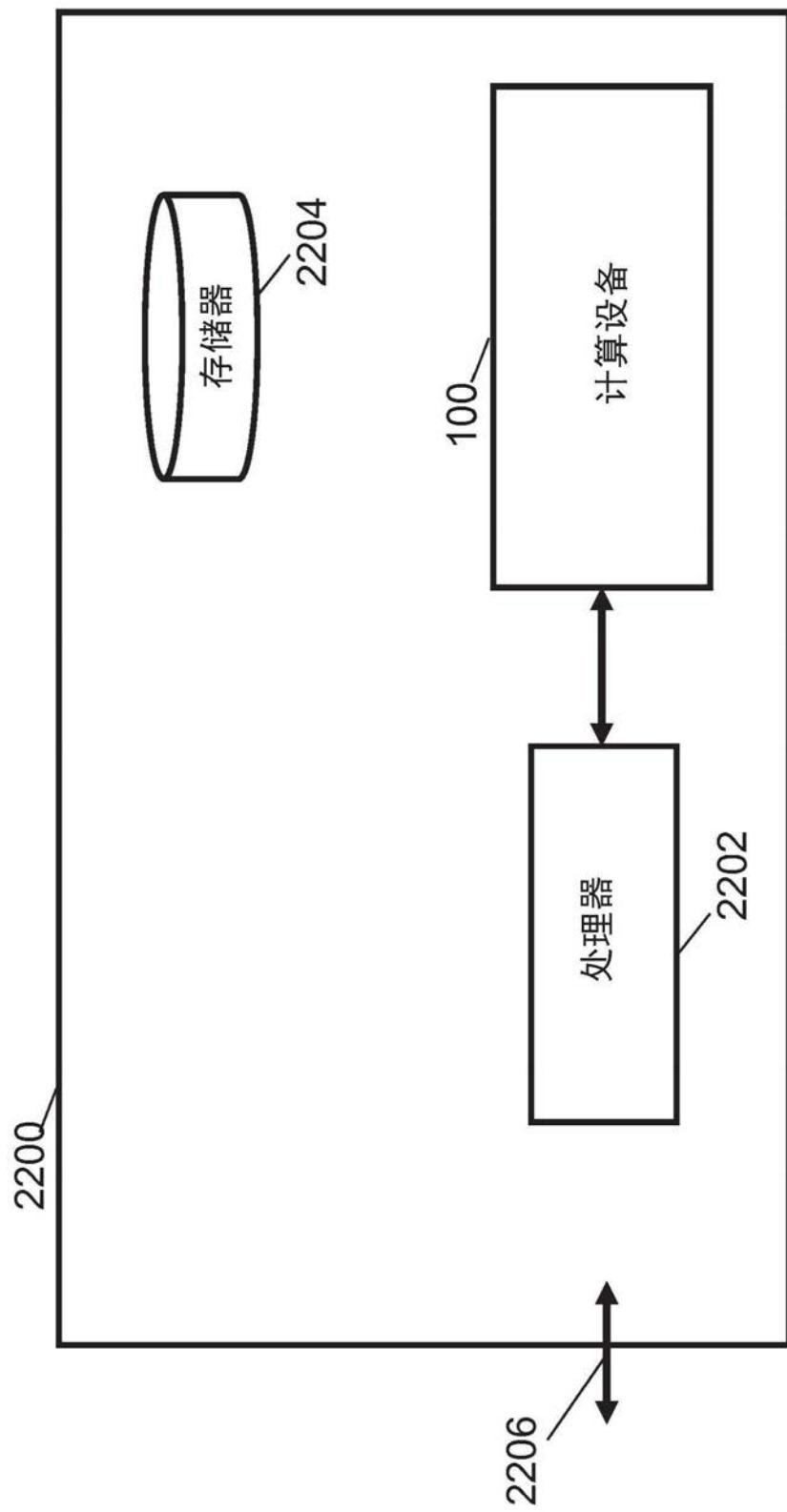


图22