



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I733669 B

(45)公告日：中華民國 110 (2021) 年 07 月 21 日

(21)申請案號：105114574

(22)申請日：中華民國 105 (2016) 年 05 月 11 日

(51)Int. Cl. : **H01L23/522 (2006.01)**

(30)優先權：2015/06/18 世界智慧財產權組織 PCT/US15/36519

(71)申請人：美商英特爾股份有限公司 (美國) INTEL CORPORATION (US)
美國

(72)發明人：克蘭德寧 史考特 CLENDENNING, SCOTT B. (US)；米坦 馬丁 MITAN, MARTIN M. (US)；葛萊斯門 堤蒙希 GLASSMAN, TIMOTHY (US)；格理葛 弗拉佛 GRIGGIO, FLAVIO (IT)；克拉斯特 葛蘭特 KLOSTER, GRANT (US)；法雪 肯 FRASURE, KENT (US)；格斯坦 弗羅瑞恩 GSTREIN, FLORIAN (AT)；胡拉尼 拉米 HOURANI, RAMI (CA)

(74)代理人：林志剛

(56)參考文獻：

US 4847214

US 4942137

US 5484747

US 2001/0000632A1

審查人員：王世賢

申請專利範圍項數：25 項 圖式數：9 共 59 頁

(54)名稱

半導體結構的金屬特徵的由下而上填塞 (B U F)

(57)摘要

說明用於形成半導體結構之金屬特徵的由下而上填塞方法，及所得之結構。在範例中，半導體結構包括置於層間介電質(ILD)層中之凹槽。凹槽具有側壁、底部及頂部。U形金屬晶種層係置於凹槽底部，沿凹槽之側壁但實質上低於凹槽之頂部。金屬填塞層係置於U形金屬晶種層上，並填塞凹槽至凹槽之頂部。金屬填塞層與ILD層之介電材料直接接觸，沿U形金屬晶種層以上凹槽之部分側壁。

Bottom-up fill approaches for forming metal features of semiconductor structures, and the resulting structures, are described. In an example, a semiconductor structure includes a trench disposed in an inter-layer dielectric (ILD) layer. The trench has sidewalls, a bottom and a top. A U-shaped metal seed layer is disposed at the bottom of the trench and along the sidewalls of the trench but substantially below the top of the trench. A metal fill layer is disposed on the U-shaped metal seed layer and fills the trench to the top of the trench. The metal fill layer is in direct contact with dielectric material of the ILD layer along portions of the sidewalls of the trench above the U-shaped metal seed layer.

指定代表圖：

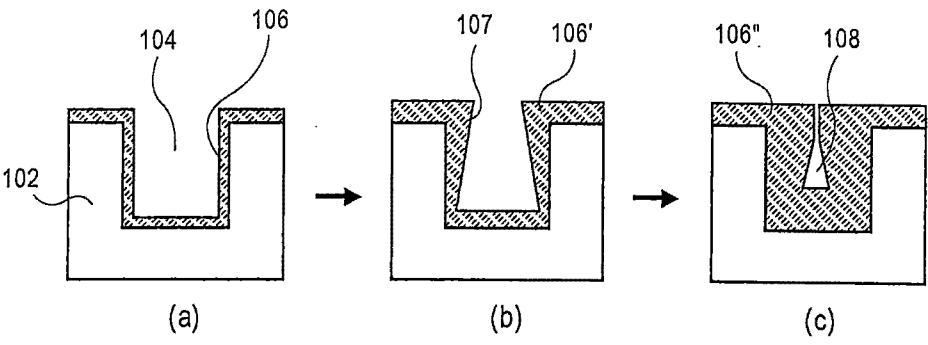


圖 1

- 符號簡單說明：
- 102 . . . 介電層
 - 104 . . . 凹槽
 - 106、106'、106'' . . . 金屬層
 - 107 . . . 點
 - 108 . . . 縫或空隙

I733669

發明摘要

※申請案號：105114574

※申請日：105 年 05 月 11 日

※IPC 分類：

【發明名稱】(中文/英文)

半導體結構的金屬特徵的由下而上填塞(BUF)

Bottom-up fill (BUF) of metal features for semiconductor structures

【中文】

說明用於形成半導體結構之金屬特徵的由下而上填塞方法，及所得之結構。在範例中，半導體結構包括置於層間介電質(ILD)層中之凹槽。凹槽具有側壁、底部及頂部。U形金屬晶種層係置於凹槽底部，沿凹槽之側壁但實質上低於凹槽之頂部。金屬填塞層係置於U形金屬晶種層上，並填塞凹槽至凹槽之頂部。金屬填塞層與ILD層之介電材料直接接觸，沿U形金屬晶種層以上凹槽之部分側壁。

【英文】

Bottom-up fill approaches for forming metal features of semiconductor structures, and the resulting structures, are described. In an example, a semiconductor structure includes a trench disposed in an inter-layer dielectric (ILD) layer. The trench has sidewalls, a bottom and a top. A U-shaped metal seed layer is disposed at the bottom of the trench and along the sidewalls of the trench but substantially below the top of the trench. A metal fill layer is disposed on the U-shaped metal seed layer and fills the trench to the top of the trench. The metal fill layer is in direct contact with dielectric material of the ILD layer along portions of the sidewalls of the trench above the U-shaped metal seed layer.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

102：介電層

104：凹槽

106、106'、106''：金屬層

107：點

108：縫或空隙

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體結構的金屬特徵的由下而上填塞(BUF)

Bottom-up fill (BUF) of metal features for semiconductor structures

【技術領域】

[0001] 本發明之實施例係在半導體結構及處理方面，尤其是用於形成半導體結構之金屬特徵的由下而上填塞方法，及所得之結構。

【先前技術】

[0002] 在過去的幾十年，積體電路中部件之比例縮放已成為支持日益增長半導體產業之驅動力。比例縮放為越來越小部件致能半導體晶片之有限基板面上功能單元的增加密度。

[0003] 在第一方面，積體電路通常包括導電微電子結構，已知在本技藝中做為通孔，而電連接通孔以上之金屬管道或其他互連至低於通孔之金屬管道或其他互連。通孔典型地係由光刻製程形成。典型地，光阻層可旋塗於介電層之上，光阻層可經暴露而經由圖案化遮罩圖案化光化輻射，接著可顯影暴露層以便於光阻層中形成開口。其次，通孔之開口可於介電層中藉由使用光阻層中開口做為蝕刻遮罩而予蝕刻。此開口稱為通孔開口。最後，可以一

或更多個金屬或其他導電材料填塞通孔開口而形成通孔。

[0004] 在過去，通孔之尺寸及空間逐漸減少，對至少若干類型積體電路（例如先進微處理器、晶片組組件、圖形晶片等）而言，預期通孔之尺寸及空間未來將持續逐漸減少。通孔尺寸的測量為通孔開口之關鍵尺寸。通孔空間的測量為通孔間距。通孔間距代表最接近鄰近通孔間之中央至中央距離。當藉由該等光刻製程以極小間距圖案化極小通孔時，其本身呈現若干挑戰，尤其當間距約 70 奈米（nm）或更小時，及／或當通孔開口之關鍵尺寸約 35nm 或更小時。

[0005] 一項該等挑戰為通孔及重疊互連間之疊置，及通孔及其下安放互連間之疊置，一般需控制為約四分之一通孔間距的高容限。因為通孔間距隨著時間推移規模更小，可維持疊置容限傾向於以大於微影裝備之比率縮小。另一該挑戰為通孔開口之關鍵尺寸一般傾向於較微影掃描器之分辨能力更快縮小。收縮技術存在而收縮通孔開口之關鍵尺寸。然而，收縮量傾向於受限於最小通孔間距，以及收縮處理為充分光學鄰近校正（OPC）中性之能力，且未顯著妥協管道寬度粗糙度（LWR）及／或關鍵尺寸均勻性（CDU）。又另一該等挑戰為光阻之 LWR 及／或 CDU 特性一般需隨著通孔開口之關鍵尺寸減少而改進，以便維持關鍵尺寸預算之相同總分率。然而，目前大部分光阻之 LWR 及／或 CDU 特性未如通孔開口之關鍵尺寸減少而快速改進。進一步該等挑戰為極小通孔間距一般傾向於低於

極紫外線（EUV）微影掃描器之分辨能力。結果，通常可使用二、三、或更多個不同微影遮罩，其傾向於增加成本。在某一時刻，若間距持續減少，便不可能具多個遮罩，而使用 EUV 掃描器列印該些極小間距之通孔開口。此外，該等開口之金屬填塞甚至更多問題。

[0006] 因而，在通孔及相關互連製造技術需要改進。

[0007] 在第二方面，諸如三閘極電晶體之多閘極電晶體已隨著裝置尺寸持續縮減而變得更普遍。在習知製程中，三閘極或其他非平面電晶體一般係在塊矽基板或矽絕緣體基板上製造。在若干狀況下，因較低成本及與現有高產塊矽基板基礎結構之相容性，塊矽基板較佳。然而，比例縮放多閘極電晶體已毫無成果。因為微電子電路之基本結構單元的尺寸減少，及因為特定區域中製造之基本結構單元的絕對數量增加，用以製造該些結構單元之半導體製程的限制已變得勢不可擋。

[0008] 因而，在非平面電晶體製造技術領域需改進。

【圖式簡單說明】

[0009] 圖 1 描繪以金屬填塞介電凹槽或通孔結構之技藝處理方案的狀態。

[0010] 圖 2A 描繪依據本發明之實施例，依據凹槽或通孔底部之選擇性沉積，而使用由下而上填塞方法之處理

方案中各式作業。

[0011] 圖 2B 描繪依據本發明之實施例，依據未涉及自對準圖案化之單一鑲嵌程序的選擇性沉積，而使用由下而上填塞方法之處理方案中各式作業。

[0012] 圖 2C 描繪依據本發明之實施例，依據亦涉及自對準圖案化之單一鑲嵌程序的選擇性沉積，而使用由下而上填塞方法之處理方案中各式作業。

[0013] 圖 2D 描繪依據本發明之實施例，依據亦涉及自對準圖案化之雙鑲嵌程序的選擇性沉積，而使用由下而上填塞方法之處理方案中各式作業。

[0014] 圖 3 描繪依據本發明之實施例，使用由下而上填塞方法及來自自組性單層之鈍化輔助之處理方案中各式作業。

[0015] 圖 4 描繪依據本發明之另一實施例，使用由下而上填塞方法及來自自組性單層之鈍化輔助之另一處理方案中各式作業。

[0016] 圖 5 描繪本技藝沉積狀態及半導體結構之部件填塞之凹進蝕刻方法的若干缺點。

[0017] 圖 6A 描繪依據本發明之實施例之選擇性凹槽填塞方案。

[0018] 圖 6B 描繪依據本發明之實施例，具二個二氮丁二烯配位基之化學先驅物設計的一般結構組元。

[0019] 圖 7A 描繪依據本發明之實施例之非平面半導體裝置的截面圖。

[0020] 圖 7B 描繪依據本發明之實施例，沿圖 7A 之半導體裝置之 a-a'軸的平面圖。

[0021] 圖 8 描繪依據本發明之一實施的運算裝置。

[0022] 圖 9 為實施本發明之一或更多個實施例的插件。

【發明內容及實施方式】

[0023] 說明用於形成半導體結構之金屬特徵的由下而上填塞方法，及所得之結構。在下列描述中，提出許多特定細節，諸如特定整合及材料狀態，以便提供本發明之實施例的徹底了解。對於熟悉本技藝之人士而言，顯然可無該些特定細節而實現本發明之實施例。在其他狀況下，未詳細說明諸如積體電路設計布局之熟知特徵，以便沒有不必要的模糊本發明之實施例。此外，將理解的是圖中所示各式實施例為描繪代表，且不一定按比例繪製。

[0024] 文中所說明之一或更多個實施例指向半導體結構之金屬特徵的由下而上填塞。在第一實施例中，由下而上填塞方法涉及使用選擇性沉積之由下而上填塞。在第二實施例中，經由固有選擇性及幾何定義鈍化，金屬及／或介電體之由下而上原子層沉積（ALD）及／或化學氣相沉積（CVD）填塞被實施為半導體裝置應用之空隙填塞的致能器。文中所說明之一或更多個實施例致能缺點少之間距獨立之無縫／無空隙由下而上填塞，直接轉化為改良的裝置可靠性及產量。

[0025] 在本揭露之第一方面中，實施例指向使用選擇性沉積之由下而上填塞。

[0026] 為提供上下文，當特徵尺寸收縮或長寬比增加時，圖案化凹槽或孔洞之填塞變得更困難。保形填塞導致縫，未施加極熱狀況則無法恢復。因水平場之沉積速率與垂直側壁之差異，許多填塞程序實際上具有若干程度之非保形性，此將導致更誇張的縫或空隙。

[0027] 依據本發明之一或更多個實施例，設計指定填塞之凹槽或孔洞，使得底部之水平表面化學上與垂直側壁表面（或至少側壁表面之實質部分，尤其是側壁表面之上部），及鄰近部件之水平場的表面不同。在一該實施例中，實施選擇性地於底部表面沉積材料之先質，而提供從部件底部至部件頂部之膜生長，未留下任何縫或空隙。

[0028] 更具體地，當實施時，本發明之實施例可導致填塞之部件免除引發裝置可靠性問題之縫或空隙。該選擇性沉積方法可與部件尺寸及間距無關地順利實施，典型地幾乎無缺點。相反地，利用離子注入之表面修改的已知由下而上填塞方法通常受限於具不變尺寸及間距的圖案。同時，無電化學亦可用於由下而上填塞，但因不合需要的粒子形成，程序眾所周知地難以維持控制。

[0029] 為提供描繪比較，圖 1 描繪用於以金屬填塞介電凹槽或通孔結構之技藝處理方案的狀態。參照圖 1 之部分（a），金屬層 106 之最初沉積始自例如介電層 102 中之成形凹槽 104。當沉積持續時，發生金屬填塞之麵包

橢圓狀或夾止（例如在點 107），提供金屬層 106'，如圖 1 之部分（b）中所示。參照圖 1 之部分（c），金屬層 106''之完成不合需要地於最後結構中留下縫或空隙 108。

[0030] 相較於圖 1，圖 2A 描繪依據本發明之實施例，依據在凹槽或通孔之底部之選擇性沉積，使用由下而上填塞方法之處理方案中各式作業。

[0031] 參照圖 2A 之部分（a），薄保形金屬晶種層 206 沉積於圖案之上，諸如形成於層間介電質（ILD）層 202 中之凹槽 204。在一實施例中，晶種層 206 為例如約 1-2 奈米厚之鎢、氮化鎢、氮化鈦、鈺、或鈷層。再次參照圖 2A 之部分（a），填塞材料 208 沉積於凹槽 204 中。在一該實施例中，沉積過量填塞材料 208，導致在場 203 中若干覆蓋。在實施例中，填塞材料 208 為諸如但不侷限於二氧化矽、碳硬遮罩材料、或鎢金屬之材料。填塞材料 208 可使用諸如電漿增強化學氣相沉積（PECVD）、原子層沉積（ALD）、或旋塗沉積之技術沉積。

[0032] 參照圖 2A 之部分（b），部分移除填塞材料 208 而提供凹進填塞材料 210。可藉由例如溼式蝕刻、乾式蝕刻或化學機械拋光（CMP）而部分移除填塞材料 208。此外，從凹槽 204 之場 203 及暴露側壁 201 移除晶種層 206，而提供凹進晶種層 212。可藉由例如溼式蝕刻或乾式蝕刻而移除晶種層 206 之暴露部分。在實施例中，如圖 2A 之部分（b）中所描繪，晶種層 206 之下側壁部分保持在凹進晶種層 212 中，提供 U 形外表。然而，至少移

除凹槽 204 之上側壁部分 201，留下 U 形外表但具凹進側壁，低於凹槽 204 之頂部。應理解的是該 U 形結構可能非最優（相較於僅形成於凹槽 204 之底部表面上的層）。然而，該結構對於在凹進程序中提供若干容限的製造方案而言是務實的。

[0033] 在實施例中，U 形凹進晶種層 212 具有側壁部分，高度實質上低於凹槽 204 之頂部表面。例如，在一實施例中，U 形凹進晶種層 212 之側壁部分的高度小於凹槽高度的 50%（即，U 形凹進晶種層 212 之側壁部分侷限於凹槽高度之下半部）。在特定實施例中，U 形凹進晶種層 212 之側壁部分的高度小於凹槽高度的 25%（即，U 形凹進晶種層 212 之側壁部分侷限於凹槽高度之下四分之一部分）。

[0034] 在實施例中，部分移除填塞材料 208，而在從凹槽 204 之場 203 及暴露側壁 201 移除晶種層 206 而提供凹進晶種層 212 之前，提供凹進填塞材料 210。在另一實施例中，例如在相同處理作業中，實質上同時移除部分填塞材料 208 及晶種層 206。然而，在後者之實施例中，程序對於處理時序極敏感，並難以控制。

[0035] 參照圖 2A 之部分（c），移除凹進填塞材料 210 以暴露凹進晶種層 212。可藉由例如溼式蝕刻或乾式蝕刻移除凹進填塞材料 210。應理解的是其他方法可導致圖 2A 之部分（c）的結構，其可視為用於由下而上填塞方法之起始點結構。例如，在另一實施例中，晶種層 206 凹

進而於缺少諸如填塞材料 208 之填塞材料下，使用斜向乾式蝕刻程序來提供凹進晶種層 212。在任一狀況下，結果提供凹進晶種層 212 做為凹槽 204 底部之暴露。如圖 2A 之部分 (c) 中所描繪，亦暴露凹槽 204 之上側壁部分 201 (即，層間介電質層 202 之側壁部分) 及層間介電質層 202 之場部分。

[0036] 參照圖 2A 之部分 (d)，以圖 2A 之部分 (c) 的結構形成金屬填塞層 214。在實施例中，使用選擇性沉積形成金屬填塞層 214。在一該實施例中，於由下而上填塞程序中形成金屬填塞層 214，其中係於凹進晶種層 212 上而非 ILD 表面 201 或 203 上發生生長。填塞可控制至場 203 之位準，或可能過量實施生長，接著平面化 (例如藉由 CMP 程序)。在任一狀況下，形成無縫或空隙 (諸如結合圖 1 說明之縫或空隙 108)。在實施例中，藉由將原子層或化學氣相沉積程序用於選擇性地沉積材料，其僅於晶種層 212 上生長，而形成金屬填塞層 214，導致凹槽 204 之無縫由下而上填塞。在一該實施例中，金屬填塞層 214 由導電材料組成，諸如但不侷限於 Al、Ti、Zr、Hf、V、Ru、Co、Ni、Pd、Pt、Cu、Ag、Au 或其合金。典型凹槽高寬比介於約 2:1 至 10:1 之範圍，且頂部尺寸介於約 6-40 奈米之範圍。

[0037] 因而，在實施例中，半導體結構包括置於層間介電質 (ILD) 層 202 中之凹槽 204。凹槽具有側壁、底部及頂部。U 形金屬晶種層 212 係置於凹槽底部，並沿

實質上低於凹槽頂部之凹槽側壁。金屬填塞層 214 係置於 U 形金屬晶種層 212 上，並填塞凹槽 204 至凹槽頂部。金屬填塞層 214 與 ILD 層 202 之介電材料直接接觸，其沿 U 形金屬晶種層 212 以上之凹槽的側壁部分。

[0038] 儘管圖 2A 處理序列中僅顯示一凹槽 204，在實施例中，起始結構可以柵條圖案圖案化，且凹槽以固定間距區隔並具有固定寬度。圖案例如可藉由間距二等分或間距四等分法製造。若干凹槽與其下通孔或下層金屬化管道相關聯。例如，將理解的是結合圖 2A 說明之層及材料典型地形成於其下半導體基板或結構之上或以上，諸如積體電路其下裝置層。在實施例中，其下半導體基板代表用以製造積體電路之一般工件。半導體基板通常包括晶圓或其他矽塊或另一半導體材料。適當半導體基板包括但不侷限於單晶矽、多晶矽及矽絕緣體（SOI），以及其他半導體材料形成之類似基板。取決於製造階段，半導體基板通常包括電晶體、積體電路等。基板亦可包括半導體材料、金屬、介電體、摻雜劑、及通常在半導體基板中發現的其他材料。此外，圖 2A 中所描繪之結構可於其下下層互連層上製造。圖 2A 之部分（d）的所得結構之後可用做形成後續金屬管道／通孔及 ILD 層之基礎。另一方面，圖 2A 之部分（d）的結構可代表積體電路中之最後金屬互連層。此外，應理解的是以上範例不包括圖中圖案化所需之蝕刻-觸止或金屬覆蓋層。然而，為求清晰，圖中不包括該等層，因為其不影響整體由下而上填塞概念。

[0039] 舉例說明結合圖 2A 所說明之程序的第一特定應用，圖 2B 描繪依據本發明之實施例，依據用於未涉及自對準圖案化之單一鑲嵌程序的選擇性沉積，使用由下而上填塞方法之處理方案中各式作業。

[0040] 參照圖 2B 之部分 (a)，於包括金屬管道或其他部件 222 之其下金屬化結構上實施層間介電質 (ILD) 層 220 沉積。如圖 2B 之部分 (b) 中所描繪，接著實施通孔蝕刻及貫穿程序，而於 ILD 層 220 中形成通孔開口 224，並暴露金屬管道或其他部件 222。參照圖 2B 之部分 (c)，於凹槽 224 中形成金屬晶種層 226。如圖 2B 之部分 (d) 中所描繪，接著在部分 (c) 之結構上形成犧牲填塞材料 228。參照圖 2B 之部分 (e)，實施犧牲填塞材料 228 及金屬晶種層 226 之部分凹進及蝕刻，而提供凹進填塞材料層 230 及凹進金屬晶種層 232。如圖 2B 之部分 (f) 中所描繪，接著移除凹進填塞材料層 230，留下暴露之凹進金屬晶種層 232。參照圖 2B 之部分 (g)，藉由選擇性沉積，例如藉由由下而上填塞程序，於凹進金屬晶種層 232 上形成金屬填塞層 234，以形成通孔結構 236。如圖 2B 之部分 (h) 中所描繪，接著於圖 2B 之部分 (g) 的結構上形成 ILD 層 238。參照圖 2B 之部分 (i)，重複部分 (a) - (g) 之程序而提供以上金屬管道特徵 240，並電耦接至通孔結構 236。所得之結構可代表半導體裝置之一部分後端互連結構。

[0041] 舉例說明結合圖 2A 所說明之程序的第二特定

應用，圖 2C 描繪依據本發明之實施例，依據用於亦涉及自對準圖案化之單一鑲嵌程序的選擇性沉積，使用由下而上填塞方法之處理方案中各式作業。

[0042] 參照圖 2C 之部分 (a)，於包括金屬管道或其他部件 252 之其下金屬化結構上實施層間介電質 (ILD) 層 250 沉積。如圖 2C 之部分 (b) 中所描繪，接著實施通孔蝕刻及貫穿程序，而於 ILD 層 250 中形成通孔開口 254，並暴露金屬管道或其他部件 252。參照圖 2C 之部分 (c)，實施金屬填塞層 256 之選擇性沉積而填塞凹槽 254。如圖 2C 之部分 (d) 中所描繪，接著在圖 2C 之部分 (c) 的結構上形成 ILD 層 258。參照圖 2C 之部分 (e)，接著於 ILD 層 258 中形成凹槽 260，及於凹槽 260 中形成金屬晶種層 262。如圖 2C 之部分 (f) 中所描繪，接著於部分 (e) 之結構上形成犧牲填塞材料 264。參照圖 2C 之部分 (g)，實施犧牲填塞材料 264 及金屬晶種層 262 之部分凹進及蝕刻，而提供凹進填塞材料層 266 及凹進金屬晶種層 268。如圖 2C 之部分 (h) 中所描繪，接著移除凹進填塞材料層 266，留下暴露之凹進金屬晶種層 268。參照圖 2C 之部分 (i)，藉由選擇性沉積，例如藉由由下而上填塞程序，於凹進金屬晶種層 266 上形成金屬填塞層 270。所得之結構可代表半導體裝置之一部分後端互連結構。再次參照圖 2C 之處裡流程，應理解的是在沉積期間，若凹槽內暴露 ILD 區域之上不存在晶種層，則所得之結構可能包含不必要的氣隙。然而，若橫向生長

(「迅速生長」) 充分快速，則可能不形成該氣隙。

[0043] 舉例說明結合圖 2A 所說明之程序的第三特定應用，圖 2D 描繪依據本發明之實施例，依據用於亦涉及自對準圖案化之雙鑲嵌程序的選擇性沉積，使用由下而上填塞方法之處理方案中各式作業。

[0044] 參照圖 2D 之部分 (a)，於包括金屬管道或其他部件 282 之其下金屬化結構上實施層間介電質 (ILD) 層 280 沉積。如圖 2D 之部分 (b) 中所描繪，接著實施通孔及凹槽蝕刻及貫穿程序，而於 ILD 層 280 中形成通孔開口 284 及凹槽 (金屬管道) 開口 285，並暴露金屬管道或其他部件 282。參照圖 2D 之部分 (c)，於通孔開口 284 中及凹槽開口 285 中形成金屬晶種層 286。如圖 2D 之部分 (d) 中所描繪，接著於部分 (c) 之結構上形成犧牲填塞材料 288。參照圖 2D 之部分 (e)，實施犧牲填塞材料 288 及金屬晶種層 286 之部分凹進及蝕刻，而提供凹進填塞材料層 290 及凹進金屬晶種層 292。在一實施例中，如同所示，凹進於凹槽開口 285 內終止，即通孔開口 284 暴露之前。如圖 2D 之部分 (f) 中所描繪，接著移除凹進填塞材料層 290 而留下暴露之凹進金屬晶種層 292。參照圖 2D 之部分 (g)，藉由選擇性沉積，例如藉由由下而上填塞程序，於凹進金屬晶種層 292 上形成金屬填塞層 294，而形成金屬管道 296 及通孔結構 298。在實施例中，金屬填塞層 294 從底部之生長速率大於或等於通孔側面之生長速率，以確保雙鑲嵌結構之適當填塞。所得

之結構可代表半導體裝置之一部分後端互連結構。

[0045] 再次參照圖 2D 之處理流程，應理解的是若沉積期間，凹槽內暴露 ILD 區域之上不存在晶種層，則所得之結構可能包含不必要的氣隙。然而，若橫向生長充分快速，則可能不形成該氣隙。基於未使用自對準技術之雙鑲嵌圖案的方案中，相同挑戰被放大。再次參照圖 2D，在實施例中，由於由下而上填塞通孔不一定允許極長凹槽之有效填塞，垂直方向之凹槽填塞是重要的。

[0046] 涉及從選擇性沉積之由下而上填塞的其他處理方案實施從自組性單層的鈍化輔助。在第一該範例中，圖 3 描繪依據本發明之實施例，使用由下而上填塞方法及來自自組性單層之鈍化輔助之處理方案中各式作業。

[0047] 參照圖 3 之部分 (a)，薄保形金屬晶種層 306 沉積於層間介電質 (ILD) 層 302 中所形成之圖案上，諸如凹槽 304。填塞材料 308 係沉積於凹槽 304 中。在一該實施例中，沉積過量填塞材料 308，致使場 303 中若干覆蓋。在一實施例中，金屬晶種層 306 為約 1-2 奈米厚之鎢、氮化鈦、鈦、或鈷層，如同範例。在一實施例中，填塞材料 308 如諸如但不侷限於二氧化矽、碳硬遮罩材料、或鎢金屬之材料。可使用諸如電漿增強化學氣相沉積 (PECVD)、原子層沉積 (ALD)、或旋塗沉積之技術沉積填塞材料 308。

[0048] 參照圖 3 之部分 (b)，實施犧牲填塞材料 308 之部分凹進及蝕刻，而提供凹進填塞材料層 310。然

而，金屬晶種層 306 未凹進。在實施例中，藉由溼式蝕刻、乾式蝕刻、或化學機械拋光（CMP）而部分移除填塞材料層 308。

[0049] 參照圖 3 部分（c），基於例如自組性單層（SAM）而鈍化金屬晶種層 306 之暴露部分（即未受凹進填塞材料層 310 保護之部分），以形成金屬晶種層 306 之鈍化部分 312。在實施例中，藉由將圖 3 之部分（b）的結構暴露於氣相之 SAM 形成分子，或溶解於溶劑中之分子，而形成 SAM。例如，在一該實施例中，基於十八烷基膦酸（ODPA）或正十二硫醇而鈍化金屬晶種層 306 之暴露部分。

[0050] 參照圖 3 之部分（d），例如藉由溼式或乾式蝕刻移除凹進填塞材料層 310，在凹槽 304 之底部留下暴露之金屬晶種層 306 的未鈍化部分 314。原子層或化學氣相沉積程序接著用以選擇性地沉積金屬填塞材料 316，其僅於金屬晶種層 306 之未鈍化部分 314 上生長，導致凹槽 304 之無縫由下而上填塞，如圖 3 之部分（e）中所描繪。

[0051] 參照圖 3 之部分（f），移除金屬晶種層 306 之部分 312 上的 SAM 鈍化層，留下金屬晶種層 306 及金屬填塞材料 316。在實施例中，藉由化學或熱處理移除 SAM 鈍化層。接著拋光（例如藉由 CMP）覆蓋場 303 之金屬晶種層 306 及金屬填塞材料 316 部分，使得所有表面相互齊平，如圖 3 之部分（g）中所描繪。所得之結構可

代表半導體裝置之一部分後端互連結構。應理解的是在實施例中，亦可保持 SAM 層 312 並併入最後結構。

[0052] 在第二該範例中，圖 4 描繪依據本發明之另一實施例，使用由下而上填塞方法及來自自組性單層之鈍化輔助之另一處理方案中各式作業。

[0053] 參照圖 4 之部分 (a)，填塞材料 408 沉積於層間介電質 (ILD) 層 402 中所形成的凹槽 404 中。在一該實施例中，沉積過量填塞材料 408，導致場 403 中之若干覆蓋。在一實施例中，填塞材料 408 為諸如但不侷限於二氧化矽、碳硬遮罩材料、或鎢金屬之材料。可使用諸如電漿增強化學氣相沉積 (PECVD)、原子層沉積 (ALD)、或旋塗沉積之技術而沉積填塞材料 408。

[0054] 參照圖 4 之部分 (b)，實施犧牲填塞材料 408 之部分凹進及蝕刻，以提供凹進填塞材料層 410。在實施例中，藉由溼式蝕刻、乾式蝕刻、或化學機械拋光 (CMP) 部分移除填塞材料層 408。

[0055] 參照圖 4 之部分 (c)，基於例如自組性單層 (SAM) 而鈍化 ILD 材料 402 之暴露部分 (即未受凹進填塞材料層 410 保護之部分)，以形成 ILD 材料 402 之鈍化部分 412，包括凹槽 404 之側壁部分。在實施例中，藉由將圖 4 之部分 (b) 的結構暴露於氣相之 SAM 形成分子，或溶解於溶劑中之分子，而形成 SAM。例如，在一該實施例中，基於十八烷基三氯矽烷 (ODTCS) 而鈍化 ILD 材料 402 之暴露部分。

[0056] 參照圖 4 之部分 (d)，例如藉由溼式或乾式蝕刻移除凹進填塞材料層 410，在凹槽 404 之底部留下暴露之 ILD 材料 402 的未鈍化部分 414。原子層或化學氣相沉積程序接著用以選擇性地沉積金屬晶種層 416，其僅於 ILD 材料 402 之未鈍化部分 414 上生長。

[0057] 參照圖 4 之部分 (f)，移除 ILD 材料 402 之部分 412 上的 SAM 鈍化層，而於凹槽 404 之底部留下金屬晶種層 416。在實施例中，藉由化學或熱處理移除 SAM 鈍化層。

[0058] 參照圖 4 之部分 (g)，原子層或化學氣相沉積程序接著用以選擇性地沉積金屬填塞材料 418，其僅於金屬晶種層 416 上生長，導致凹槽 404 之無縫由下而上填塞。接著拋光（例如藉由 CMP）覆蓋場 403 之金屬填塞材料 418 部分，使得所有表面相互齊平，如圖 4 之部分 (g) 中所描繪。所得之結構可代表半導體裝置之一部分後端互連結構。

[0059] 在實施例中，如本描述通篇所使用，參照圖 2A-2D、3 及 4，層間介電體 (ILD) 材料包括介電體或絕緣材料層或由其組成。適當介電材料之範例包括但不侷限於矽氧化物（例如二氧化矽 (SiO_2)）、摻雜矽氧化物、矽氟氧化物、碳摻雜矽氧化物、本技藝中已知各式低 k 介電材料（例如介電固定小於二氧化矽之材料）、及其組合。層間介電材料可由習知技術形成，諸如化學氣相沉積 (CVD)、物理氣相沉積 (PVD)、或其他沉積方法。

ILD 材料中形成之互連管道（金屬管道及通孔結構）在本技藝中有時亦稱為跡線、線路、管道、金屬、或簡單地稱為互連。

[0060] 在本揭露之第二方面，實施例指向金屬及介電體的由下而上原子層沉積（ALD）及化學氣相沉積（CVD）填塞，經由固有選擇性及幾何定義鈍化而做為半導體裝置應用之空隙填塞的致能器。在示例實施例中，高的高寬比特徵之由下而上填塞（BUF）方法，說明以金屬或介電體致能用於 10 nm 技術節點及更小之無蝕刻凹進。

[0061] 為提供一般上下文，藉由沉積襯裡，接著藉由導電金屬或絕緣體，而獲得習知凹槽填塞。導電金屬或絕緣體係過量沉積，之後平面化並視需要凹進。該沉積及凹進方法的若干限制包括蝕刻材料的局部粗糙度及襯裡的不完全選擇性，以改進填塞材料之黏附。該等限制將導致下游處理期間的腐蝕問題。

[0062] 依據本發明之一或更多個實施例，以下提供致能 10 nm 技術節點關鍵之用於處理空隙-填塞挑戰之方法。再者，文中一或更多個實施例提供改進晶片內凹部之方法，並排除因襯裡及填塞材料間之不完全蝕刻選擇性的腐蝕風險。更具體地，一或更多個實施例組合原子層沉積（ALD）或化學氣相沉積程序（CVD）中固有化學選擇性連同幾何定義鈍化方案，而達成由下而上空隙-填塞。一或更多個實施例處理諸如「無蝕刻」金屬或介電凹進之需要，用於兩倍間距或間距四等分整合方案，或介電插入接

觸整合方案。

[0063] 為提供更特定上下文，以「沉積及凹進蝕刻」方法獲得技藝金屬或介電垂直填塞目標之狀態。本方法高度及粗糙度，以及後續處理期間堆疊中相對於其他材料之不完全蝕刻選擇性易於局部變化。關於範例，圖 5 描繪本技藝沉積狀態及半導體結構之部件填塞之凹進蝕刻方法的若干缺點。

[0064] 參照圖 5 之部分 (a)，描繪金屬填塞之凹部非均勻性及凹進方法。圖 5 之部分 (a) 的左邊圖像描繪在保形凹槽襯裡材料 506 首先形成的狀況下，垂直於需材料填塞之複數凹槽 502 的視圖。實際填塞 504 (無論導體或其他材料) 隨凹槽而異。此外，如同圖 5 之部分 (a) 的右邊圖像中所示，平行沿單一凹槽 502，實際填塞 504 可於單一凹槽 502 內改變。

[0065] 參照圖 5 之部分 (b)，描繪黏附襯裡材料之腐蝕。凹槽之習知 CVD 或 ALD 鑲嵌填塞涉及使用黏附襯裡 506，其係典型地金屬氮化物材料。襯裡 506 可能與典型地用以移除下一層硬遮罩材料 508 之清潔程序不相容，導致腐蝕及功能性損失 (例如，區域 599)。

[0066] 為克服結合圖 5 說明之缺點，依據本發明之實施例，鈍化圖案化晶圓區域或結構，其中不想要沉積。鈍化係依據幾何選擇性，例如在場中，並設定每一圖案化部件之深度。在一實施例中，該鈍化係使用超薄碳或磷層之電漿植入沉積達成。在實施例中，於圖案化部件之底部

實施金屬或介電膜之後續 ALD 或 CVD 生長，直至目標之高度，在場中未發生生長。在若干實施例中，生長可發生於部件之底部及側壁（但非場中），以提供「僅部件填塞」方法。

[0067] 在特定實施例中，在金屬由下而上填塞（BUF）或金屬僅部件填塞之狀況下，填塞係使用若干金屬先質之固有選擇性達成，用於在形成於非傳導表面上之襯裡（諸如 W 或 Co 襯裡）的金屬表面上生長。目前無純金屬之 BUF 的已知方法。文中所說明之實施例僅需暴露於部件底部之導電表面，而以適當挑選之金屬 CVD 或 ALD 程序選擇性地填塞。在另一特定實施例中，在介電體之狀況下，BUF 或「僅部件填塞」係以各類熱 ALD 或 CVD 程序達成，其於部件底部之未鈍化表面上優先成核。「僅部件填塞」材料之沉積之後藉退火作業移除任何縫。若干介電體之 BUF 可具可重熔流佈 CVD 材料，但無用於金屬氧化物（例如 HfO_2 、 Al_2O_3 ）之 BUF 的已知溶液。在任一狀況下（金屬或介電 BUF），文中所說明之一或更多個 BUF 方法避免在通常與視線物理沉積技術（例如，蒸鍍或濺鍍）或藉由 ALD/CVD 保形沉積相關之部件頂部夾止。

[0068] 在符合本揭露之第二方面的示例由下而上填塞處理流程中，圖 6A 描繪依據本發明之實施例之選擇性凹槽填塞方案。

[0069] 參照圖 6A 之部分（a），複數凹槽 604 係形

成於半導體結構之層 602 中。圖案化層 602 可為層間介電質 (ILD) 層，並可由絕緣材料組成，諸如但不侷限於低 k 介電材料、矽氧化物層、矽氧氮化物層、氮化矽層等。在特定實施例中，每一凹槽 604 於頂部具有約 12 奈米開口，及具有約 10:1 高度：寬度之高寬比。其他實施例包括每一凹槽 604 於頂部也具有約介於 10-20 nm 之開口。其他實施例包括每一凹槽 604 具有低於 10:1 高度：寬度之高寬比。

[0070] 參照圖 6A 部分 (b)，於圖 6A 之部分 (a) 的結構上保形地形成薄導電襯裡 606。在實施例中，薄導電襯裡 606 為導電膜。在一該實施例中，薄導電襯裡 606 為適於催化選擇性 ALD/CVD 材料之後續沉積的導電膜。在特定實施例中，薄導電襯裡 606 為極薄襯裡，諸如但不侷限於 Co 襯裡、Ru 襯裡、TaN 襯裡、TiN 襯裡、W 襯裡、或 WN 襯裡。應理解的是適當薄導電襯裡 606 之選擇可提供相對於後續清理攻擊更堅固之堆疊。

[0071] 再次參照圖 6A 之部分 (b)，形成鈍化層 608/609 並覆蓋薄導電襯裡 606 之場部分 (以鈍化層 608/609 之部分 608 覆蓋)，及凹槽 604 中所形成之薄導電襯裡 606 之側壁的上部 (以鈍化層 608/609 之部分 609 覆蓋)。在實施例中，鈍化層 608/609 為電漿植入鈍化區。在一該實施例中，至少在使用電漿植入程序之場 (水平區) 中，藉由幾何定義碳層 (例如，從 CH_4 形成)、磷層 (例如，從 PH_3 形成) 或硼層 (例如，從 BF_3 或 B_2H_6

形成)之沉積，而形成鈍化層 608/609。如圖 6A 之部分 (b) 中所描繪，沿凹槽 604 之側壁的最上部，可進一步形成鈍化層 608/609。應理解的是可調節程序，而延伸側壁上之形成至凹槽 604 中之選擇的深度。

[0072] 參照圖 6A 之部分 (c)，凹進填塞材料 610 係形成於凹槽 604 中。凹進填塞材料係形成於薄導電襯裡 606 之暴露表面的凹槽 604 中。然而，由於填塞程序係選擇性針對鈍化層 608/609 形成位置之形成，填塞便侷限於薄導電襯裡 606 之暴露表面區域。因此，在實施例中，碳蓋件或磷蓋件的出現 (例如做為鈍化層 608/609) 致能 ALD/CVD 膜之選擇性生長，僅在凹槽 604 而非場中。此外，若沿凹槽之一部分側壁形成鈍化層 608/609，生長可進一步侷限於凹槽內之較深程度。關於範例，因鈍化層之部分 609 的存在，圖 6A 之部分 (c) 凹槽中之填塞材料 610 略為凹進凹槽 604。為描繪目的顯示其他示例位準記號 612，以便在漸進延伸鈍化層之部分 609 的狀況下，顯示可能的較低填塞位準 (儘管圖中實際上未描繪漸進延伸鈍化層之部分 609)。即，藉由調節鈍化區，可達成由下而上填塞之不同控制高度，而允許無凹進程序。

[0073] 在實施例中，填塞材料 610 為由 ALD 或 CVD 處理沉積之金屬或金屬合金組成的導電材料。在另一實施例中，填塞材料 610 為介電材料，諸如由 ALD 或 CVD 處理沉積之金屬氧化物。在實施例中，在任一狀況下，使用一種刻意設計之金屬 ALD 或 CVD 先質，其將僅沉積於凹

槽 604 內之導電金屬襯裡 606 上，而非鈍化頂部表面 608/609 上，以達成凹槽填塞。如上述，依據電漿植入沉積之鈍化層的環繞程度，可控制凹槽內部之金屬填塞的高度。

[0074] 參照圖 6A 之部分 (d)，移除部分鈍化層 608/609 及結構之場上的薄導電襯裡 606。在一該實施例中，藉由化學機械拋光程序或電漿拋光程序移除部分鈍化層 608/609 及結構之場上的薄導電襯裡 606。如圖 6A 之部分 (d) 中所示例，在實施例中，在鈍化層 608/609 包括低於平面化高度之側壁部分 (609) 處，該些部分可保留在最後結構中。應理解的是，可於部分 (d) 之結構上形成其餘層，但可保持側壁部分 609。

[0075] 在特定實施例中，使用具二個二氦丁二烯配位基之化學先驅物設計的先質實施結合圖 6A 說明之選擇性凹槽填塞方案。關於範例，圖 6B 描繪依據本發明之實施例，具二個二氦丁二烯配位基之化學先驅物設計的一般結構組元 650。參照圖 6B，結構組元 650 一般可應用於第一列後轉換金屬（例如， $M = Cr、Mn、Fe、Co、Ni$ ），因而允許以該些元件實施凹槽填塞。若干該些元件（例如， $Ni、Co$ 及 Cr ）具有用於互連應用之引人注目地低電阻。氦上之整體取代（例如， R 典型地為 tBu 或 iPr ）空間上保護金屬中心 M 免於不合需要的與鈍化之電漿植入（ $C、P$ 或 B ）表面 609/609 直接反應，同時形成金屬填塞層 610。應理解的是使用圖 6B 中提及之先質的金屬填塞

可能導致包含 0-10 原子% C 及／或 0-5 原子% N 之膜。

[0076] 在實施例中，儘管未受限於理論，藉由結構組元 650 之二氮丁二烯配位基之骨幹與金屬表面 606 之傳導電子海直接反應，就其熟知非清白氧化還原特性而言，達成凹槽 652 中未鈍化金屬（襯裡 606）表面上之生長。用於金屬（包括 Cu 等）及介電體之其他 ALD/CVD 程序，對金屬表面上優先生長而言是已知的，更普遍地轉列此方法。最後，在若干實施例中，其他催化表面（襯裡 606）頂部上電漿植入沉積之鈍化層 608/609 與無電金屬生長程序組合，而達成選擇性生長。

[0077] 因而，再次參照圖 6A 及 6B，及依據本發明之一或更多個實施例，使用電漿植入沉積之鈍化元件（諸如 C 或 P）之獨特幾何分布，以致能結構中圖案化部件之由下而上填塞。使用選擇性 ALD/CVD 沉積允許窄關鍵尺寸（CD）之優越空隙填塞，並允許凹進金屬之沉積，因此獨特地提供無凹進程序。在一實施例中，文中所說明之方法致能前緣三閘極電晶體架構之功能性及高性能。

[0078] 結合本揭露之第二方面說明之一或更多個實施例之優點可包括但不侷限於避免材料之凹進蝕刻，可改進製造之裝置的健康，有益於管道電阻及 RC 性能。使用 ALD 或 CVD 選擇性沉積方法之能力可排除與無電化學（諸如 W、B、P）相關之典型雜質，其不利地影響金屬電阻。

[0079] 文中所說明之一或更多個實施例指向製造半

導體裝置，諸如用於 PMOS 及 NMOS 裝置製造。例如，使用由下而上金屬填塞方法形成半導體裝置之一或更多個部件，如以上之說明。關於完成之裝置的範例，圖 7A 及 7B 分別描繪依據本發明之實施例，非平面半導體裝置的截面圖及平面圖（沿截面圖之 a-a' 軸）。如以下說明，可藉由由下而上填塞方法填塞金屬閘結構。此外，諸如觸點及通孔之其他部件亦可從該等方法獲益。

[0080] 參照圖 7A，半導體結構或裝置 700 包括從基板 702 及隔離區 706 內形成之非平面活動區（例如，包括突出鰭部 704 及次鰭區 705 之鰭結構）。閘管道 708 係置於非平面活動區之突出部 704 之上，以及一部分隔離區 706 之上。如同所示，閘管道 708 包括閘電極 750 及閘介電層 752。在一實施例中，閘管道 708 亦可包括介電蓋層 754。從這個角度看，閘觸點 714 及重疊閘觸點通孔 716，連同重疊金屬互連 760 均置於層間介電質堆疊或層 770 中。在一實施例中，亦從圖 7A 觀看，閘觸點 714 係置於隔離區 706 之上，但不在非平面活動區之上。在實施例中，鰭之圖案為格柵圖案。

[0081] 參照圖 7B，閘管道 708 顯示為置於突出鰭部 704 之上。從這個角度可見到突出鰭部 704 之源極及汲極區 704A 及 704B。在一實施例中，源極及汲極區 704A 及 704B 為突出鰭部 704 之原始材料的摻雜部分。在另一實施例中，移除突出鰭部 704 之材料，並以另一半導體材料取代，例如藉由磊晶沉積。在任一狀況下，源極及汲極區

704A 及 704B 可低於介電層 706 之高度延伸，即進入次鰭區 705。

[0082] 在實施例中，半導體結構或裝置 700 為非平面裝置，諸如但不侷限於鰭式 FET 或三閘極裝置。在該實施例中，相應半導體通道區係由三維體組成，或形成於其中。在一該實施例中，閘管道 708 之閘電極堆疊圍繞至少三維體之頂部表面及側壁對。概念可延伸以閘控裝置全周，諸如奈米線為基之電晶體。

[0083] 基板 702 可由半導體材料組成，其可奈受製造程序，且其中電荷可遷移。在實施例中，基板 702 為單體基板，由結晶矽、摻雜電荷載子之矽／鍺或鍺層組成，諸如但不侷限於磷、砷、硼或其組合，而形成活動區 704。在一實施例中，單體基板 702 中矽原子之濃度大於 97%。在另一實施例中，單體基板 702 係由在相異結晶基板頂上生長之磊晶層組成，例如在摻硼塊矽單晶基板頂上生長之矽磊晶層。單體基板 702 另一方面可由 III-V 族材料組成。在實施例中，單體基板 702 係由 III-V 材料組成，諸如但不侷限於氮化鎵、磷化鎵、砷化鎵、磷化銦、銻化銦、砷化銦鎵、砷化鋁鎵、磷化銦鎵、或其組合。在一實施例中，單體基板 702 係由 III-V 材料組成，且電荷載子摻雜劑雜質原子為諸如但不侷限於碳、矽、鍺、氧、硫、硒或碲。

[0084] 隔離區 706 可由適於最終電隔離，或致力於永久閘結構部分與其下單體基板之隔離，或隔離其下單體

基板內所形成之活動區域，諸如隔離鰭活動區的材料組成。例如，在一實施例中，隔離區 706 係由介電材料組成，諸如但不侷限於二氧化矽、氧氮化矽、氮化矽、或摻碳氮化矽。

[0085] 閘管道 708 可由閘電極堆疊組成，其包括閘介電層 752 及閘電極層 750。在實施例中，閘電極堆疊之閘電極係由金屬閘組成，及閘介電層係由高 K 材料組成。例如，在一實施例中，閘介電層係由材料組成，諸如但不侷限於氧化鉛、氧氮化鉛、矽酸鉛、氧化鏷、氧化鉛、矽酸鉛、氧化鉍、鈦酸鋁、鈦酸鋁、鈦酸鋁、氧化鋁、氧化鉛、鉍酸鉛、或其組合。此外，部分閘介電層可包括從基板 702 之頂部數層形成之原生氧化物層。在實施例中，閘介電層係由頂部高 k 部分及由半導體材料之氧化物組成之下部所組成。在一實施例中，閘介電層係由氧化鉛之頂部及二氧化矽或氧氮化矽之底部組成。在實施例中，至少部分金屬閘電極 750 係使用由下而上填塞方法形成，如以上結合圖 6A 所說明。在其他實施例中，可使用諸如結合圖 2A-2D、3 及 4 所說明之程序。

[0086] 與閘電極堆疊相關之間隔層可由適於最終電隔離，或致力於永久閘結構與諸如自對準觸點之鄰近導電觸點隔離之材料組成。例如，在一實施例中，間隔層係由介電材料組成，諸如但不侷限於二氧化矽、氧氮化矽、氮化矽、或摻碳氮化矽。

[0087] 閘觸點 714 及重疊閘觸點通孔 716 可由導電

材料組成。在實施例中，一或更多個觸點或通孔係由金屬類組成。金屬類可為諸如鎢、鎳、或鈷之純金屬，或可為合金，諸如金屬-金屬合金或金屬-半導體合金（例如矽化物材料）。在實施例中，開觸點或開觸點通孔係藉由通孔或互連由下而上填塞方法形成，如以上結合圖 2A-2D、3 及 4 所說明。在其他實施例中，可使用諸如結合圖 6A 說明之由下而上填塞程序。

[0088] 在實施例中（儘管未顯示），提供結構 700 涉及觸點圖案之形成，其本質上完全與現有開圖案對齊，同時排除以過緊對位預算使用微影步驟。在一該實施例中，本方法致能使用本質上高選擇性溼式蝕刻（例如相對於習知實施之乾式或電漿蝕刻），而產生觸點開口。在實施例中，利用現有開圖案組合接觸栓微影作業而形成觸點圖案。在一該實施例中，方法致能排除其他關鍵微影作業而產生觸點圖案之需要，如習知方法中所使用。在實施例中，凹槽觸點格柵未分別圖案化，而是形成於多（開）管道之間。例如，在一該實施例中，在開格柵圖案化之後但開格柵切割之前形成凹槽觸點格柵。

[0089] 此外，可藉由置換開程序製造開堆疊結構 708。在該方案中，諸如多晶矽或氮化矽柱體材料之仿真開材料可移除，並以永久開電極材料取代。在一該實施例中，與從先前處理實施不同，永久開介電層亦在此程序中形成。在實施例中，藉由乾式蝕刻或溼式蝕刻程序移除仿真開。在一實施例中，仿真開係由多晶矽或非結晶矽組

成，並以乾式蝕刻程序移除，包括使用 SF_6 。在另一實施例中，仿真閘係由多晶矽或非結晶矽組成，並以溼式蝕刻程序移除，包括使用含水 NH_4OH 或四甲基氫氧化銨。在一實施例中，仿真閘係由氮化矽組成，並以包括含水磷酸之溼式蝕刻移除。

[0090] 在實施例中，文中所說明之一或更多方法本質上專注於仿真及置換閘程序，組合仿真及置換觸點程序，而抵達結構 700。在一該實施例中，於置換閘程序之後實施置換觸點程序，而允許至少部分永久閘堆疊之高溫退火。例如，在特定該實施例中，以大於約攝氏 600 度的溫度實施至少部分永久閘結構之退火，例如閘介電層形成之後。退火是在永久觸點形成之前實施。

[0091] 再次參照圖 7A，半導體結構或裝置 700 之配置將閘觸點置於隔離區之上。該配置可視為布局空間的低效使用。然而，在另一實施例中，半導體裝置具有觸點結構，閘電極的觸點部分形成於活動區之上。通常，在閘的作用部分之上及與凹槽觸點通孔相同層中，形成閘觸點結構（諸如通孔）之前（例如之外），本發明之一或更多個實施例包括首先使用閘對齊之凹槽觸點程序。針對積體電路製造，例如可實施該程序以形成半導體結構製造之凹槽觸點結構。在實施例中，對齊現有閘圖案而形成凹槽觸點圖案。相反地，習知方法典型地涉及其餘微影程序，具微影觸點圖案相對於現有閘圖案之緊密對位，並組合選擇性觸點蝕刻。例如，習知程序可包括具觸點特徵之不同圖案

化之多（閘）格柵的圖案化。

[0092] 應理解的是並非以上所說明之程序的所有方面均需實現而落於本發明之實施例的精神及範圍內。例如，在一實施例中，在閘堆疊之作用部分上製造閘觸點之前不需形成仿真閘。以上所說明之閘堆疊實際上可如最初形成之永久閘堆疊。而且，文中所說明之程序可用以製造一或複數個半導體裝置。半導體裝置可為電晶體等裝置。例如，在實施例中，半導體裝置可為用於邏輯或記憶體之金屬氧化物半導體（MOS）電晶體，或為雙極電晶體。而且，在實施例中，半導體裝置具有三維架構，諸如三閘裝置、獨立存取雙閘裝置、或 FIN-FET。一或更多個實施例可特別用於以 10 奈米（10 nm）或更小技術節點製造半導體裝置。

[0093] 應理解的是以上說明之本發明之實施例方面可是用於前端或後端處理技術。此外，文中所揭露之實施例可用以製造廣泛不同類型之積體電路及／或微電子裝置。該等積體電路之範例包括但不侷限於處理器、晶片組組件、圖形處理器、數位信號處理器、微控制器等。在其他實施例中，可製造半導體記憶體。再者，積體電路或其他微電子裝置可用於本技藝中已知之廣泛電子裝置。例如，電腦系統（例如，桌上型電腦、膝上型電腦、伺服器）、行動電話、個人電子裝置等。積體電路可與系統中匯流排及其他組件耦接。例如，處理器可藉由一或更多個匯流排耦接至記憶體、晶片組等。每一處理器、記憶體、

及晶片組可能可使用文中所揭露之方法製造。

[0094] 圖 8 描繪依據本發明之一實施的運算裝置 800。運算裝置 800 容納電路板 802。電路板 802 可包括若干組件，包括但不侷限於處理器 804 及至少一通訊晶片 806。處理器 804 實體及電耦接至電路板 802。在若干實施中，至少一通訊晶片 806 亦實體及電耦接至電路板 802。在進一步實施中，通訊晶片 806 為處理器 804 的一部分。

[0095] 基於其應用，運算裝置 800 可包括其他組件，可或不可實體及電耦接至電路板 802。該些其他組件包括但不侷限於揮發性記憶體（例如 DRAM）、非揮發性記憶體（例如 ROM）、快閃記憶體、圖形處理器、數位信號處理器、加密處理器、晶片組、天線、顯示器、觸控螢幕顯示器、觸控螢幕控制器、電池、音頻編解碼器、視訊編解碼器、功率放大器、全球定位系統（GPS）裝置、羅盤、加速計、陀螺儀、揚聲器、相機、及大量儲存裝置（諸如硬碟機、光碟（CD）、數位影音光碟（DVD）等）。

[0096] 通訊晶片 806 致能無線通訊用於資料至及自運算裝置 800 之轉移。「無線」用詞及其衍生可用以說明可使用經由非固態媒體之調變電磁輻射而傳遞資料之電路、裝置、系統、方法、技術、通訊通道等。該用詞並非暗示相關裝置未包含任何線路，儘管在若干實施例中未包含任何線路。通訊晶片 806 可實施若干無線標準或協定之

任一者，包括但不侷限於 Wi-Fi (IEEE 802.11 系列) 、 WiMAX (IEEE 802.16 系列) 、 IEEE 802.20 、 長期演進 (LTE) 、 Ev-DO 、 HSPA+ 、 HSDPA+ 、 HSUPA+ 、 EDGE 、 GSM 、 GPRS 、 CDMA 、 TDMA 、 DECT 、 藍牙 、 其衍生，以及指定做為 3G 、 4G 、 5G 及更先進之任何其他無線協定。運算裝置 800 可包括複數通訊晶片 806 。例如，第一通訊晶片 806 可專用於短距離無線通訊，諸如 Wi-Fi 及藍牙，第二通訊晶片 806 可專用於長距離無線通訊，諸如 GPS 、 EDGE 、 GPRS 、 CDMA 、 WiMAX 、 LTE 、 Ev-DO 、 及其他。

[0097] 運算裝置 800 之處理器 804 包括封裝於處理器 804 內之積體電路晶片。在本發明之若干實施中，處理器之積體電路晶片包括依據本發明之實施建立，而使用由下而上填塞方法形成之一或更多個金屬部件。「處理器」用詞可指處理來自暫存器及／或記憶體之電子資料，而轉換為可儲存於暫存器及／或記憶體之其他電子資料的任何裝置或部分裝置。

[0098] 通訊晶片 806 亦包括封裝於通訊晶片 806 內之積體電路晶片。依據本發明之實施例，通訊晶片之積體電路晶片包括依據本發明之實施建立，而使用由下而上填塞方法形成之一或更多個金屬部件。

[0099] 在進一步實施中，運算裝置 800 內所容納之另一組件可包含積體電路晶片，其包括依據本發明之實施建立，而使用由下而上填塞方法形成之一或更多個金屬部

件。

[0100] 在各式實施中，運算裝置 800 可為膝上型電腦、輕省筆電、筆記型電腦、超筆電、智慧電話、平板電腦、個人數位助理（PDA）、超行動 PC、行動電話、桌上型電腦、伺服器、印表機、掃描器、監視器、機上盒、娛樂控制單元、數位相機、可攜式音樂播放器、或數位錄影機。在進一步實施中，運算裝置 800 可為處理資料之任何其他電子裝置。

[0101] 圖 9 描繪包括本發明之一或更多個實施例的插件 900。插件 900 為用以橋接第一基板 902 至第二基板 904 之中介基板。第一基板 902 可為例如積體電路晶片。第二基板 904 可為例如記憶體模組、電腦主機板、或另一積體電路晶片。通常，插件 900 之作用是將連接區隔較寬間距，或將連接重新路由至不同連接。例如，插件 900 可將積體電路晶片耦接至球閘陣列（BGA）906，之後可耦接至第二基板 904。在若干實施例中，第一及第二基板 902/904 係置於插件 900 之相對側。在其他實施例中，第一及第二基板 902/904 係置於插件 900 之相同側。在進一步實施例中，三或更多基板藉由插件 900 而互連。

[0102] 插件 900 可由環氧樹脂、玻璃纖維強化環氧樹脂、陶瓷材料、或諸如聚醯亞胺之聚合物材料形成。在進一步實施中，插件可由包括以上所說明用於半導體基板之相同材料的替代剛性或彈性材料形成，諸如矽、鍺、及其他 III-V 族及 IV 族材料。

[0103] 插件可包括金屬互連 908 及通孔 910，包括但不侷限於穿矽通孔（TSVs）912。插件 900 可進一步包括嵌入裝置 914，包括被動及主動裝置。該等裝置包括但不侷限於電容器、退耦電容器、電阻器、電感器、熔絲、二極體、變壓器、感測器、及靜電放電（ESD）裝置。諸如射頻（RF）裝置、功率放大器、電力管理裝置、天線、陣列、感測器、及 MEMS 裝置之更複雜裝置，亦可形成於插件 900 上。依據本發明之實施例，文中所揭露之設備或程序可用於插件 900 之製造。

[0104] 因而，本發明之實施例包括用於形成半導體結構之金屬特徵的由下而上填塞方法，及所得之結構。

[0105] 在實施例中，半導體結構包括置於層間介電質（ILD）層中之凹槽。凹槽具有側壁、底部及頂部。U 形金屬晶種層係置於凹槽底部，沿凹槽之側壁但實質上低於凹槽之頂部。金屬填塞層係置於 U 形金屬晶種層上，並填塞凹槽至凹槽之頂部。金屬填塞層與 ILD 層之介電材料直接接觸，沿 U 形金屬晶種層以上凹槽之部分側壁。

[0106] 在一實施例中，凹槽為後端金屬化層中金屬管道開口或通孔開口。

[0107] 在一實施例中，U 形金屬晶種層具有約介於 1 奈米至 2 奈米範圍之厚度。

[0108] 在一實施例中，U 形金屬晶種層包含選自由鎢、氮化鈦、鈦、及鈷組成之群組的材料。

[0109] 在一實施例中，U 形金屬晶種層係沿凹槽之

側壁配置至小於凹槽之約 50% 高度的高度。

[0110] 在一實施例中，U 形金屬晶種層係沿凹槽之側壁配置至小於凹槽之約 25% 高度的高度。

[0111] 在一實施例中，金屬填塞層無縫或空隙。

[0112] 在一實施例中，ILD 層之介電材料為低 k 介電材料。

[0113] 在實施例中，製造半導體結構之方法包括於層間介電質（ILD）層中形成凹槽，凹槽具有側壁、底部及頂部。方法亦包括於凹槽之底部形成 U 形金屬晶種層，沿凹槽之側壁但實質上低於凹槽之頂部。方法亦包括於 U 形金屬晶種層上形成金屬填塞層，填塞凹槽至凹槽之頂部，其中，金屬填塞層係選擇性地形成於 U 形金屬晶種層上。

[0114] 在一實施例中，形成 U 形金屬晶種層包含於凹槽之底部形成金屬晶種層，沿凹槽之側壁至凹槽之頂部；於金屬晶種層上形成材料填塞層；使材料填塞層凹進，而暴露部分金屬晶種層；移除金屬晶種層之暴露部分，而形成 U 形金屬晶種層；以及移除凹進材料填塞層。

[0115] 在一實施例中，形成 U 形金屬晶種層包含於凹槽之底部形成金屬晶種層，沿凹槽之側壁至凹槽之頂部；於金屬晶種層上形成材料填塞層；使材料填塞層凹進，而暴露部分金屬晶種層；於金屬晶種層之暴露部分上形成自組性單層（SAM），而形成金屬晶種層之鈍化部分；以及移除凹進材料填塞層，而暴露 U 形金屬晶種層。

[0116] 在一實施例中，形成 U 形金屬晶種層包含於凹槽中形成材料填塞層；使材料填塞層凹進，而暴露凹槽之側壁上部；於凹槽之側壁之暴露上部上形成自組性單層（SAM）；移除凹進材料填塞層；於凹槽之底部形成 U 形金屬晶種層；以及從凹槽之側壁之暴露上部移除 SAM。

[0117] 在一實施例中，形成 U 形金屬晶種層包含於凹槽之底部形成金屬晶種層，沿凹槽之側壁至凹槽之頂部；以及藉由斜向蝕刻移除金屬晶種層之上部，而形成 U 形金屬晶種層。

[0118] 在一實施例中，於 U 形金屬晶種層上形成金屬填塞層，包含藉由原子層沉積或化學氣相沉積而沉積金屬填塞層。

[0119] 在實施例中，半導體結構包括置於層間介電質（ILD）層中之凹槽，凹槽具有側壁、底部及頂部。導電襯裡係置於凹槽之底部，並具有側壁部分，沿凹槽之側壁延伸至凹槽之頂部。鈍化層覆蓋導電襯裡之側壁部分之最上部。材料填塞層係置於導電襯裡上，並從凹槽之底部填塞凹槽，直至鈍化層之最低高度。

[0120] 在一實施例中，鈍化層包含碳層或磷層。

[0121] 在一實施例中，導電襯裡為選自由 Co 襯裡、Ru 襯裡、TaN 襯裡、TiN 襯裡、W 襯裡、及 WN 襯裡組成之群組的襯裡。

[0122] 在一實施例中，凹槽於頂部具有約 12 奈米開口，及具有約 10:1 高度：寬度之高寬比。

[0123] 在一實施例中，材料填塞層為導電金屬合金之層之金屬之層。

[0124] 在一實施例中，材料填塞層為金屬氧化物介電層。

[0125] 在實施例中，製造半導體結構之方法包括於層間介電質（ILD）層中形成凹槽，凹槽具有側壁、底部及頂部，具鄰近凹槽之頂部暴露之 ILD 層的場區。方法亦包括於凹槽之底部形成導電襯裡，沿凹槽之側壁，並在 ILD 層之場區上。方法亦包括形成鈍化層而覆蓋 ILD 層之場區上的導電襯裡。方法亦包括於導電襯裡上形成材料填塞層，而從凹槽之底部填塞凹槽，直至鈍化層之最低高度。

[0126] 在一實施例中，形成鈍化層進一步包含形成鈍化層，而沿凹槽之側壁覆蓋導電襯裡之最上部。

[0127] 在一實施例中，形成鈍化層包含使用電漿植入程序，而從 CH_4 沉積碳層。

[0128] 在一實施例中，形成鈍化層包含使用電漿植入程序，而從 PH_3 沉積磷層。

[0129] 在一實施例中，形成鈍化層包含使用電漿植入程序，而從 B_2H_6 或 BF_3 沉積硼層。

[0130] 在一實施例中，於導電襯裡上形成材料填塞層，包含藉由原子層沉積或化學氣相沉積而沉積材料填塞層。

【符號說明】

[0131]

102：介電層

104、204、260、304、404、502、604、652：凹槽

106、106'、106''：金屬層

107：點

108：縫或空隙

201：側壁

202、220、238、250、258、280、302、402：層間介電質
(ILD)層

203、303、403：場

206：晶種層

208、408：填塞材料

210、610：凹進填塞材料

212：凹進晶種層

214、234、256、270、294：金屬填塞層

222、252、282：其他部件

224、254、284：通孔開口

226、262、286、306、416：金屬晶種層

228、264、288：犧牲填塞材料

230、266、290、310、410：凹進填塞材料層

232、268、292：凹進金屬晶種層

236、298：通孔結構

240：金屬管道特徵

- 285：凹槽（金屬管道）開口
- 296：金屬管道
- 308：填塞材料
- 312、412：鈍化部分
- 314、414：未鈍化部分
- 316、418：金屬填塞材料
- 504：實際填塞
- 506：保形凹槽襯裡材料
- 508：硬遮罩材料
- 599：區域
- 602：層
- 606：薄導電襯裡
- 608、609：鈍化層
- 612：位準記號
- 650：結構組元
- 700：半導體結構或裝置
- 702：基板
- 704：突出鰭部
- 704A：源極區
- 704B：汲極區
- 705：次鰭區
- 706：隔離區
- 708：閘管道
- 714：閘觸點

- 716：重疊閘觸點通孔
- 750：閘電極
- 752：閘介電層
- 754：介電蓋層
- 760：重疊金屬互連
- 770：層間介電質堆疊或層
- 800：運算裝置
- 802：電路板
- 804：處理器
- 806：通訊晶片
- 900：插件
- 902：第一基板
- 904：第二基板
- 906：球閘陣列（BGA）
- 908：金屬互連
- 910：通孔
- 912：穿矽通孔（TSVs）
- 914：嵌入裝置

申請專利範圍

1.一種半導體結構，包含：

凹槽，置於層間介電質（ILD）層中，該凹槽具有側壁、底部及頂部，且該凹槽具有較寬上凹槽部和較窄下凹槽部，該上凹槽部位於該下凹槽部之上；

金屬晶種層，置於該凹槽之該底部，沿該下凹槽部之該側壁和該上凹槽部的較低部分但實質上低於該凹槽之該頂部；以及

金屬填塞層，置於該金屬晶種層上，填塞該凹槽至該凹槽之該頂部，其中，該金屬填塞層與該 ILD 層之介電材料直接接觸，沿該金屬晶種層以上該凹槽之部分該側壁，其中，該金屬填塞層包含鉻。

2.如申請專利範圍第 1 項之半導體結構，其中，該凹槽為後端金屬化層中金屬管道開口或通孔開口。

3.如申請專利範圍第 1 項之半導體結構，其中，該金屬晶種層具有約介於 1 奈米至 2 奈米範圍之厚度。

4.如申請專利範圍第 1 項之半導體結構，其中，該金屬晶種層為包含選自由鎢、氮化鎢、氮化鈦、鈮、及鈷組成之群組的材料之導電襯裡。

5.如申請專利範圍第 1 項之半導體結構，其中，該金屬晶種層係沿該凹槽之該側壁配置至小於該凹槽之約 50 % 高度的高度。

6.如申請專利範圍第 5 項之半導體結構，其中，該金屬晶種層係沿該凹槽之該側壁配置至小於該凹槽之約 25

第 105114574 號

民國 110 年 3 月 2 日修正

% 高度的高度。

7.如申請專利範圍第 1 項之半導體結構，其中，該金屬填塞層無縫或空隙。

8.如申請專利範圍第 1 項之半導體結構，其中，該 ILD 層之該介電材料為低 k 介電材料。

9.一種製造半導體結構之方法，該方法包含：

於層間介電質（ILD）層中形成凹槽，該凹槽具有側壁、底部及頂部，且該凹槽具有較寬上凹槽部和較窄下凹槽部，該上凹槽部位於該下凹槽部之上；

於該凹槽之該底部形成金屬晶種層，沿該下凹槽部之該側壁和該上凹槽部的較低部分但實質上低於該凹槽之該頂部；以及

於該金屬晶種層上形成金屬填塞層，填塞該凹槽至該凹槽之該頂部，其中，該金屬填塞層係選擇性地形成於該金屬晶種層上，其中，該金屬填塞層包含鉻。

10.如申請專利範圍第 9 項之方法，其中，形成該金屬晶種層包含：

於該凹槽之該底部形成金屬晶種層，沿該凹槽之該側壁至該凹槽之該頂部；

於該金屬晶種層上形成材料填塞層；

使該材料填塞層凹進，而暴露部分該金屬晶種層；

移除該金屬晶種層之該暴露部分，而形成該金屬晶種層；以及

移除該凹進材料填塞層。

11.如申請專利範圍第 9 項之方法，其中，形成該金屬晶種層包含：

於該凹槽之該底部形成金屬晶種層，沿該凹槽之該側壁至該凹槽之該頂部；

於該金屬晶種層上形成材料填塞層；

使該材料填塞層凹進，而暴露部分該金屬晶種層；

於該金屬晶種層之該暴露部分上形成自組性單層（SAM），而形成該金屬晶種層之鈍化部分；以及

移除該凹進材料填塞層，而暴露該金屬晶種層。

12.如申請專利範圍第 9 項之方法，其中，形成該金屬晶種層包含：

於該凹槽中形成材料填塞層；

使該材料填塞層凹進，而暴露該凹槽之該側壁上部；

於該凹槽之該側壁之該暴露上部上形成自組性單層（SAM）；

移除該凹進材料填塞層；

於該凹槽之該底部形成該金屬晶種層；以及

從該凹槽之該側壁之該暴露上部移除該 SAM。

13.如申請專利範圍第 9 項之方法，其中，形成該金屬晶種層包含：

於該凹槽之該底部形成金屬晶種層，沿該凹槽之該側壁至該凹槽之該頂部；以及

藉由斜向蝕刻移除該金屬晶種層之上部，而形成該金屬晶種層。

第 105114574 號

民國 110 年 3 月 2 日修正

14.如申請專利範圍第 9 項之方法，其中，於該金屬晶種層上形成該金屬填塞層，包含藉由原子層沉積或化學氣相沉積而沉積該金屬填塞層。

15.一種半導體結構，包含：

凹槽，置於層間介電質（ILD）層中，該凹槽具有側壁、底部及頂部，且該凹槽具有較寬上凹槽部和較窄下凹槽部，該上凹槽部位於該下凹槽部之上；

導電襯裡，置於該凹槽之該底部，並具有側壁部分，沿該凹槽之該側壁延伸至該凹槽之該頂部；

鈍化層，覆蓋該導電襯裡之該側壁部分之最上部；以及

材料填塞層，置於該導電襯裡上，並從該凹槽之該底部填塞該凹槽，直至該鈍化層之最低高度，其中，該材料填塞層包含鉻。

16.如申請專利範圍第 15 項之半導體結構，其中，該鈍化層包含碳層或磷層。

17.如申請專利範圍第 15 項之半導體結構，其中，該導電襯裡為選自由 Co 襯裡、Ru 襯裡、TaN 襯裡、TiN 襯裡、W 襯裡、及 WN 襯裡組成之群組的襯裡。

18.如申請專利範圍第 15 項之半導體結構，其中，該凹槽於該頂部具有約 12 奈米開口，及具有約 10:1 高度：寬度之高寬比。

19.如申請專利範圍第 15 項之半導體結構，其中，該材料填塞層為導電金屬合金之層之金屬之層。

20.如申請專利範圍第 15 項之半導體結構，其中，該材料填塞層為金屬氧化物介電層。

21.一種製造半導體結構之方法，該方法包含：

於層間介電質（ILD）層中形成凹槽，該凹槽具有側壁、底部及頂部，具鄰近該凹槽之該頂部暴露之該 ILD 層的場區，且該凹槽具有較寬上凹槽部和較窄下凹槽部，該上凹槽部位於該下凹槽部之上；

於該凹槽之該底部形成導電襯裡，沿該凹槽之該側壁，並在該 ILD 層之該場區上；

形成鈍化層而覆蓋該 ILD 層之該場區上的該導電襯裡；以及

於該導電襯裡上形成材料填塞層，而從該凹槽之該底部填塞該凹槽，直至該鈍化層之最低高度，其中，該材料填塞層包含鉻。

22.如申請專利範圍第 21 項之方法，其中，形成該鈍化層進一步包含形成該鈍化層，而沿該凹槽之該側壁覆蓋該導電襯裡之最上部。

23.如申請專利範圍第 21 項之方法，其中，形成該鈍化層包含使用電漿植入程序，而從 CH_4 沉積碳層。

24.如申請專利範圍第 21 項之方法，其中，形成該鈍化層包含使用電漿植入程序，而從 PH_3 沉積磷層。

25.如申請專利範圍第 21 項之方法，其中，形成該鈍化層包含使用電漿植入程序，而從 B_2H_6 或 BF_3 沉積硼層。

圖式

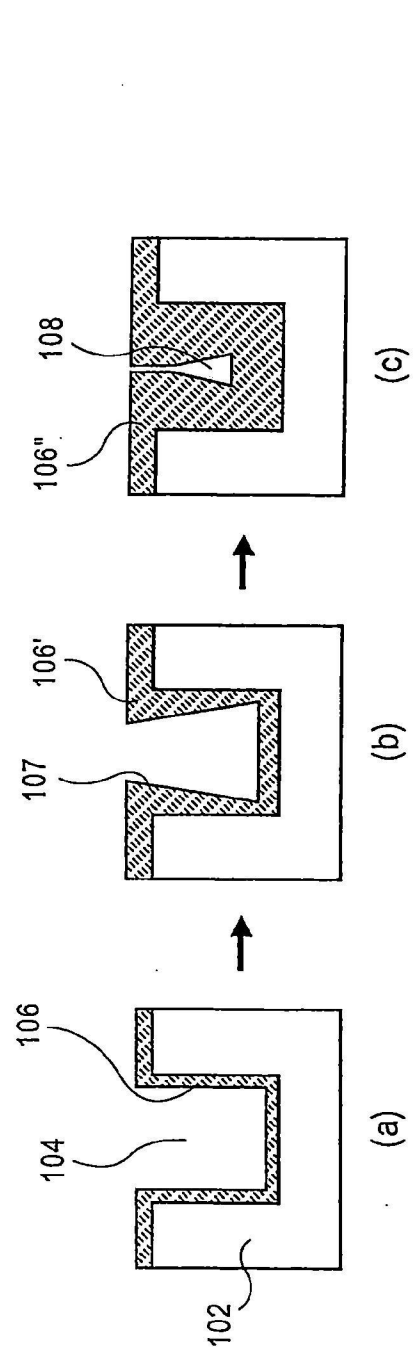


圖 1

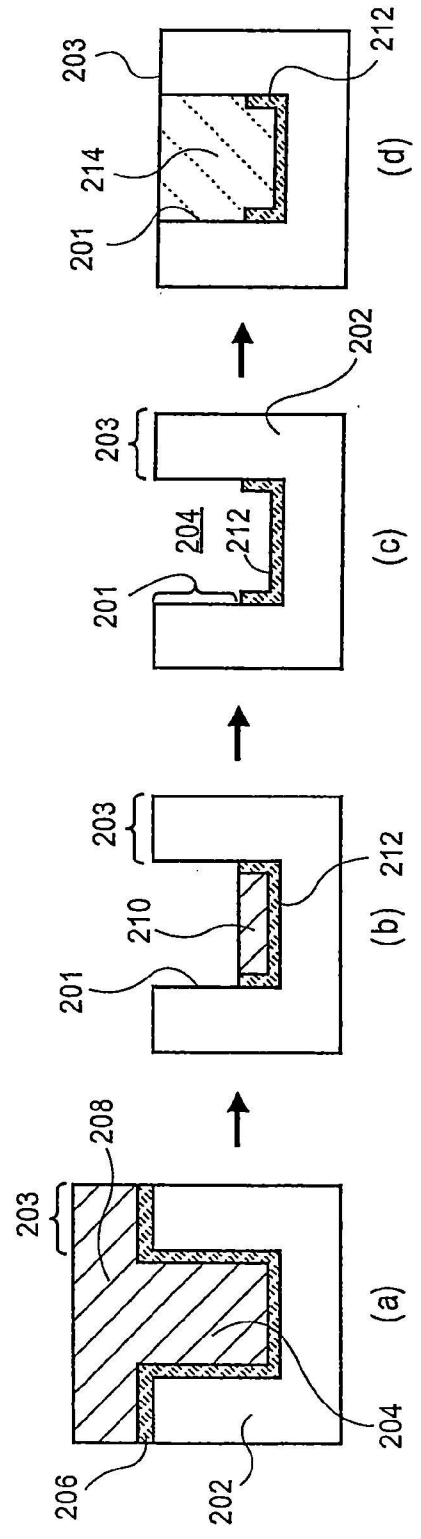


圖 2A

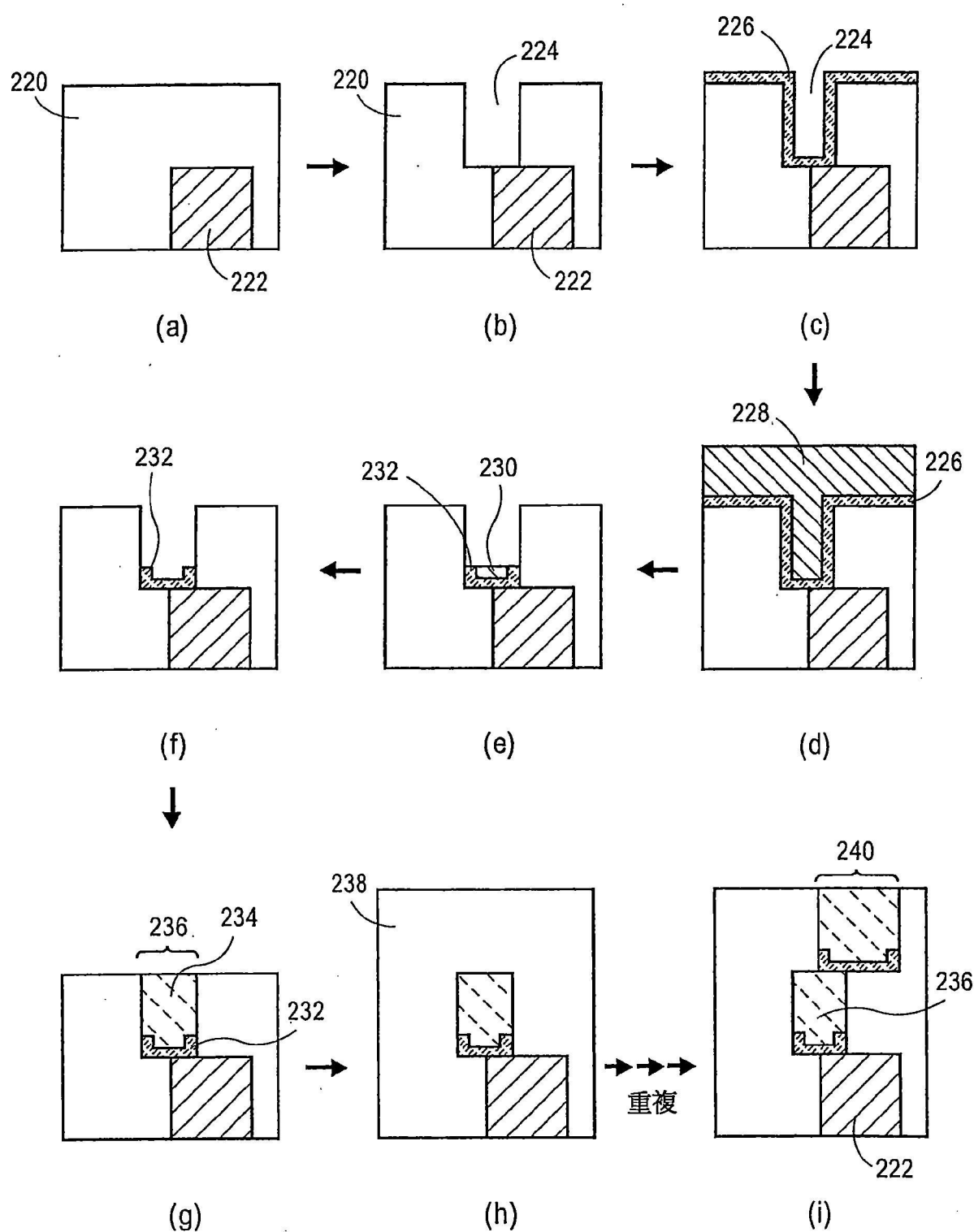


圖 2B

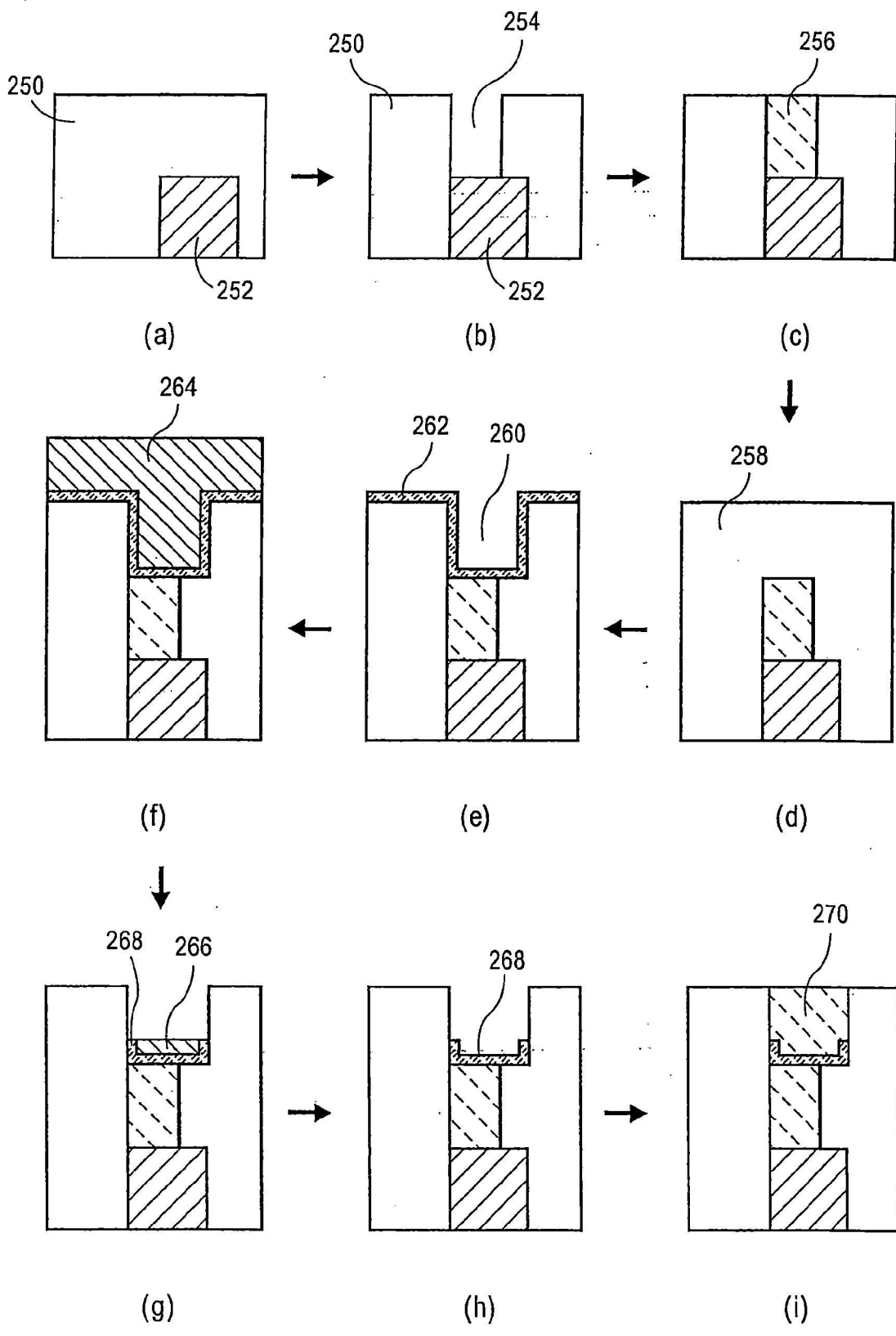


圖 2C

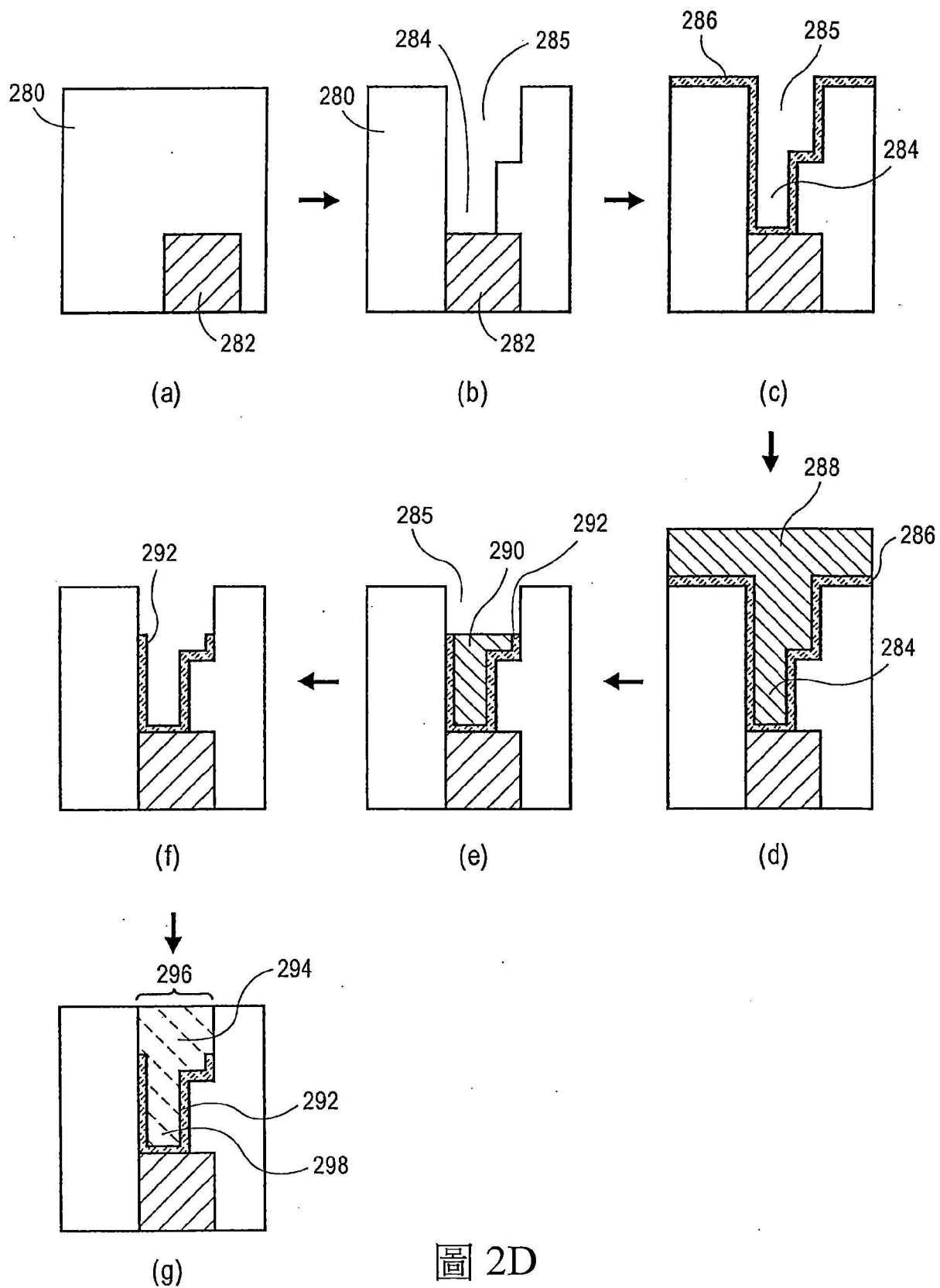


圖 2D

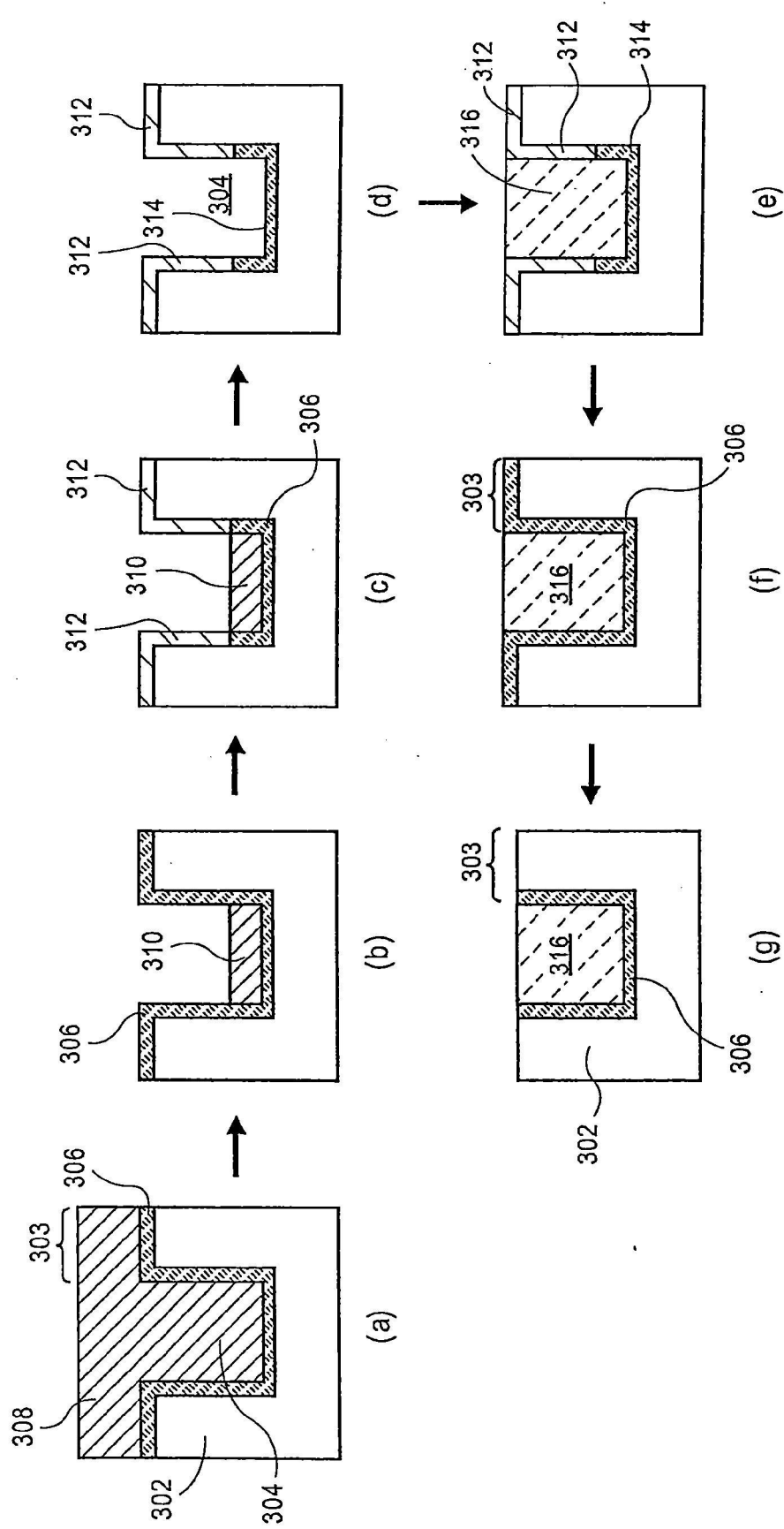


圖 3

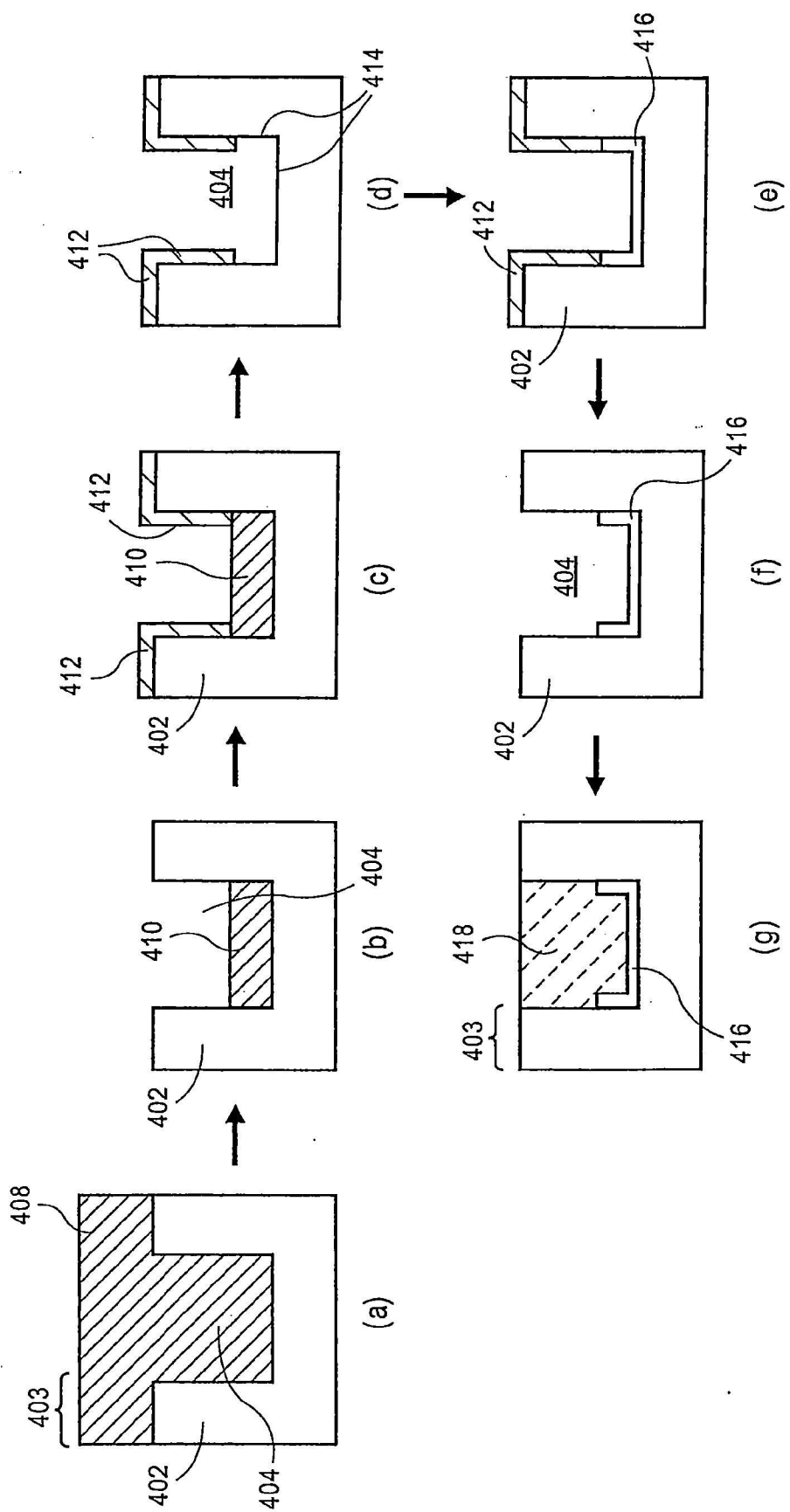


圖 4

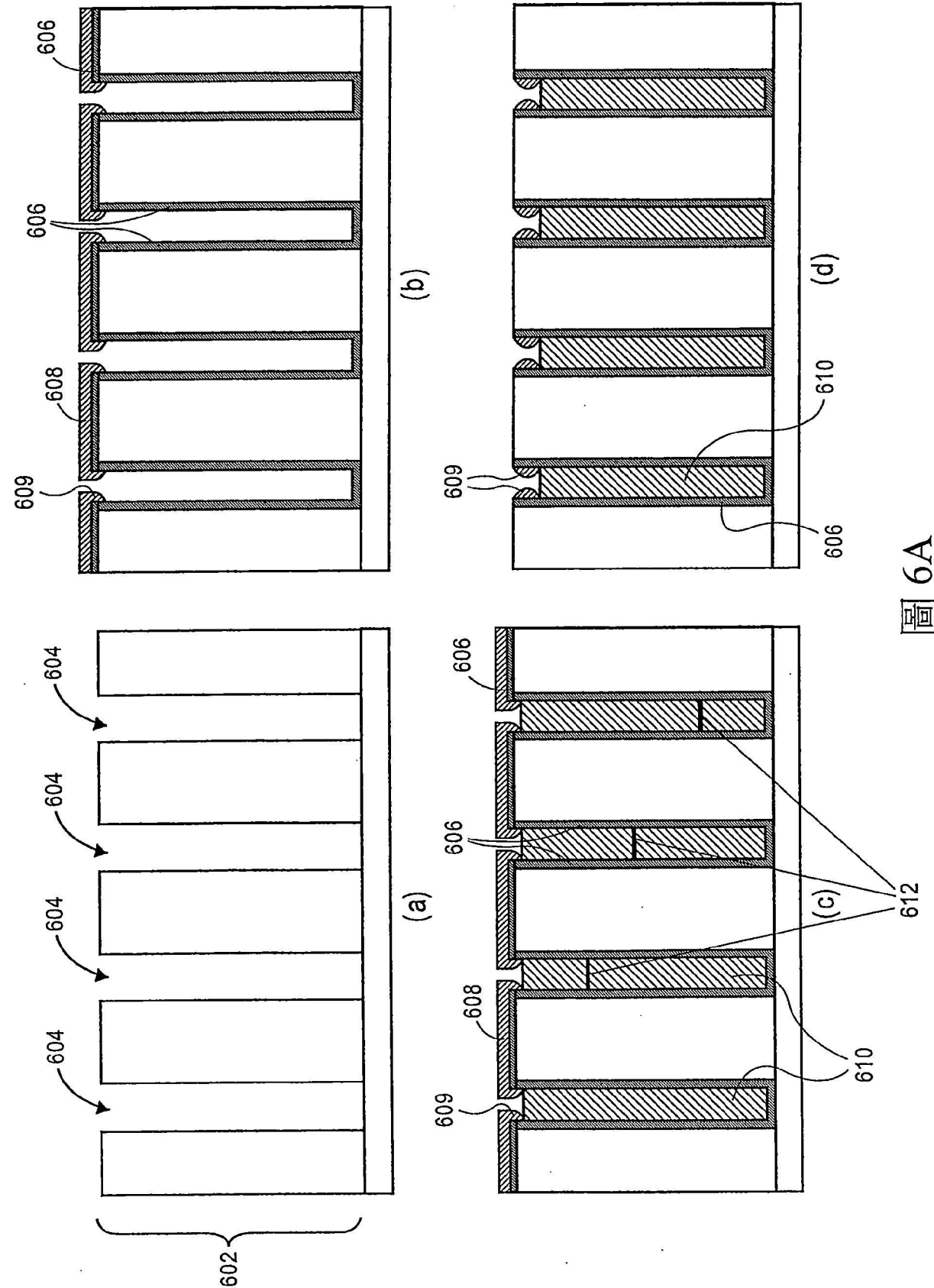
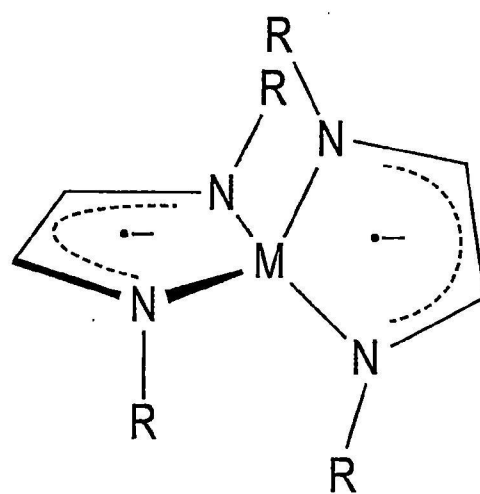


圖 6A

650



M = Mn, Cr, Fe, Co, Ni
R = 巨大的烷基

圖 6B

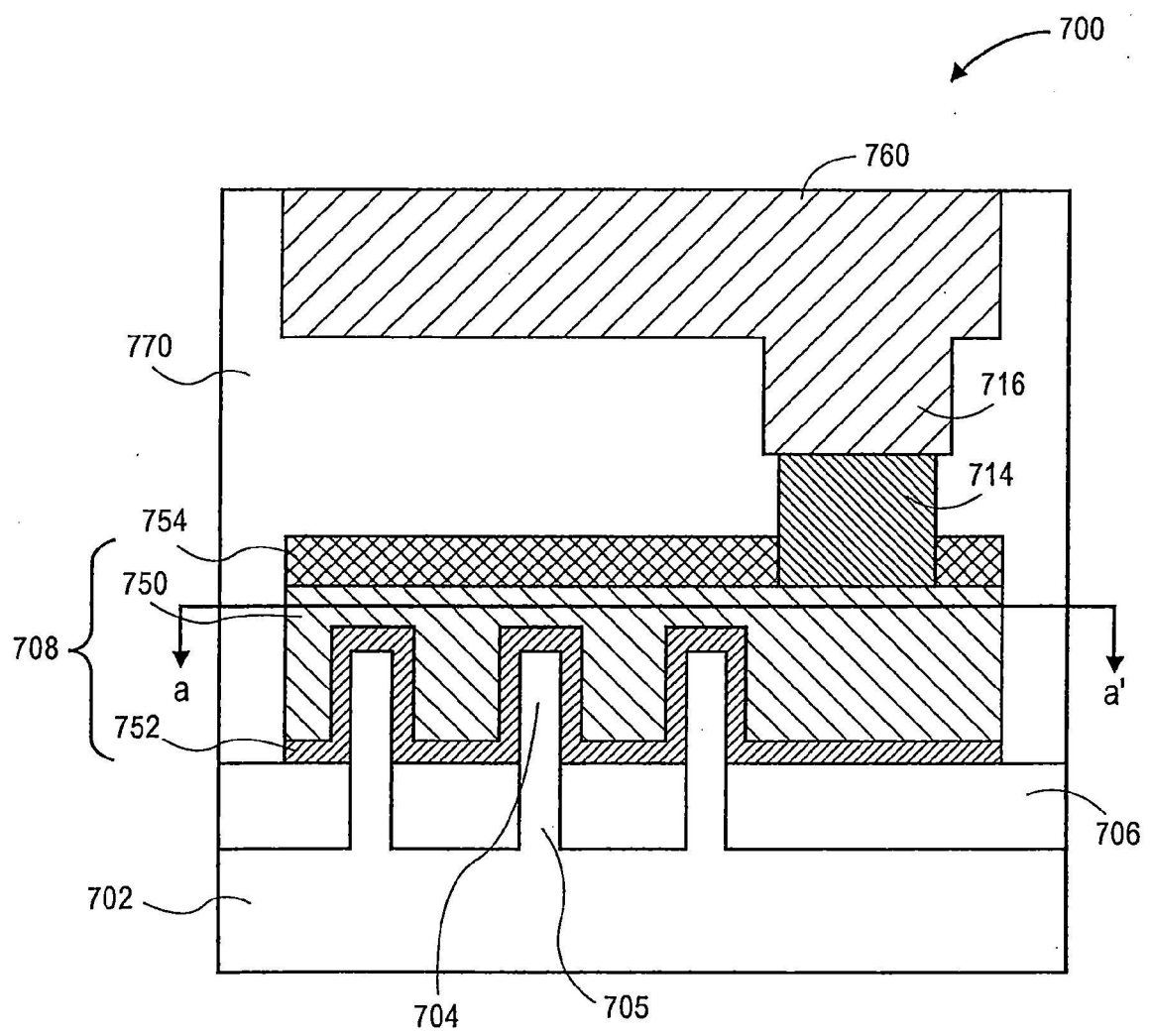


圖 7A

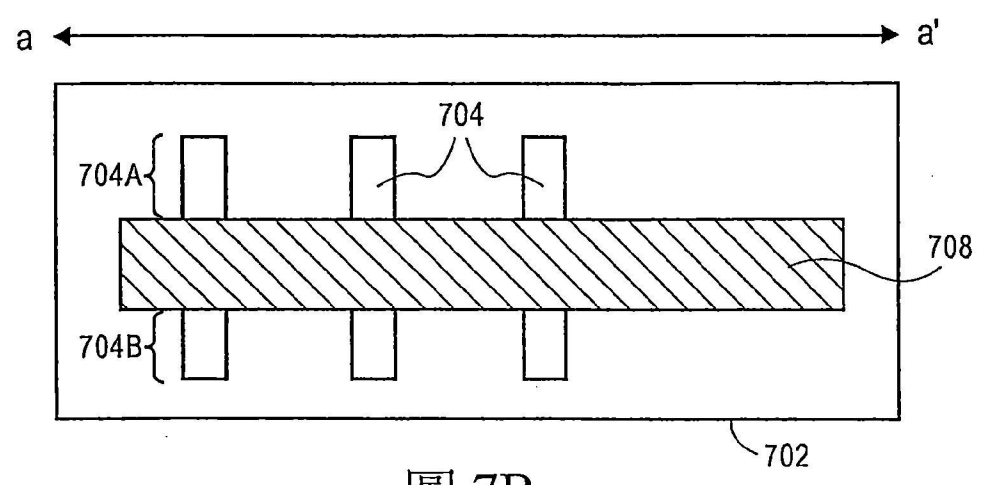


圖 7B

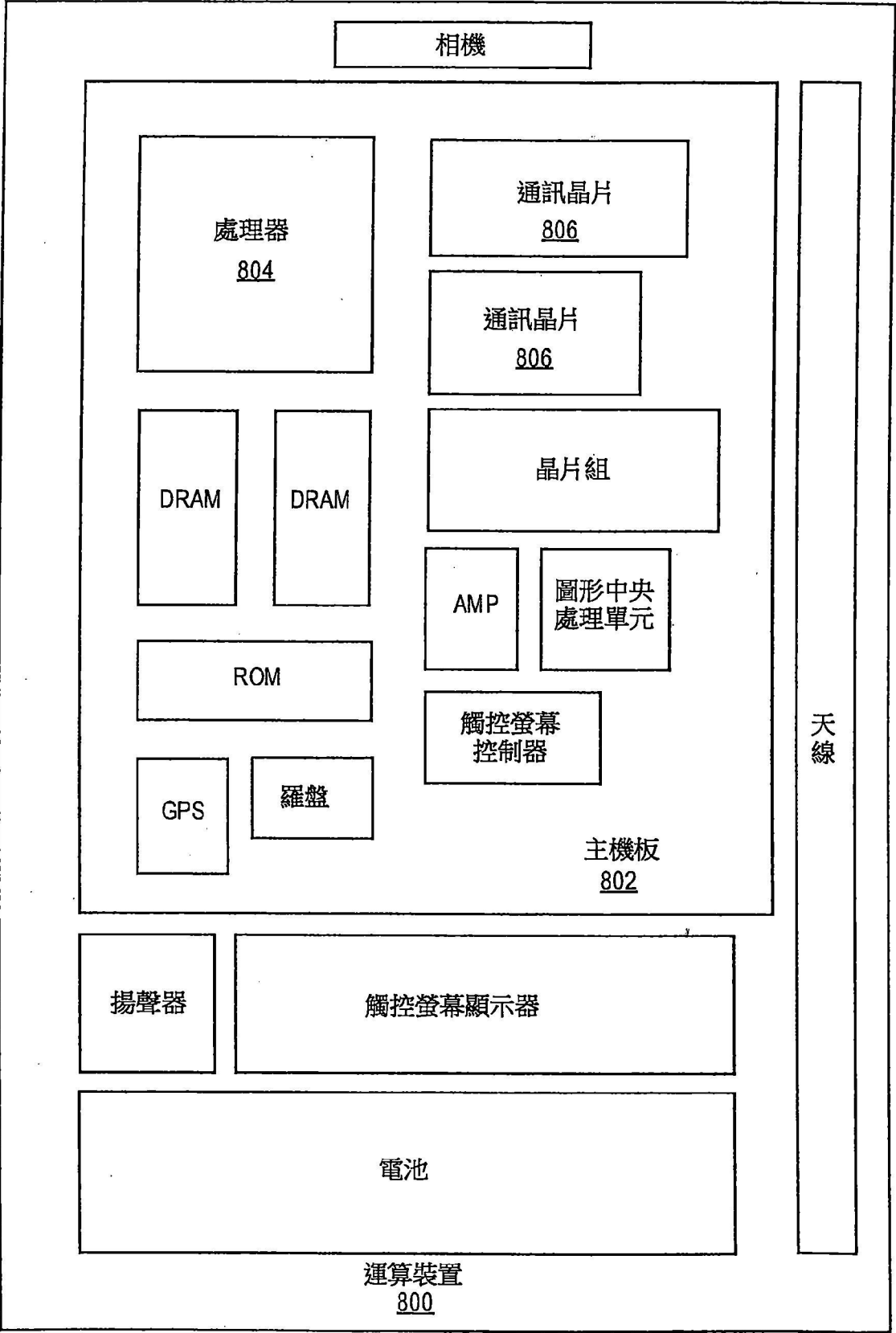
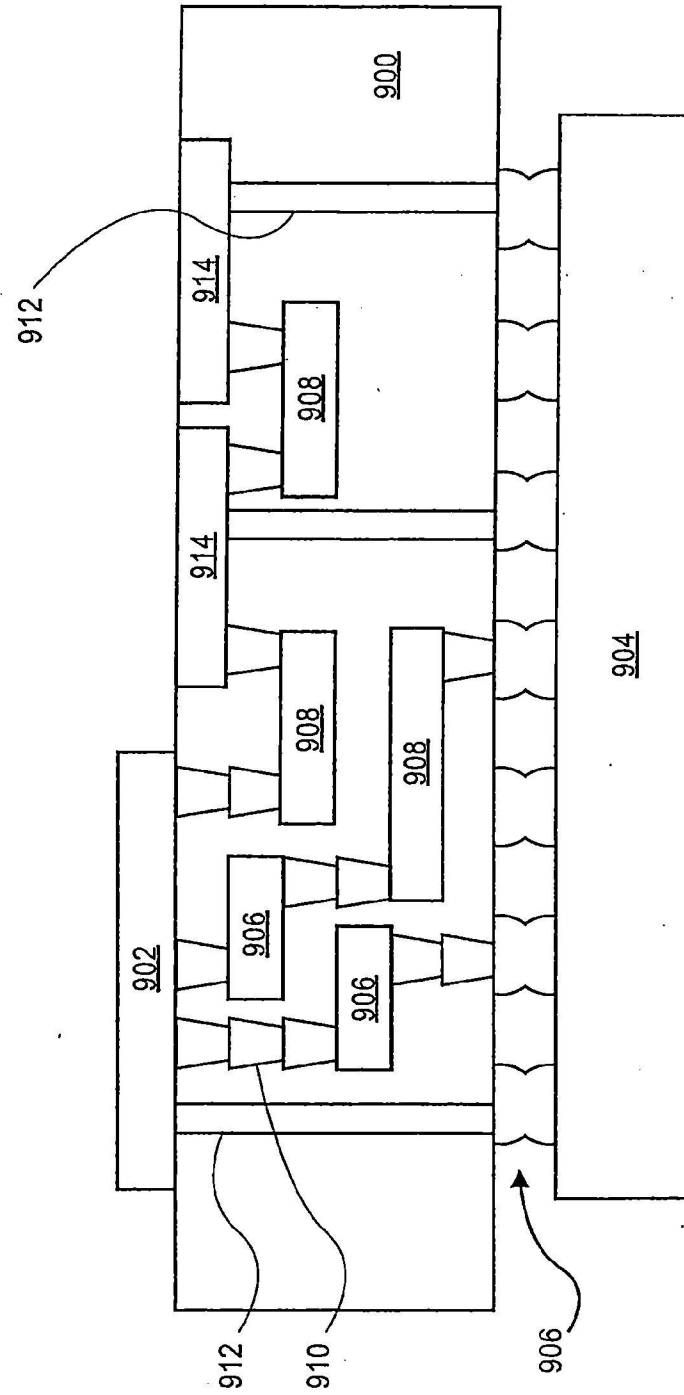


圖 8



回