

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(57) 要約: 本発明の光スイッチング素子(2)は、駆動基板(10)と、透明基板(20)と、液晶層(30)と、増反射膜(171)とを備える。駆動基板(10)は、複数の画素電極を含む画素領域と、画素領域の外部に配置される外周領域と、シール領域(40)とを有する。透明基板(20)は、対向電極(21)を有する。液晶層(30)は、駆動基板(10)と透明基板(20)との間で挟持される。増反射膜(171)は、駆動基板(10)の全面に配置される。増反射膜(171)は、屈折率の異なる2つの積層された誘電体膜を1組とした誘電体膜の集合体が、1つ以上積層することにより構成される。増反射膜(171)を構成する第1層目の誘電体膜に対して、平坦化処理が施されている。

明 細 書

発明の名称：光スイッチング素子

技術分野

[0001] 本発明は、光スイッチング素子の増反射膜の構造に関する。

背景技術

[0002] 近年、光通信分野では激増する情報量に対応するため、環状に形成された光ネットワークシステム、及び、光波長多重通信システムが提唱されている。これらの光通信システムでは、光信号を電気信号に変換したり中継したりすることなく分岐または挿入することができるROADM (Reconfigurable Optical And Drop Multiplexer) 装置が用いられている。

[0003] R O A D M装置における光スイッチング装置として、W S S (Wavelength Selective Switch) 装置が用いられる。W S S装置は複数の波長を含む光信号に対して、任意の入出力ポートに任意の波長を選択して割り当て、波長合波を入出力することが可能である。W S S装置における光スイッチング素子として、M E M S (Micro Electro Mechanical Systems) ミラー、及び、L C O S (Liquid Crystal on Silicon) 素子が用いられる。

[0004] L C O S素子は、複数の反射型の画素電極が水平方向、及び、垂直方向に配置されている画素領域を有する反射型の液晶素子である。各画素電極上の液晶の屈折率は、液晶に印加される電圧を画素電極ごとに制御することにより変化する。信号光の位相速度は、各画素上の液晶の屈折率を変化させることにより、画素ごとに制御される。

[0005] L C O S素子は、位相速度を画素ごとに段階的に変化させることにより、信号光の波面の傾斜角を位相速度の変化の割合に応じて制御することができる。即ち、L C O S素子は、画素ごとに位相速度を変化させて信号光を所定の方向に反射する位相変調素子として機能する。

[0006] さらに、複数の画素電極上には、屈折率の異なる誘電体膜を交互に積層し、光の干渉作用により、反射率を高める増反射膜を構成し、信号光の波長を

効率良く反射させる。着目する波長 λ において最適な膜厚（光学膜厚 $=\lambda/4$ ）で高屈折率の誘電体と低屈折率の誘電体を交互に積層することにより、各誘電体界面からの反射光は光干渉により強め合う効果を得る増反射膜の技術は良く知られている。

[0007] MEMSミラーでは、信号光の波長帯の数に対応したミラーが必要になる。そのため、信号光の波長帯または信号光の波長帯の数を変更する場合、変更内容に応じてMEMSミラーを新たに作製しなければならない。

[0008] MEMSミラーに対して、LCOS素子は、画素領域を複数の画素ブロックに任意に分割し、画素ブロックごとに制御することができる。これにより、信号光の波長帯または信号光の波長帯の数を変更する場合、変更内容に応じて画素ブロックを再構成することができるため、LCOS素子を新たに作製する必要がない。即ち、LCOS素子は、MEMSミラーよりも可変グリッド性に優れている。特許文献1には、LCOS素子を用いた位相変調装置の一例が記載されている。特許文献1では、LCOS素子の位相クロストークの抑制を目的とし、画素への印加電圧の補正方法が記載されているが、印加電圧を均一とする液晶層の厚み制御については記載されていない。

先行技術文献

特許文献

[0009] 特許文献1：特開2016-143037号公報

発明の概要

[0010] WSS装置における光スイッチング素子としてLCOS素子を用いる場合、LCOS素子は位相変調により信号光を所定の方に反射する。光スイッチング素子としてLCOS素子を用いる場合、 2π の位相変調を確保するためには、LCOS素子における液晶層は $5\mu\text{m}$ 程度の厚さが必要である。また、駆動基板に配置される複数の画素電極上の増反射膜は、誘電体膜を5ペア（10層）程度の積層することで構成され、 $0.5\mu\text{m}$ 程度の厚みとなる。

[0011] LCOS素子の製造において、駆動基板と対向する透明基板の貼合わせに

使用するシール材は適度な流動性を有するため、所定の塗布位置から流れ出し、画素領域内まで流れ込み、増反射膜の膜端部（境界）あるいは最表面まで侵入することがある。これにより、シール材が増反射膜の膜端部（境界）あるいは最表面部の段差に乗り上げてしまうことがある。そのため、画素領域において増反射膜が最表面となる駆動基板と透明基板とを含む液晶層の厚みにむらが生じてしまう場合がある。

[0012] 液晶層の厚みにむらが生じた部分では、最適な位相変調量を確保できず、光スイッチング素子としての性能を悪化させる要因となる。

[0013] 本発明は、光スイッチング素子として増反射膜を有するＬＣＯＳ素子を用いた場合に、液晶層の厚みむらに起因する光スイッチング素子の性能の悪化を抑制することができる光スイッチング素子を提供することを目的とする。

[0014] 本発明の一形態は、複数の画素電極を含む画素領域と、前記画素領域の外部に配置される外周領域と、シール領域とを有する駆動基板と、対向電極を有する透明基板と、前記駆動基板と前記透明基板との間で挟持される液晶層と、前記駆動基板の全面に配置された増反射膜と、を備え、前記増反射膜は、屈折率の異なる２つの積層された誘電体膜を１組とした前記誘電体膜の集合体が、１つ以上積層することにより構成され、前記増反射膜を構成する第１層目の前記誘電体膜に対して、平坦化処理が施されていることを特徴とする光スイッチング素子を提供する。

[0015] 本発明の一形態は、複数の画素電極を含む画素領域と、前記画素領域の外部に配置される外周領域と、シール領域とを有する駆動基板と、対向電極を有する透明基板と、前記駆動基板と前記透明基板との間で挟持される液晶層と、前記画素領域と前記外周領域と前記シール領域の上面に配置された増反射膜と、を備え、前記増反射膜は、屈折率の異なる２つの積層された誘電体膜を１組とした前記誘電体膜の集合体が、１つ以上積層することにより構成され、前記増反射膜を構成する第１層目の前記誘電体膜に対して、平坦化処理が施されていることを特徴とする光スイッチング素子を提供する。

[0016] 本発明の光スイッチング素子の増反射膜の構造によれば、光スイッチング

素子として、ＬＣＯＳ素子を用いた場合に、液晶層の厚みむらに起因する光スイッチング素子の性能の悪化を抑制することができる。

図面の簡単な説明

[0017] [図1]図 1 は、本実施形態の光スイッチング素子の増反射膜の成膜領域を示す上面図である。

[図2]図 2 は、本実施形態の光スイッチング素子の増反射膜の構成の一例を示す断面図である。

[図3]図 3 は、本実施形態の光スイッチング素子の駆動基板と透明基板とシール材の正規の位置関係を示す図である。

[図4]図 4 は、本実施形態の光スイッチング素子の駆動基板と透明基板の貼り合せ時にシール材がシール領域からはずれた位置関係を示す図である。

[図5]図 5 は、本実施形態の光スイッチング素子の構成例を示す断面図である。

[図6A]図 6 A は、光スイッチング素子の駆動基板と透明基板とシール材の正規の位置関係を示す図である。

[図6B]図 6 B は、駆動基板と位置決め治工具の位置関係を示す図である。

[図6C]図 6 C は、従来技術の光スイッチング素子の駆動基板と透明基板とシール材の貼り合せ異常時の位置関係を示す図である。

[図6D]図 6 D は、従来技術の光スイッチング素子の駆動基板と透明基板とシール材の貼り合せ異常時の位置関係を示す図である。

発明を実施するための形態

[0018] 本発明による光スイッチング素子の要部である増反射膜 1 7 1 の構造の実施形態を説明する。

[0019] (実施形態)

図 1 から図 5 を用いて、光スイッチング素子の構成例を説明する。本実施形態では、光スイッチング素子を、一例として反射型の液晶素子であるＬＣＯＳ素子とする場合を説明する。

[0020] 図 1 及び図 5 に示すように、光スイッチング素子 2 は、駆動基板 1 0 と、

透明基板 20 と、液晶層 30 に充填された液晶 31 と、シール領域 40 に塗布形成されたスペーサ材 43 を含んだシール材 42 と、封止材 50 とを備える。駆動基板 10 を第 1 の基板とし、透明基板 20 を第 2 の基板とする。シール材 42、及び、封止材 50 は光硬化性樹脂、例えば紫外線硬化性樹脂である。シール材 42 と封止材 50 とは同じ種類の光硬化性樹脂であってもよいし、異なる種類の光硬化性樹脂であってもよい。

[0021] 駆動基板 10 は、画素領域 11 と、外周領域 18 と、シール領域 40 とを有する。画素領域 11 には、光反射性を有する複数の画素電極 14 が水平方向及び垂直方向に配置されている。1 個の画素電極 14 が 1 画素を構成する。外周領域 18 は、画素領域 11 を囲んでいる。シール領域 40 は、外周領域 18 を囲んでいる。

[0022] 増反射膜 171 は、画素領域 11、外周領域 18 及びシール領域 40 のうち、少なくとも画素領域 11 上に形成されている。配向膜 12 は、少なくとも増反射膜 171 上に形成されている。複数の接続端子 13 は駆動基板 10 の外周部に形成されている。

[0023] 駆動基板 10 は半導体基板、具体的にはシリコン基板である。なお、駆動基板 10 には、各画素を駆動するための駆動回路が、各画素電極 14 の下に（図示しない）形成されている。画素電極 14 及び接続端子 13 の材料として、アルミニウムまたはアルミニウム合金を用いてもよい。

[0024] 透明基板 20 は、対向電極 21 と、配向膜 22 とを有する。対向電極 21 は複数の画素電極 14 に対応する。配向膜 22 は対向電極 21 上に形成されている。駆動基板 10 と透明基板 20 とは、複数の画素電極 14 と対向電極 21 とが対向するように配置されている。

[0025] 駆動基板 10 と透明基板 20 とは、シール材 42 及び封止材 50 により間隙 G P を有して固定されている。駆動基板 10 と透明基板 20 との間隙 G P には液晶層 30 が形成されている。液晶層 30 は、複数の画素電極 14、増反射膜 171 及び配向膜 12 の集合体上に形成されている。透明基板 20 の対向電極 21 が形成されている面とは反対側の面に、反射防止膜 23 を形成

してもよい。反射防止膜 2 3 として誘電体多層膜を用いてもよい。

[0026] 透明基板 2 0、対向電極 2 1 及び配向膜 2 2 は光透過性を有する。透明基板 2 0 として無アルカリガラス基板または石英ガラス基板を用いてもよい。対向電極 2 1 の材料として I T O (Indium Tin Oxide) を用いてもよい。なお、I T O 膜の上側及び下側に、光透過性を有する誘電体膜を形成してもよい。

[0027] シール材 4 2 は、画素領域 1 1 の外周部である外周領域 1 8 に沿って、画素領域 1 1 及び外周領域 1 8 を取り囲むように塗布、形成される。また、シール材 4 2 には液晶注入部 4 1 が形成されている。液晶層 3 0 は、液晶 3 1 がシール材 4 2 の液晶注入部 4 1 から駆動基板 1 0 と透明基板 2 0 との間隙 G P に注入され、かつ、液晶注入部 4 1 を封止材 5 0 で封止することにより形成される。光スイッチング素子 2 における液晶層 3 0 の厚さは、例えば 5 μ m である。

[0028] 複数の接続端子 1 3 のうちの所定の接続端子 1 3 には、液晶 3 1 を駆動するための駆動信号が入力される。駆動基板 1 0 に形成されている駆動回路は、駆動信号に基づく駆動電圧を各画素電極 1 4 に印加する。これにより、液晶 3 1 は各画素電極 1 4 と対向電極 2 1 との電位差に応じて画素ごとに駆動する。

[0029] ここで、画素領域 1 1、外周領域 1 8 及びシール領域 4 0 上に形成される増反射膜 1 7 1 の構造について、詳細に説明を行う。図 1 の斜線で示す画素領域 1 1 内には、複数の画素電極 1 4 が配置されるため、複数の画素電極 1 4 のみを配置した画素領域 1 1 の表面は、凹凸の表面形状を有している。図 2 に示すように、増反射膜 1 7 1 は、画素領域 1 1、の外周領域 1 8 及びシール領域 4 0 上に誘電体（例えば、S i O 2 : 二酸化ケイ素）からなる誘電体薄膜を積層し、形成する。

[0030] まず、画素領域 1 1、の外周領域 1 8 及びシール領域 4 0 に対して、真空成膜蒸着法などにより、第 1 層目となる S i O 2 膜 (L 1) を成膜する。ここで、成膜された S i O 2 層は、複数の画素電極 1 4 のみを配置した画素領

域 1 1（下層）の凹凸の表面形状が反映された凹凸を有する薄膜となる。なお、第 1 層目 L 1 は駆動基板 1 0 を製造する半導体製造工程中のウェハ状態で成膜されてもよい。

[0031] 成膜後の凹凸形状を平坦化するため、化学機械研磨（CMP）法など用いて凹凸のない平坦な膜形状にする。なお平坦化処理は化学機械研磨を一例として記載しているが、平坦化の方法はこれには限定されず、化学エッチング法などで行ってもよい。なお、平坦化処理は半導体ウェハの状態で行われてもよい。

[0032] 続いて、平坦化処理された S i O 2 膜（L 1）の上面に、従来技術と同じように、低屈折率膜 S i O 2（L 1）と高屈折率膜 S i 3 N 4（L 2）を組み合わせた膜を 1 組とした誘電体の集合体が、L 1 から L 1 0 まで、繰り返し積層し、増反射膜 1 7 1 を形成する。

[0033] 図 3 は、増反射膜 1 7 1 を形成した駆動基板 1 0 と、透明基板 2 0 とを、適正なシール材 4 2 の塗布位置で貼り合せた状態を示す。図 4 は、シール材 4 2 の塗布位置がシール領域 4 0 から、はずれた位置で貼り合せた状態を示す。図 5 は、完成した光スイッチング素子 2 の構成を示す。

[0034] 従来技術によれば、図 6 A に示すように、光スイッチング素子 1 では、シール材 4 2 が流れ出さない場合には、駆動基板 1 0 と透明基板 2 0 は、正常に貼り合わせられる。しかし、図 6 C と図 6 D に示すように、シール材 4 2 が、矢印の方向に沿って、増反射膜 1 7 1 a の領域に流れ込む場合、増反射膜 1 7 1 a の端部（境界）と接触し、液晶層 3 0（図示しない）のむらや、がたつきが生じる。

[0035] 従来技術では、増反射膜 1 7 1 a は画素領域 1 1 内に形成される。各誘電体膜を真空成膜蒸着で成膜する際には、図 6 B に示すように、駆動基板 1 0 は所定の位置決め治工具で保持され、治工具が自転、公転しながら成膜される。このため、駆動基板 1 0 上の成膜領域は、所定の開口部を有する（図示しない）開口マスクで、駆動基板 1 0 と離間して位置決めされるが、駆動基板 1 0 の脱着を可能とする僅かな隙間 D が設けられている。

[0036] 成膜時に、この隙間Dにより、駆動基板10が治工具内で僅かに移動してしまうため、図6CのずれZに示すように、複数の誘電体膜の端部が僅かにずれてしまうことがある。

[0037] 本実施形態では、図1及び図2に示すように、増反射膜171は、第1層(L1)の成膜後の平坦化処理により、第2層目(L2)以降から最表面(L10)に至る膜は平坦になり、凹凸のない表面形状となっている。増反射膜171は、駆動基板10の複数の接続端子13を除く、全面に形成されている。図示しないが、シール領域40の外側に、さらに外周領域が存在する場合、増反射膜171を当該外周領域にも成膜してもよい。図3及び図4に示すように、シール材42が、シール領域40をはずれ、矢印方向に沿って、シール領域40から外周領域18側に流れ込んでも、本実施形態では、画素領域11、外周領域18及びシール領域40が、凹凸のない平坦な形状であるため、均一な厚みで、駆動基板10と透明基板20とを貼り合わせることが可能となる。

[0038] 具体的な増反射膜171の構成の一例は、低誘電体膜SiO₂(L1)と高誘電体膜Si₃N₄(L2)を組み合わせた層を1組として、この組み合わせでL1からL10まで繰り返し積層し、増反射膜171を形成する。増反射膜171の1組の各誘電体膜の膜厚の一例としては、反射率を高める狙いの波長λが350nmの場合、低誘電体膜SiO₂の屈折率nd1は1.48で、膜厚は $(\lambda/4)/nd1 = (350/4)/1.48 = 59.10$ nmとなり、高誘電体膜Si₃N₄の屈折率nd2は2.10で、膜厚は $(350/4)/2.10 = 41.60$ nmとなる。

[0039] なお、従来技術では、シール領域40には増反射膜171aが成膜されないため、液晶層30の厚みとほぼ同じ粒径のスペーサ材43で、液晶層30の厚みは決定された。一方、本実施形態では、画素領域11、外周領域18及びシール領域40の上面に増反射膜171が成膜されるため、増反射膜171の厚み分の小さい粒径のスペーサ材43を使用すれば、従来技術と同じ液晶層30の厚み可以实现できる。

[0040] 光スイッチング素子2の増反射膜171の構造によれば、画素領域11、外周領域18及びシール領域40が、凹凸のない平坦な形状であるため、シール材42がシール領域40をはずれ、シール領域40から外周領域18側に流れ込んでも、均一な厚みで貼り合わせることが可能となる。また、光スイッチング素子2の増反射膜171の構造によれば、増反射膜171に膜端部（境界）がなく、さらに、増反射膜171の表面にも凹凸もないため、液晶層30の厚みむらに起因する光スイッチング素子の性能の悪化を抑制することができる。

[0041] 更に、実施形態の光スイッチング素子2の増反射膜171の構造によれば、LCOS素子へ入射或いは反射する信号光が、増反射膜171の凹凸形状がないことで散乱、回折しないため、光学シミュレーションと合致する反射特性が得ることができ、光スイッチング素子の性能の悪化を抑制することができる。

[0042] 本発明は、上述した本実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々変更可能である。例えば、信号光をさらに狭帯域で反射させるために、誘電体層を10組（20層）程度にするとか要求させる性能に応じた変更をおこなってもよい。

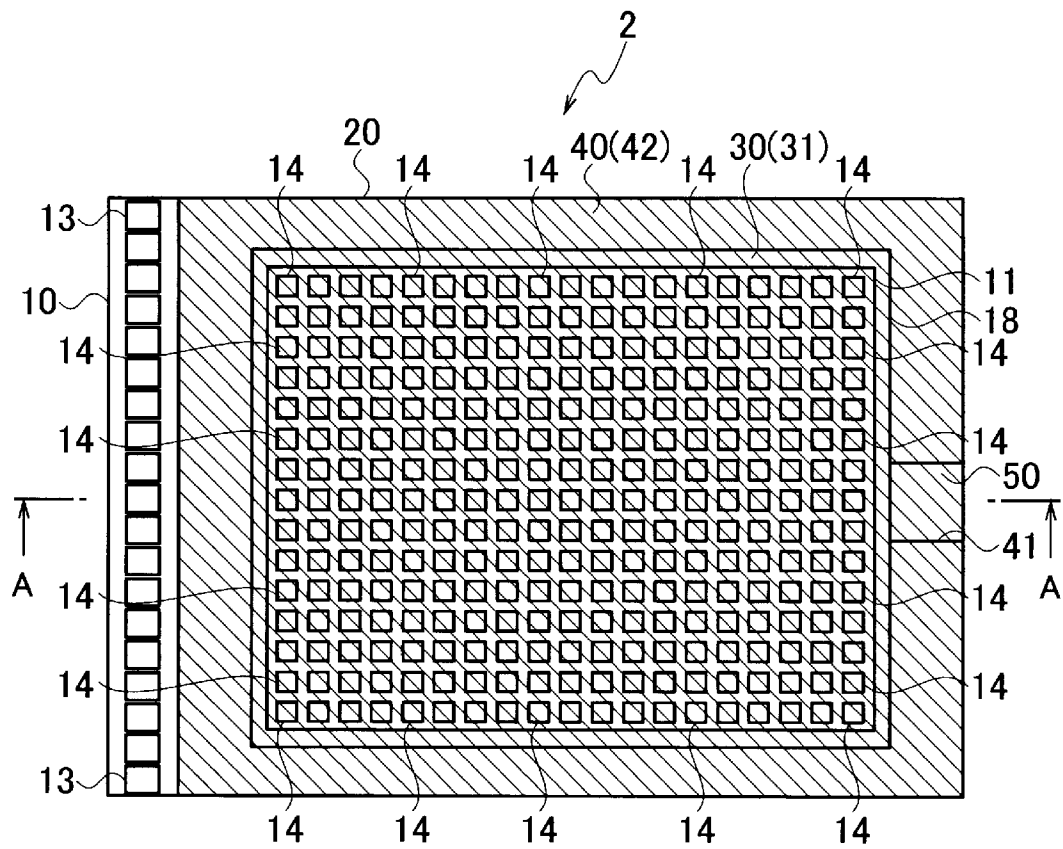
産業上の利用可能性

[0043] 本実施形態の光スイッチング素子の増反射膜の構造によれば、光スイッチング素子として、LCOS素子を用いた場合に、液晶層の厚みむらに起因する光スイッチング素子の性能の悪化を抑制することができる。

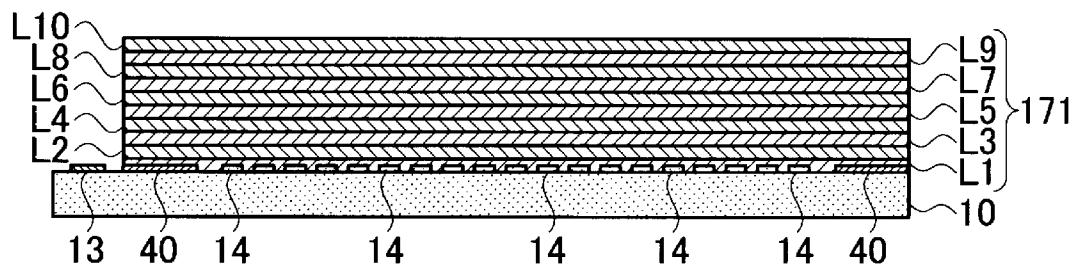
請求の範囲

- [請求項1] 複数の画素電極を含む画素領域と、前記画素領域の外部に配置される外周領域と、シール領域とを有する駆動基板と、
対向電極を有する透明基板と、
前記駆動基板と前記透明基板との間で挟持される液晶層と、
前記駆動基板の全面に配置された増反射膜と、
を備え、
前記増反射膜は、屈折率の異なる2つの積層された誘電体膜を1組とした
前記誘電体膜の集合体が、1つ以上積層することにより構成され、
前記増反射膜を構成する第1層目の前記誘電体膜に対して、平坦化処理が施されていることを特徴とする光スイッチング素子。
- [請求項2] 複数の画素電極を含む画素領域と、前記画素領域の外部に配置される外周領域と、シール領域とを有する駆動基板と、
対向電極を有する透明基板と、
前記駆動基板と前記透明基板との間で挟持される液晶層と、
前記画素領域と前記外周領域と前記シール領域の上面に配置された増反射膜と、
を備え、
前記増反射膜は、屈折率の異なる2つの積層された誘電体膜を1組とした前記誘電体膜の集合体が、1つ以上積層することにより構成され、
前記増反射膜を構成する第1層目の前記誘電体膜に対して、平坦化処理が施されていることを特徴とする光スイッチング素子。

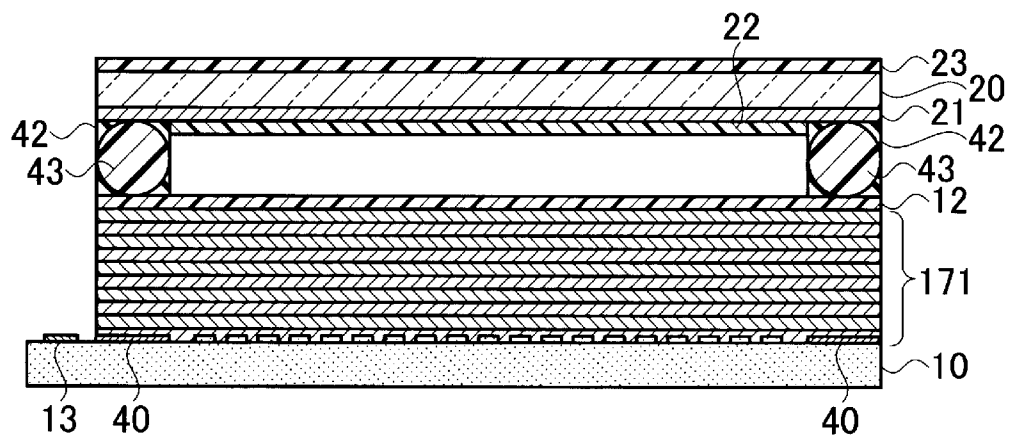
[図1]



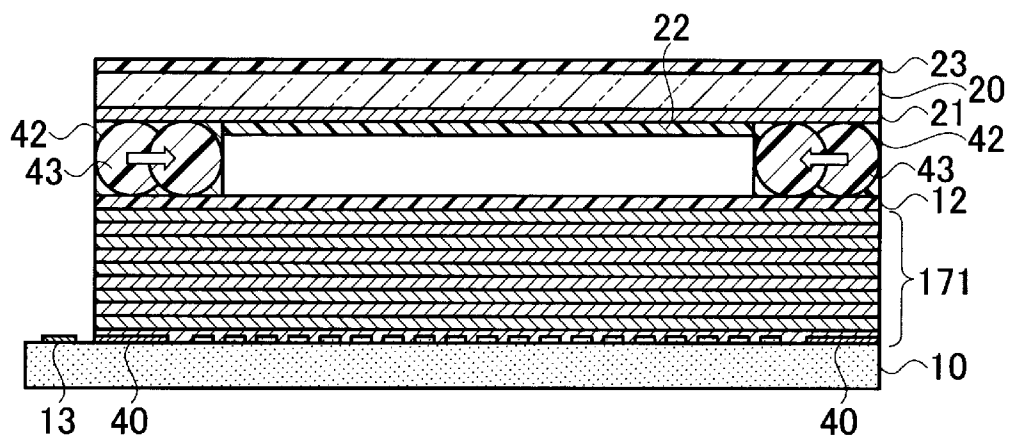
[図2]



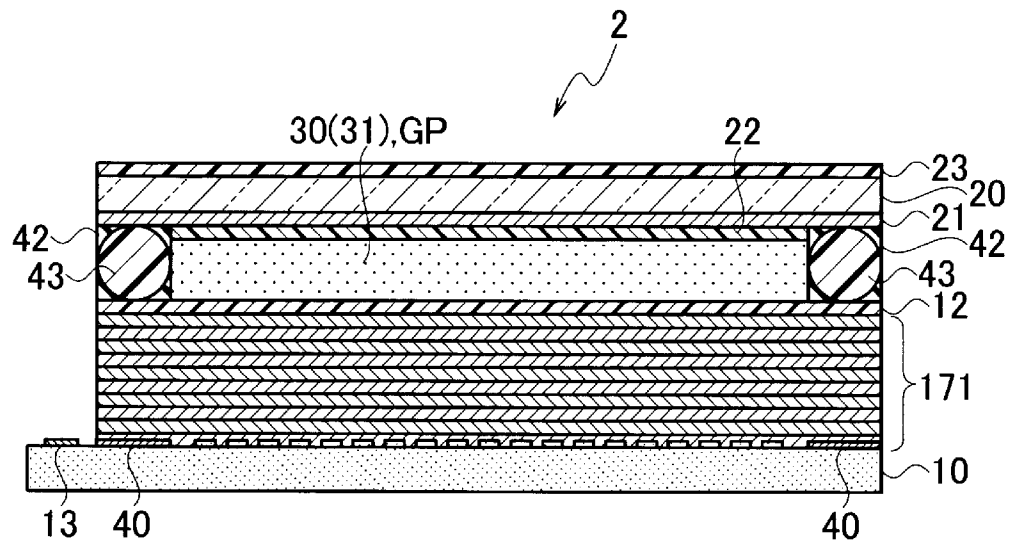
[図3]



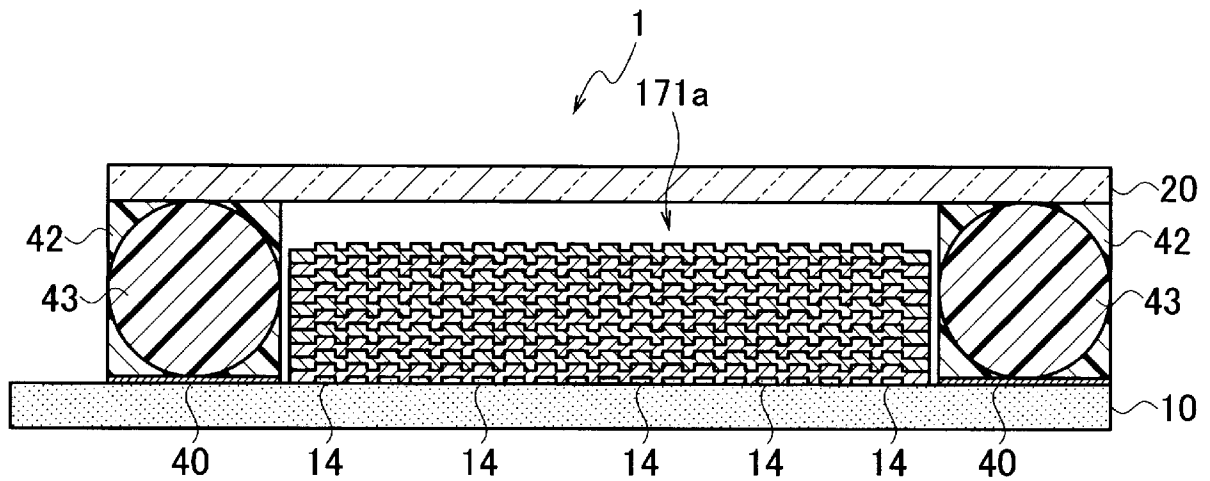
[図4]



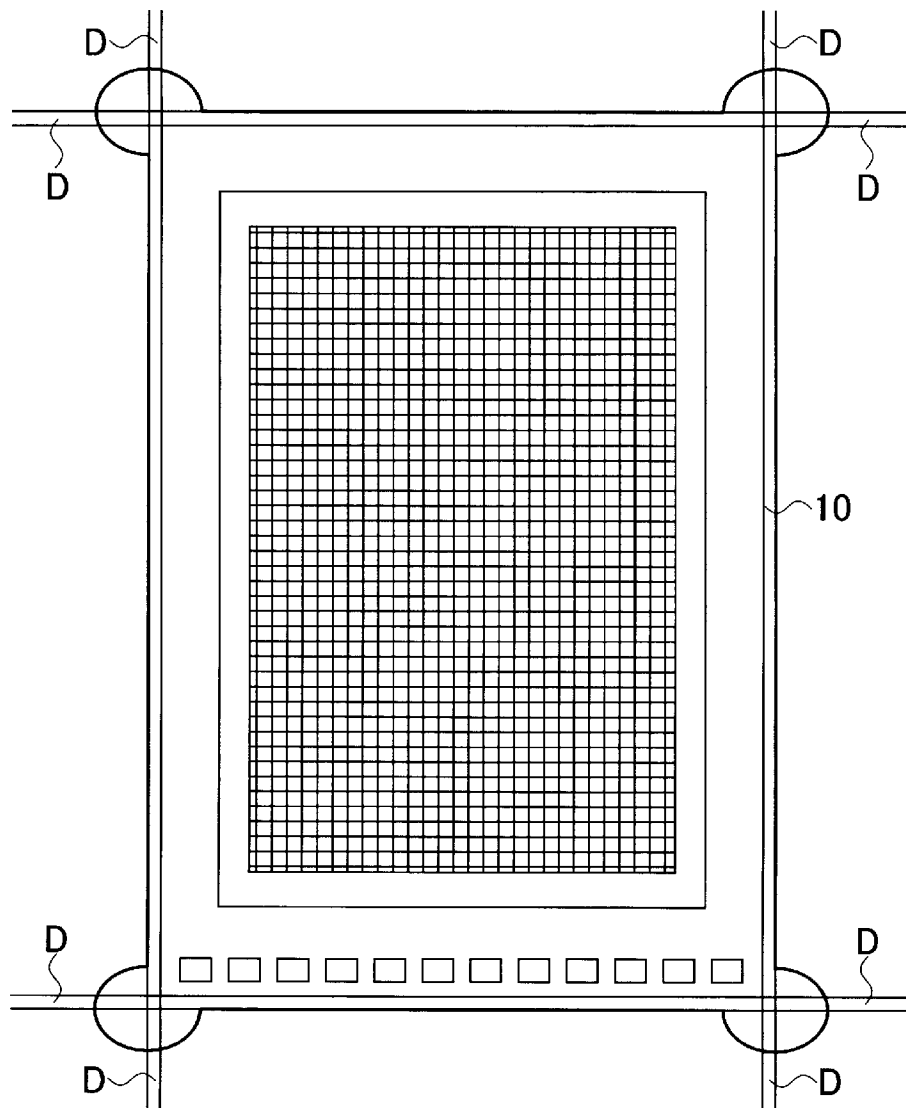
[図5]



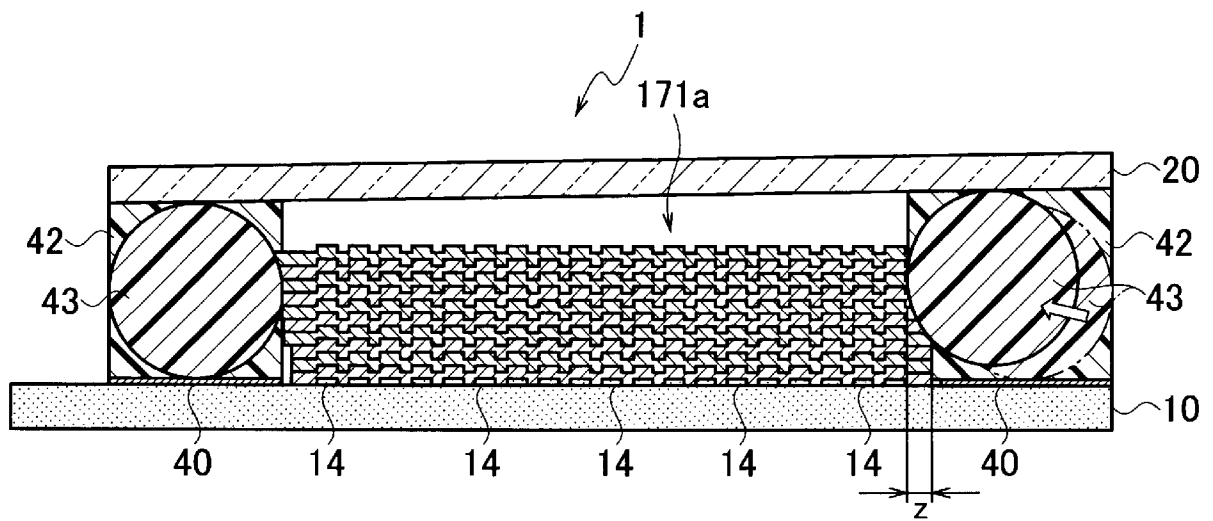
[図6A]



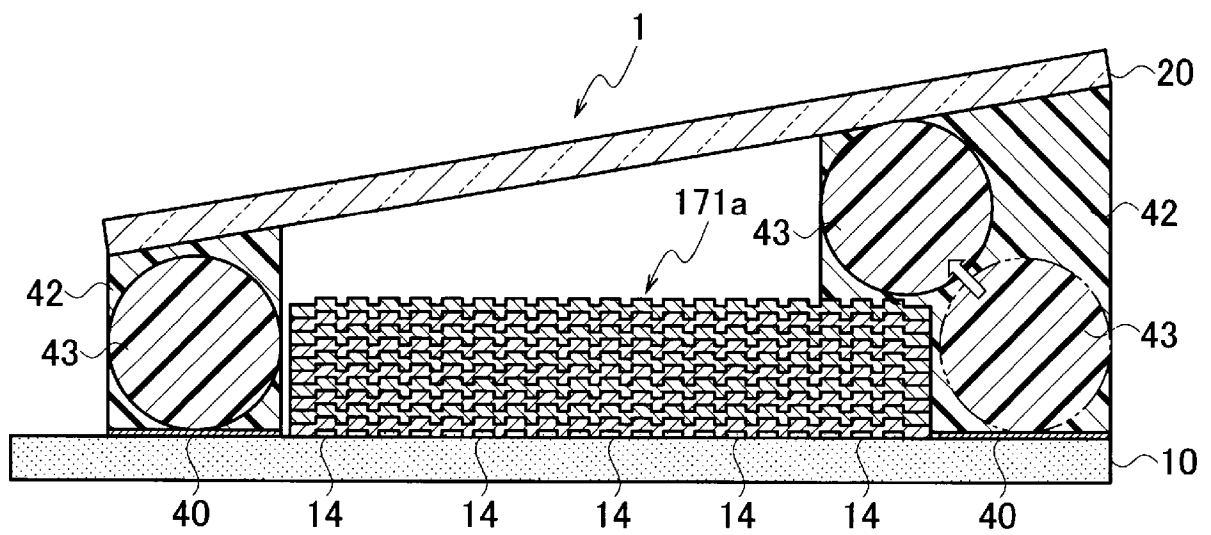
[図6B]



[図6C]



[図6D]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/036440

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G02F1/13(2006.01)i, G02F1/1335(2006.01)i, G02F1/31(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G02F1/13, G02F1/1335, G02F1/31

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2014/157673 A1 (FURUKAWA ELECTRIC CO., LTD.) 02 October 2014, entire text, all drawings (Family: none)	1-2
A	US 2018/0059431 A1 (ACCELINK TECHNOLOGIES CO., LTD.) 01 March 2018, entire text, all drawings & EP 3291000 A1 & CN 106199841 A & CN 106291822 A	1-2
A	JP 4-338721 A (SEIKO EPSON CORPORATION) 26 November 1992, entire text, all drawings (Family: none)	1-2



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
06.11.2019

Date of mailing of the international search report
19.11.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/036440

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 8-106088 A (SEIKO INSTR INC.) 23 April 1996, entire text, all drawings (Family: none)	1-2
A	JP 2001-21880 A (YAZAKI CORPORATION) 26 January 2001, paragraphs [0007], [0008], fig. 1 (Family: none)	1-2

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G02F1/13(2006.01)i, G02F1/1335(2006.01)i, G02F1/31(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G02F1/13, G02F1/1335, G02F1/31

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2014/157673 A1（古河電気工業株式会社）2014.10.02, 全文, 全図（ファミリーなし）	1-2
A	US 2018/0059431 A1 (ACCELINK TECHNOLOGIES CO., LTD.) 2018.03.01, 全文, 全図 & EP 3291000 A1 & CN 106199841 A & CN 106291822 A	1-2
A	JP 4-338721 A（セイコーエプソン株式会社）1992.11.26, 全文, 全図（ファミリーなし）	1-2

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 1 1 . 2 0 1 9

国際調査報告の発送日

1 9 . 1 1 . 2 0 1 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

鈴木 俊光

2 L

9 1 1 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 9 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 8-106088 A (セイコー電子工業株式会社) 1996. 04. 23, 全文, 全図 (ファミリーなし)	1-2
A	JP 2001-21880 A (矢崎総業株式会社) 2001. 01. 26, 段落[0007]-[0008], 図1 (ファミリーなし)	1-2