



(12) 发明专利申请

(10) 申请公布号 CN 101692444 A

(43) 申请公布日 2010.04.07

(21) 申请号 200910126115.4

(22) 申请日 2009.02.27

(30) 优先权数据

2008-049628 2008.02.29 JP

2008-332756 2008.12.26 JP

(71) 申请人 株式会社瑞萨科技

地址 日本东京都

(72) 发明人 武藤邦治 团野忠敏 高桥浩幸

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华

(51) Int. Cl.

H01L 25/00 (2006.01)

H01L 23/48 (2006.01)

H01L 23/52 (2006.01)

H01L 29/78 (2006.01)

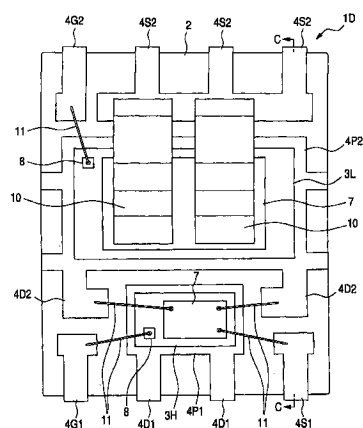
权利要求书 2 页 说明书 17 页 附图 41 页

(54) 发明名称

半导体器件

(57) 摘要

实现一种其中密封功率 MOSFET 等的、导通电阻低的小尺寸表面安装封装。在模制树脂的一侧中密封两个硅芯片。在模制树脂的一侧上布置三个源极引线和一个栅极引线。三个源极引线在模制树脂内部相互接合,而接合的部分和硅芯片的源极焊盘经由两个铝带相互电耦合。另外,硅芯片的栅极焊盘经由一个金导线电耦合到栅极引线。



1. 一种半导体器件，其中以树脂封装密封安装于第一管芯焊盘部分之上的第一半导体芯片和安装于第二管芯焊盘部分之上的第二半导体芯片，并且多个引线的外引线部分从所述树脂封装的侧表面暴露；

其中在所述第一和第二半导体芯片各自的主表面上，形成有功率 MOSFET、与所述功率 MOSFET 的栅极电极耦合的栅极焊盘以及与所述功率 MOSFET 的源极耦合并且面积比所述栅极焊盘的面积更大的源极焊盘；

其中在所述第一和第二半导体芯片各自的后表面上，形成所述功率 MOSFET 的漏极电极；

其中在所述第一半导体芯片的后表面与所述第一管芯焊盘部分之间以及在所述第二半导体芯片的后表面与所述第二管芯焊盘部分之间，分别插入有银浆；

其中所述引线包括：第一栅极引线，电耦合到所述第一半导体芯片的栅极焊盘；第一源极引线，电耦合到所述第一半导体芯片的源极焊盘；第二栅极引线，电耦合到所述第二半导体芯片的栅极焊盘；以及第二源极引线，电耦合到所述第二半导体芯片的源极焊盘；以及

其中至少所述第一半导体芯片的源极焊盘和所述第一源极引线通过金属带相互电耦合。

2. 根据权利要求 1 所述的半导体器件，

其中所述第二半导体芯片的源极焊盘和所述第二源极引线通过金属导线相互电耦合。

3. 根据权利要求 1 所述的半导体器件，

其中所述银浆的弹性模量在 0.2GPa 到 5.3GPa 的范围内，而所述银浆的剪切强度为 8.5MPa 或者更大。

4. 根据权利要求 1 所述的半导体器件，

其中所述第一栅极引线和所述第一源极引线从所述树脂封装的第一侧表面暴露，并且所述第二栅极引线和所述第二源极引线从所述树脂封装的第二侧表面暴露。

5. 根据权利要求 1 所述的半导体器件，

其中在所述第一和第二管芯焊盘部分、所述第一和第二栅极引线以及所述第一和第二源极引线各自的表面上，形成有包含钯作为主要成分的镀层。

6. 根据权利要求 1 所述的半导体器件，

其中所述第一和第二管芯焊盘部分各自的后表面从所述树脂封装暴露。

7. 根据权利要求 1 所述的半导体器件，

其中形成于所述第一半导体芯片的主表面之上的功率 MOSFET 和形成于所述第二半导体芯片的主表面上的功率 MOSFET 构成 DC-DC 转换器。

8. 根据权利要求 1 所述的半导体器件，

其中所述第一管芯焊盘部分的一部分与在所述第二管芯焊盘部分附近延伸的第一漏极引线一体地形成，并且所述第二半导体芯片的源极焊盘和所述第一漏极引线通过金属导线或者金属带相互电耦合。

9. 根据权利要求 8 所述的半导体器件，

其中在所述树脂封装内部，弯曲形成所述第一漏极引线以便与所述树脂封装的底表

面分离。

10. 根据权利要求 1 所述的半导体器件，

其中所述第一半导体芯片的源极焊盘和所述第一源极引线通过多个所述金属带相互电耦合。

11. 一种半导体器件，其中以树脂封装密封安装于管芯焊盘部分上的半导体芯片，并且多个引线的外引线部分从所述树脂封装的侧表面暴露；

其中在所述半导体芯片的主表面上，形成有功率 MOSFET、与所述功率 MOSFET 的栅极电极耦合的栅极焊盘以及与所述功率 MOSFET 的源极耦合并且面积比所述栅极焊盘的面积更大的多个源极焊盘；

其中在所述半导体芯片的后表面上，形成有所述功率 MOSFET 的漏极电极；

其中在所述半导体芯片的后表面与所述管芯焊盘部分之间，插入有银浆；

其中所述引线包括：栅极引线，电耦合到所述半导体芯片的栅极焊盘；以及源极引线，电耦合到所述半导体芯片的源极焊盘；

其中各所述源极焊盘和所述源极引线通过金属带相互电耦合；以及

其中所述栅极焊盘布置于所述源极焊盘之间。

12. 根据权利要求 11 所述的半导体器件，

其中所述栅极焊盘和所述栅极引线通过金属导线相互电耦合。

13. 根据权利要求 11 所述的半导体器件，

其中所述银浆的弹性模量在 0.2GPa 到 5.3GPa 的范围内，而所述银浆的剪切强度为 8.5MPa 或者更大。

14. 根据权利要求 11 所述的半导体器件，

其中所述栅极引线 and 所述源极引线从所述树脂封装的第一侧表面暴露，并且与所述管芯焊盘部分一体形成的漏极引线从所述树脂封装的第二侧表面暴露。

15. 根据权利要求 11 所述的半导体器件，

其中在所述管芯焊盘部分、所述栅极引线 and 所述源极引线各自的表面上，形成有包含钯作为主要成分的镀层。

16. 根据权利要求 15 所述的半导体器件，

其中在所述管芯焊盘部分的表面上形成的所述镀层的一部分中，设置有助于在将所述半导体芯片安装于所述管芯焊盘部分之上时对准所述半导体芯片的凹口部分。

17. 根据权利要求 15 所述的半导体器件，

其中在所述管芯焊盘部分的表面上形成的所述镀层的一部分中，设置有助于在将所述金属带键合到所述管芯焊盘部分上时对准所述金属带的凹口部分。

半导体器件

[0001] 相关申请的交叉引用

[0002] 在此通过参考引入 2008 年 12 月 26 日提交的日本专利申请 No.2008-332756 的全部公开内容和 2008 年 2 月 29 日提交的日本专利申请 No.2008-49628 的全部公开内容，包括说明书、附图和摘要。

技术领域

[0003] 本发明涉及一种半导体器件并且特别涉及一种对于包括小尺寸表面安装封装的半导体器件有用的技术。

背景技术

[0004] 用于便携信息装置的功率控制开关和充电/放电保护电路开关等的功率 MOSFET(金属氧化物半导体场效应晶体管)以小尺寸表面安装封装诸如 SOP8 来密封。例如在专利文献 1(日本专利公开 No.2000-164869)和专利文献 2(日本专利公开 No.2000-299464)中描述了这样一种功率 MOSFET。

[0005] 专利文献 1 公开了如下技术，该技术通过形成 n 型漏极区域使得在 n⁺ 型硅衬底与沟槽的底部之间延伸并且在 n 型漏极区域与形成 n⁺ 型硅衬底上层的 p 型外延层之间形成接合的部分使得在 n⁺ 型硅衬底与沟槽的隔壁之间延伸，来减少在包括 p 型外延层的结构中形成的沟槽 - 栅极功率 MOSFET(金属氧化物半导体场效应晶体管)中出现穿通击穿的风险。

[0006] 另外，专利文献 2 公开了如下技术，该技术通过在第一导电型半导体衬底之上提供第一导电型外延层和第二导电型阱层、在由外延层和阱层组成的上层内部提供由绝缘层隔离的深沟槽栅极、在沟槽栅极之下提供漏极区域、与沟槽栅极邻近地提供源极区域并且在阱层的上部中提供用浓度比阱层的杂质浓度更高的杂质掺杂的体区域来减小漏极区域的导通电阻。

发明内容

[0007] 本发明人已经关于用于密封其中形成功率 MOSFET 的硅芯片的小尺寸表面安装封装如 SOP8 进行了研究。

[0008] 本发明人研究的 SOP8 是其中用环氧基模制树脂来密封硅芯片的表面安装型封装，并且硅芯片在它的主表面向上的情况下安装于与漏极引线一体形成的管芯(die)焊盘部分之上。硅芯片的后表面构成功率 MOSFET 的漏极，并且它经由银浆接合到管芯焊盘部分的顶表面。

[0009] 在硅芯片的主表面上形成源极焊盘和栅极焊盘。利用主要由硅芯片的最上层中形成的铝膜组成的导电膜构成源极焊盘和栅极焊盘。为了减小功率 MOSFET 的导通电阻，构成源极焊盘使得具有比栅极焊盘的面积更大的面积。基于类似的原因，硅芯片的整个后表面构成功率 MOSFET 的漏极。

[0010] 构成 SOP8 的外部连接端子的源极引线、漏极引线和栅极引线暴露在模制树脂的外部。源极引线和源极焊盘以及栅极引线和栅极焊盘分别通过金导线来电耦合。栅极焊盘由于它的面积小所以通过一个金导线来耦合到栅极引线。另一方面，源极焊盘由于它的面积大于栅极焊盘的面积所以通过多个金导线电耦合到源极引线。

[0011] 然而具有上述构造的 SOP8 难以减小功率 MOSFET 的导通电阻，由此造成对提高器件性能的限制。这是因为：由于在源极焊盘或者源极引线与金导线之间的接触面积小，所以即使增加金导线的数目，仍然难以保证充分的接触面积。

[0012] 本发明的一个目的在于实现一种能够减小功率 MOSFET 的导通电阻的表面安装封装。

[0013] 本发明的另一目的在于实现一种包括功率 MOSFET 的高性能表面安装封装。

[0014] 本发明的又一目的在于提高包括功率 MOSFET 的表面安装封装的可靠性和制造产量。

[0015] 本发明的上述和更多目的以及新颖特征将从这一说明书的以下具体描述和附图中更完全地显现。

[0016] 下文简洁地概括这里将描述的本发明的优选实施例。

[0017] (1) 作为本申请的一个发明的一种半导体器件是如下半导体器件，其中以树脂封装密封安装于第一管芯焊盘部分之上的第一半导体芯片和安装于第二管芯焊盘部分之上的第二半导体芯片，并且多个引线的外引线部分从树脂封装的侧表面暴露；其中在第一和第二半导体芯片各自的主表面上，形成有功率 MOSFET、与功率 MOSFET 的栅极电极耦合的栅极焊盘以及与功率 MOSFET 的源极耦合并且面积比栅极焊盘的面积更大的源极焊盘；其中在第一和第二半导体芯片各自的后表面上，形成有功率 MOSFET 的漏极电极；其中在第一半导体芯片的后表面与第一管芯焊盘部分之间以及在第二半导体芯片的后表面与第二管芯焊盘部分之间，分别插入有银浆；其中引线包括：第一栅极引线，电耦合到第一半导体芯片的栅极焊盘；第一源极引线，电耦合到第一半导体芯片的源极焊盘；第二栅极引线，电耦合到第二半导体芯片的栅极焊盘；以及第二源极引线，电耦合到第二半导体芯片的源极焊盘；以及其中至少第一半导体芯片的源极焊盘和第一源极引线通过金属带相互电耦合。

[0018] (2) 作为本申请的另一发明的一种半导体器件是如下半导体器件，其中以树脂封装密封安装于管芯焊盘部分上的半导体芯片，并且多个引线的外引线部分从树脂封装的侧表面暴露；其中在半导体芯片的主表面上，形成有功率 MOSFET、与功率 MOSFET 的栅极电极耦合的栅极焊盘以及与功率 MOSFET 的源极耦合并且面积比栅极焊盘的面积更大的多个源极焊盘；其中在半导体芯片的后表面上，形成有功率 MOSFET 的漏极电极；其中在半导体芯片的后表面与管芯焊盘部分之间，插入有银浆；其中引线包括：栅极引线，电耦合到半导体芯片的栅极焊盘；以及源极引线，电耦合到半导体芯片的源极焊盘；其中各源极焊盘和源极引线通过金属带相互电耦合；以及其中栅极焊盘布置于源极焊盘之间。

[0019] 在本发明中，铝带是指主要由包含铝作为主要成分的导电材料组成的条状导线连接材料。通常，铝带在缠绕于线轴周围的状态下提供到键合装置。用于将铝带耦合到引线或者焊盘的方法包括超声键合和激光键合。由于铝带极薄，所以当将它耦合到引线

和焊盘时，可以任意地设置其长度和环状。

[0020] 另外，作为与铝带相似的导线连接材料，有一种称为夹(clip)的材料。其是通过将由铜合金或者铝等组成的薄金属板预先形成为预定环状和预定长度而获得的材料，并且当将它耦合到引线和焊盘时，其一端放置于引线上而其另一端放置于焊盘、夹和引线上，并且同时夹和焊盘相互耦合。耦合方法包括焊料键合、银浆键合和超声键合。

[0021] 在本发明中，带是指包括夹的导线连接材料。然而，带比预先确定长度和环状的夹更优选，因为带可以根据引线或者焊盘的面积或者在引线与焊盘之间的距离来任意地设置长度和环状。

[0022] 本发明的优选实施例带来的效果将简述如下。

[0023] 可以增强包括功率 MOSFET 的表面安装封装的性能。

附图说明

[0024] 图 1 是示出了根据第一实施例的半导体器件的外观的平面图；

[0025] 图 2 是示出了根据第一实施例的半导体器件的外观的侧视图；

[0026] 图 3 是示出了根据第一实施例的半导体器件的内部结构的平面图；

[0027] 图 4 是沿着图 3 中的线 A-A 的截面图；

[0028] 图 5 是沿着图 3 中的线 B-B 的截面图；

[0029] 图 6(a) 是包括功率 MOSFET 的封装的示意电路图；

[0030] 图 6(b) 是示出了比较例子的封装的平面图；

[0031] 图 6(c) 是示出了第一实施例的封装的平面图；

[0032] 图 7 是示出了硅芯片中形成的功率 MOSFET 的主要部分的截面图；

[0033] 图 8 是示出了硅芯片中形成的包括源极焊盘、栅极焊盘和栅极布线的最上层中的导电膜和下层中的栅极电极的平面图；

[0034] 图 9 是示出了本发明第一实施例的半导体器件的制造工艺的例子的流程图；

[0035] 图 10 是图示了当铝带通过楔键合来键合到硅芯片的源极焊盘时如何向银浆施加振动能量的方式的图；

[0036] 图 11 是图示了用于选择银浆的最佳弹性模量的指导原理公式的图；

[0037] 图 12 示出了图示用于选择四类银浆的指导原理公式和抗裂实验的结果的曲线图；

[0038] 图 13 示出了图示银浆弹性模量的剪切强度相关度的测量结果的曲线图；

[0039] 图 14 是示出了本发明另一实施例的半导体器件的内部结构的平面图；

[0040] 图 15 是示出了本发明另一实施例的半导体器件的内部结构的平面图；

[0041] 图 16 是示出了本发明另一实施例的半导体器件的内部结构的平面图；

[0042] 图 17 是示出了本发明另一实施例的半导体器件的后表面侧的外观的平面图；

[0043] 图 18 是沿着图 16 中的线 C-C 的截面图；

[0044] 图 19 是本发明另一实施例的半导体器件的内部等效电路图；

[0045] 图 20 是示出了本发明另一实施例的半导体器件的内部结构的平面图；

[0046] 图 21 是描述了本发明另一实施例的半导体器件的效果的图；

[0047] 图 22 是本发明另一实施例的又一半导体器件的平面图；

- [0048] 图 23 是沿着图 22 中的线 D-D 的截面图；
- [0049] 图 24 是本发明另一实施例的半导体器件的平面图；
- [0050] 图 25 是本发明另一实施例的另一半导体器件的平面图；
- [0051] 图 26 是本发明另一实施例的又一半导体器件的平面图；
- [0052] 图 27 是本发明另一实施例的半导体器件的平面图；
- [0053] 图 28 是本发明另一实施例的半导体器件的平面图；
- [0054] 图 29 是图 28 中所示半导体器件的内部等效电路图；
- [0055] 图 30 是本发明另一实施例的半导体器件的平面图；
- [0056] 图 31 是图 30 中所示半导体器件的内部等效电路图；
- [0057] 图 32 是本发明另一实施例的半导体器件的平面图；
- [0058] 图 33 是图 32 中所示半导体器件的内部等效电路图；
- [0059] 图 34 是本发明另一实施例的半导体器件的平面图；
- [0060] 图 35 是图 34 中所示半导体器件的内部等效电路图；
- [0061] 图 36 是作为本发明的一个比较例子而示例的半导体器件的平面图；
- [0062] 图 37 是本发明另一实施例的半导体器件的平面图；
- [0063] 图 38 是示出了本发明另一实施例的半导体器件的制造工艺的例子的流程图；
- [0064] 图 39 是示出了本发明另一实施例的半导体器件的制造工艺的步骤的平面图；
- [0065] 图 40 是示出了半导体器件的制造工艺在图 39 中的步骤之后的步骤的平面图；
- [0066] 图 41 是示出了半导体器件的制造工艺在图 40 中的步骤之后的步骤的平面图；
- [0067] 图 42 是示出了本发明另一实施例的半导体器件的制造工艺的步骤的截面图；
- [0068] 图 43 是示出了半导体器件的制造工艺在图 41 中的步骤之后的步骤的截面图；
- [0069] 图 44 是示出了半导体器件的制造工艺在图 43 中的步骤之后的步骤的截面图；
- [0070] 图 45 是示出了半导体器件的制造工艺在图 44 中的步骤之后的步骤的截面图；
- [0071] 图 46 是示出了半导体器件的制造工艺在图 45 中的步骤之后的步骤的平面图；
- [0072] 图 47(a) 至图 47(c) 是沿着图 40 中的线 A-A 的放大截面图：图 47(a) 和 47(b) 图示了在管芯焊盘部分与硅芯片没有相互适当地对准的情况下的问题；而图 47(c) 图示了管芯焊盘部分与硅芯片相互适当地对准的情况；
- [0073] 图 48(a) 和图 48(b) 是沿着图 42 中的线 B-B 的放大截面图并且分别图示了在管芯焊盘部分与硅芯片没有相互适当地对准的情况下的问题以及管芯焊盘部分与硅芯片相互适当地对准的情况。

具体实施方式

[0074] 下文将参照附图具体地描述本发明的优选实施例。在图示优选实施例的所有附图中，具有相似功能的元件带有相似参考标号并且省略对此类元件的重复描述。另外在优选实施例中，除非有必要，否则原则上不重复对相似或者近似部分的描述。另外在图示优选实施例的附图中，为了更易于理解配置，在一些情况下甚至在平面图中也添加阴影线。

[0075] 第一实施例

[0076] 图 1 至图 5 是示出了本实施例的半导体器件的图。图 1 是示出了其外观的平面

图；图 2 是示出了其外观的侧视图；图 3 是示出了其内部结构的平面图；图 4 是沿着图 3 的线 A-A 的截面图；而图 5 是沿着图 3 的线 B-B 的截面图。

[0077] 本实施例的半导体器件 1A 是其中用环氧基模制树脂 2 密封硅芯片 3 的表面安装封装，在模制树脂 2 的两侧中的各侧上暴露有构成半导体器件 1A 的外部连接端子的引线 4 的五个外引线部分。在这十个引线 4 中，图 1 中所示沿着模制树脂 2 的上侧布置的五个引线是漏极引线 4D。另外，在沿着模制树脂 2 的下侧布置的五个引线 4 之中，一个中心引线是栅极引线 4G 而其余四个引线是源极引线 4S。

[0078] 硅芯片 3 的平面尺寸例如是长边 $\times$ 短边 = $3.9\text{mm} \times 2.2\text{mm}$ 。在硅芯片 3 的主表面之上形成有用于便携信息装置的充电 / 放电保护电路开关、功率控制开关等的功率 MOSFET (下文将描述)。

[0079] 另外，硅芯片 3 在它的主表面向上的情况下安装于与五个漏极引线 4D 一体形成的管芯焊盘部分 4P。硅芯片 3 的后表面构成功率 MOSFET 的漏极并且经由银浆 5 接合到管芯焊盘部分 4P 的顶表面。管芯焊盘部分 4P 和十个引线 4 (漏极引线 4D、栅极引线 4G 和源极引线 4S) 由铜或者铁 - 镍合金制成，在其表面之上形成具有三层结构 (镍 / 钯 / 金) 的镀层 (图中未示出)。关于银浆 5 的组成和镀层的效果随后将加以描述。

[0080] 如图 3 中所示，在硅芯片 3 的主表面之上形成源极焊盘 7 和栅极焊盘 8。如下所述，利用硅芯片 3 的最上层中形成的主要由铝膜组成的导电膜构成各源极焊盘 7 和栅极焊盘 8。为了减小功率 MOSFET 的导通电阻，使源极焊盘 7 的面积比栅极焊盘 8 的面积更宽。基于类似原因，将硅芯片 3 的整个后表面构成功率 MOSFET 的漏极。

[0081] 本实施例的半导体器件 1A 包括在硅芯片 3 的主表面之上形成的两个源极焊盘 7 和一个栅极焊盘 8，而栅极焊盘 8 定位于两个源极焊盘 7 之间。

[0082] 图 6(a) 是包括功率 MOSFET 的封装的示意电路图。如图中所示，功率 MOSFET 的配置可以近似为配置有相互并联耦合的多个 MOSFET。图中的 R_1 至 R_n 各自分别代表从源极焊盘 7 到各功率 MOSFET 的源极区域的电阻。例如， R_1 代表从源极焊盘 7 到最近源极区域的电阻，而 R_n 代表从源极焊盘 7 到最远源极区域的电阻。

[0083] 图 6(b) 是示出了比较例子的封装的平面图，其中源极焊盘 7 和栅极焊盘 8 关于硅芯片 3 的主表面的中心不对称地布置；而图 6(c) 是示出了本实施例的封装的平面图，其中栅极焊盘 8 定位于两个源极焊盘 7 之间。在图 6(b) 中所示比较例子中，由于从源极焊盘 7 的位置到最远源极区域的位置 (X) 的距离 (D_1) 大，所以 R_n 将远大于 R_1 ，这造成整个封装的源极电阻大。相反，在图 6(c) 中所示本实施例中，由于从源极焊盘 7 的位置到最远源极区域的位置 (Y) 的距离 (D_2) 会较小，所以 R_n 关于 R_1 的增加数量将小于比较例子的增加数量。因此，根据其中栅极焊盘 8 定位于两个源极焊盘 7 之间的本实施例，可以使整个封装的源极电阻小于图 6(b) 中所示比较例子的源极电阻。

[0084] 如图 3 中所示，在本实施例的半导体器件 1A 中，在栅极引线 4G 的右侧布置的两个源极引线 4S 和在栅极引线 4G 的左侧布置的两个源极引线 4S 分别在模制树脂 2 内部相互接合，而各接合的部分经由一个铝带 10 电耦合到各源极焊盘 7。铝带 10 的厚度和宽度分别约为 0.1mm 和约为 1mm 。为了减小功率 MOSFET 的导通电阻，希望铝带 10 的宽度接近源极焊盘 7 的宽度，从而在铝带 10 与源极焊盘 7 之间的接触面积将尽可能大。相反，面积比源极引线 4S 的面积更小的栅极焊盘 8 经由一个金导线 11 电耦合到栅极引线

4G。

[0085] 接着将描述硅芯片 3 中形成的功率 MOSFET。图 7 是示出了作为功率 MOSFET 例子的 n 沟道型沟槽 - 栅极功率 MOSFET 的硅芯片 3 的主要部分的截面图。

[0086] 在 n^+ 型单晶硅衬底 20 的主表面之上通过外延生长工艺形成 n^- 型单晶硅层 21。 n^+ 型单晶硅衬底 20 和 n^- 型单晶硅层 21 构成功率 MOSFET 的漏极。

[0087] p 型阱 22 形成于 n^- 型单晶硅层 21 的一部分中。另外，在 n^- 型单晶硅层 21 的表面的一部分中形成氧化硅膜 23，而在表面的另一部分中形成多个沟槽 24。 n^- 型单晶硅层 21 的表面中由氧化硅膜 23 覆盖的区域构成元件隔离区域，而其中形成沟槽 24 的区域构成元件形成区域（有源区域）。虽然在图中未示出，但是沟槽 24 的平面形状是多边形，比如四边形、六边形或者八边形或者朝着一个方向延伸的条状。

[0088] 在各沟槽 24 的底部和侧壁形成构成功率 MOSFET 的栅极氧化物膜的氧化硅膜 25。另外，在沟槽 24 内部掩埋构成功率 MOSFET 的下层栅极电极的多晶硅膜 26A。相反，在氧化硅膜 23 之上形成由通过与构成下层栅极电极的多晶硅膜 26A 相同的步骤来沉积的多晶硅膜制成的栅极引出电极 26B。下层栅极电极（多晶硅膜 26A）和栅极引出电极 26B 在图中未示出的区域相互电耦合。

[0089] 在元件形成区域的 n^- 型单晶硅层 21 中形成比沟槽 24 更浅的 p 型半导体区域 27。p 型半导体区域 27 构成功率 MOSFET 的沟道层。在 p 型半导体区域 27 之上形成杂质浓度比 p 型半导体区域 27 的杂质浓度更高的 p 型半导体区域 28，而进一步在 p 型半导体区域 28 之上形成 n^+ 型半导体区域 29。p 型半导体区域 28 构成功率 MOSFET 的穿通停止层，而 n^+ 型半导体区域 29 构成其源极。

[0090] 在构成功率 MOSFET 的元件形成区域之上和在形成栅极引出电极 26B 的元件隔离区域之上形成两个氧化硅膜 30 和 31。在元件形成区域中形成穿透氧化硅膜 30 和 31、p 型半导体区域 28 以及 n^+ 型半导体区域 29 并且到达 p 型半导体区域 27 的连接孔 32。另外，在元件隔离区域中形成穿透氧化硅膜 30 和 31 并且到达栅极引出电极 26B 的连接孔 33。

[0091] 在氧化硅膜 31 之上，包括连接孔 32 的内部，分别形成由薄 TiW（钨化钛）膜和厚铝膜的叠置膜组成的源极电极 40 和栅极电极 41。元件形成区域中形成的源极电极 40 通过连接孔 32 电耦合到功率 MOSFET 的源极（ n^+ 型半导体区域 29）。在连接孔 32 的底部上形成用于以欧姆方式将源极焊盘 7 接触到 p 型半导体区域 27 的 p^+ 型半导体区域 35。另外，将元件隔离区域中形成的栅极电极 41 经由连接孔 33 之下的栅极引出电极 26B 耦合到功率 MOSFET 的下层栅极电极（多晶硅膜 26A）。

[0092] 在源极电极 40 和栅极电极 41 之上形成由氧化硅膜和氮化硅膜的叠置膜组成的表面保护膜 42。通过去除表面保护膜 42 的一部分来暴露源极电极 40 以形成源极焊盘 7，而通过去除表面保护膜 42 的另一部分来暴露栅极电极 41 以形成栅极焊盘 8。

[0093] 如上文提到的那样，铝带 10 的一边通过楔键合工艺来电耦合到源极焊盘 7。为了缓冲在与铝带 10 键合时向功率 MOSFET 施加的冲击，希望源极焊盘 7 在氧化硅膜 30 和 31 之上具有 $3\mu\text{m}$ 或者更大的厚度。

[0094] 图 8 是示出了硅芯片 3 中形成的包括源极电极 40 和栅极电极 41 的最上层导电膜的平面图。在硅芯片 3 的外围形成铝布线 36、37 和 38。铝布线 36、37 和 38 由与源极

电极 40 和栅极电极 41 的层相同层中的导电膜 (TiW 膜和铝膜的叠置) 组成。在实际硅芯片 3 中, 由于用表面保护膜 42 覆盖源极电极 40、栅极电极 41 以及铝布线 36、37 和 38, 所以在硅芯片 3 的表面上仅暴露上述最上层导电膜之中的其中形成源极焊盘 7 的区域中的源极电极 40 和其中形成栅极焊盘 8 的区域中的栅极电极 41。

[0095] 图 9 是示出了本实施例的半导体器件 1A 的制造过程的例子的流程图。为了制造半导体器件 1A, 通过首先根据常用制造方法在硅晶片上形成功率 MOSFET、然后对硅晶片进行划片来获得硅芯片 3。接着, 制备其中形成引线 4 和管芯焊盘部分 4P 的引线框, 并且使用银浆 5 将硅芯片 3 管芯键合 (die-bond) 到管芯焊盘部分 4P 上。

[0096] 接着, 使用利用超声波的楔键合工艺, 通过铝带 10 来电耦合硅芯片 3 的源极焊盘 7 和源极引线 4S。随后, 使用利用热和超声波的球键合工艺, 通过金导线 11 将硅芯片 3 的栅极焊盘 8 和栅极引线 4G 相互电耦合。

[0097] 接着, 使用模具, 利用模制树脂 2 密封硅芯片 3 (包括管芯焊盘部分 4P、铝带 10、金导线 11 和引线 4 的内引线部分), 然后在模制树脂 2 的表面上标记产品名称、产品编号等。随后, 切割并去除引线 4 暴露在模制树脂 2 外部的不必要部分, 然后将引线 4 形成鸥翼状, 最后使产品通过如下选择步骤, 该选择步骤确定产品是否可接受, 从而完成半导体器件 1A。

[0098] 因此在本实施例中, 使用面积比金导线 11 的面积更大的铝带 10 作为用于将面积比栅极焊盘 8 的面积更大的源极焊盘 7 电耦合到源极引线 4S 的导电材料。因此, 在通过楔键合将铝带 10 键合到源极焊盘 7 的表面上时, 如图 10 中所示, 不仅向硅芯片 3 的表面而且向插入在硅芯片 3 与管芯焊盘部分 4P 之间的银浆 5 施加键合工具 12 的大量振动能量。因此, 作为一种用以防止在银浆 5 中出现由于键合工具的大量振动能量所致破裂的对策, 希望有选择地使用具有最佳弹性模量 (Pa) 的此类银浆 5。

[0099] 在本实施例中, 通过以下公式 (1) 定义银浆 5 的弹性模量 (Pa):

[0100] 弹性模量 (Pa) = $2.6 \times \text{键合厚度} (\mu\text{m}) / (\text{断裂错位} (\mu\text{m}) \times \text{剪切强度 (Pa)})$ (1)

[0101] 在公式 (1) 中, 键合厚度 (μm) 是银浆的厚度, 而通过 (在剪切方向上的力) / (截面面积 (键合面积)) 来表达剪切强度 (Pa)。另外, 断裂错位是根据图 11 中所示计算公式导出的值 (μm)。这里, 由于断裂错位 > 铝带超声键合所致可能错位 (= 当通过超声键合将铝带键合到银浆时由于键合工具的振动所致的银浆形变量), 所以通过 { 弹性模量 (Pa) < $2.6 \times \text{键合厚度} (\mu\text{m}) / (\text{铝带超声键合所致可能错位} (\mu\text{m}) \times \text{剪切强度 (Pa)})$ } 来表达本实施例用于选择银浆 5 所需弹性模量 (Pa) 的指导原理公式。

[0102] 接着, 将描述为了确认用于选择的上述指导原理公式的有效性而执行的抗裂实验。在表 1 中示出了四种商用银浆 (1) 至 (4) 的弹性模量、剪切强度和键合厚度。关于在通过超声键合将铝带键合到银浆时银浆的形变量而言, 对于银浆 (1)、(3) 和 (4) 为 $0.1218 \mu\text{m}$, 而对于银浆 (2) 为 $0.07 \mu\text{m}$ 。

[0103] 表 1

[0104]

	弹性模量	剪切强度	键合厚度
银浆 (1)	5.30GPa	15.5MPa	15.4 μ m
银浆 (2)	5.34GPa	8.6MPa	13.2 μ m
银浆 (3)	2.42GPa	14.2MPa	24.4 μ m
银浆 (4)	0.611GPa	3.8MPa	16.6 μ m

[0105] 图 12 示出了各自图示用于选择的指导原理公式和四种银浆 (1) 至 (4) 各自的实验结果的曲线图。通过公式 (1) 计算的银浆 (1) 至 (4) 的弹性模量分别用实线来表示，而实线之下的各区域代表满足用于选择的指导原理公式的区域，也就是可键合区域。另外，各曲线图中的黑点标识银浆 (1) 至 (4) 各自的实际弹性模量。

[0106] 根据实验结果，虽然对于实际弹性模量满足用于选择的指导原理公式的银浆 (3) 和 (4) 而言没有出现破裂，但是对于实际弹性模量没有满足用于选择的指导原理公式的银浆 (1) 和 (2) 而言出现破裂。从实验结果确认：当将硅芯片 3 键合到管芯焊盘部分 4P 上时，通过选择满足用于选择的指导原理公式的银浆 5，可以有效地防止出现银浆 5 由于键合工具的振动能量所致的破裂。

[0107] 图 13 示出了图示当银浆的厚度设置为 10 μ m 并且在超声波的标准输出 (4W) 时将铝带键合到银浆时银浆弹性模量的剪切强度相关度的测量结果的曲线图。在曲线图中，白圆圈表明没有出现破裂的例子，而黑圆圈表明出现破裂的例子。

[0108] 从测量结果确定：希望银浆的弹性模量在 0.2GPa 至 5.3GPa 的范围内而银浆的剪切强度为 8.5MPa 或者更大。当弹性模量小于 0.2GPa 时，银浆无法具有所需导电率，因为银含量太小。另一方面，当弹性模量大于 5.3GPa 时，无法使银浆变形，因为银浆的硬度太大，由此银浆在超声键合时无法跟随振动，这造成出现破裂。另外，当银浆的剪切强度小于 8.5MPa 时，银含量无法承受在超声键合时出现的冲击。

[0109] 接着，将描述在引线框 (管芯焊盘部分 4P 和引线 4) 的表面上形成主要由钯膜组成的镀层这一情况的效果。在表 2 中，分别示出了当在由铜制成的引线框的表面上形成三种单镀层 (银、镍和钯) 时以及当没有形成镀层时，在源极引线与铝带之间、在栅极引线与金导线之间以及在管芯焊盘部分与银浆之间的键合性质 (o 表明良好的键合性质，而 $\times$ 表明键合失败)。

[0110] 表 2

[0111] 源极：铝带，栅极：金导线

[0112] 管芯键合材料：银浆

[0113]

	镀覆材料			
	银	镍	钯	裸铜
在源极柱与铝带之间的连接	×	○	○	○
在栅极柱与金导线之间的连接	○	×	○	×
在管芯焊盘与银浆之间的连接	○	×	○	×

[0114] 如从表 2 中可见, 当在引线框的表面上形成主要由钯膜组成的镀层时, 可见在源极引线 (源极柱) 与铝带之间、在栅极引线 (栅极柱) 与金导线之间以及在管芯焊盘部分与银浆之间表现良好的键合性质。

[0115] 表 3

[0116] 源极: 铝带, 栅极: 铝导线

[0117] 管芯键合材料: 银浆

[0118]

	镀覆材料			
	银	镍	钯	裸铜
在源极柱与铝带之间的连接	×	○	○	○
在栅极柱与铝导线之间的连接	○	○	○	○
在管芯焊盘与银浆之间的连接	○	×	○	×

[0119] 另外, 如从图 3 中可见, 当在引线框的表面上形成由钯膜组成的镀层时, 表现了即使栅极焊盘和栅极引线通过铝导线来耦合也获得良好的键合性质。因此, 通过在引线框的表面上形成主要由钯膜组成的镀层, 一种镀覆材料可以用于所有连接, 由此实现简化制造工艺。

[0120] 因此, 根据本实施例, 通过用铝带 10 耦合源极引线 4S 和源极焊盘 7, 键合面积将比在通过金导线耦合它们时的键合面积更小, 由此可以实现低电阻的半导体器件 1A。另外, 由于铝带 10 的成本低于金导线的成本, 所以可以减少半导体器件 1A 的制造成本。另外, 如果所需电阻值等于源极引线 4S 和源极焊盘 7 通过金导线来连接的情况, 则可以减小源极焊盘 7 的尺寸并且进一步减小硅芯片 3 的尺寸, 由此在这一情况下也可以减少半导体器件 1A 的制造成本。

[0121] 另外, 根据本实施例, 通过优化银浆 5 的弹性模量和剪切强度, 可以防止出现银浆 5 由铝带 10 的超声键合所致的破裂, 由此提高半导体器件 1A 的制造产量和可靠性。

[0122] 另外, 根据本实施例, 通过在引线框 (管芯焊盘部分 4P 和引线 4) 的表面上形成主要由钯膜组成的镀层, 可以实现无铅的半导体器件 1A。

[0123] 第二实施例

[0124] 图 14 是示出了本实施例的半导体器件的内部结构的平面图。本实施例的半导体器件 1B 与第一实施例的半导体器件 1A 在外部连接端子 (引线 4) 的数目及其布置上不同。

[0125] 也就是, 在本实施例的半导体器件 1B 中, 在模制树脂 2 的两个侧表面中的各侧

表面上暴露引线 4 的四个外引线部分。在八个引线 4 之中,图 14 中所示沿着封装的上侧布置的四个引线 4 是三个漏极引线 4D 和一个栅极引线 4G。另外,沿着封装的下侧布置的四个引线 4 是源极引线 4S。此外,硅芯片 3 安装于与三个漏极引线 4D 一体形成的管芯焊盘部分 4P 上。虽然在图中未示出,但硅芯片 3 的后表面构成功率 MOSFET 的漏极,并且它经由第一实施例中使用的相同银浆 5 来接合到管芯焊盘部分 4P 的顶表面。

[0126] 在硅芯片 3 的主表面之上形成源极焊盘 7 和栅极焊盘 8。如上文提到的那样,在本实施例的半导体器件 1B 中,漏极引线 4D 和栅极引线 4G 布置于模制树脂 2 的单个侧表面上。因此,栅极焊盘 8 定位于栅极引线 4G 附近的拐角部分并且经由金导线 11 电耦合到栅极引线 4G。

[0127] 另一方面,图 14 中所示沿着封装的下侧布置的四个源极引线 4S 在模制树脂 2 内部相互接合,而接合的部分经由铝带 10 电耦合到源极焊盘 7。

[0128] 在本实施例中,由于栅极焊盘 8 定位于硅芯片 3 的主表面之上的拐角部分,所以在硅芯片 3 的主表面之上形成的源极焊盘 7 的面积大于第一实施例的面积。因此,源极引线 4S 和源极焊盘 7 经由三个铝带 10 来耦合。

[0129] 另外,在三个铝带 10 之中,中心铝带 10 定位于硅芯片 3 的主表面的中心,而其余两个铝带 10 与中心铝带 10 等间距地来布置。由于通过以这一方式布置三个铝带 10,所以可以获得与第一实施例的效果相似的效果,减小功率 MOSFET 的导通电阻。

[0130] 另外,根据本实施例,由于源极焊盘 7 的面积比第一实施例的面积增大,所以可以增加耦合到源极焊盘 7 的铝带 10 的数目。这引起在源极焊盘 7 与铝带 10 之间的接触面积增加,从而造成功率 MOSFET 的导通电阻小,由此可以实现器件性能提高的半导体器件 1B。

[0131] 第三实施例

[0132] 图 15 是示出了本实施例的半导体器件的内部结构的平面图。本实施例的半导体器件 1C 与第一实施例的半导体器件 1A 在外部连接端子(引线 4)的数目及其布置上不同。

[0133] 在本实施例的半导体器件 1C 中,在模制树脂 2 的两个侧表面中的各侧表面上暴露引线 4 的四个外引线部分。在八个引线 4 之中,图 15 中所示沿着封装的上侧布置的四个引线 4 是漏极引线 4D。另外,沿着封装的下侧布置的四个引线 4 是三个源极引线 4S 和一个栅极引线 4G。也就是,本实施例的半导体器件 1C 具有与现有 SOP 8 的外部连接端子布置相同的外部连接端子布置。

[0134] 硅芯片 3 安装于与四个漏极引线 4D 一体形成的管芯焊盘部分 4P 上。虽然在图中未示出,但是硅芯片 3 的后表面构成功率 MOSFET 的漏极,并且它经由在第一实施例中使用的相同银浆 5 接合到管芯焊盘部分 4P 的顶表面。

[0135] 在硅芯片 3 的主表面之上形成源极焊盘 7 和栅极焊盘 8。栅极焊盘 8 定位于栅极引线 4G 附近的拐角部分并且经由金导线 11 电耦合到栅极引线 4G。另一方面,图 15 中所示沿着封装的下侧布置的三个源极引线 4S 在模制树脂 2 内部相互接合,而接合的部分经由两个铝带 10 电耦合到源极焊盘 7。

[0136] 两个铝带 10 与源极焊盘 7 的中心等间距地来布置。由于通过以这一方式布置两个铝带 10,所以可以获得与第一实施例的效果相似的效果,减小功率 MOSFET 的导通电阻。也就是根据本实施例,可以在将外部连接端子的布置保持为与现有 SOP 8 的外部连

接端子布置相同的布置的同时提高器件性能。

[0137] 第四实施例

[0138] 图 16 至图 19 是示出了本实施例的半导体器件的图。图 16 是示出了其内部结构的平面图；图 17 是示出了其后表面侧外观的平面图；图 18 是沿着图 16 的线 C-C 的截面图；而图 19 是其内部等效电路图。

[0139] 本实施例的半导体器件 1D 是其中用模制树脂 2 密封两个硅芯片 3H 和 3L 的表面安装封装，而在模制树脂 2 的两个侧表面中的各侧表面上暴露构成外部连接端子的引线 4 的四个外引线。

[0140] 在两个硅芯片 3H 和 3L 之中，在面积较小的硅芯片 3H 的主表面之上形成高端 MOSFET，而在面积较大的硅芯片 3L 的主表面之上形成低端 MOSFET。如图 19 中所示，高端 MOSFET 的源极和低端 MOSFET 的漏极相互电耦合，这例如构成 DC/DC 转换器。由于高端 MOSFET 和低端 MOSFET 的具体结构近似地等同于第一实施例的功率 MOSFET 的结构，所以省略对它们的说明。

[0141] 另外，在两个硅芯片 3H 和 3L 之中，面积较小的硅芯片 3H 在它的主表面向上的情况下安装于与两个漏极引线 4D1 一体形成的管芯焊盘部分 4P1 上。硅芯片 3H 的后表面构成高端 MOSFET 的漏极，并且它经由在第一实施例中使用的相同银浆 5 接合到管芯焊盘部分 4P1 的顶表面。

[0142] 在图 16 中所示模制树脂 2 的下侧，一个栅极引线 4G1 和一个源极引线 4S1 布置于两侧上同时将两个漏极引线 4D1 夹入中间。另外，在硅芯片 3H 的主表面之上形成面积较大的源极焊盘 7 和面积较小的栅极焊盘 8。此外，硅芯片 3H 的源极焊盘 7 和源极引线 4S1 经由一个金导线 11 相互电耦合，而硅芯片 3H 的栅极焊盘 8 和栅极引线 4G1 经有一个金导线 11 相互电耦合。

[0143] 另一方面，面积较大的硅芯片 3L 在它的主表面向上的情况下安装于面积比管芯焊盘部分 4P1 的面积更大的管芯焊盘部分 4P2 上。在硅芯片 3L 的主表面之上形成面积较大的源极焊盘 7 和面积较小的栅极焊盘 8。另外，硅芯片 3L 的后表面构成低端 MOSFET 的漏极，并且它经由与在第一实施例中使用的相同银浆 5 接合到管芯焊盘部分 4P2 的顶表面。

[0144] 在图 16 中所示模制树脂 2 的上侧布置三个源极引线 4S2 和一个栅极引线 4G2。三个源极引线 4S2 在模制树脂 2 内部相互接合，而接合的部分和硅芯片 3L 的源极焊盘 7 经由两个铝带 10 相互电耦合。另外，硅芯片 3L 的栅极焊盘 8 经由一个金导线 11 电耦合到栅极引线 4G2。

[0145] 另外，如图 16 中所示，在其上安装硅芯片 3H 的管芯焊盘部分 4P1 附近，布置与其上安装硅芯片 3L 的管芯焊盘部分 4P2 一体形成的两个漏极引线 4D2。此外，各漏极引线 4D2 和硅芯片 3H 的源极焊盘 7 经由金导线 11 相互电耦合，这造成高端 MOSFET 的源极和低端 MOSFET 的漏极相互电耦合（参见图 19）。

[0146] 另外，如图 17 中所示，在模制树脂 2 的后表面上暴露两个管芯焊盘部分 4P1 和 4P2 的后表面。因此，由于当半导体器件 1D 安装于布线板等上时两个管芯焊盘部分 4P1 和 4P2 的后表面可以焊接到布线板上的布线，所以两个硅芯片 3H 和 3L 中产生的热可以有效地驱散到芯片外部，使得能够减小封装的热电阻。

[0147] 因此, 在本实施例的半导体器件 1D 中, 源极焊盘 7 和在两个硅芯片 3H 和 3L 之中面积较大的硅芯片 3L 的各源极引线通过铝带 10 相互连接。因此, 低端 MOSFET 的导通电阻与源极焊盘 7 和各源极引线 4S2 通过金导线相互连接的情况相比可以得到减小。此外, 当通过两个铝带 10 来进行硅芯片 3L 的源极焊盘 7 和源极引线 4S2 的连接时, 希望两个铝带 10 与硅芯片 3L 的中心等间距地来布置。因此, 可以进一步减小低端 MOSFET 的导通电阻。

[0148] 当高端 MOSFET 的源极和低端 MOSFET 的漏极相互电耦合时, 如图 20 中所示, 管芯焊盘部分 4P1 上安装的硅芯片 3H 的源极焊盘 7 可以通过金导线 11 直接地连接到其上安装硅芯片 3L 的管芯焊盘部分 4P2。

[0149] 然而在这一情况下, 由于硅芯片 3L 和金导线 11 相互接近, 所以在一些键合条件之下, 金导线 11 可能接触从在硅芯片 3L 与管芯焊盘部分 4P2 之间的间隙渗出的导电银浆 5, 造成金导线 11 的连接可靠性的降低。为了稳妥地避免这样的麻烦, 安装于管芯焊盘部分 4P2 上的硅芯片 3L 的尺寸必须小, 然而在这一情况下, 由于在硅芯片 3L 的源极焊盘 7 与铝带 10 之间的接触面积也将是小的, 所以难以减小低端 MOSFET 的导通电阻。

[0150] 因而, 当高端 MOSFET 的源极和低端 MOSFET 的漏极相互电耦合时, 如图 16 中所示, 希望布置与管芯焊盘部分 4P2 一体形成的漏极引线 4D2 并且通过金导线 11 将各漏极引线 4D2 连接到硅芯片 3H 的源极焊盘 7。

[0151] 另外, 在本实施例中, 如图 18 中所示, 各漏极引线 4D 受到弯曲, 从而它的高度将高于管芯焊盘部分 4P2 的高度。在这样的情况下, 如图 21 中所示, 由于即使大量银浆 5 从在硅芯片 3L 与管芯焊盘部分 4P2 之间的间隙渗出, 银浆 5 也没有到达各漏极引线 4D2 的键合区域, 所以可以稳妥地防止在银浆 5 与金导线 11 之间的干扰。

[0152] 另外在这样的情况下, 如图 17 中所示, 即使在模制树脂 2 的后表面上暴露管芯焊盘部分 4P1, 也没有暴露漏极引线 4D2。因而, 当管芯焊盘部分 4P1 和 4P2 的后表面焊接到布线板时, 可以稳妥地防止出现故障, 也就是管芯焊盘部分 4P1 和邻近的漏极引线 4D2 经由焊料的短路。

[0153] 本实施例的半导体器件 1D 的配置不限于上述配置, 例如代之以如图 22 和图 23(沿着图 22 的线 D-D 的截面图) 中所示也可以使用如下配置, 其中漏极引线 4D2 和源极引线 4S1 集成为一个引线 (4S1/D2), 并且通过用金导线 11 将引线 (4S1/D2) 和硅芯片 3H 的源极焊盘 7 相互连接, 高端 MOSFET 的源极和低端 MOSFET 的漏极也相互电耦合。

[0154] 在这一情况下, 为了防止出现在银浆 5 与金导线 11 之间的干扰以及在引线 (4S1/D2) 与管芯焊盘部分 4P1 之间焊料所致的短路, 如图 23 中所示, 在模制树脂 2 内也希望引线 (4S1/D2) 的高度高于管芯焊盘部分 4P2 的高度。

[0155] 第五实施例

[0156] 例如, 当硅芯片 3L 的尺寸比较小时, 或者当硅芯片 3H 的尺寸比较大时, 如图 24 和 25 中所示, 也可以使用如下配置, 其中硅芯片 3H 的源极焊盘 7 和管芯焊盘部分 4P2 通过铝带 10 直接地相互连接。在这一情况下, 不仅可以减小硅芯片 3L 中形成的低端 MOSFET 的导通电阻而且可以减小硅芯片 3H 中形成的高端 MOSFET 的导通电阻。

[0157] 另外, 例如如图 26 中所示, 当漏极引线 4D2 和源极引线 4S1 集成为一个引线 (4S1/D2) 时, 引线 (4S1/D2) 的面积将较大, 由此通过用铝带 10 将硅芯片 3H 的源极焊盘

7 和引线 (4S1/D2) 相互连接, 可以减小高端 MOSFET 的导通电阻。

[0158] 第六实施例

[0159] 如图 27 中所示, 在本实施例的半导体器件 1E 中, 当硅芯片 3L 安装于管芯焊盘部分 4P2 上时, 硅芯片 3L 的长边可以与八个引线 4 延伸的方向平行地来布置。在这一情况下, 由于对硅芯片 3L 的源极焊盘 7 和源极引线 4S2 进行连接的铝带 10 的延伸方向与硅芯片 3L 的长边平行, 所以即使仅一个铝带 10 连接到源极焊盘 7, 通过增加在源极焊盘 7 与铝带 10 之间的接触面积, 仍可以减小低端 MOSFET 的导通电阻。

[0160] 第七实施例

[0161] 图 28 中所示半导体器件 1F 是两个硅芯片 3 安装于与漏极引线 4D 一体形成的管芯焊盘部分 4P 上的例子, 而图 29 是半导体器件 1F 的内部等效电路图。

[0162] 两个硅芯片 3 的后表面构成功率 MOSFET 的漏极, 并且它经由在第一实施例中所用的相同银浆 5 接合到管芯焊盘部分 4P 的顶表面 4P。另外, 在两个硅芯片 3 各自的主表面之上形成源极焊盘 7 和栅极焊盘 8。此外, 各源极焊盘 7 经由铝带 10 电连接到源极引线 4S, 而各栅极焊盘 8 经由金导线 11 电连接到栅极引线 4G。

[0163] 在这一情况下, 通过经由铝带 10 连接两个硅芯片 3 各自的源极焊盘 7 和源极引线 4S, 也可以减小各硅芯片 3 的功率 MOSFET 的导通电阻。

[0164] 第八实施例

[0165] 图 30 中所示半导体器件 1G 是如下例子, 其中形成于管芯焊盘部分 4P1 之上的硅芯片 3H 的源极焊盘 7 和源极引线 4S1、形成于管芯焊盘部分 4P2 之上的硅芯片 3L 的源极焊盘 7 和源极引线 4S2 以及硅芯片 3H 的源极焊盘 7 和管芯焊盘部分 4P2 分别通过铝带 10 相互电连接, 而图 31 是半导体器件 1G 的等效内部电路图。

[0166] 根据半导体器件 1G, 可以减小硅芯片 3L 之上形成的低端 MOSFET 的导通电阻和硅芯片 3H 之上形成的高端 MOSFET 的导通电阻两者。

[0167] 第九实施例

[0168] 图 32 中所示半导体器件 1H 是如下例子, 其中硅芯片 3 安装于与漏极引线 4D 一体形成的两个管芯焊盘部分 4P 中的各管芯焊盘部分上, 各硅芯片 3 的源极焊盘 7 和源极引线 4S 通过铝带 10 相互电连接, 而图 33 是半导体器件 1H 的等效内部电路图。

[0169] 根据半导体器件 1H, 可以减小两个硅芯片 3 中的各硅芯片之上形成的功率 MOSFET 的导通电阻。

[0170] 至此已经参照其优选实施例对本发明做出的本发明进行了描述。然而, 本发明不限于此, 并且明显可以用各种方式修改这些细节而不脱离本发明的精神和范围。

[0171] 第十实施例

[0172] 虽然上述实施例 1 至 9 应用于其中用模制树脂密封一个或者两个硅芯片的表面安装封装, 但是本发明也适用于其中用模制树脂密封三个硅芯片的表面安装封装。

[0173] 图 34 中所示半导体器件 1I 是其中用模制树脂 2 密封三个硅芯片 3D、3H 和 3L 的 SIP(系统级封装), 而图 35 是半导体器件 1I 的等效内部电路图。

[0174] 三个硅芯片 3D、3H 和 3L 分别经由上述银浆 5 安装于管芯焊盘部分 4P1、4P2 和 4P3 上。关于三个硅芯片 3D、3H 和 3L, 高端 MOSFET 形成于硅芯片 3H 的主表面之上, 低端 MOSFET 形成于硅芯片 3L 的主表面之上, 而驱动器 IC 或者控制器 IC 形成于硅

芯片 3L 的主表面之上。

[0175] 同样在这一情况下，由于通过将铝带 10 连接到硅芯片 3H、3L 各自的源极焊盘 7，所以也可以减小硅芯片 3L 中形成的低端 MOSFET 和硅芯片 3H 中形成的高端 MOSFET 两者的导通电阻，可以改进 SIP 的性质。

[0176] 图 36 中所示半导体器件 1J 是系统级封装的如下例子，其中仅通过金导线 11 进行在三个半导体芯片 3D、3H 和 3L(包括其中形成高端 MOSFET 的半导体芯片 3H 的源极焊盘 7 和其中形成低端 MOSFET 的半导体芯片 3L 的源极焊盘 7) 之间的连接。

[0177] 另一方面，图 37 中所示半导体器件 1K 是系统级封装的如下例子，其中半导体芯片 3H 的源极焊盘 7SH 和半导体芯片 3L 的源极焊盘 7SL 分别耦合到铝带 10H 和 10L。形成于半导体芯片 3H 中的高端 MOSFET 和形成于半导体芯片 3L 中的低端 MOSFET 的元件尺寸分别与图 36 中所示半导体器件 1J 的元件尺寸相同。

[0178] 如从图 36 与图 37 之间的比较可知，即使高端 MOSFET 和低端 MOSFET 的元件尺寸分别是相同尺寸，当半导体芯片 3H 的源极焊盘 7SH 和半导体芯片 3L 的源极焊盘 7SL 分别耦合到铝带 10H 和 10L 时，仍然可以减小半导体尺寸 3H 和 3L 的尺寸。这是因为当源极焊盘 7SH 和 7SL 分别耦合到铝带 10H 和 10L 时，它们之间的接触面积大于当源极焊盘 7SH 和 7SL 分别耦合到金导线 11 时的接触面积，这造成功率 MOSFET 的导通电阻减小，而如果功率 MOSFET 具有相同导通电阻，则由于可以减小源极焊盘 7SH 和 7SL 的面积，所以可以相应地减小半导体芯片 3H 和 3L 的尺寸。

[0179] 如果减小半导体芯片 3H 和 3L 的尺寸，则如图 37 中所示可以增加用于安装相同尺寸的树脂封装中所含半导体芯片 3D 的管芯焊盘部分 4P3 的尺寸。因而，可以增加管芯焊盘部分 4P3 之上安装的半导体芯片 3D 的尺寸，并且可以增加半导体芯片 3D 中形成的焊盘的数目，这使半导体器件 1K 能够具有比半导体器件 1J 的功能更多的功能。

[0180] 接着，参照图 38(整个流程图) 和图 39 至图 46(各步骤的平面图) 将描述半导体器件 1K 的制造工艺的例子。

[0181] 首先根据通常的制造方法，通过分别对其上形成高端 MOSFET、低端 MOSFET 和驱动器 IC 电路 (或者控制 IC 电路) 的三种硅晶片进行划片来获得半导体芯片 3H、3L 和 3D。

[0182] 接着，如图 39 中所示，制备其中形成多个引线 4D、4H 和 4L 以及管芯焊盘部分 4P1、4P2 和 4P3 的引线框 LF。引线框 LF 由铜合金或者铁 - 镍合金制成，而在其表面的一部分 (图中的阴影区) 中例如形成如第一实施例中所述主要由钯膜组成的镀层 9。另外，在引线框 LF 中，在管芯焊盘部分 4P1 和 4P2 的镀层 9 处设置凹口部分 9S1 至 9S4。随后将描述在管芯焊盘部分 4P1 和 4P2 的镀层 9 处设置凹口部分 9S1 至 9S4 的效果。

[0183] 接着，如图 40 中所示，使用银浆 5 将半导体芯片 3H 管芯键合到管芯焊盘部分 4P1 上。使用与第一实施例中描述的银浆相同组成的银浆 5。

[0184] 接着，如图 41 中所示，半导体芯片 3H 的源极焊盘 7SH 和管芯焊盘部分 4P2 通过利用超声波的楔键合工艺通过铝带 10H 相互电耦合。此外，如果在通过银浆 5 分别将半导体芯片 3H 和 3L 管芯键合到管芯焊盘部分 4P1 和 4P2 上之后，半导体芯片 3H 的源极焊盘 7SH 和管芯焊盘部分 4P2 通过铝带 10H 相互电耦合，如图 42 中所示，有时散布到半导体芯片 3L 外部的银浆 5 和铝带 10H 将相互干扰，而铝带 10H 和管芯焊盘部分 4P2 无法

正常地相互耦合。因而，希望在将半导体芯片 3L 管芯键合到管芯焊盘部分 4P2 上之前通过铝带 10H 将半导体芯片 3H 的源极焊盘 7SH 和管芯焊盘部分 4P2 相互耦合。然而，如果半导体芯片 3H 和 3L 分别管芯键合到管芯焊盘部分 4P1 和 4P2 上，并且此后通过铝带 10H 将半导体芯片 3H 的源极焊盘 7SH 和管芯焊盘部分 4P2 相互电耦合，则由于可以通过一次烘焙处理来同时地固化在管芯焊盘部分 4P1 上涂敷的银浆 5 和在管芯焊盘部分 4P2 上涂敷的银浆 5，将提高管芯键合操作的效率。

[0185] 接着，如图 43 中所示，使用银浆 5 分别将半导体芯片 3L 和 3D 管芯键合到管芯焊盘部分 4P2 和 4P3 上，此后如图 44 中所示，通过利用超声波的楔键合工艺，通过铝带 10 将半导体芯片 3L 的源极焊盘 7SL 和引线 4L 电耦合。此外，由于其中形成驱动器 IC 电路（或者控制 IC 电路）的半导体芯片 3D 在其后表面上没有漏极电极，所以可以使用除了具有上述组成的银浆 5 之外的粘合剂来将它管芯键合到管芯焊盘部分 4P3 上。

[0186] 接着，如图 45 中所示，通过利用热和超声波的球键合工艺，在半导体芯片 3D 与半导体芯片 3H 和 3L 之间以及在半导体芯片 3D 与引线 4D 之间分别通过金导线 11 相互电耦合。

[0187] 接着，如图 46 中所示，用模制树脂 2 密封半导体芯片 3H、3L 和 3D（包括管芯焊盘部分 4P1 至 4P3、铝带 10H 和 10L、金导线 11 以及引线 4H、4L 和 4D 的内引线部分）。然后，虽然在图中未示出，但是在模制树脂 2 的表面上标记产品名称、产品编号等。随后，切割和去除引线 4H、4L 和 4D 暴露在模制树脂 2 外部的不必要部分，然后以预定形状形成引线 4H、4L 和 4D 的外引线部分，最后使产品通过如下筛选步骤，该步骤确定产品是否可接受，从而完成半导体器件 1K。

[0188] 在半导体器件 1K 的上述制造步骤之中，在将半导体芯片 3H 管芯键合到管芯焊盘部分 4P1 上的步骤（图 40）中，有必要适当地对准管芯焊盘部分 4P1 和半导体芯片 3H。

[0189] 例如，如图 47(a)（沿着图 41 的线 A-A 的截面图）中所示，当将半导体芯片 3H 管芯键合到管芯焊盘部分 4P1 上时，如果半导体芯片 3H 过多地靠近邻近的管芯焊盘部分 4P2，则半导体芯片 3H 的源极焊盘 7SH 和管芯焊盘部分 4P2 相互耦合的距离将太短。结果对铝带 10H 在源极焊盘 7SH 与管芯焊盘部分 4P2 之间的一部分施加强大的弯曲应力，这造成容易出现键合缺陷，比如铝带 10H 的折断和异常圈结。

[0190] 相反，如图 47(b) 中所示，当将半导体芯片 3H 管芯键合到管芯焊盘部分 4P1 上时，如果半导体芯片 3H 与邻近管芯焊盘部分 4P2 间距过大，则半导体芯片 3H 的源极焊盘 7SH 和管芯焊盘部分 4P2 相互耦合的距离将太长，这造成容易出现在铝带 10H 与硅芯片 3H 的端部和管芯焊盘部分 4P1 的端部之间接触的短路缺陷。

[0191] 如上文提到的那样，在其上分别安装半导体芯片 3H 和 3LL 的管芯焊盘部分 4P1 和 4P2 的镀层 9 中设置凹口部分 9S1 至 9S4。因而，在本实施例中，当在管芯焊盘部分 4P1 之上安装半导体芯片 3H 时（参见图 40），半导体芯片 3H 关于向管芯焊盘部分 4P1 的镀层 9 设置的凹口部分 9S1 来对准。如图 47(c) 中所示，这实现了最优化从半导体芯片 3H 的端部到管芯焊盘部分 4P1 的端部的距离（L1）。因而，也最优化从半导体芯片 3H 的源极焊盘 7SH 到管芯焊盘部分 4P2 的键合区域的距离（L2），使得能够实现良好键合。另外，向与凹口部分 9S1 对角相向的位置设置的凹口部分 9S2 如果它关于管芯焊盘部分 4P1 旋转则可以用来检测半导体芯片 3H 的移位。

[0192] 类似地, 在将半导体芯片 3L 管芯键合到管芯焊盘部分 4P2 上的步骤(图 43)中, 有必要适当地对准管芯焊盘部分 4P2 和半导体芯片 3L。

[0193] 例如, 如图 48(a)(沿着图 43 中的线 B-B 的截面图)中所示, 当使用银浆 5 分别将半导体芯片 3H 和 3L 管芯键合到管芯焊盘部分 4P1 和 4P2 上时, 如果半导体芯片 3L 过多地靠近邻近的管芯焊盘部分 4P1, 则管芯焊盘部分 4P2 的键合区域的面积将较小。结果当将铝带 10H 的一端键合到管芯焊盘部分 4P2 上时, 由于将出现比如键合机的楔不能接触该区域以及楔与铝带 10H 之间的接触面积变小的问题, 所以将难以执行铝带 10H 到管芯焊盘部分 4P2 的良好键合。

[0194] 因此, 在本实施例中, 当在管芯焊盘部分 4P2 之上安装半导体芯片 3L 时(参见图 43), 半导体芯片 3L 关于向管芯焊盘部分 4P2 的镀层 9 设置的凹口部分 9S3 来对准。如图 48(b)中所示, 由于这实现了最优化从半导体芯片 3H 的端部(银浆 5)到管芯焊盘部分 4P2 的端部的距离(L3), 所以可以保证管芯焊盘部分 4P2 的键合区域的面积, 这使得能够实现铝带 10H 到管芯焊盘部分 4P2 的良好键合。另外, 由于关于凹口部分 9S3 来对准半导体芯片 3H 能够使得半导体芯片 3L 与引线 4L 之间的距离得到最优化, 所以实现管芯焊盘部分 4P2 关于引线 4L 的良好键合(就这一点而言描述与图 47 的描述相同)。另外, 以与凹口部分 9S2 相同的方式, 向与凹口部分 9S3 对角相向的位置设置的另一凹口部分 9S4 如果它关于管芯焊盘部分 4P2 旋转则可以用来检测半导体芯片 3L 的移位。另外, 凹口部分 9S4 也可以用来确认铝带 4H 的键合区域的范围。

[0195] 凹口部分 9S1 至 9S4 不仅适用于本实施例 10 的半导体器件而且适用于实施例 1 至 9 的半导体器件。另外, 虽然在本实施例中, 管芯焊盘部分 4P1 设置有两个凹口部分 9S1 和 9S2 而管芯焊盘部分 4P2 设置有两个凹口部分 9S3 和 9S4, 但是对于管芯焊盘部分 4P1 和 4P2 分别设置有一个 9S1 和一个 9S3 就足够了, 由此它们可以没有 9S2 或者 9S4。

[0196] 如图 39 中所示, 在本实施例的引线框 LF 中, 镀层 9 形成于其上安装半导体芯片 3H(其中形成有高端 MOSFET)的管芯焊盘部分 4P1 和其上安装半导体芯片 3L(其中形成有低端 MOSFET)的管芯焊盘部分 4P2 上, 但是它没有形成于其上安装半导体芯片 3D 的管芯焊盘部分 4P3 上。

[0197] 在高端 MOSFET 和低端 MOSFET 中的各 MOSFET 上形成后表面电极(漏极电极)。它们分别电耦合到管芯焊盘部分 4P1 和 4P2。通过在管芯焊盘部分 4P1 和 4P2 中的各管芯焊盘部分上形成镀层 9 以便防止主要由铜组成的管芯焊盘部分 4P1 和 4P2 被氧化, 来减小各漏极的寄生电阻。

[0198] 相反, 没有在其上形成半导体芯片 3D(其中形成有驱动器 IC(或者控制 IC))的管芯焊盘部分 4P3 上形成镀层 9 的原因在于, 驱动器 IC 或者控制 IC 没有形成后表面电极, 由此其后表面没有必要电耦合到管芯焊盘部分 4P3。其更多原因在于, 可以提高在模制树脂 2 与管芯焊盘部分 4P3 之间的键合强度。

[0199] 至此已经参照其优选实施例对本发明人做出的本发明进行了说明。然而, 本发明不限于此, 并且明显可以用各种方式修改这些细节而不脱离本发明的精神和范围。

[0200] 半导体芯片中形成的元件不限于功率 MOSFET, 取而代之, 它可以是比如 IGBT(绝缘栅双极型晶体管)这样的元件。另外, 取代铝带, 也可以使用这样的带, 该带是用电阻低的金属材料如金或者铜合金来构成的。

[0201] 本发明可以应用于用作便携信息装置的功率控制开关和充电 / 放电保护电路开关等的功率半导体器件。

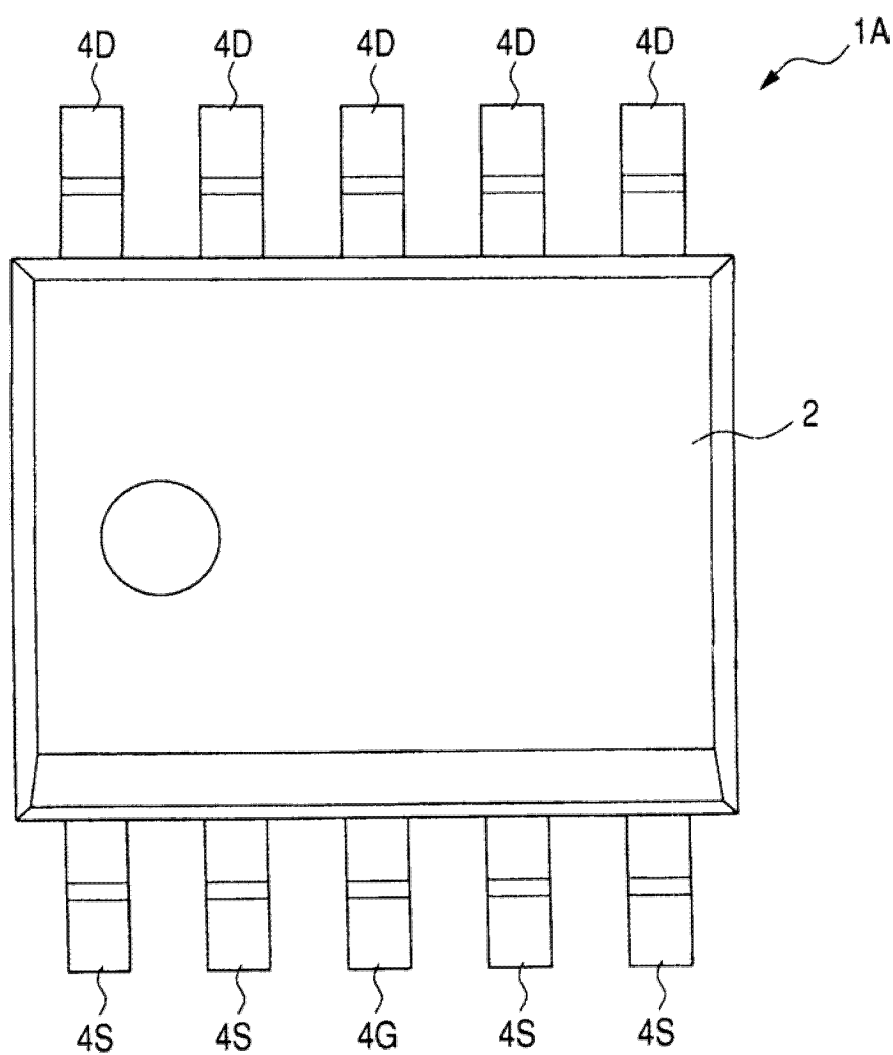


图 1

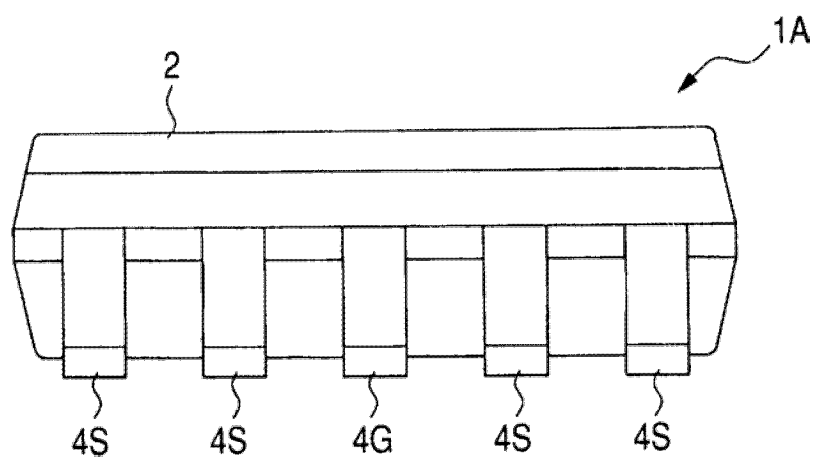


图 2

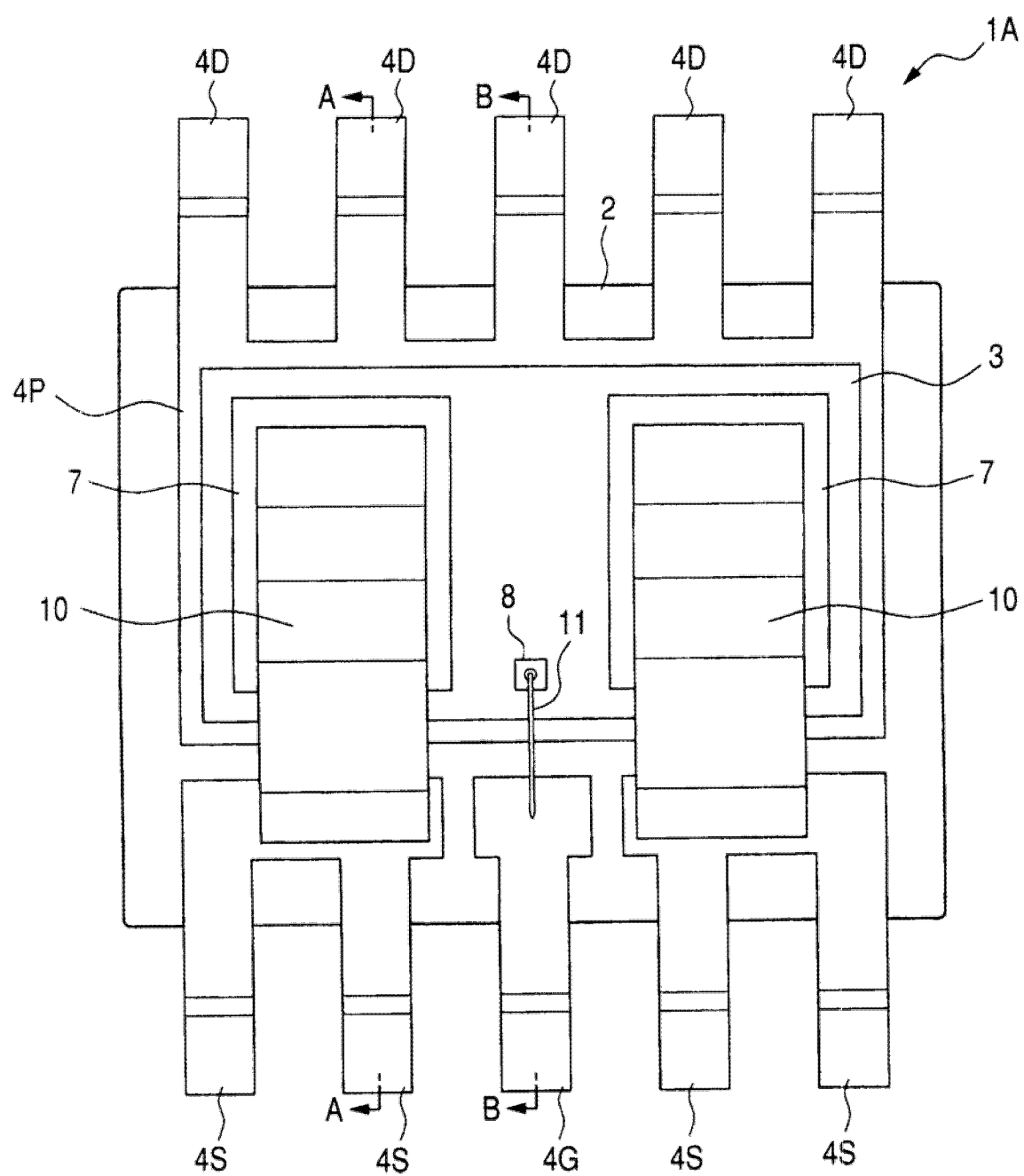


图 3

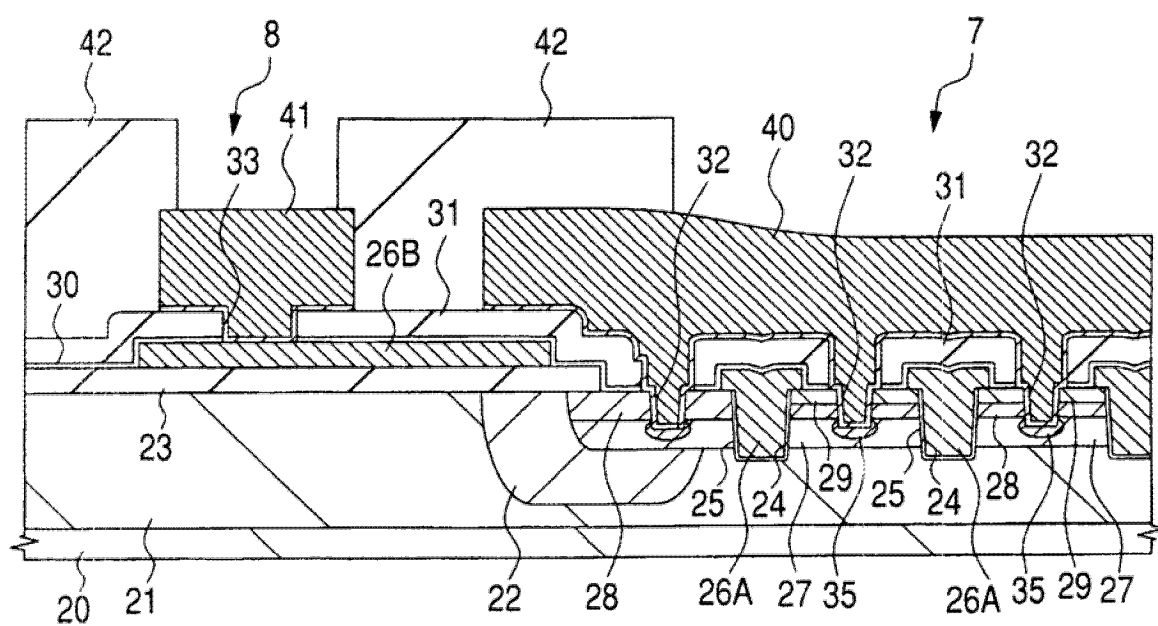


图 7

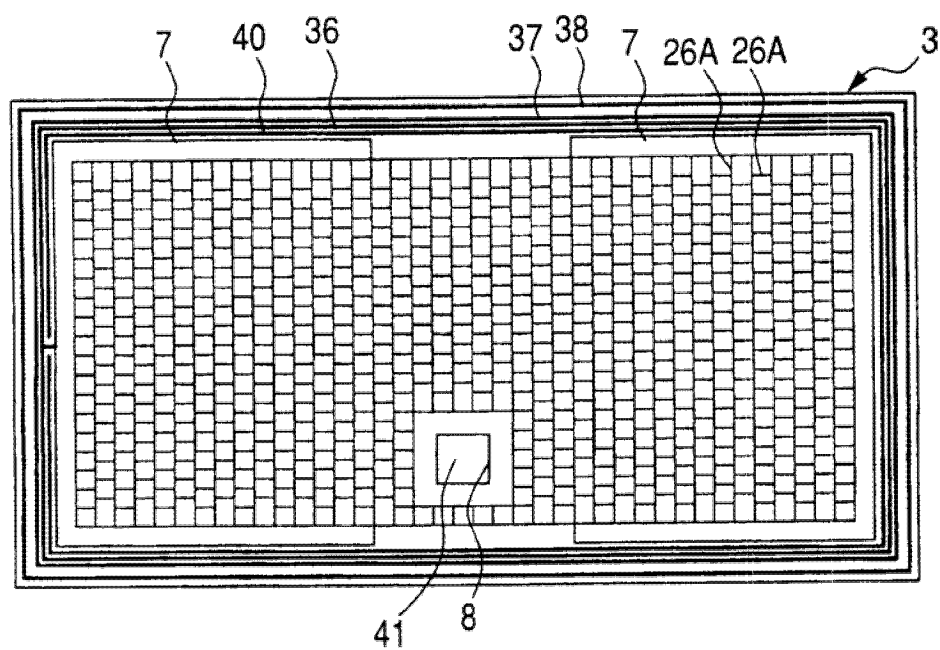


图 8

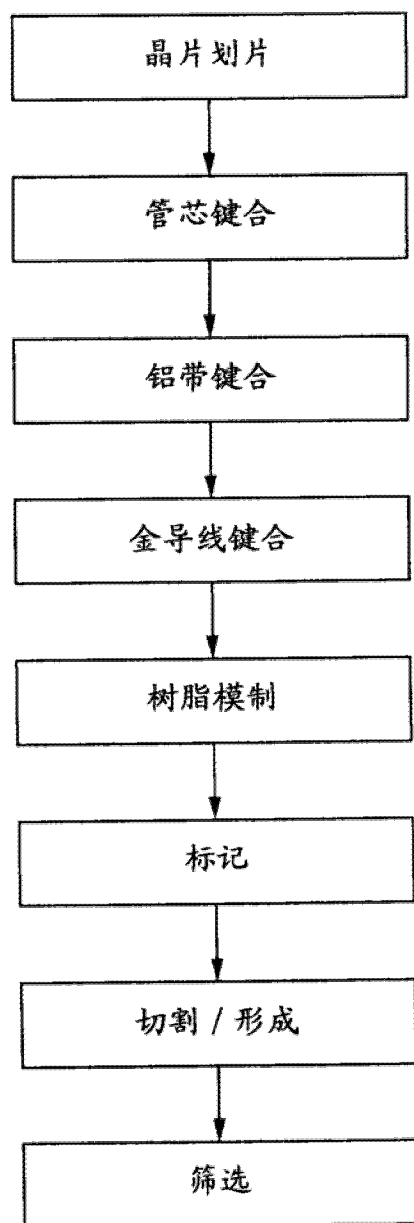


图 9

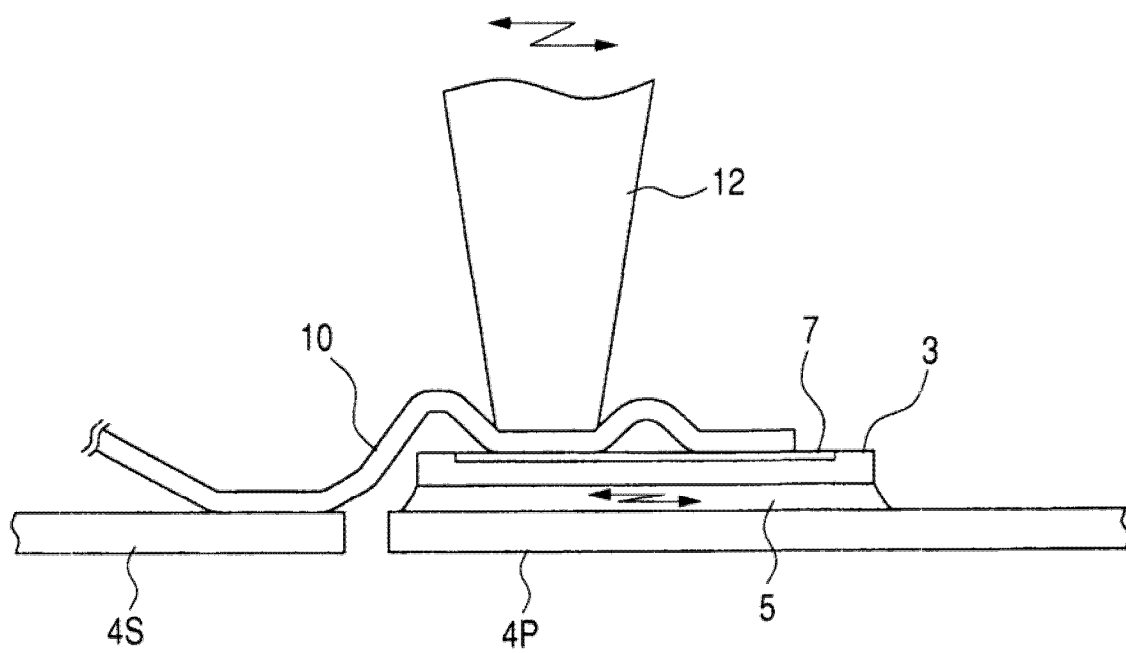


图 10

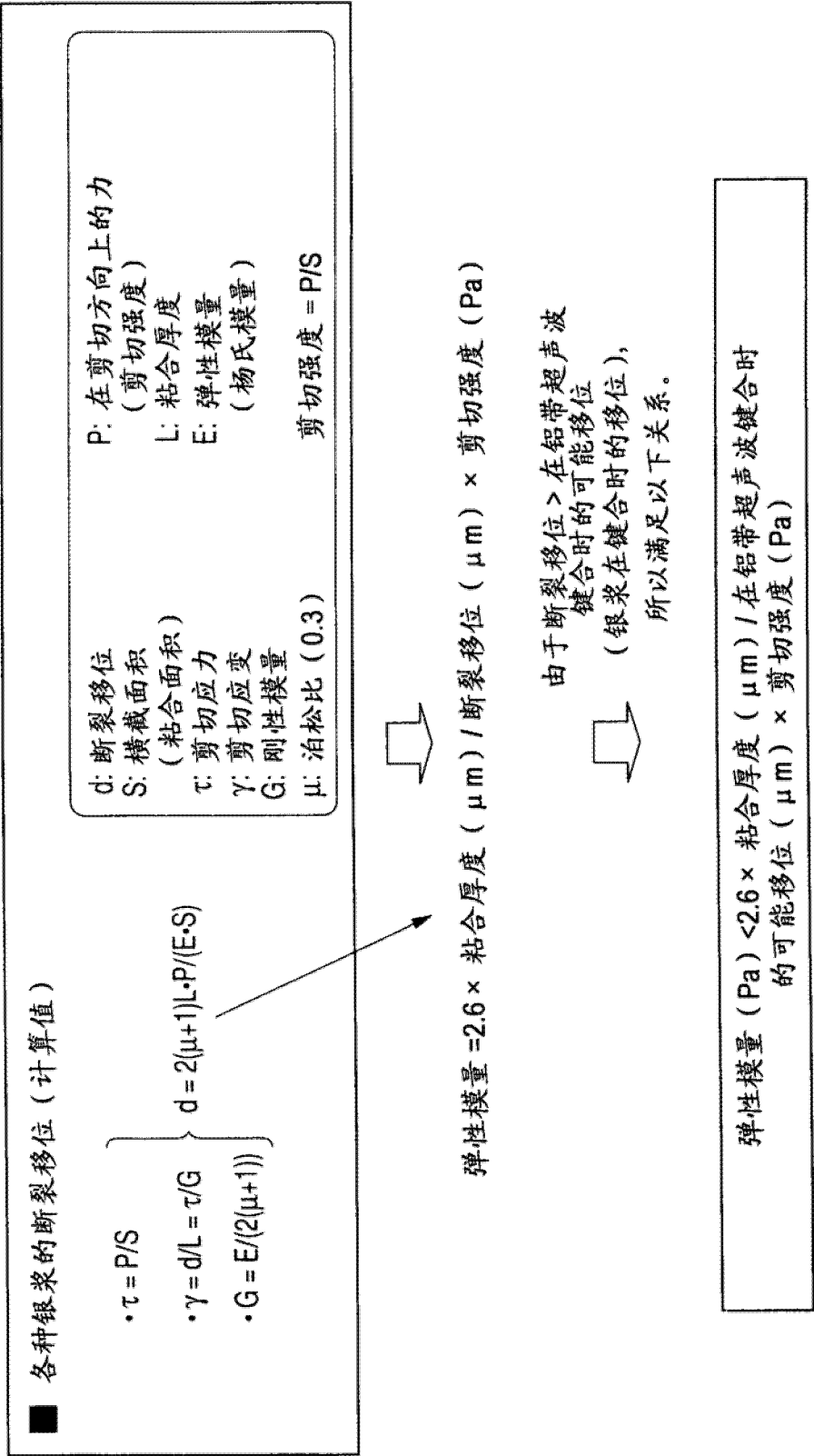


图 11

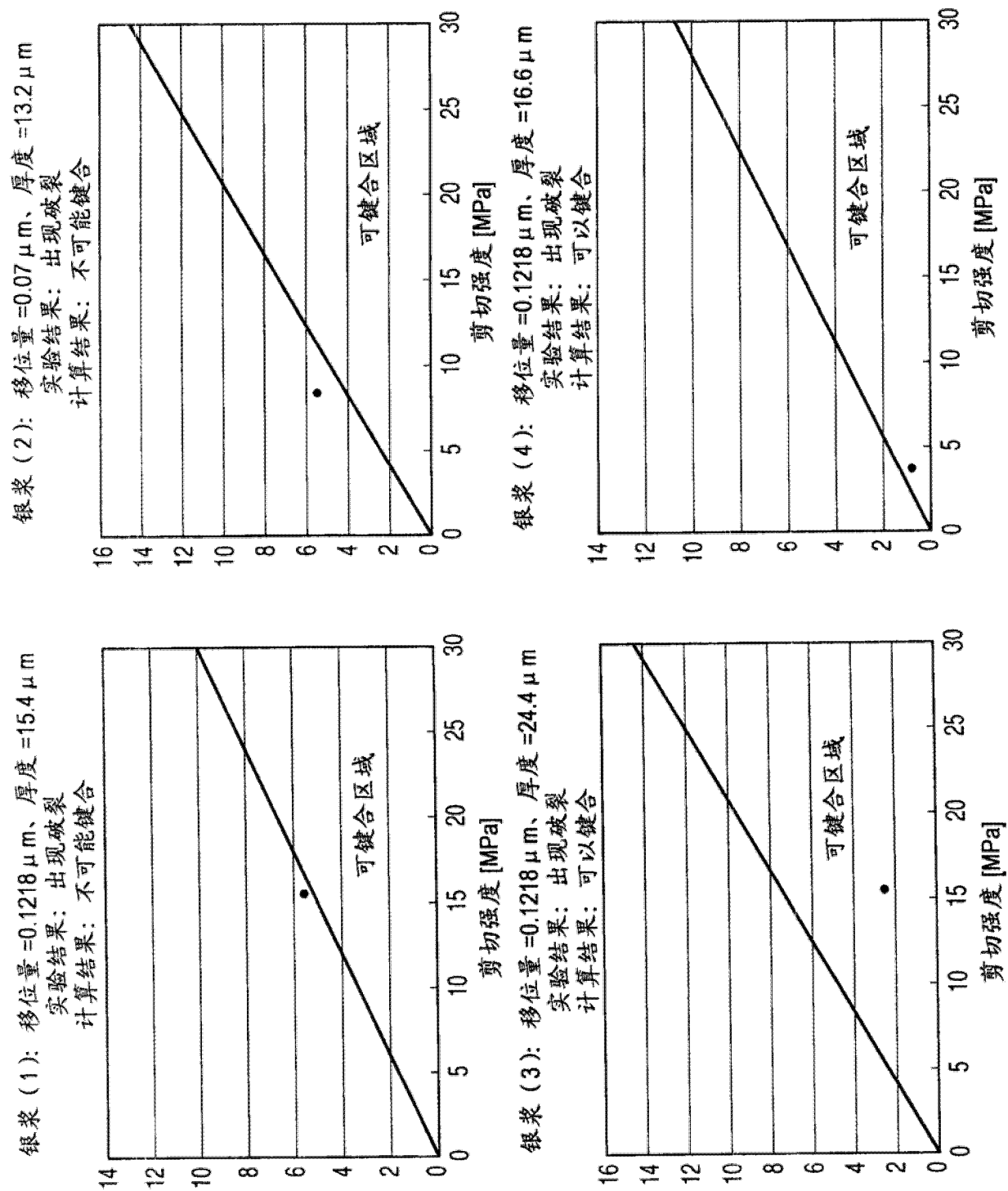


图 12

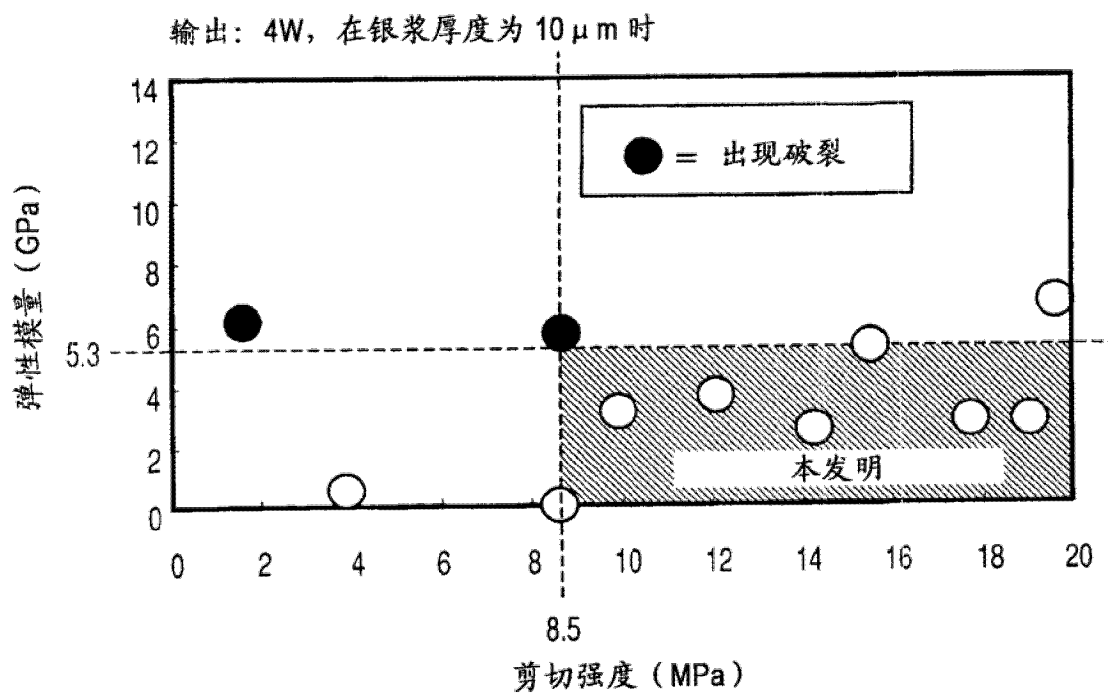


图 13

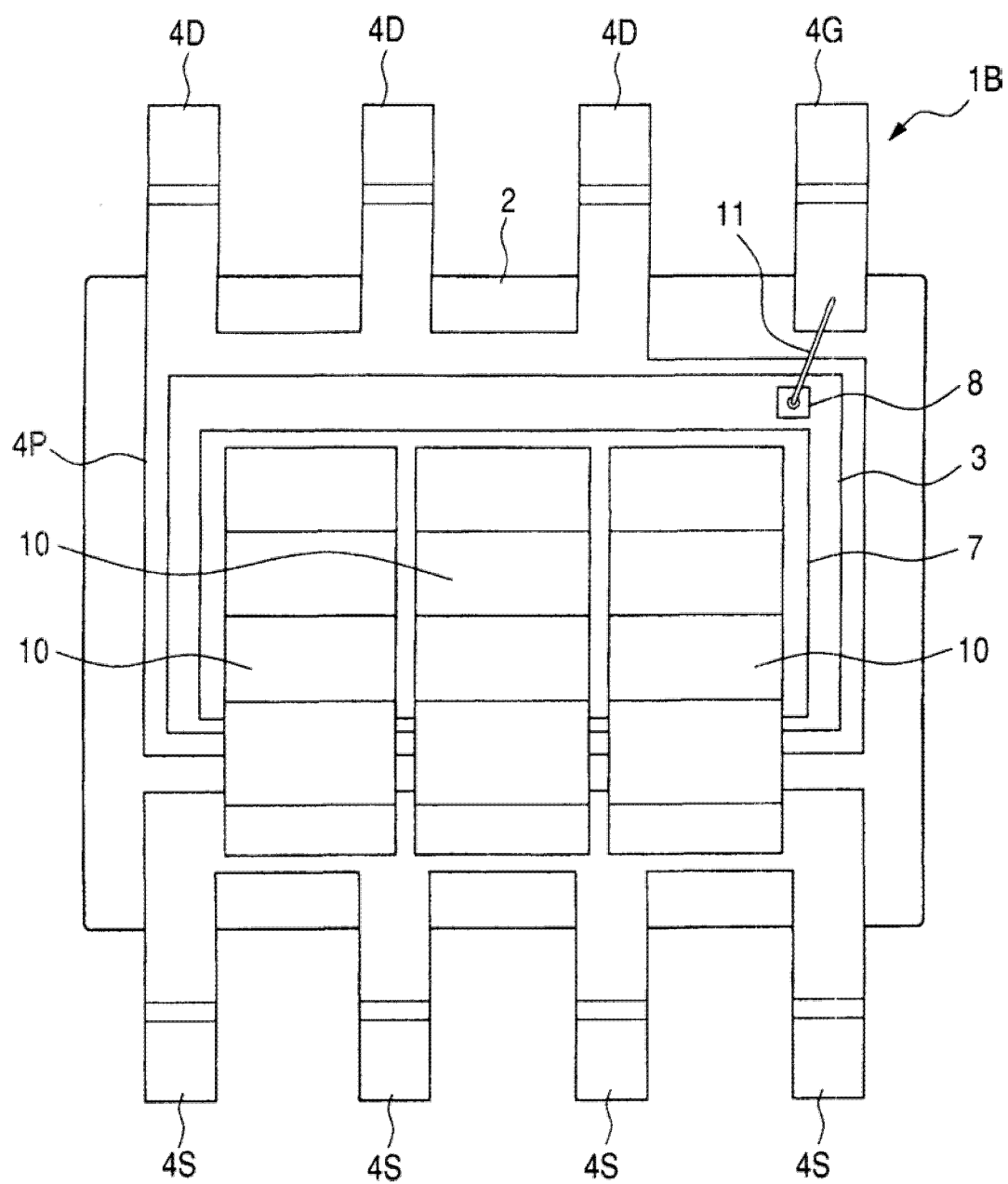


图 14

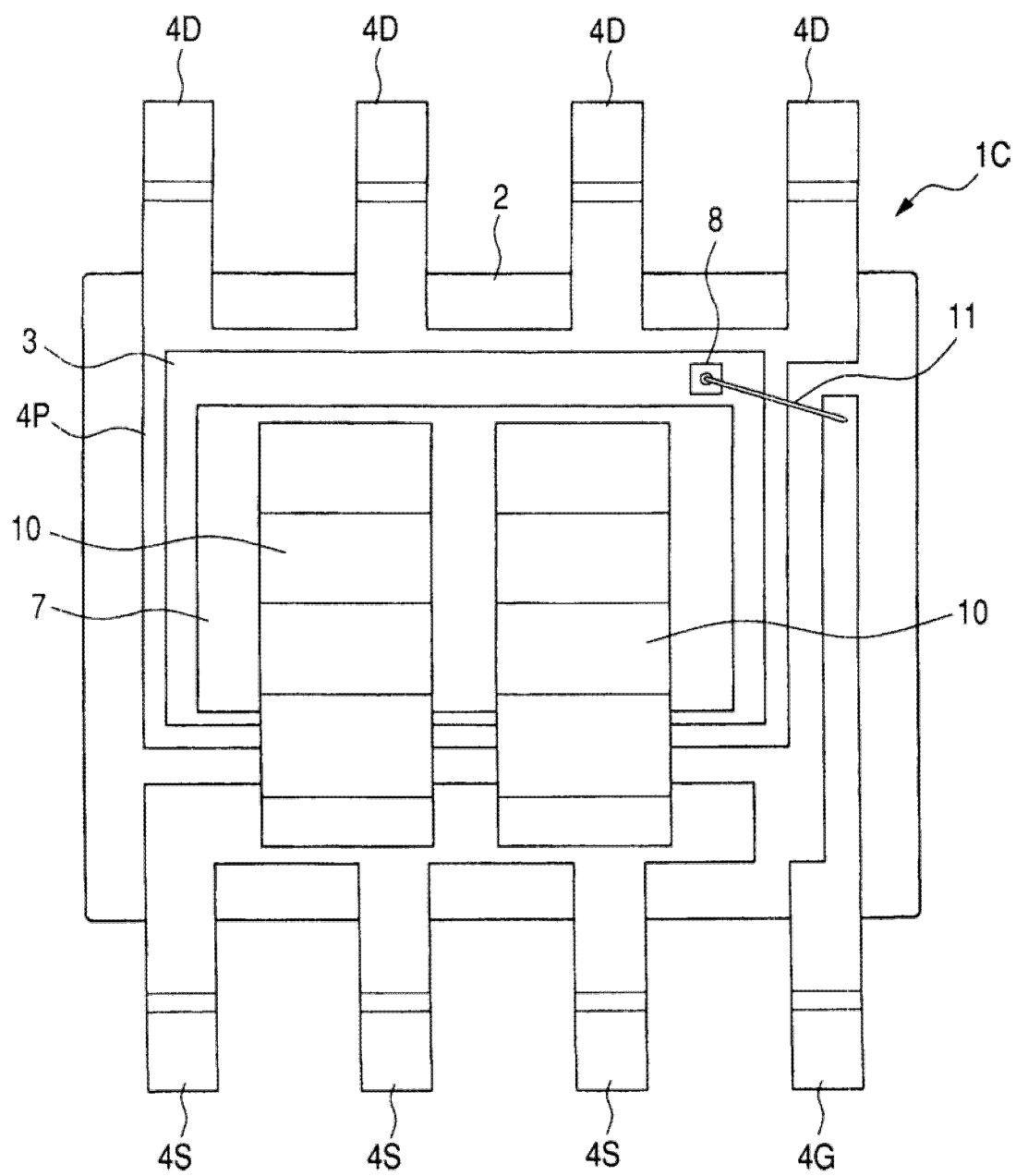


图 15

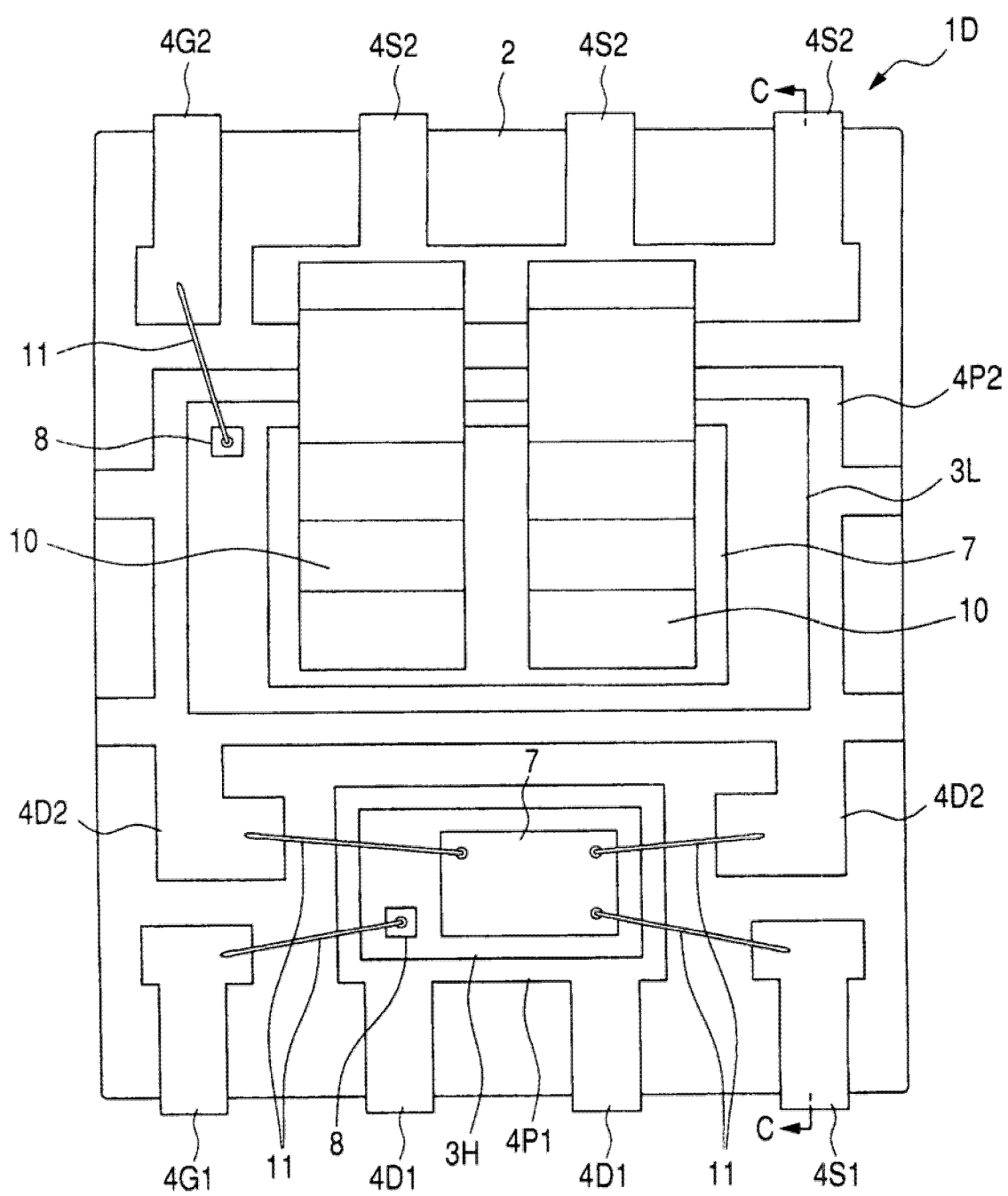


图 16

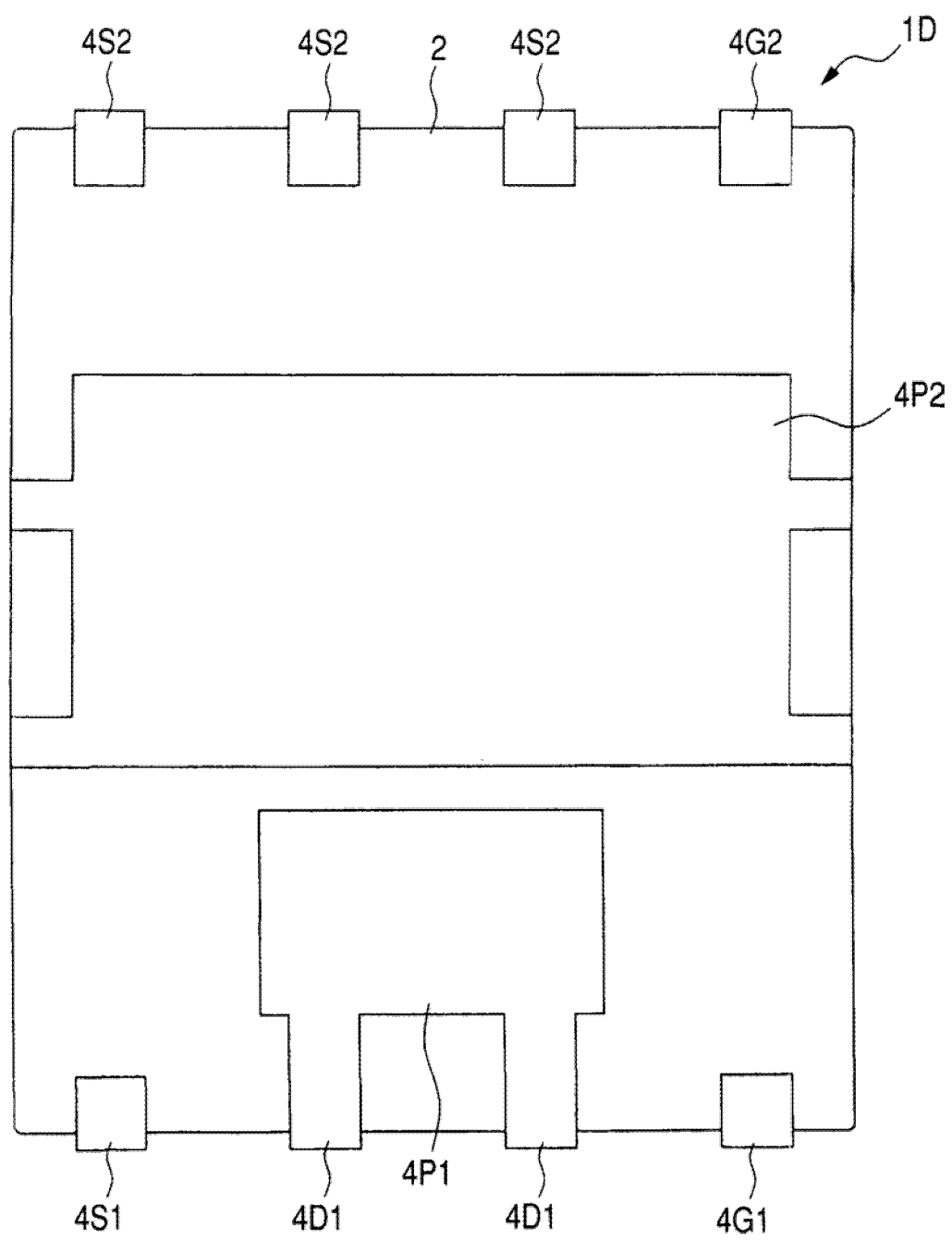


图 17

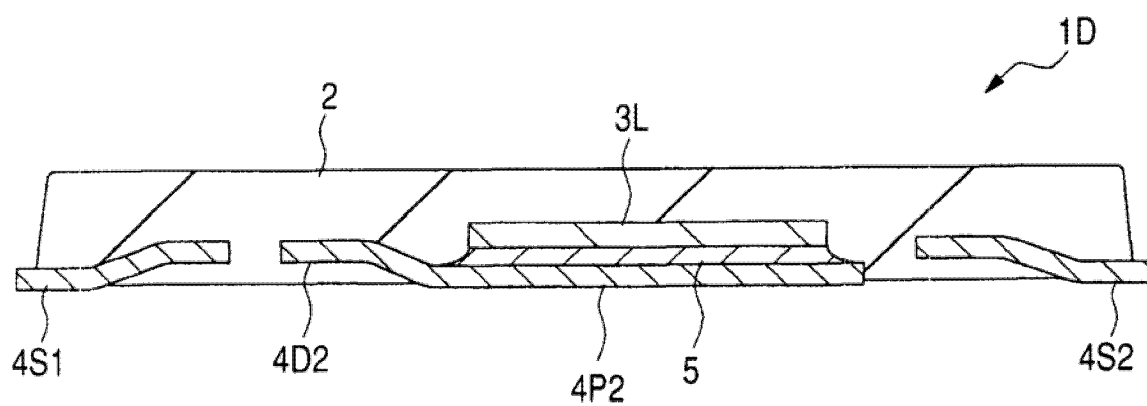


图 18

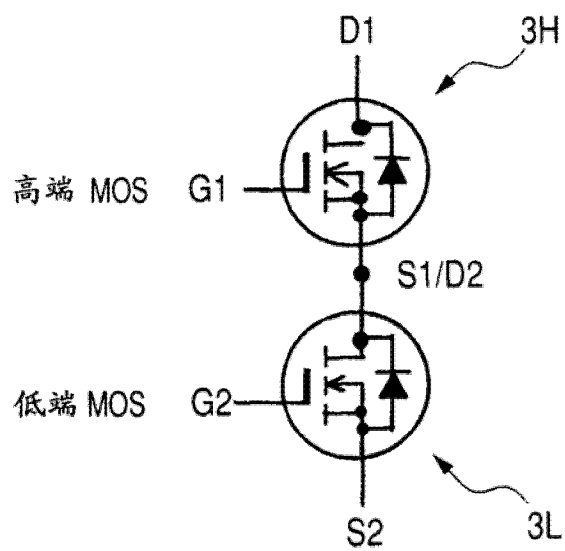


图 19

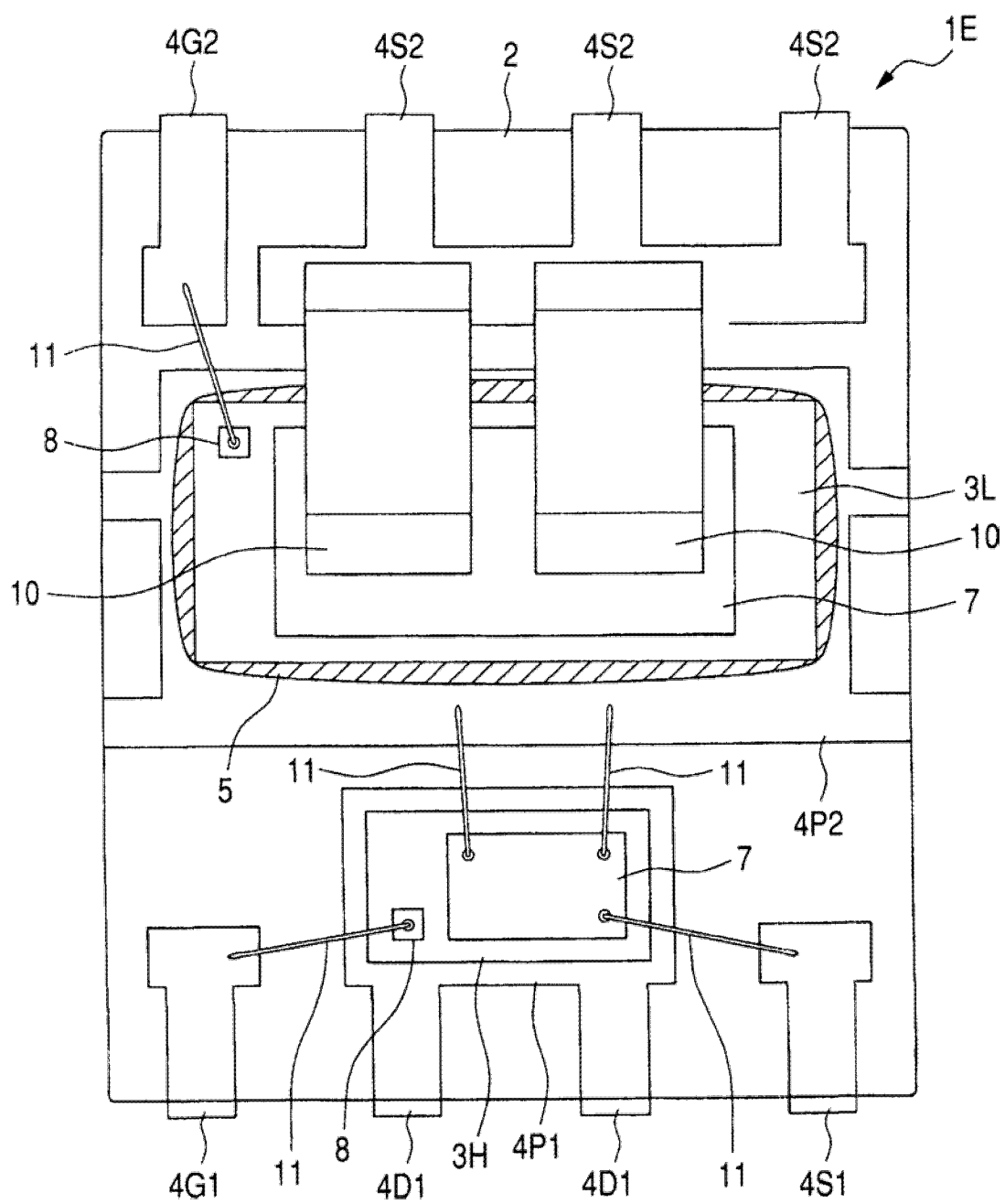


图 20

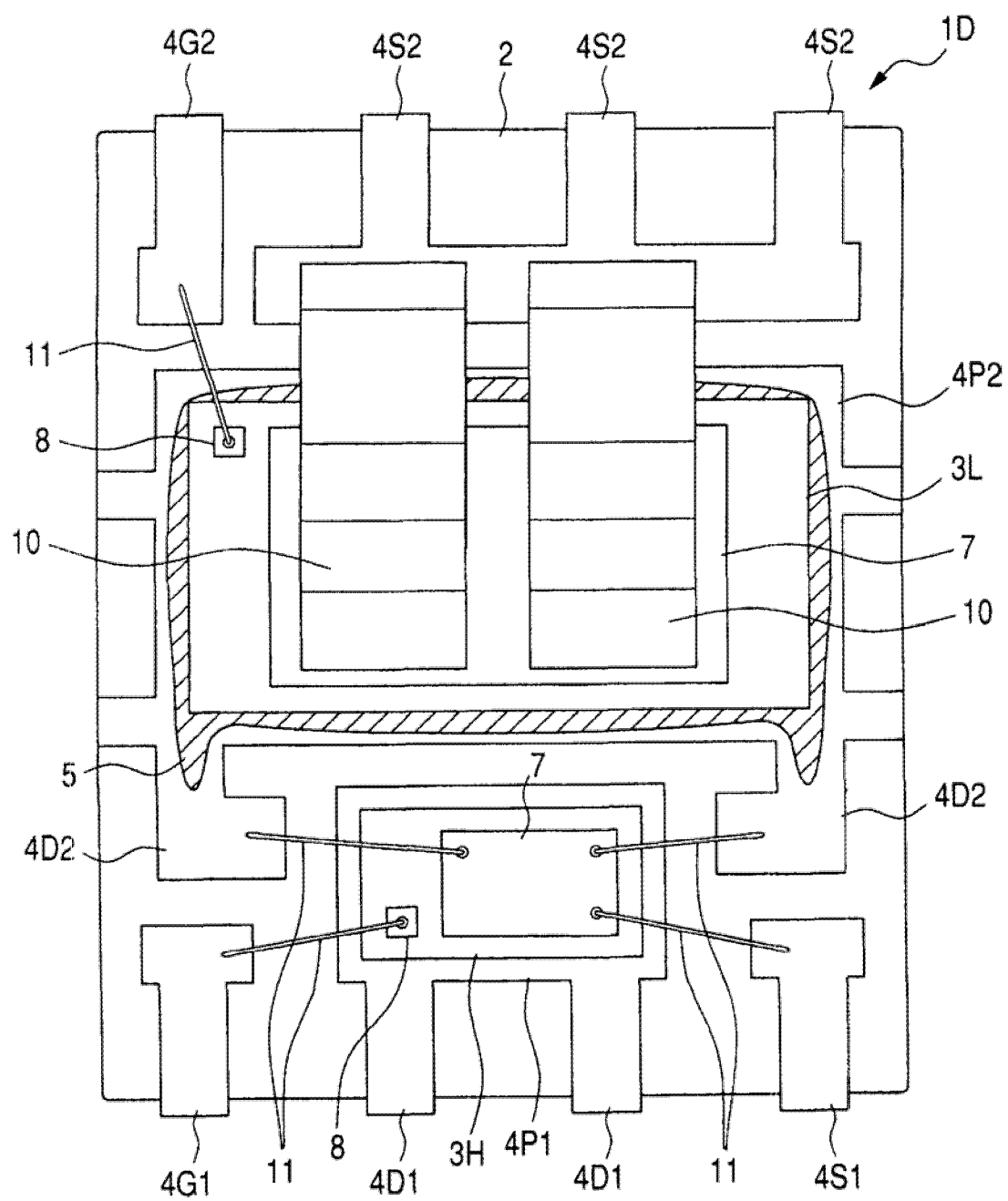


图 21

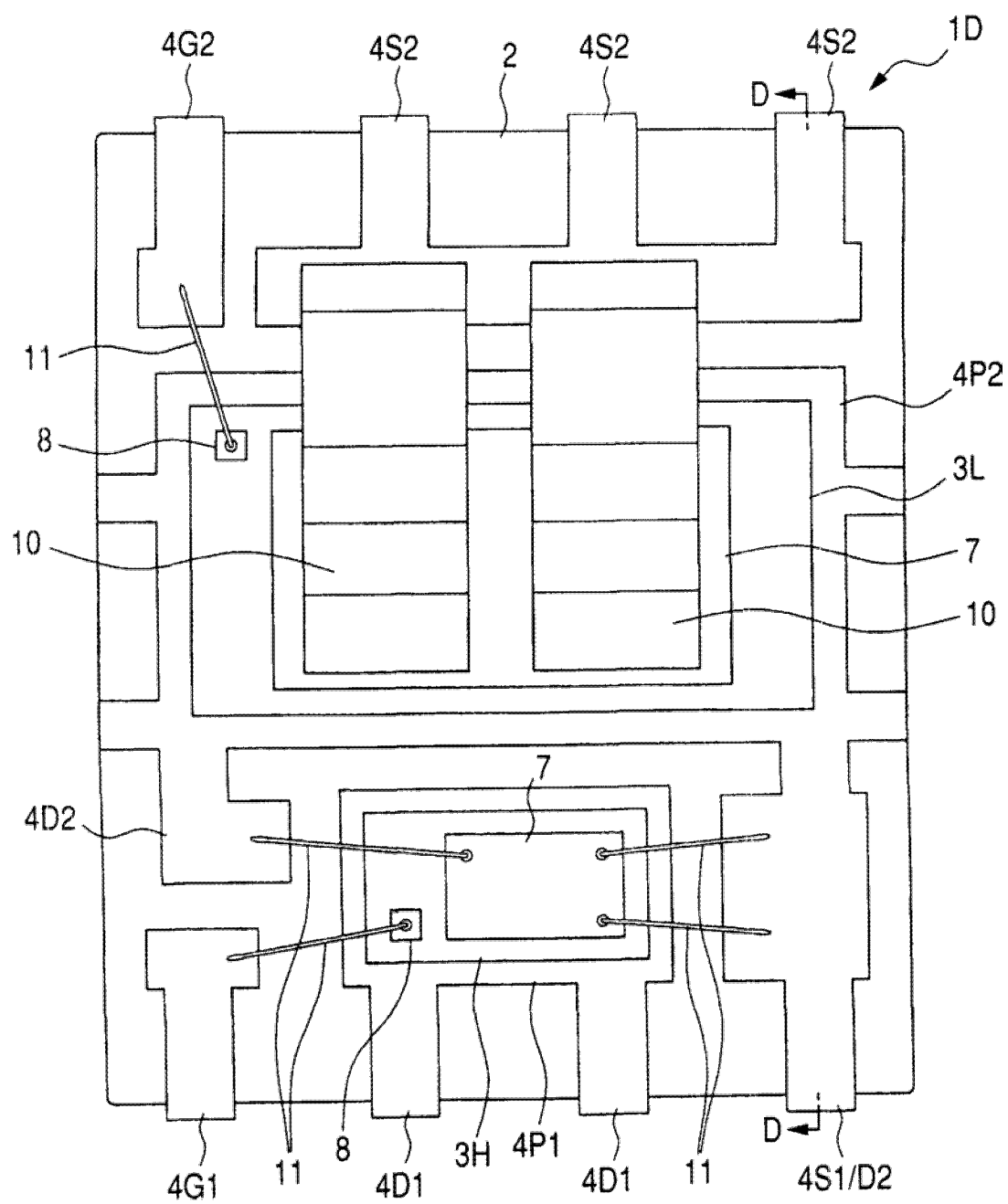


图 22

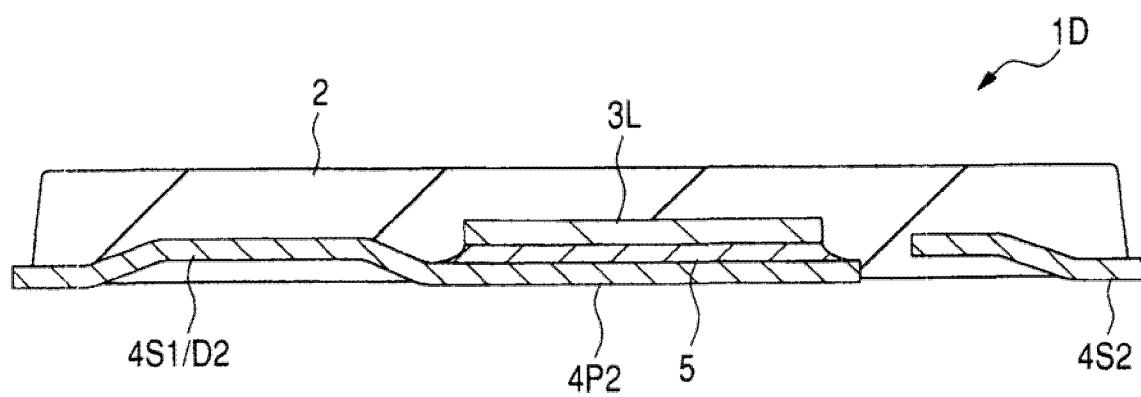


图 23

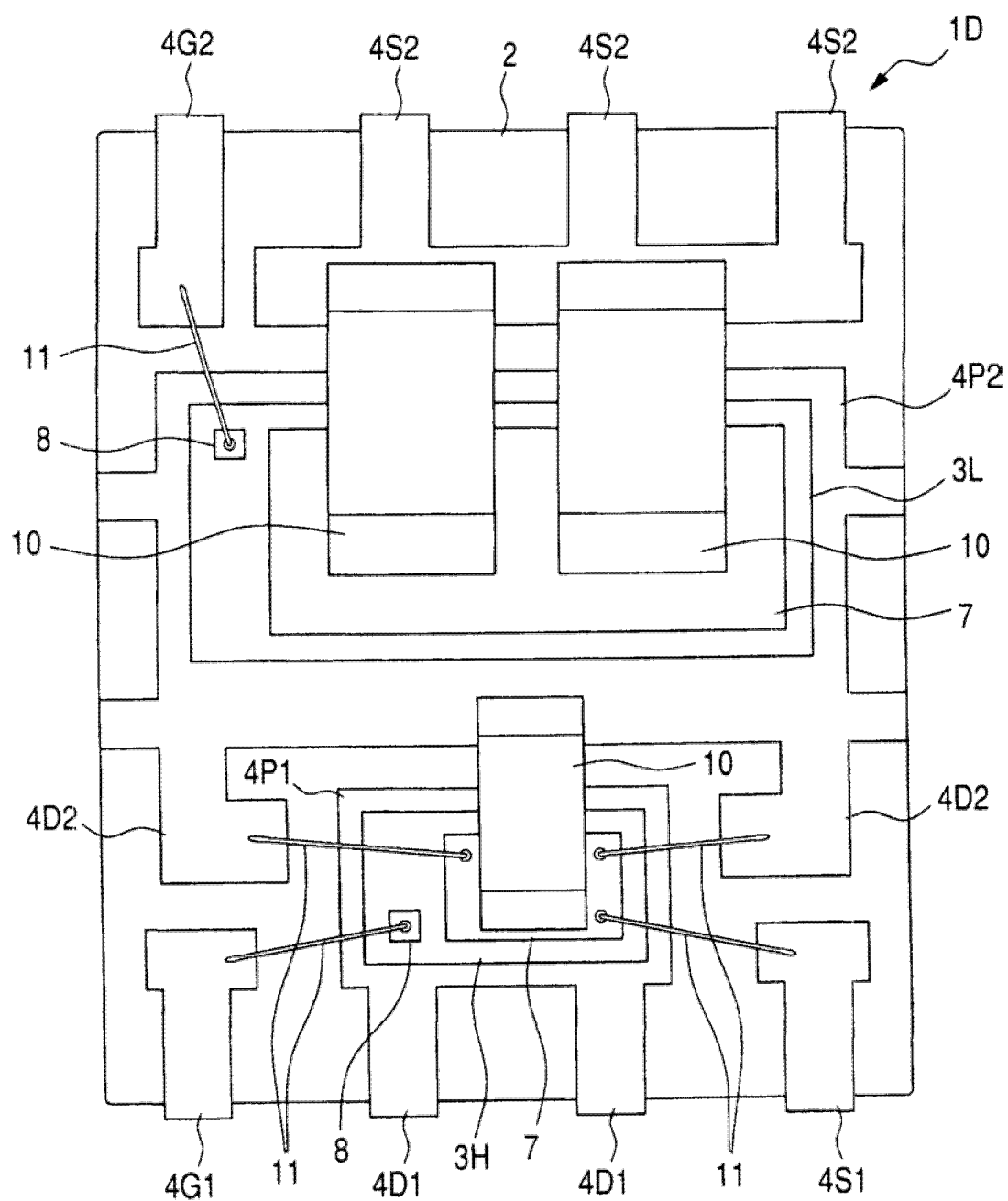


图 24

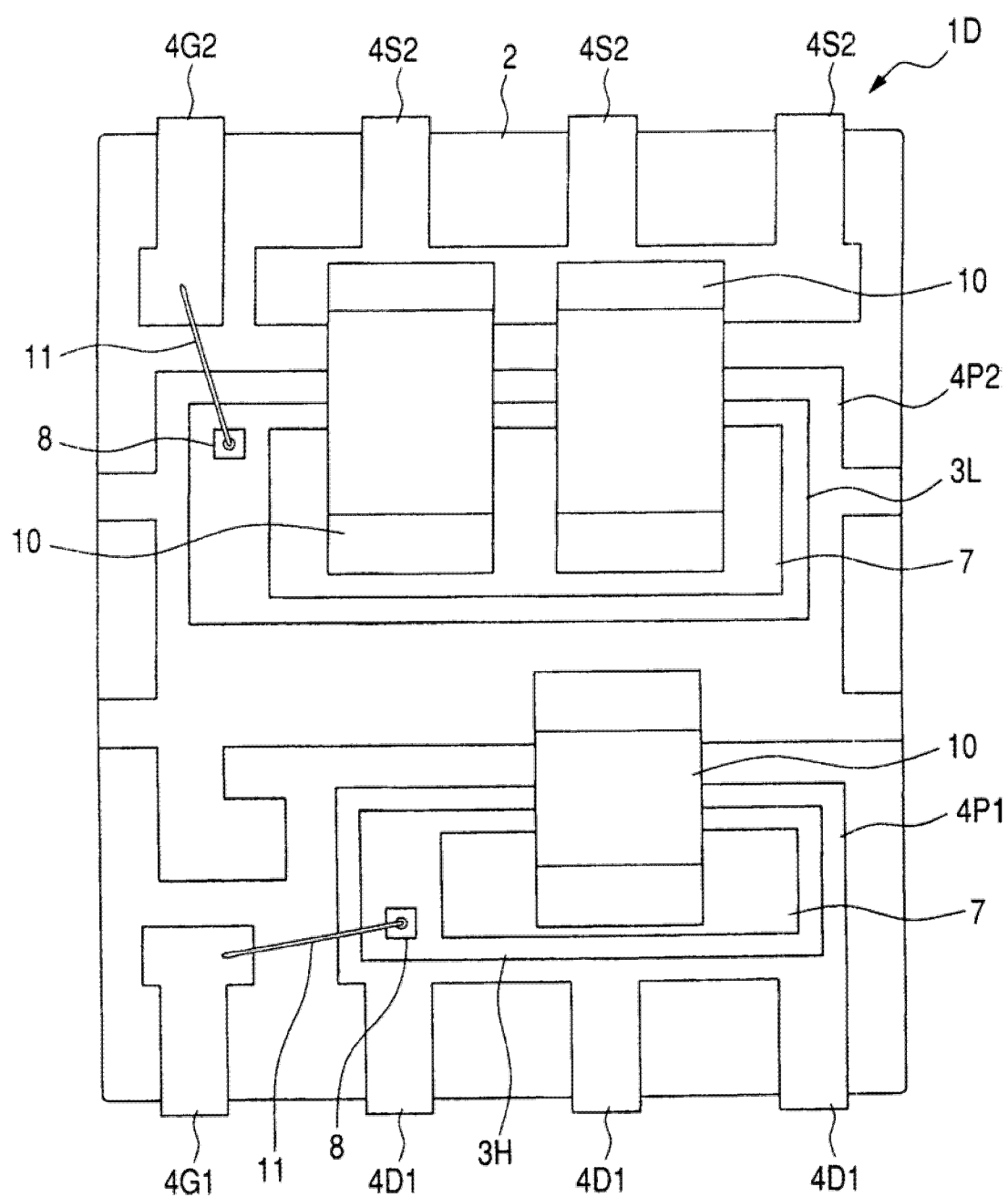


图 25

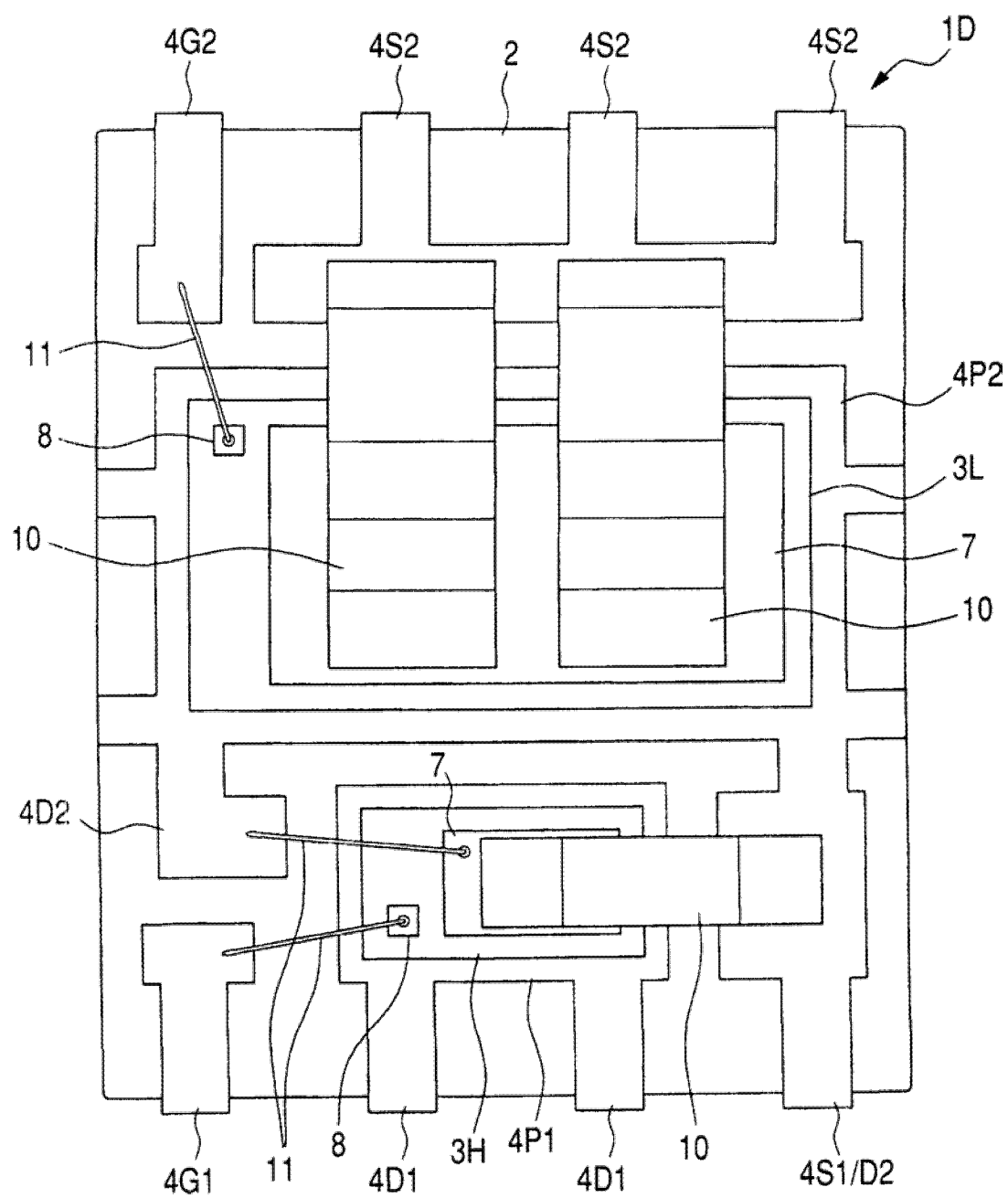


图 26

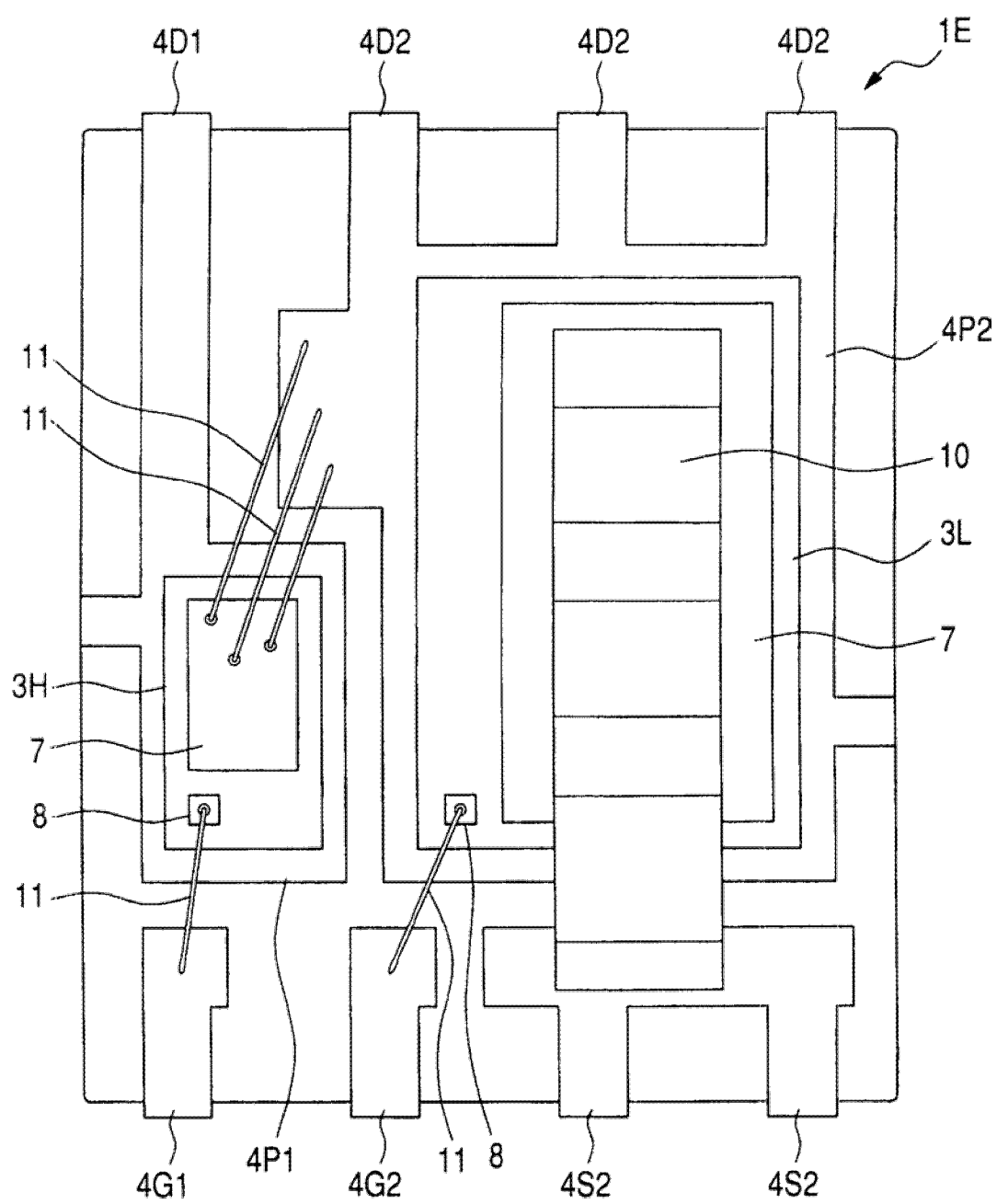


图 27

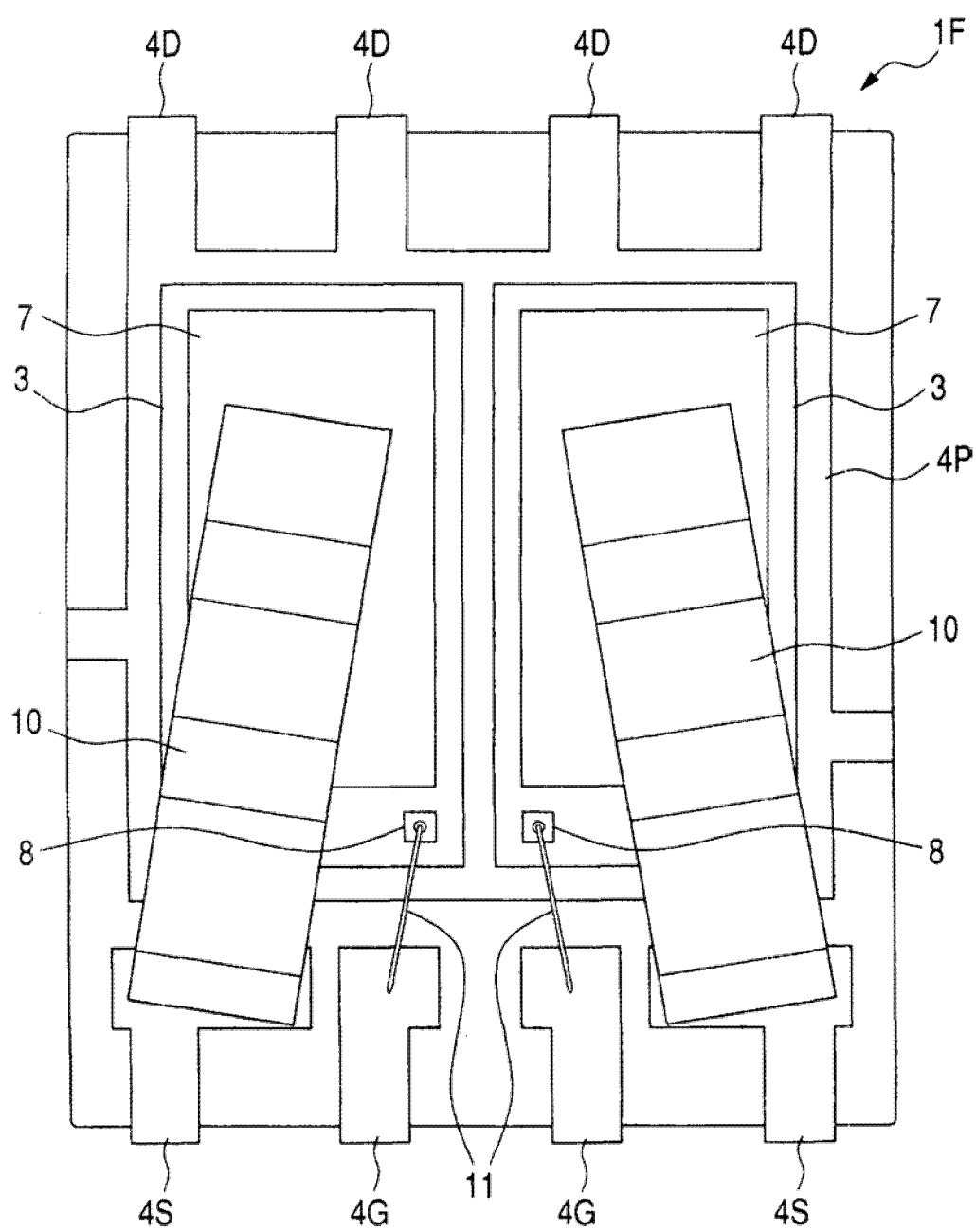


图 28

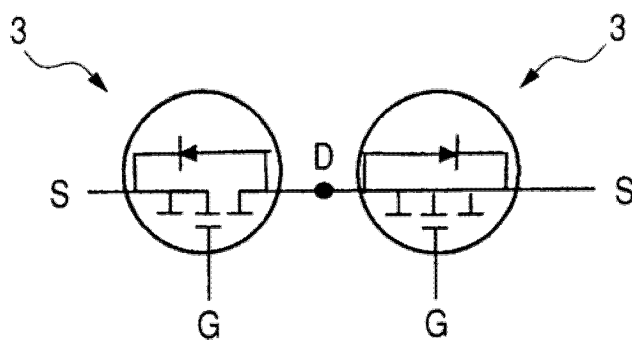


图 29

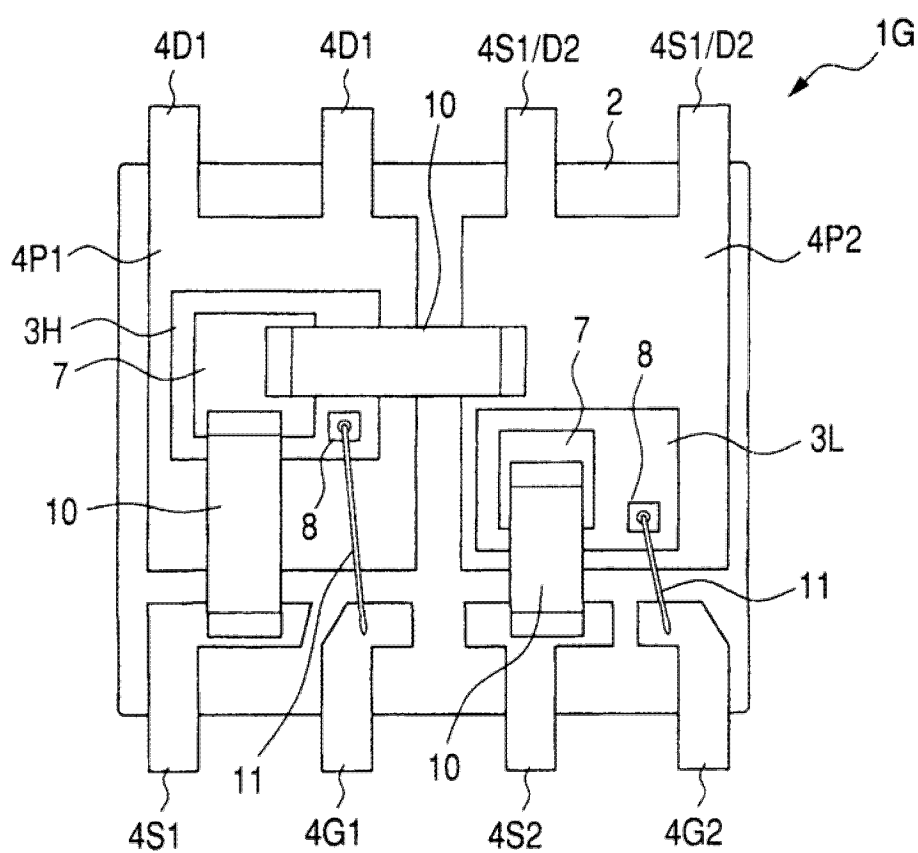


图 30

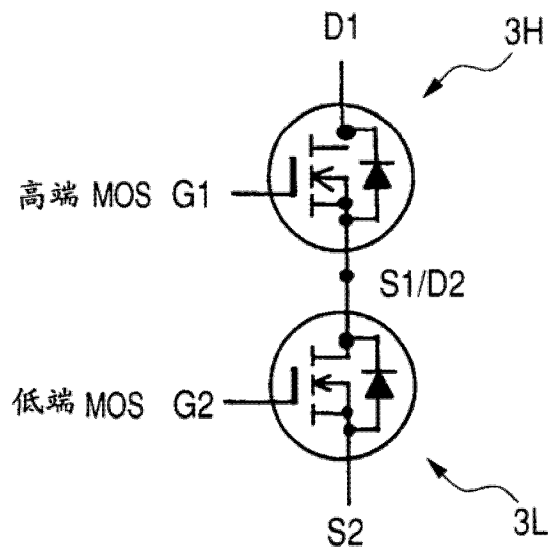


图 31

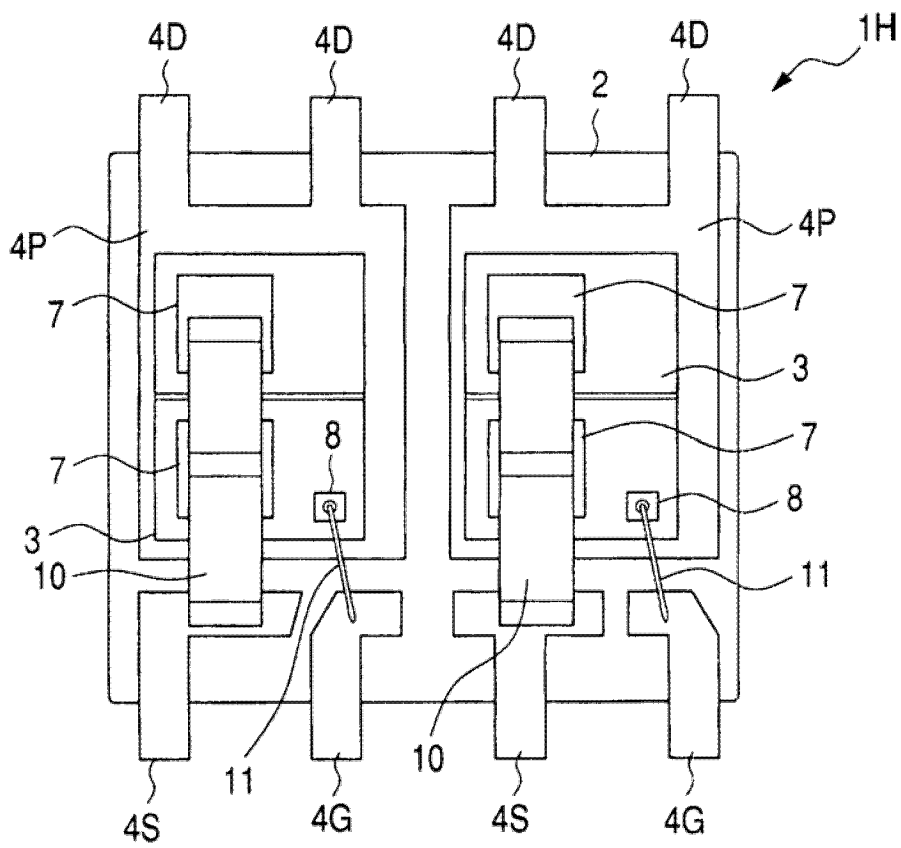


图 32

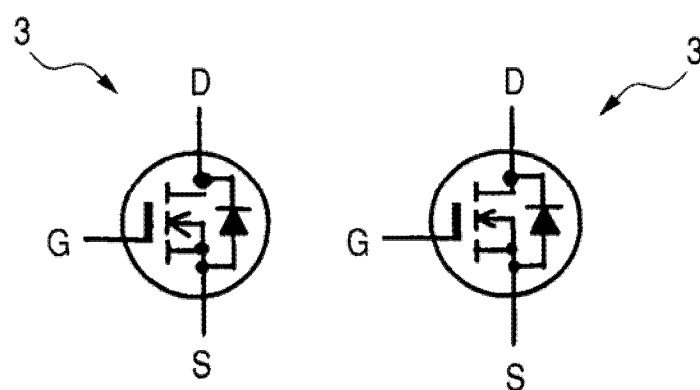


图 33

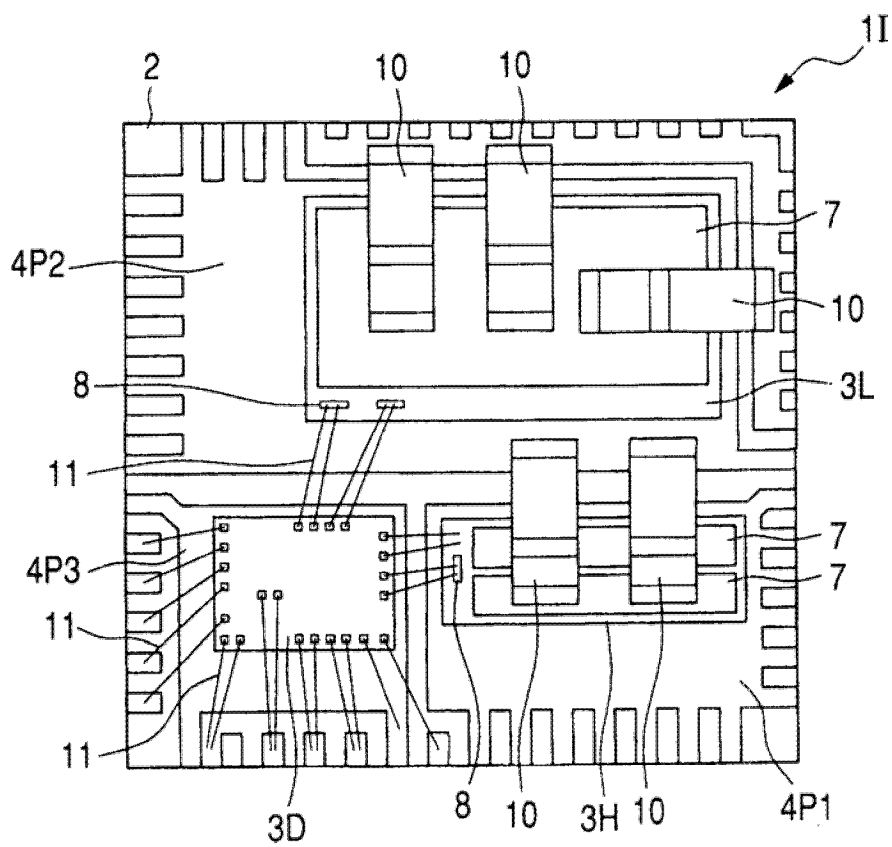


图 34

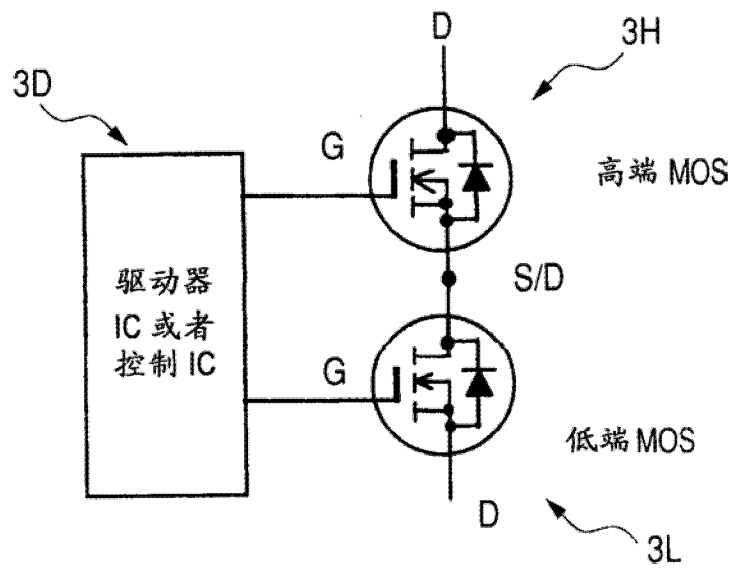


图 35

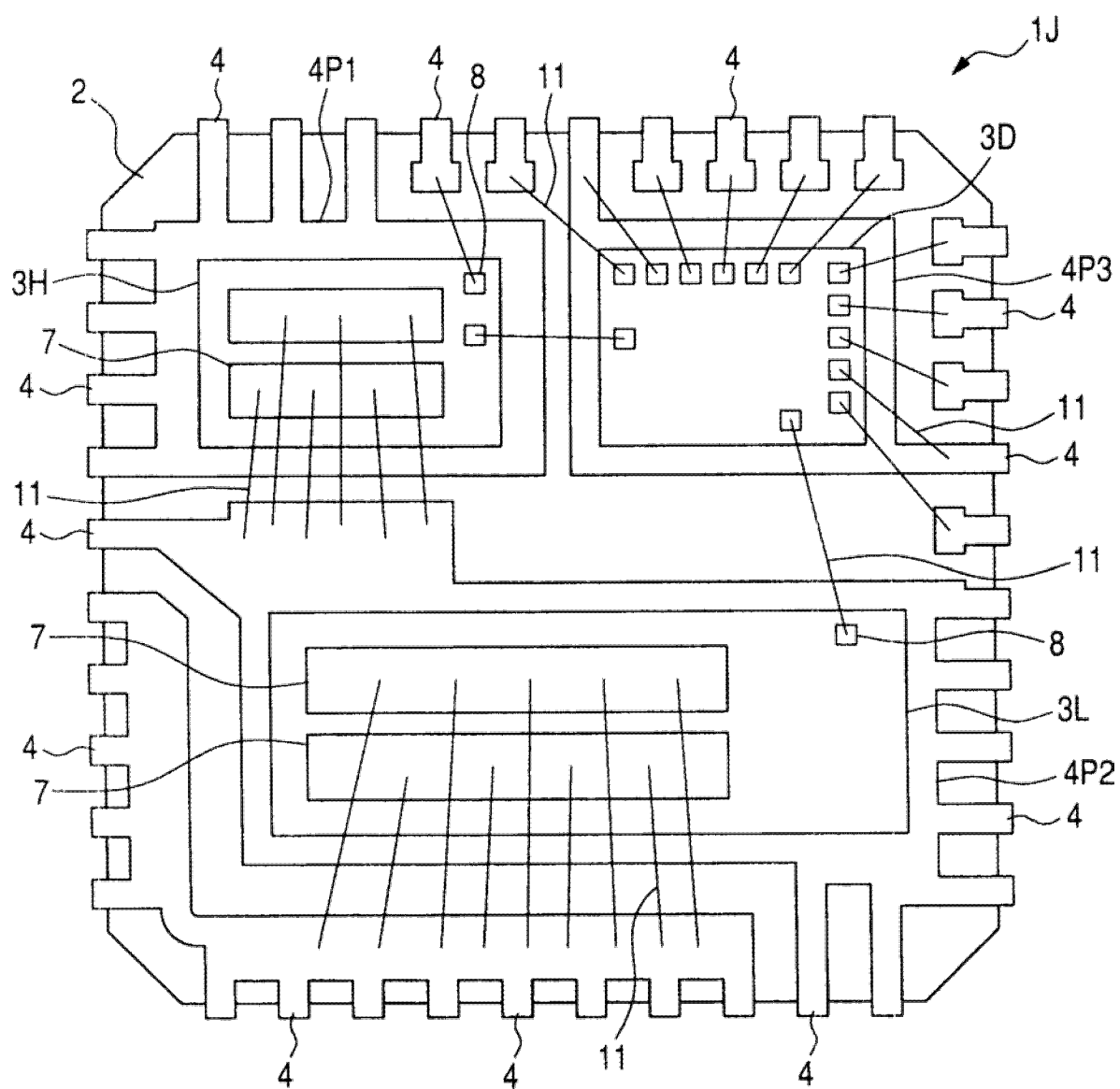


图 36

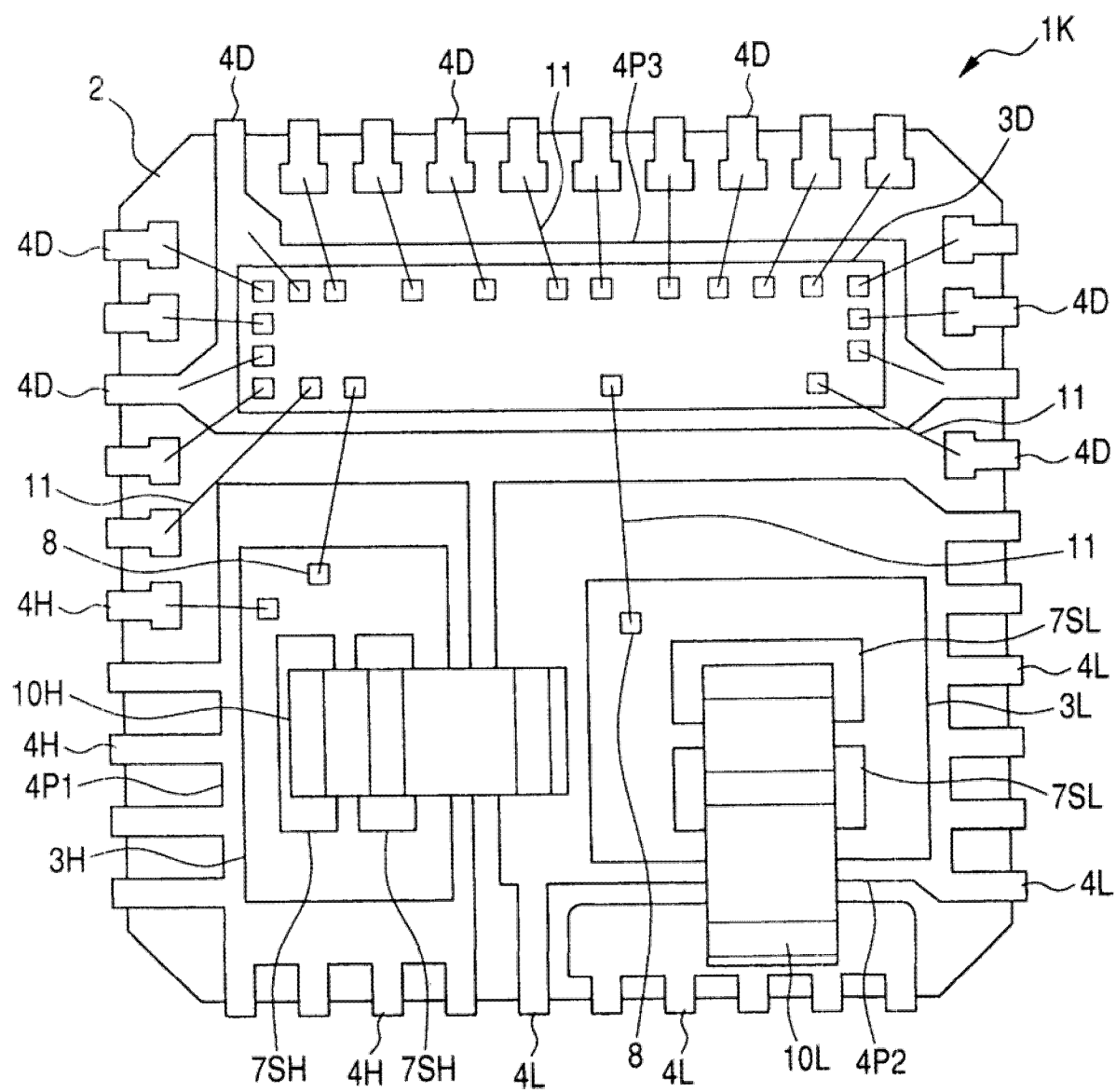


图 37

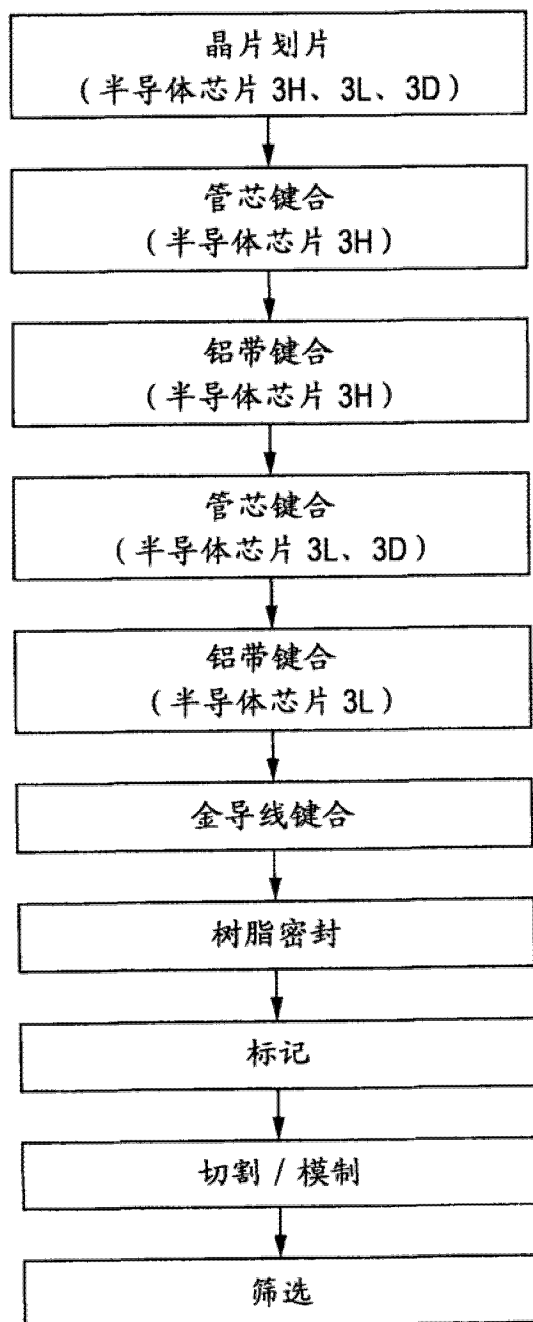


图 38

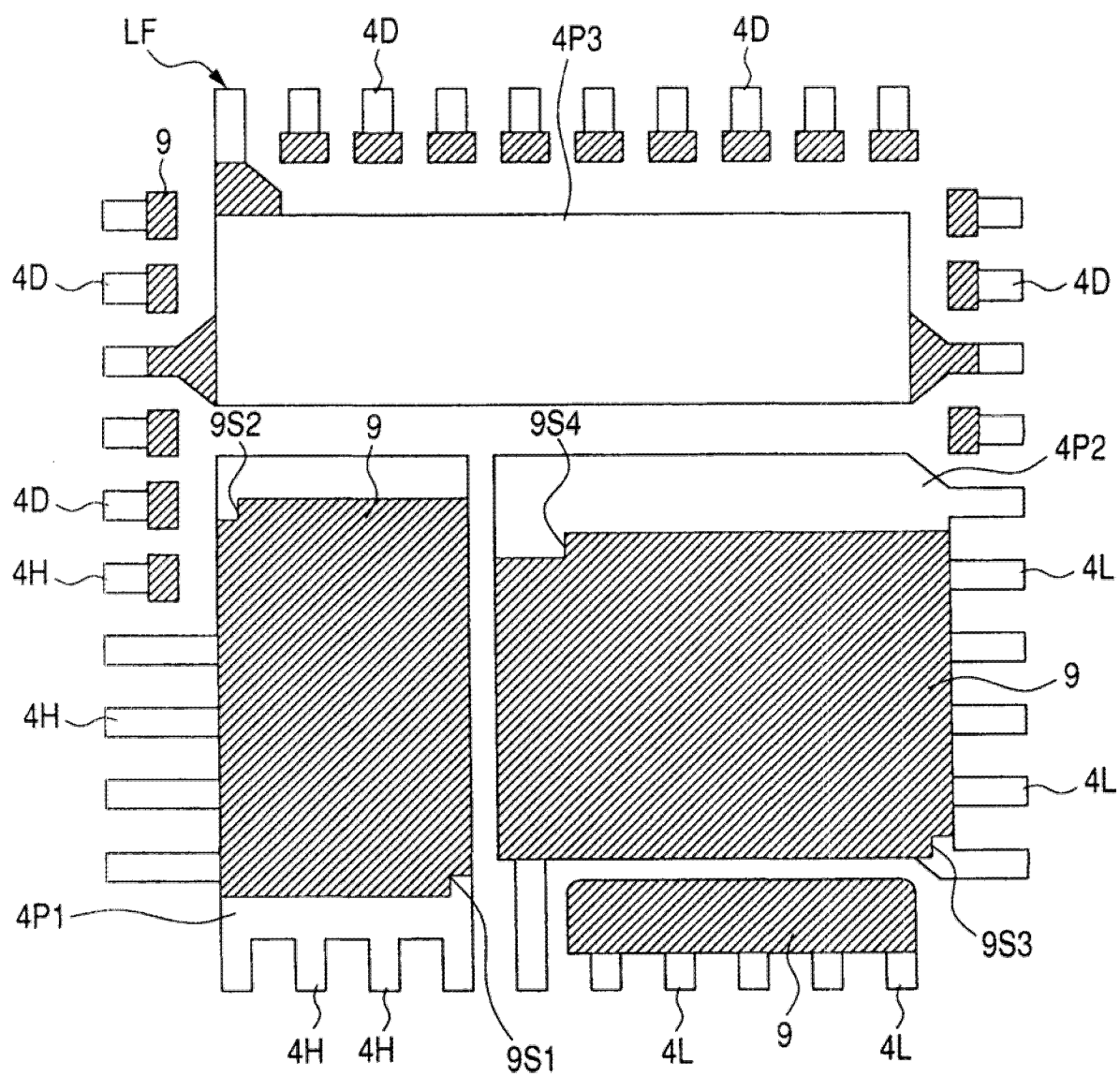


图 39

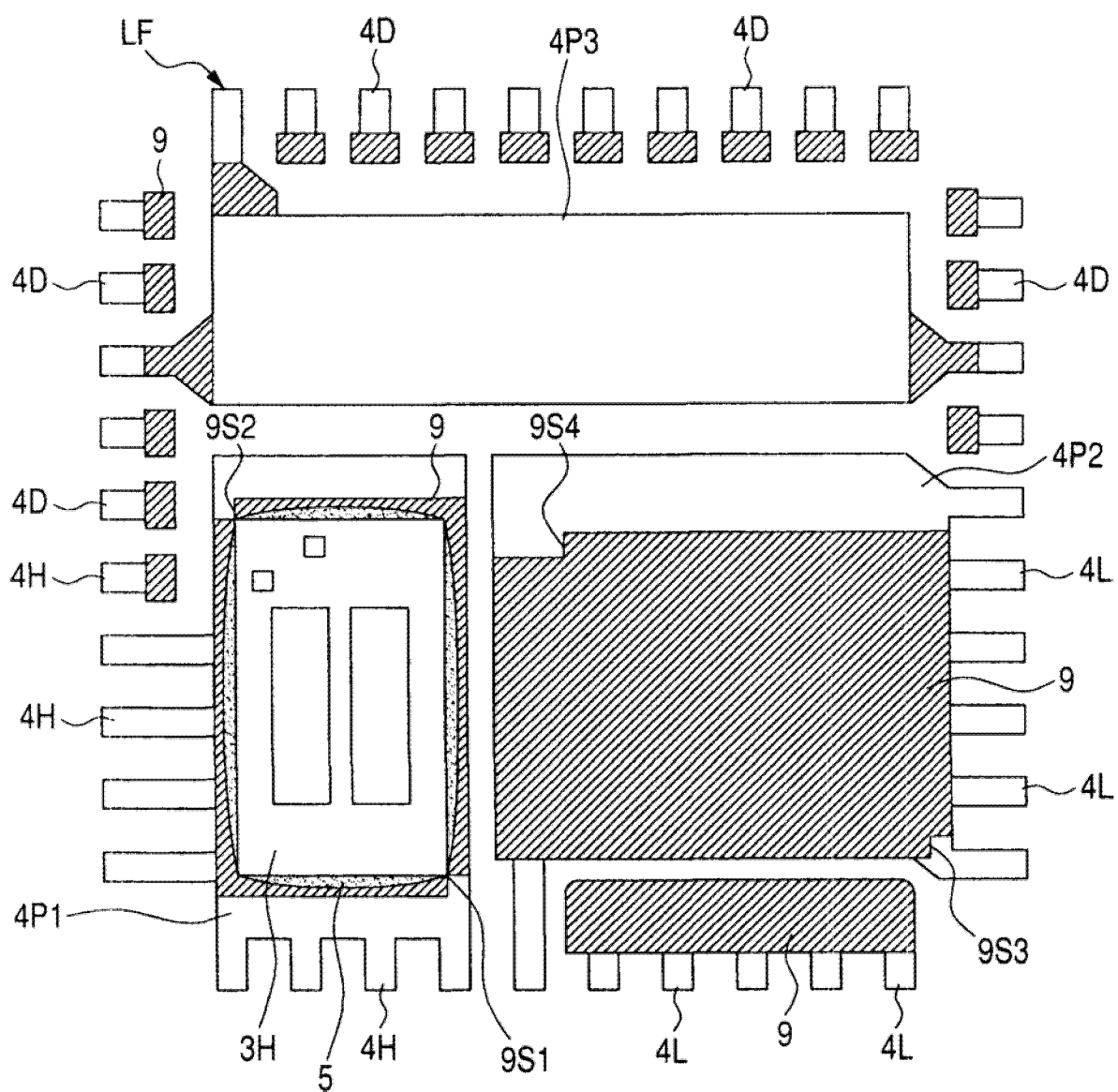


图 40

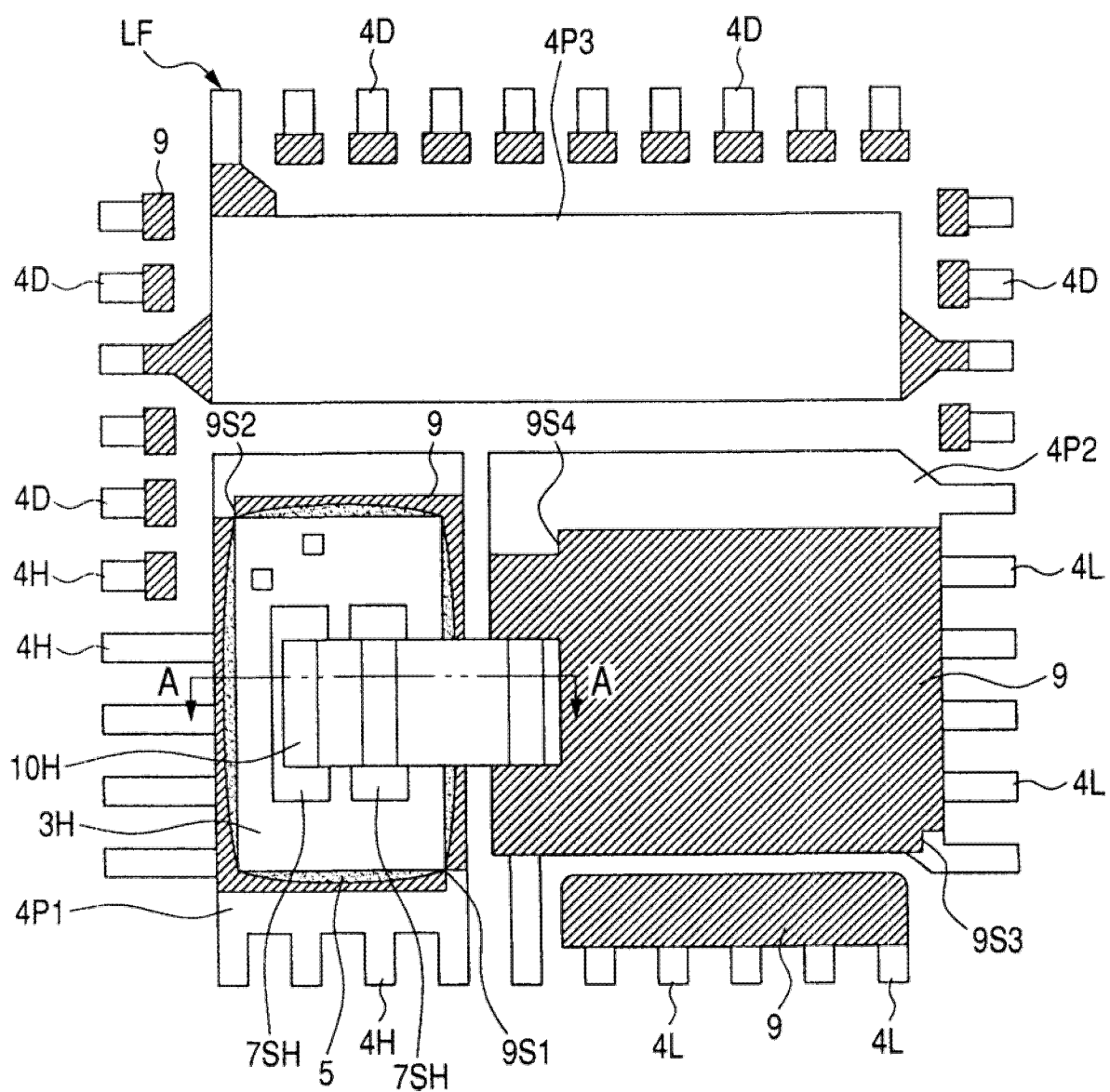


图 41

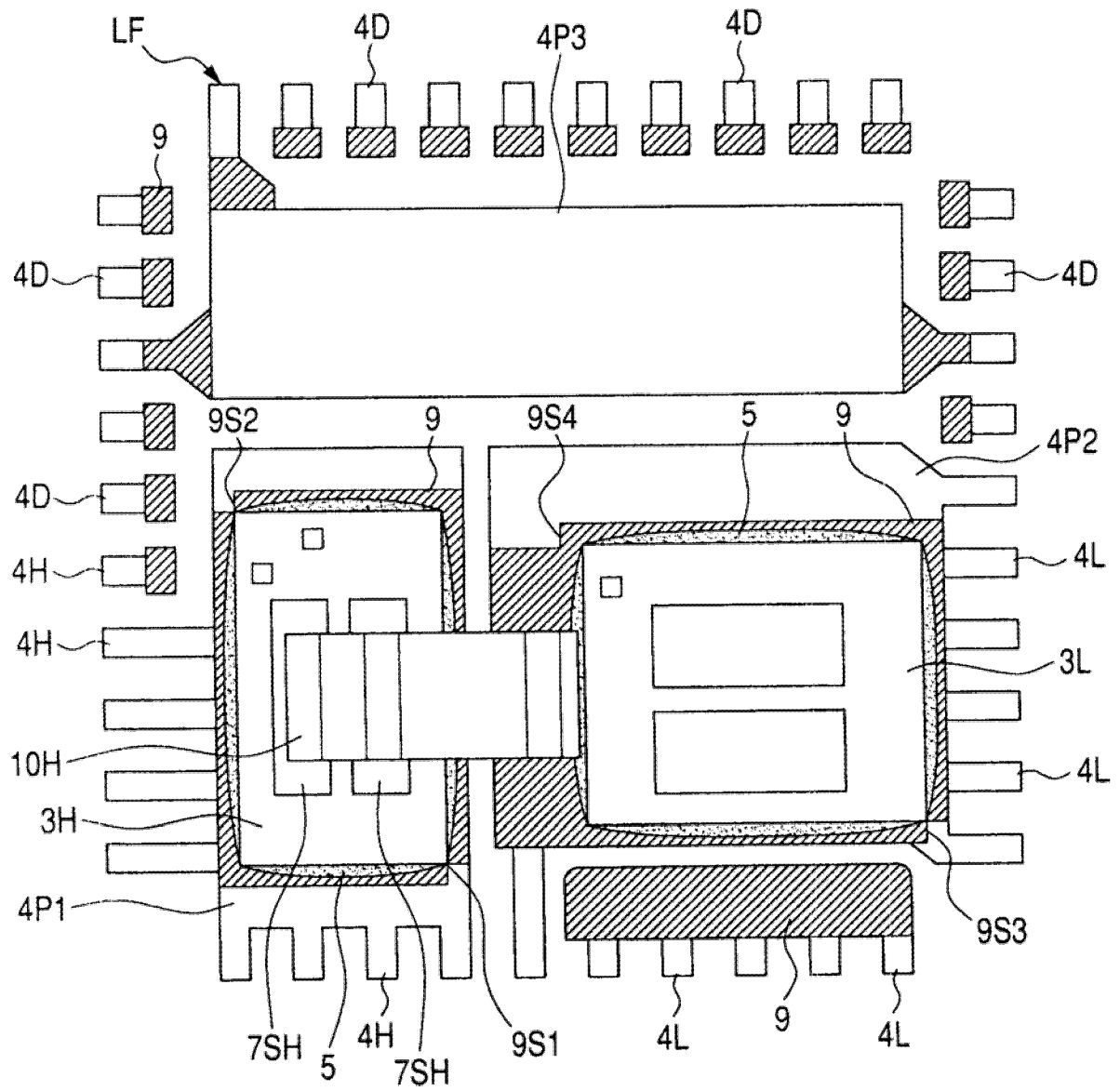


图 42

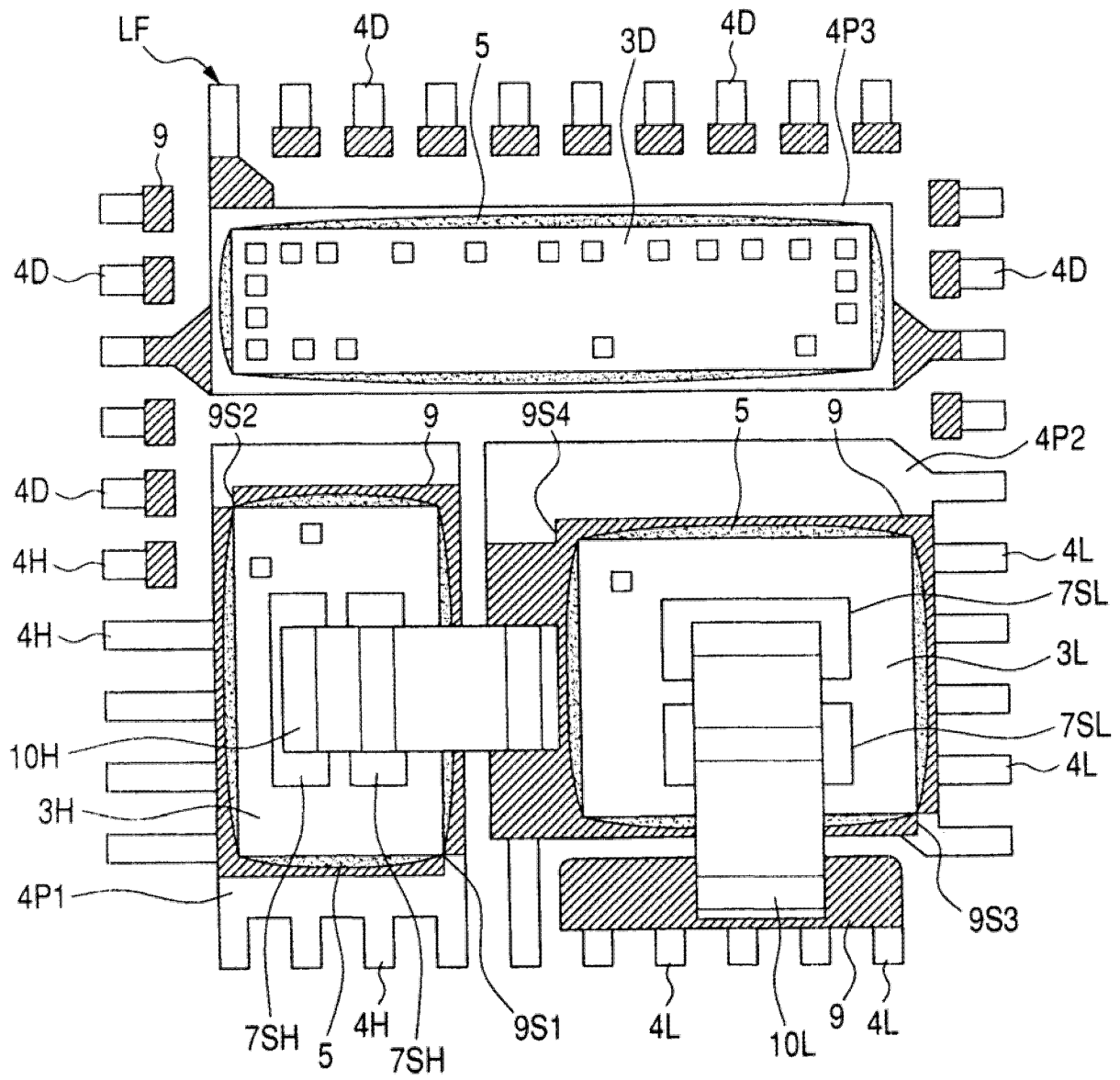


图 44

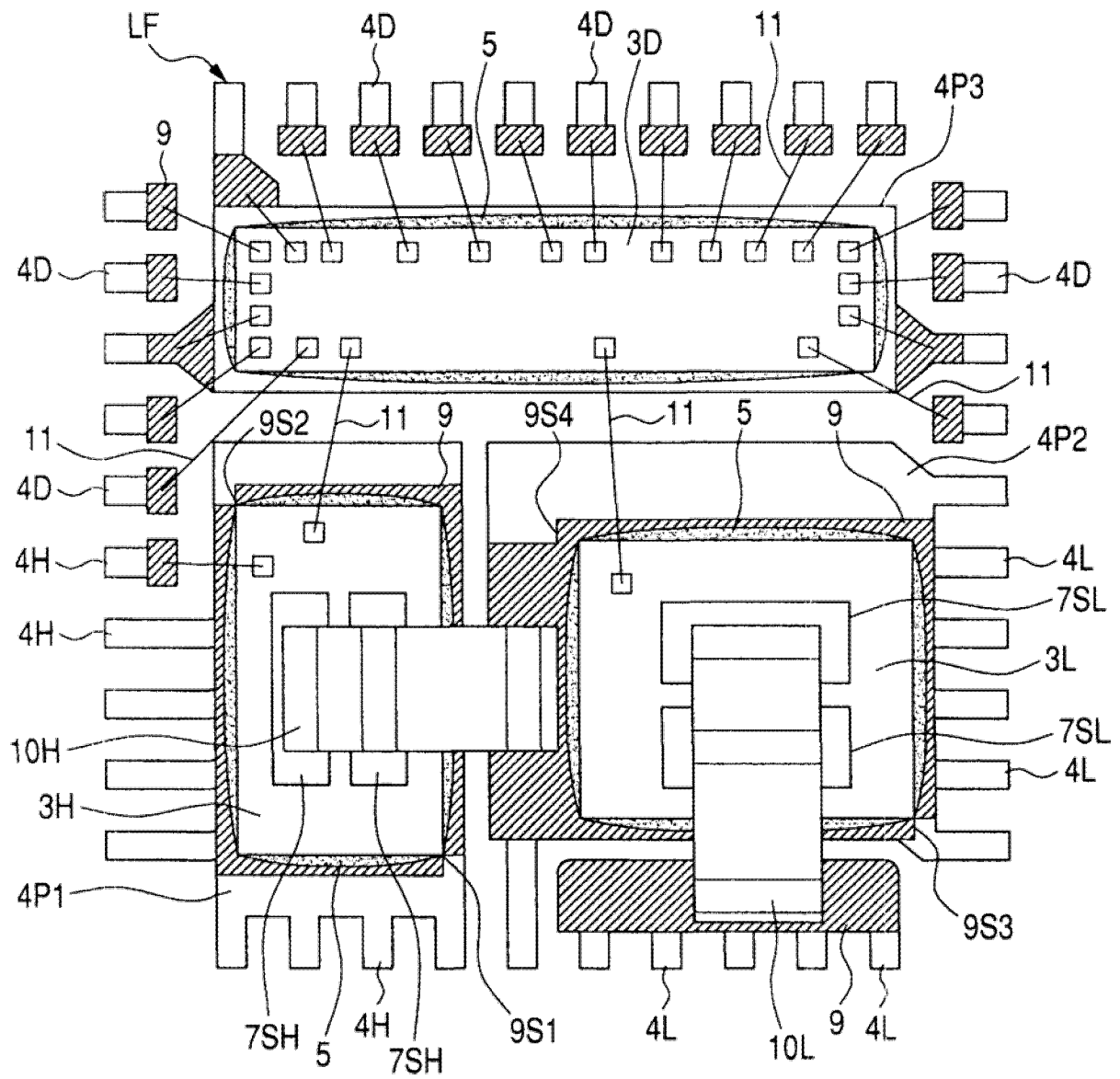


图 45

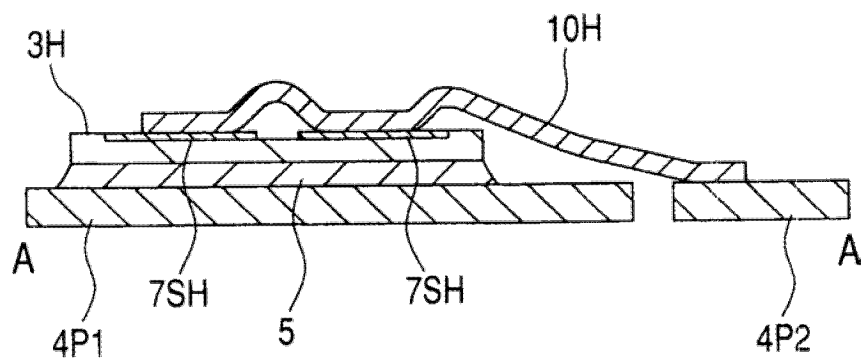


图 47(b)

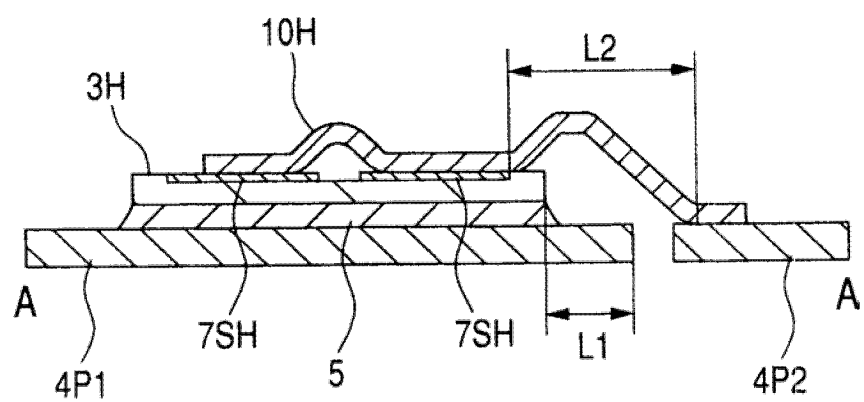


图 47(c)

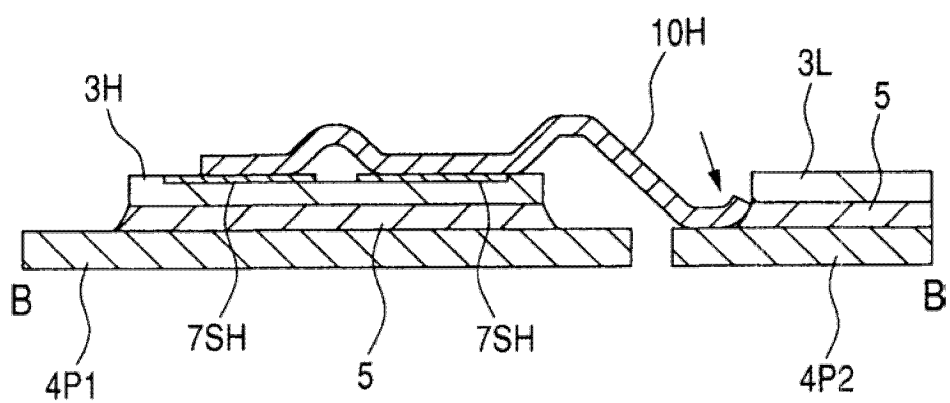


图 48(a)

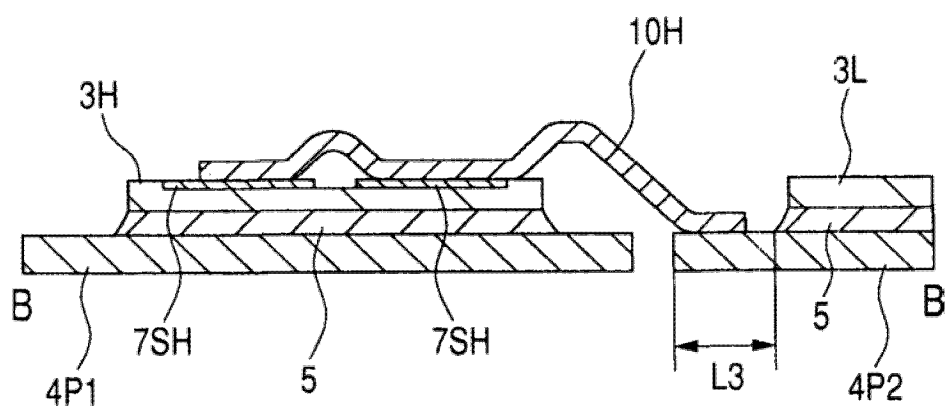


图 48(b)