(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3547550号
(P3547550)
(45)発行日　平成16年7月28日(2004.7.28)　(24)登録日　平成16年4月23日(2004.4.23)

(51)Int.Cl.[7]　F I
G06F 9/46　G06F 9/46　３１０H
G06F 11/28　G06F 11/28　３４０C

請求項の数 3　(全 11 頁)

(21)出願番号　特願平8-25299
(22)出願日　平成8年2月13日(1996.2.13)
(65)公開番号　特開平9-218790
(43)公開日　平成9年8月19日(1997.8.19)
審査請求日　平成12年4月28日(2000.4.28)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100083806
弁理士　三好　秀和
(74)代理人　100068342
弁理士　三好　保男
(74)代理人　100100712
弁理士　岩▲崎▼　幸邦
(74)代理人　100100929
弁理士　川又　澄雄
(72)発明者　徳吉　隆宏
神奈川県川崎市幸区堀川町５８０番１号
株式会社東芝　半導体システム技術センタ
―内

最終頁に続く

(54)【発明の名称】情報処理装置

(57)【特許請求の範囲】
【請求項１】
複数のフラグ付命令識別子及びフラグ省略命令識別子を含む命令識別子を有する命令からなる命令シミュレーションに必要な命令列を格納し、前記命令列は命令シミュレーションが開始される前に解析されて、フラグ演算手続きが省略可能な命令のフラグ付命令識別子がフラグ省略命令識別子に変更されるメモリと、
命令のフラグ付命令識別子及びそれぞれのフラグ付命令識別子に対応したフラグ付命令コードを格納し、命令のフラグ省略命令識別子及びそれぞれのフラグ省略命令識別子に対応したフラグ省略命令コードを格納する命令コード格納部と、
割り込み信号を発生し、かつ命令シミュレーションが開始される前に前記メモリに格納された命令列が解析されて割り込みが発生し得るタイミングが予測され、その予測結果に基づいて割り込みが発生する一命令サイクル前に予告割り込み信号を発生する割り込み発生部と、
前記メモリから命令を順次読み出し、読み出した命令の命令識別子を取り出し、取り出した命令識別子に対応した命令コードを前記命令コード格納部から読み出し、読み出した命令コードに基づいて命令を実行処理し、前記割り込み発生部から予告割り込み信号が発生されて、直後に実行する命令がフラグ省略命令識別子を有する場合には、フラグ付命令コードにしたがって直後の命令を実行処理し、前記割り込み発生部から割り込み信号が発生されて、割り込み処理手続きを実行処理する実行部と
を有することを特徴とする情報処理装置。

【請求項２】
複数のフラグ付命令識別子及びフラグ省略命令識別子を含む命令識別子を有する命令からなる命令シミュレーションに必要な命令列を格納し、前記命令列は命令シミュレーションが開始される前に解析されて、フラグ演算手続きが省略可能な命令のフラグ付命令識別子がフラグ省略命令識別子に変更されるメモリと、
命令のフラグ付命令識別子及びそれぞれのフラグ付命令識別子に対応したフラグ付命令コードを格納し、命令のフラグ省略命令識別子及びそれぞれのフラグ省略命令識別子に対応したフラグ省略命令コードを格納する命令コード格納部と、
周辺装置のシミュレータとなり、割り込み信号を発生し、かつ命令シミュレーションが開始される前に前記メモリに格納された命令列が解析されて割り込みが発生し得るタイミングが予測され、その予測結果に基づいて割り込みが発生する一命令サイクル前に予告割り込み信号を発生する周辺シミュレータと、
前記メモリから命令を順次読み出し、読み出した命令の命令識別子を取り出し、取り出した命令識別子に対応した命令コードを前記命令コード格納部から読み出し、読み出した命令コードに基づいて命令を実行処理し、前記周辺シミュレータから予告割り込み信号が発生されて、直後に実行する命令がフラグ省略命令識別子を有する場合には、フラグ付命令コードにしたがって直後の命令を実行処理し、前記周辺シミュレータから割り込み信号が発生されて、割り込み処理手続きを実行処理する実行部と、
前記メモリと前記周辺シミュレータと前記実行部が接続されてそれぞれの入出力制御を行い、前記周辺シミュレータから発生された予告割り込み信号を前記実行部に与えるバスシミュレータと
を有することを特徴とする情報処理装置。
【請求項３】
複数のフラグ付命令識別子及びフラグ省略命令識別子を含む命令識別子を有する命令からなる命令シミュレーションに必要な命令列を格納し、前記命令列は命令シミュレーションが開始される前に解析されて、フラグ演算手続きが省略可能な命令のフラグ付命令識別子がフラグ省略命令識別子に変更される共有メモリと、
命令のフラグ付命令識別子及びそれぞれのフラグ付命令識別子に対応したフラグ付命令コードを格納し、命令のフラグ省略命令識別子及びそれぞれのフラグ省略命令識別子に対応したフラグ省略命令コードを格納する複数の命令コード格納部と、
周辺装置のシミュレータとなり、割り込み信号を発生し、かつ命令シミュレーションが開始される前に前記共有メモリに格納された命令列が解析されて割り込みが発生し得るタイミングが予測され、その予測結果に基づいて割り込みが発生する一命令サイクル前に予告割り込み信号を発生する複数の周辺シミュレータと、
前記それぞれの命令コード格納部及び周辺シミュレータがそれぞれ対応し、前記共有メモリから命令を順次読み出し、読み出した命令の命令識別子を取り出し、取り出した命令識別子に対応した命令コードを前記対応する命令コード格納部から読み出し、読み出した命令コードに基づいて命令を実行処理し、前記対応する周辺シミュレータから予告割り込み信号が発生されて、直後に実行する命令がフラグ省略命令識別子を有する場合には、フラグ付命令コードにしたがって直後の命令を実行処理し、前記対応する周辺シミュレータから割り込み信号が発生されて、割り込み処理手続きを実行処理する複数の実行部と、
前記それぞれの周辺シミュレータから発生される予告割り込み信号を受けて、それぞれの予告割り込み信号に対応した前記実行部に予告割り込み信号を与える予告割り込み信号制御部と、
前記共有メモリと前記複数の周辺シミュレータと前記複数の実行部が接続されてそれぞれの入出力制御を行うバスシミュレータと
を有することを特徴とする情報処理装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】

この発明は、命令シミュレーションの高速化手法を採用した情報処理装置に関する。

【０００２】

【従来の技術】

マイクロプロセッサの命令シミュレーションを行なう場合に、フラグ演算手続きを省略するという方法がある。これは、マイクロプロセッサで実行される命令列中には、参照されることなく上書きされてしまうフラグに関する多くのフラグ演算手続きが存在するという経験に基づいている。このため、マイクロプロセッサの命令シミュレーションを行なう場合に、この参照されることなく上書きされてしまうフラグに関するフラグ演算手続きは不要である。したがって、命令シミュレーションの高速化を図るために、命令シミュレーションを行なう前に命令列を解析し、解析結果からフラグ演算手続きが省略可能な命令の場合には、フラグ演算手続きを省略することができる。

【０００３】

しかし、割り込みを考慮した命令シミュレーションを行なう場合には、この不要なフラグ演算手続きを省略するという手法を用いることはできない。なぜならば、割り込み発生時にフラグが割り込み処理手続きで参照される可能性があり、フラグ演算手続を省略したことにより、割り込み処理の挙動が変化しまうからである。

【０００４】

このような従来技術において、フラグ演算手続きを省略できない理由を図５及び図６を参照して詳細に説明する。

【０００５】

割り込み処理を含む命令シミュレーションを行なう場合の情報処理装置の構成を図５に示す。

【０００６】

図５において、命令シミュレーションを行なう情報処理装置のメモリ１００は、命令シミュレーションに必要な命令列を格納する。命令列内の命令は、一つの命令識別子とその他のデータから構成される。命令列は命令シミュレーションを開始する前に解析され、省略可能なフラグ演算手続きを含む命令のフラグ付命令識別子はフラグ省略命令識別子に変換される。また、命令列はユーザ手続きと割り込み処理手続きとに分けられている。

【０００７】

命令コード格納部（ＩＴＡＢＬＥ）１０１は、フラグ付命令コードを識別するための複数のフラグ付命令識別子（ＬＩＤ）Ｌ１～Ｌ４と、それぞれのフラグ付命令識別子に対応して命令を実現するためのコード列のフラグ付命令コード（ＬＣＯＤＥ）ＬＣ１～ＬＣ４を格納する。

【０００８】

実行部１０２は、メモリ１００に格納されている命令列から命令を読み出し、読み出した命令の命令識別子を取り出す。この命令識別子を用いて命令コード格納部１０１から命令コードを取り出し、取り出した命令コードに基づいて命令の実行のために必要な手続きを繰り返す。

【０００９】

割り込み発生部１０３は、割り込みの発生を示すために、割り込み信号を生成し、生成した割り込み信号を実行部１０２に通知する。

【００１０】

この割り込みが発生した場合の処理の流れを図６に示す。

【００１１】

ここで、Ｌ１，Ｌ２，Ｌ３，Ｌ４はユーザ手続き（ＵＰＲ）中の命令であり、Ｌ１，Ｌ２はフラグを参照しない命令、Ｌ３，Ｌ４はフラグを参照する命令であるとする。また、Ｌ１，Ｌ２，Ｌ３，Ｌ４は全てフラグを変化させる命令であるとする。

【００１２】

図６において、割り込みが発生しない場合は、命令の実行順序はＬ２，Ｌ４，Ｌ１，Ｌ３である。

【００１３】
ここで、割り込みがＬ４の実行終了直後に発生したとする。この場合には、実行の流れは割り込み処理手続き（ＨＲ）に移り、割り込み処理手続き（ＨＲ）内の命令列を実行した後、Ｌ４の直後の命令、すなわちＬ１に実行の流れが移る。
【００１４】
一方、割り込みが発生しない場合には、Ｌ４のフラグ演算手続きは省略することができる。しかし、上述のようにＬ４の直後で割り込みが発生した場合には、割り込み処理手続き（ＨＲ）内でフラグが参照される可能性があるので、Ｌ４のフラグ演算手続きを省略することはできない。
【００１５】
割り込みは任意の時刻に発生し得るので、結果として全てのフラグ演算手続きを省略することができなくなる。
【００１６】
演算フラグ処理を省略して高速化を図る従来の技術として、例えば特開平３－１６８８３６号公報に、プロセッサ固有のネイティブ命令処理の他、異種プロセッサのターゲット命令に対応してその動作を模擬するネイティブ命令列を生成し処理するエミュレーションプロセッサにおいて、プリデコーダにより演算フラグ生成ターゲット命令と演算フラグ参照命令を検出し、その各々に固有のタグを付加し、プリデコーダにより処理された命令（ターゲット命令）を命令スタックに複数個保持し命令スタック上の各ターゲット命令のタグと命令スタック上の先頭ターゲット命令によりそのターゲット命令の演算フラグ処理を行うかどうかを判定し、その判定結果にしたがって演算フラグ処理の省略を実行し、エミュレーションを高速化する発明が記載されている。
【００１７】
【発明が解決しようとする課題】
以上説明したように、命令シミュレーションを行う従来の情報処理装置においては、フラグ演算手続きが省略可能な命令はフラグ演算手続きを省略して命令シミュレーションを高速化する手法が採用されていた。
【００１８】
しかしながら、割り込みを考慮した命令シミュレーションを行う場合には、割り込み処理においてフラグが参照される可能性があるので、フラグ演算手続きを省略することはできなかった。このため、命令シミュレーションを高速化することが極めて困難となっていた。
【００１９】
そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところは、割り込みを考慮した命令シミュレーションを行なう場合であっても、フラグ演算手続きを省略する高速化手法を用いることを可能とする情報処理装置を提供することにある。
【００２０】
【課題を解決するための手段】
上記目的を達成するために、請求項１記載の発明は、複数のフラグ付命令識別子及びフラグ省略命令識別子を含む命令識別子を有する命令からなる命令シミュレーションに必要な命令列を格納し、前記命令列は命令シミュレーションが開始される前に解析されて、フラグ演算手続きが省略可能な命令のフラグ付命令識別子がフラグ省略命令識別子に変更されるメモリと、命令のフラグ付命令識別子及びそれぞれのフラグ付命令識別子に対応したフラグ付命令コードを格納し、命令のフラグ省略命令識別子及びそれぞれのフラグ省略命令識別子に対応したフラグ省略命令コードを格納する命令コード格納部と、割り込み信号を発生し、かつ命令シミュレーションが開始される前に前記メモリに格納された命令列が解析されて割り込みが発生し得るタイミングが予測され、その予測結果に基づいて割り込みが発生する一命令サイクル前に予告割り込み信号を発生する割り込み発生部と、前記メモリから命令を順次読み出し、読み出した命令の命令識別子を取り出し、取り出した命令識別子に対応した命令コードを前記命令コード格納部から読み出し、読み出した命令コード

に基づいて命令を実行処理し、前記割り込み発生部から予告割り込み信号が発生されて、直後に実行する命令がフラグ省略命令識別子を有する場合には、フラグ付命令コードにしたがって直後の命令を実行処理し、前記割り込み発生部から割り込み信号が発生されて、割り込み処理手続きを実行処理する実行部を有して構成される。

【００２１】

請求項２記載の発明は、複数のフラグ付命令識別子及びフラグ省略命令識別子を含む命令識別子を有する命令からなる命令シミュレーションに必要な命令列を格納し、前記命令列は命令シミュレーションが開始される前に解析されて、フラグ演算手続きが省略可能な命令のフラグ付命令識別子がフラグ省略命令識別子に変更されるメモリと、命令のフラグ付命令識別子及びそれぞれのフラグ付命令識別子に対応したフラグ付命令コードを格納し、命令のフラグ省略命令識別子及びそれぞれのフラグ省略命令識別子に対応したフラグ省略命令コードを格納する命令コード格納部と、周辺装置のシミュレータとなり、割り込み信号を発生し、かつ命令シミュレーションが開始される前に前記メモリに格納された命令列が解析されて割り込みが発生し得るタイミングが予測され、その予測結果に基づいて割り込みが発生する一命令サイクル前に予告割り込み信号を発生する周辺シミュレータと、前記メモリから命令を順次読み出し、読み出した命令の命令識別子を取り出し、取り出した命令識別子に対応した命令コードを前記命令コード格納部から読み出し、読み出した命令コードに基づいて命令を実行処理し、前記周辺シミュレータから予告割り込み信号が発生されて、直後に実行する命令がフラグ省略命令識別子を有する場合には、フラグ付命令コードにしたがって直後の命令を実行処理し、前記周辺シミュレータから割り込み信号が発生されて、割り込み処理手続きを実行処理する実行部と、前記メモリと前記周辺シミュレータと前記実行部が接続されてそれぞれの入出力制御を行い、前記周辺シミュレータから発生された予告割り込み信号を前記実行部に与えるバスシミュレータとを有して構成される。

【００２２】

請求項３記載の発明は、複数のフラグ付命令識別子及びフラグ省略命令識別子を含む命令識別子を有する命令からなる命令シミュレーションに必要な命令列を格納し、前記命令列は命令シミュレーションが開始される前に解析されて、フラグ演算手続きが省略可能な命令のフラグ付命令識別子がフラグ省略命令識別子に変更される共有メモリと、命令のフラグ付命令識別子及びそれぞれのフラグ付命令識別子に対応したフラグ付命令コードを格納し、命令のフラグ省略命令識別子及びそれぞれのフラグ省略命令識別子に対応したフラグ省略命令コードを格納する複数の命令コード格納部と、周辺装置のシミュレータとなり、割り込み信号を発生し、かつ命令シミュレーションが開始される前に前記共有メモリに格納された命令列が解析されて割り込みが発生し得るタイミングが予測され、その予測結果に基づいて割り込みが発生する一命令サイクル前に予告割り込み信号を発生する複数の周辺シミュレータと、前記それぞれの命令コード格納部及び周辺シミュレータがそれぞれ対応し、前記共有メモリから命令を順次読み出し、読み出した命令の命令識別子を取り出し、取り出した命令識別子に対応した命令コードを前記対応する命令コード格納部から読み出し、読み出した命令コードに基づいて命令を実行処理し、前記対応する周辺シミュレータから予告割り込み信号が発生されて、直後に実行する命令がフラグ省略命令識別子を有する場合には、フラグ付命令コードにしたがって直後の命令を実行処理し、前記対応する周辺シミュレータから割り込み信号が発生されて、割り込み処理手続きを実行処理する複数の実行部と、前記それぞれの周辺シミュレータから発生される予告割り込み信号を受けて、それぞれの予告割り込み信号に対応した前記実行部に予告割り込み信号を与える予告割り込み信号制御部と、前記共有メモリと前記複数の周辺シミュレータと前記複数の実行部が接続されてそれぞれの入出力制御を行うバスシミュレータとを有して構成される。

【００２３】

【発明の実施の形態】

以下、図面を用いてこの発明の実施形態を説明する。

【００２４】

図１はこの発明の一実施形態に係る情報処理装置の構成を示す図である。

【００２５】

この実施形態の特徴とするところは、命令シミュレーションにおいて、命令シミュレーションを開始する前に命令シミュレーションを行う命令列を解析し、割り込みが発生し得る可能性のあるタイミングを予測し、この予測結果に基づいて割り込みが発生されるよりも一命令サイクル前に予告割り込み信号を発生させ、この予告割り込み信号によりフラグ省略命令識別子を有する命令をフラグ付命令識別子を有する命令に入れ換え、入れ換えたフラグ付命令識別子に対応したフラグ付命令コードで命令を実行処理してフラグ演算手続きを行いフラグを更新し、予告割り込み信号の次に割り込み信号が発生して割り込み処理が行われフラグが参照された場合であっても、正しいフラグが参照されるようにしたことにある。

【００２６】

図１において、情報処理装置は、メモリ１と、命令コード格納部２と、割り込み発生部３と、実行部４を備えて構成されている。

【００２７】

メモリ１は、複数のフラグ付命令識別子及びフラグ省略命令識別子を含む命令識別子を有する命令からなる命令シミュレーションに必要な命令列を格納する。格納される命令列は命令シミュレーションが開始される前に解析され、フラグ付命令識別子を有してフラグ演算手続きが省略可能な命令はフラグ省略命令識別子を有する命令に変更される。

【００２８】

命令コード格納部（ＩＴＡＢＬＥ）２は、命令のフラグ付命令識別子及びそれぞれのフラグ付命令識別子に対応したフラグ付命令コードを格納し、また、命令のフラグ省略命令識別子及びそれぞれのフラグ省略命令識別子に対応したフラグ省略命令コードを格納する。フラグ付命令識別子（ＬＩＤ）Ｌ１～Ｌ４は、フラグ付命令コードを識別するための識別子であり、フラグ付命令コード（ＬＣＯＤＥ）ＬＣ１～ＬＣ４は、フラグ付命令を実現するためのコード列であり、フラグ省略命令識別子（ＳＩＤ）Ｓ１～Ｓ４は、フラグ省略命令コードを識別するための識別子であり、フラグ省略命令コード（ＳＣＯＤＥ）ＳＣ１～ＳＣ４は、命令を実現するためのコード列からフラグ演算手続きを省略したコード列である。

【００２９】

割り込み発生部３は、割り込み信号（ＩＮＴＳ）及び予告割り込み信号（ＰＲＥ－ＩＮＴＳ）を発生する。命令シミュレーションが開始される前にメモリ１に格納された命令シミュレーションを行う命令列が解析され、この解析により命令列で割り込みが発生し得る可能性があるタイミングが予測され、その予測結果に基づいて割り込みが発生する一命令サイクル前に割り込み発生部３は予告割り込み信号を発生する。したがって、実際の実行処理では任意の時刻に割り込みが発生するので、割り込みが発生する一命令サイクル前に予告割り込み信号を発生させることはできないが、上述した手法により命令シミュレーションを実行する場合に、割り込みが発生する一命令サイクル前に予告割り込み信号を発生させることが可能となる。

【００３０】

実行部４は、メモリ１から命令を順次読み出し、読み出した命令の命令識別子を取り出し、取り出した命令識別子に対応した命令コードを命令コード格納部２から読み出し、読み出した命令コードに基づいて命令を実行処理する。また、実行部４は、割り込み発生部３から発生された予告割り込み信号を受けて、直後に実行する命令がフラグ省略命令識別子を有する場合には、このフラグ省略命令識別子を有する命令をフラグ付命令識別子を有する命令に入れ換え、この入れ換えた命令を対応するフラグ付命令コードにしたがって実行処理する。

【００３１】

次に、上記構成における命令シミュレーションの動作を図２を参照して説明する。

【００３２】

図２において、ユーザ手続き（ＵＰＲ）内の命令列は図６に示すものと同一である。ただし、Ｌ４は直後のＬ１がフラグを参照しないので、命令シミュレーションの高速化のために、Ｌ４はフラグ演算手続きが省略可能な命令として、フラグ演算手続きを省略した命令Ｓ４に入れ換えられている。この入れ換え処理は命令シミュレーションが開始される前に、命令列の解析によって行なわれる。また、命令シミュレーションが開始される前に、命令列の解析により割り込みが発生するタイミングが予測され、例えばＳ４の直後に割り込みが発生するものとする。

【００３３】

割り込み発生部３は割り込み信号の一命令サイクル前に予告割り込み信号を発生させるので、Ｌ２の実行直後に予告割り込み信号が実行部４に与えられる。予告割り込み信号を受けた実行部４は、直後の命令、すなわち、Ｓ４をＬ４に入れ換え、この入れ換えたＬ４の実行を行なう。

【００３４】

この入れ換えを行なうことにより、フラグ演算手続きは省略されずに行なわれるので、Ｌ４の実行直後ではフラグは正しい値を保持していることになる。これにより、実行部４が割り込み信号を受けとった時点で、実行部４は実行の流れを割り込み処理手続き（ＨＲ）に移行するが、割り込み処理手続き（ＨＲ）の中でフラグの参照を行なっても、その挙動は正しいものとなる。

【００３５】

したがって、フラグ付命令識別子を有する命令の内、フラグ演算手続きが省略可能な命令のフラグ演算手続きを省略して、命令シミュレーションにおいて割り込み処理を行った場合でも不具合を生じることはなくなる。これにより、従来は用いることのできなかった、フラグ演算手続きの省略による高速化手法を用いることが可能となり、命令シミュレーションを従来に比べて格段に高速化することができる。

【００３６】

図３はこの発明の他の実施形態に係る情報処理装置の構成を示す図である。

【００３７】

この実施形態の特徴とするところは、図１に示す実施形態に比べて、図１に示す割り込み発生部３に代えて周辺シミュレータ５を設け、メモリ１と実行部４及び周辺シミュレータ５をバスシミュレータ６を介して接続したことにあり、他は図１に示す実施形態と同様である。

【００３８】

周辺シミュレータ５は、情報処理装置における周辺装置のシミュレータとなるものであり、割り込み信号（ＩＮＴＰ）ならびに予告割り込み信号（ＰＲＥ－ＩＮＴＰ）を図１に示す割り込み発生部３と同様にして発生する。バスシミュレータ６は、メモリ１と実行部４と周辺シミュレータ５との間の信号の入出力を制御し、周辺シミュレータ５から発生された予告割り込み信号はバスシミュレータ６を介して実行部４に供給される。

【００３９】

この構成では、周辺シミュレータ５が割り込みを発生させた場合は、バスシミュレータ６に割り込み信号（ＩＮＴＰ）を送り、バスシミュレータ６が実行部４に割り込み信号（ＩＮＴＳ）を送る。また、割り込みの一命令サイクル前に、周辺シミュレータ５は、バスシミュレータ６に予告割り込み信号（ＰＲＥ－ＩＮＴＰ）を送り、バスシミュレータ６が実行部４に予告割り込み信号（ＰＲＥ－ＩＮＴＳ）を送る。

【００４０】

割り込み信号（ＩＮＴＳ）、予告割り込み信号（ＰＲＥ－ＩＮＴＳ）を受けとった時の実行部４の動作は図１に示す実施形態と同様である。

【００４１】

周辺シミュレータ５には割り込みが発生するタイミングが、予め全て与えられているわけではないので、周辺シミュレータ５が予告割り込み信号（ＰＲＥ－ＩＮＴＰ）を正確に発生させることは難しくなる。しかし、周辺シミュレータ５が誤った予告割り込み信号（Ｐ

ＲＥ－ＩＮＴＰ）を発生して予告割り込み信号（ＰＲＥ－ＩＮＴＳ）が実行部４に送られても、その実行時間が多少遅くなるだけで、ユーザ手続き（ＵＰＲ）の挙動自体は正しい。したがって、周辺シミュレータ５は推測により、必要より多くの予告割り込み信号（ＰＲＥ－ＩＮＴＰ）を発生させてもかまわない。

【００４２】

このように、図１の実施形態に比べて、予告割り込み信号の発生が多少多くなりそのために幾分命令シミュレーションの実行時間がかかるが、従来のようにフラグ演算手続きを省略しない手法に比べても命令シミュレーションの実行時間を短縮することができる。

【００４３】

また、この実施形態では、予め割り込み信号が発生するタイミングを全て与えられている割り込みの場合のみならず、周辺シミュレータを含むような構成の命令シミュレーションにも有効である。

【００４４】

図４はこの発明の他の実施形態に係る情報処理装置の構成を示す図である。

【００４５】

この実施形態の特徴とするところは、複数のプロセッサを使用したシステムに適用したものであり、２つの実行部４ａ，４ｂ及びそれぞれの実行部４ａ，４ｂに対応した命令コード格納部２ａ，２ｂと、それぞれの実行部４ａ，４ｂに対応した周辺シミュレータ５ａ，５ｂと、２つの実行部４ａ，４ｂで共有する共有メモリ７と、実行部４ａ，４ｂと周辺シミュレータ５ａ，５ｂと共有メモリ７との間の入出力を制御するバスシミュレータ６と、周辺シミュレータ５ａ，５ｂから発生する予告割り込み信号（ＰＲＥ－ＩＮＴＰ１，ＰＲＥ－ＩＮＴＰ２）を受けて対応する実行部４ａ，４ｂに与える予告割り込み信号制御部８を備えて構成され、実行部４ａ，４ｂ、周辺シミュレータ５ａ，５ｂ、バスシミュレータ６の動作は図１又は図３に示す実行部４、周辺シミュレータ５、バスシミュレータ６と同様である。

【００４６】

このような構成において、それぞれの周辺シミュレータ５ａ，５ｂからの予告割り込み信号（ＰＲＥ－ＩＮＴＰ１，ＰＲＥ－ＩＮＴＰ２）は予告割り込み信号制御部８に送られる。予告割り込み信号制御部８は予告割り込み信号（ＰＲＥ－ＩＮＴＰ１，ＰＲＥ－ＩＮＴＰ２）を受けとると、対応する実行部４ａ，４ｂに予告割り込み信号（ＰＲＥ－ＩＮＴＳ１，ＰＲＥ－ＩＮＴＳ２）を送る。予告割り込み信号制御部８に予告割り込み信号（ＰＲＥ－ＩＮＴＳ１，ＰＲＥ－ＩＮＴＳ２）をまとめたのは、構成を簡略化するためである。その結果、実行部４ａ，４ｂには必要より多めに予告割り込み信号（ＰＲＥ－ＩＮＴＳ１，ＰＲＥ－ＩＮＴＳ２）が送られるが、その実行速度が多少遅くなるだけで、ユーザ手続き（ＵＰＲ）の挙動自体は正しい。

【００４７】

したがって、この実施形態では、複数のプロセッサを使用したシステムにおいて図３に示す実施形態と同様の効果を得ることができる。

【００４８】

なお、上記実施形態において、複数の実行部４ａ，４ｂを含む構成では、予告割り込み信号（ＰＲＥ－ＩＮＴＳ）を共通化しても構わない。

【００４９】

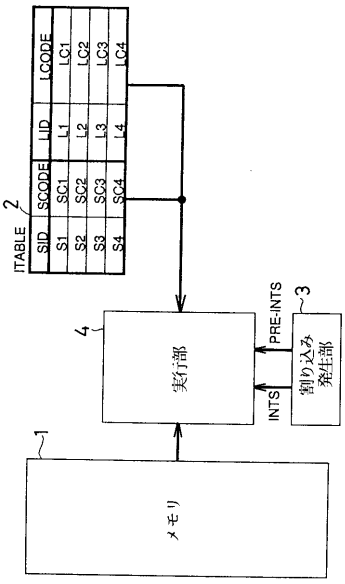
【発明の効果】

以上詳述したように、本発明によれば、割り込みが発生する一命令サイクル前に予告割り込み信号を発生し、予告割り込み信号が発生された直後に実行する命令がフラグ省略命令識別子を有する場合には、フラグ省略命令コードに代えてブフラグ付命令コードにしたがって直後の命令を実行処理するようにしたので、割り込みを考慮した命令シミュレーションを行なう場合にフラグ演算手続きを省略することができるので、命令シミュレーションの実行時間を短縮することが可能となる。

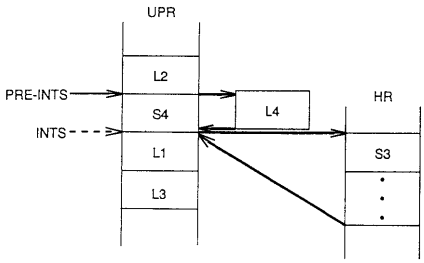
【図面の簡単な説明】

【図１】この発明の一実施形態に係る情報処理装置の構成を示す図である。
【図２】図１に示す装置の処理フローを示す図である。
【図３】この発明の他の実施形態に係る情報処理装置の構成を示す図である。
【図４】この発明の他の実施形態に係る情報処理装置の構成を示す図である。
【図５】従来の情報処理装置の構成を示す図である。
【図６】図５に示す装置の処理フローを示す図である。
【符号の説明】
１　メモリ
２，２ａ，２ｂ　命令コード格納部
３　割り込み発生部
４，４ａ，４ｂ　実行部
５，５ａ，５ｂ　周辺シミュレータ
６　バスシミュレータ
７　共有メモリ
８　予告割り込み信号制御部

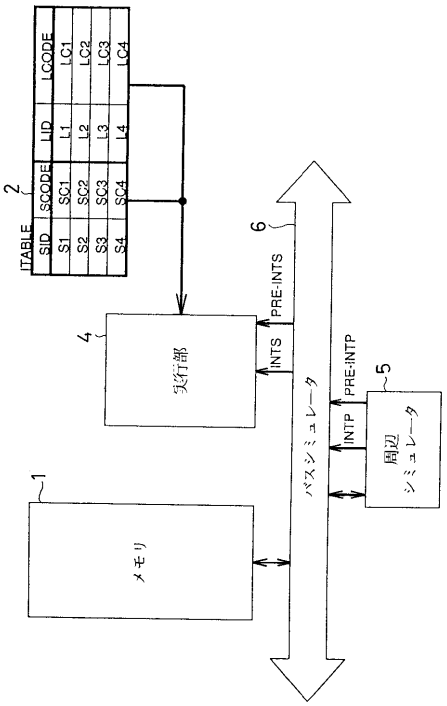
【図１】



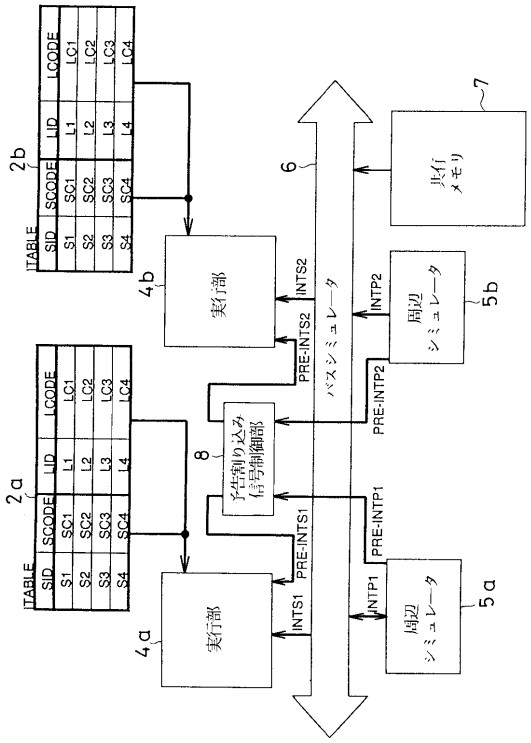
【図２】



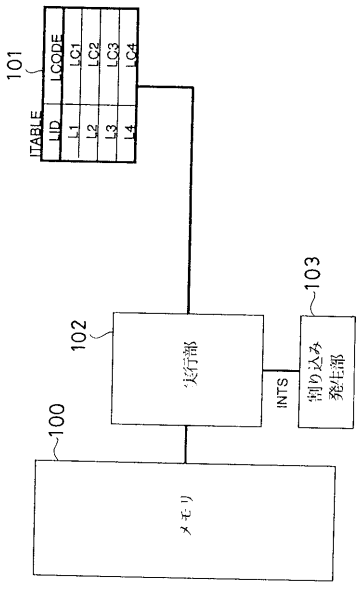
【図３】


2
TABLE
SID
SCODE
LID
LCODE
S1
S2
S3
S4
SC1
SC2
SC3
SC4
L1
L2
L3
L4
LC1
LC2
LC3
LC4
4
実行部
6
PRE-INTS
INTS
PRE-INTP
INTP
5
周辺
シミュレータ
バスシミュレータ
1
メモリ

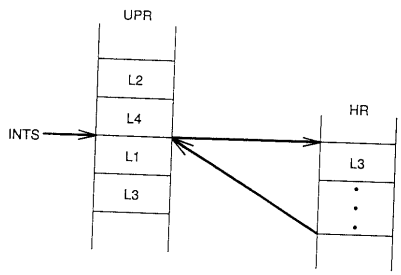
【図４】


2b
TABLE
SID
SCODE
LID
LCODE
S1
S2
S3
S4
SC1
SC2
SC3
SC4
L1
L2
L3
L4
LC1
LC2
LC3
LC4
4b
実行部
6
バスシミュレータ
7
実行
メモリ
INTS2
PRE-INTS2
INTP2
PRE-INTP2
5b
周辺
シミュレータ
2a
8
予告割り込み
信号制御部
PRE-INTS1
PRE-INTP1
INTS1
INTP1
4a
実行部
5a
周辺
シミュレータ

【図５】


101
TABLE
LID
LCODE
L1
L2
L3
L4
LC1
LC2
LC3
LC4
102
実行部
103
割り込み
発生部
INTS
100
メモリ

【図６】


UPR
L2
L4
L1
L3
INTS
HR
L3

フロントページの続き

審査官　間野　裕一

(56)参考文献　特開平３－１６８８３６（ＪＰ，Ａ）
特開平１－２０５３４７（ＪＰ，Ａ）
特開昭６３－５８５５０（ＪＰ，Ａ）
特開昭６２－１９４５４９（ＪＰ，Ａ）
特開平６－２０８４８０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G06F 9/46-9/54
G06F 11/28