



(12) 发明专利申请

(10) 申请公布号 CN 114787986 A

(43) 申请公布日 2022. 07. 22

(21) 申请号 202080080493.8

(74) 专利代理机构 中国专利代理(香港)有限公司 72001

(22) 申请日 2020.11.10

专利代理师 何欣亭 李啸

(30) 优先权数据

2019-210330 2019.11.21 JP

2019-237925 2019.12.27 JP

(85) PCT国际申请进入国家阶段日

2022.05.20

(86) PCT国际申请的申请数据

PCT/IB2020/060547 2020.11.10

(87) PCT国际申请的公布数据

W02021/099885 JA 2021.05.27

(71) 申请人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 乡户宏充 国武宽司 津田一树

(51) Int.Cl.

H01L 21/8234 (2006.01)

H01L 27/088 (2006.01)

H01L 21/8239 (2006.01)

H01L 27/105 (2006.01)

H01L 27/11582 (2006.01)

H01L 21/336 (2006.01)

H01L 29/788 (2006.01)

H01L 29/792 (2006.01)

H01L 29/786 (2006.01)

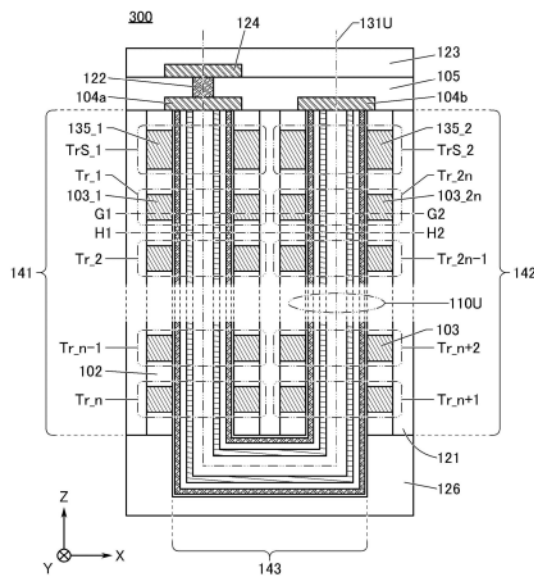
权利要求书2页 说明书42页 附图67页

(54) 发明名称

半导体装置以及电子设备

(57) 摘要

提供一种新颖半导体装置。该半导体装置是延伸在Z方向上的存储器串,通过将氧化物半导体用于半导体层来实现高速工作。存储器串包括MONOS型存储单元,控制栅极一侧设置有隧穿层,半导体一侧设置有阻挡层。在删除工作中从控制栅极一侧向电荷累积层注入空穴。



1. 一种半导体装置,包括:

延伸在第一方向上的结构体;以及

延伸在第二方向上的导电体,

其中,所述结构体包括:

氧化物半导体;

第一绝缘体;第二绝缘体;以及第三绝缘体,

所述氧化物半导体延伸在所述第一方向上,

所述第一绝缘体相邻于所述氧化物半导体,

所述第二绝缘体相邻于所述第一绝缘体,

所述第三绝缘体相邻于所述第二绝缘体,

在所述结构体与所述导电体交叉的交叉部中,所述氧化物半导体、所述第一绝缘体、所述第二绝缘体及所述第三绝缘体被配置为同心状,

并且,在所述交叉部中,所述导电体相邻于所述第三绝缘体且所述第一绝缘体比所述第三绝缘体厚。

2. 一种半导体装置,包括:

延伸在第一方向上的结构体;以及

延伸在第二方向上的n层(n为2以上的整数)导电体,

其中,所述结构体包括:

氧化物半导体;第一绝缘体;第二绝缘体;以及第三绝缘体,

所述氧化物半导体延伸在所述第一方向上,

所述第一绝缘体相邻于所述氧化物半导体,

所述第二绝缘体相邻于所述第一绝缘体,

所述第三绝缘体相邻于所述第二绝缘体,

在所述结构体与所述n层导电体交叉的n个交叉部各自中,所述氧化物半导体、所述第一绝缘体、所述第二绝缘体及所述第三绝缘体被配置为同心状,

并且,在所述n个交叉部各自中,所述导电体相邻于所述第三绝缘体且所述第一绝缘体比所述第三绝缘体厚。

3. 根据权利要求2所述的半导体装置,其中该半导体装置被用作NAND型存储装置。

4. 根据权利要求2或3所述的半导体装置,其中该半导体装置被用作RAM。

5. 根据权利要求1至4中任一项所述的半导体装置,

其中所述第一方向是与所述第二方向正交的方向。

6. 根据权利要求1至5中任一项所述的半导体装置,

其中所述第一绝缘体被用作阻挡层,

所述第二绝缘体被用作电荷累积层,

并且所述第三绝缘体被用作隧穿层。

7. 根据权利要求1至6中任一项所述的半导体装置,

其中所述交叉部被用作存储单元。

8. 根据权利要求1至7中任一项所述的半导体装置,

其中所述氧化物半导体包含铟和锌中的至少一方。

9. 一种电子设备,包括:

权利要求1至8中任一项所述的半导体装置;以及
操作开关、电池和显示部中的至少一个。

10. 一种半导体装置,包括:

结构体;

第一导电体;以及

第二导电体,

其中,所述结构体包括:

延伸在第一方向上的第一部分;延伸在所述第一方向上的第二部分;以及延伸在第二方向上的第三部分,

所述第一导电体及所述第二导电体延伸在第三方向上,

所述结构体包括:

氧化物半导体;第一绝缘体;第二绝缘体;以及第三绝缘体,

在所述第一部分与所述第一导电体交叉的第一交叉部中,所述氧化物半导体、所述第一绝缘体、所述第二绝缘体及所述第三绝缘体被配置为同心状且所述第一导电体相邻于所述第三绝缘体,

在所述第二部分与所述第二导电体交叉的第二交叉部中,所述氧化物半导体、所述第一绝缘体、所述第二绝缘体及所述第三绝缘体被配置为同心状且所述第二导电体相邻于所述第三绝缘体,

并且,在所述第一交叉部及所述第二交叉部各自中,所述第一绝缘体比所述第三绝缘体厚。

11. 根据权利要求10所述的半导体装置,

其中所述第一方向、所述第二方向和所述第三方向是彼此正交的方向。

12. 根据权利要求10或11所述的半导体装置,

其中所述第一绝缘体被用作阻挡层,

所述第二绝缘体被用作电荷累积层,

并且所述第三绝缘体被用作隧穿层。

13. 根据权利要求10至12中任一项所述的半导体装置,

其中所述第一交叉部及所述第二交叉部各自被用作存储单元。

14. 根据权利要求10至13中任一项所述的半导体装置,

其中所述氧化物半导体包含镧和铟中的至少一方。

15. 一种电子设备,包括:

权利要求10至14中任一项所述的半导体装置;以及
操作开关、电池和显示部中的至少一个。

半导体装置以及电子设备

技术领域

[0001] 本发明的一个方式涉及一种半导体装置及电子设备。

[0002] 本发明的一个方式不限于上述技术领域。本说明书等所公开的发明的技术领域涉及一种物体、方法或制造方法。此外，本发明的一个方式涉及一种工序 (process)、机器 (machine)、产品 (manufacture) 或者组合物 (composition of matter)。因此，具体而言，作为本说明书所公开的本发明的一个方式的技术领域的例子可以举出半导体装置、显示装置、液晶显示装置、发光装置、蓄电装置、摄像装置、存储装置、信号处理装置、处理器、电子设备、系统、它们的驱动方法、它们的制造方法或它们的检查方法。

背景技术

[0003] 作为用于计算机的大容量存储装置，NAND型快闪存储器正在普及。近年来，通过以三维方式配置存储单元来提高NAND型快闪存储器的集成度的技术正在普及(专利文献1)。在本说明书等中，将以三维方式配置存储单元的NAND型快闪存储器称为“3D-NAND”。

[0004] 在很多情况下，将多晶硅用于3D-NAND的存储器串的主体部，而专利文献2公开了将氧化物半导体用于存储器串的主体部的例子。这里的主体部是指被用作构成存储器串的晶体管的沟道或源极/漏极的半导体层。

[先行技术文献]

[专利文献]

[0005] [专利文献1]日本专利申请公开第2007-266143号

[专利文献2]日本专利申请公开第2016-225614号

发明内容

发明所要解决的技术问题

[0006] 3D-NAND的删除工作通过使空穴流过主体部来进行。作为使空穴流过主体部的方法，专利文献1公开了：(1)利用GIDL (Gate Induced Drain Leakage)生成空穴的方法；(2)从半导体衬底的P-well注入空穴的方法；以及(3)从由p型多晶硅构成的接触层注入空穴的方法。

[0007] 然而，在将氧化物半导体用于主体部时，上述(1)至(3)的方法都不能使用。例如，在(1)的方法中，氧化物半导体因带隙宽而不产生GIDL，所以不能使用。另外，在(2)及(3)的方法中，将空穴从p型多晶硅注入到氧化物半导体时的势垒较高，所以不能使用。因此，3D-NAND只将主体部从多晶硅变为氧化物半导体也不能进行删除工作。

[0008] 本发明的一个方式的目的是提供一种新颖的存储装置。此外，本发明的一个方式的目的是提供一种工作速度快的存储装置。此外，本发明的一个方式的目的是提供一种可靠性高的存储装置。此外，本发明的一个方式的目的是提供一种存储容量大的存储装置。此外，本发明的一个方式的目的是提供一种新颖的半导体装置。此外，本发明的一个方式的目的是提供一种工作速度快的半导体装置。此外，本发明的一

个方式的的目的之一是提供一种可靠性高的半导体装置。此外,本发明的一个方式的的目的之一是提供一种存储容量大的半导体装置。

[0009] 注意,本发明的一个方式的的目的并不局限于上述目的。上述目的并不妨碍其他目的的存在。其他目的是指将在下面的记载中描述的上述以外的目的。本领域技术人员可以从说明书或附图等的记载中导出并适当抽出上述以外的目的。本发明的一个方式实现上述目的及其他目的中的至少一个目的。此外,本发明的一个方式不一定需要实现所有的上述目的及其他目的。

解决技术问题的手段

[0010] 本发明的一个方式是一种半导体装置,包括延伸在第一方向上的结构体以及延伸在第二方向上的导体,结构体包括氧化物半导体、第一绝缘体、第二绝缘体以及第三绝缘体,氧化物半导体延伸在第一方向上,第一绝缘体相邻于氧化物半导体,第二绝缘体相邻于第一绝缘体,第三绝缘体相邻于第二绝缘体,在结构体与导体交叉的交叉部中,氧化物半导体、第一绝缘体、第二绝缘体及第三绝缘体被配置为同心状,在交叉部中,导体相邻于第三绝缘体,第一绝缘体比第三绝缘体厚。

[0011] 本发明的另一个方式是一种半导体装置,包括延伸在第一方向上的结构体以及延伸在第二方向上的n层(n为2以上的整数)导体,结构体包括氧化物半导体、第一绝缘体、第二绝缘体以及第三绝缘体,氧化物半导体延伸在第一方向上,第一绝缘体相邻于氧化物半导体,第二绝缘体相邻于第一绝缘体,第三绝缘体相邻于第二绝缘体,在结构体与n层导体交叉的n个交叉部各自中,氧化物半导体、第一绝缘体、第二绝缘体及第三绝缘体被配置为同心状,在n个交叉部各自中,导体相邻于第三绝缘体,第一绝缘体比第三绝缘体厚。

[0012] 本发明的另一个方式是一种半导体装置,包括结构体、第一导体以及第二导体,结构体包括延伸在第一方向上的第一部分、延伸在第一方向上的第二部分以及延伸在第二方向上的第三部分,第一导体及第二导体延伸在第三方向上,结构体包括氧化物半导体、第一绝缘体、第二绝缘体以及第三绝缘体,在第一部分与第一导体交叉的第一交叉部中,氧化物半导体、第一绝缘体、第二绝缘体和第三绝缘体被配置为同心状且第一导体相邻于第三绝缘体,在第二部分与第二导体交叉的第二交叉部中,氧化物半导体、第一绝缘体、第二绝缘体和第三绝缘体被配置为同心状且第二导体相邻于第三绝缘体,在第一交叉部及第二交叉部各自中,第一绝缘体比第三绝缘体厚。

[0013] 第一方向优选为与第二方向正交的方向。另外,第一方向、第二方向和第三方向优选为彼此正交的方向。根据本发明的一个方式的半导体装置可被用作NAND型存储装置。另外,根据本发明的一个方式的半导体装置可被用作RAM。

[0014] 例如,第一绝缘体被用作阻挡层,第二绝缘体被用作电荷累积层,第三绝缘体被用作隧穿层。

[0015] 本发明的另一个方式是一种电子设备,包括上述半导体装置、以及操作开关、电池和显示部中的至少一个。

发明效果

[0016] 根据本发明的一个方式,可以提供一种新颖的存储装置。此外,根据本发明的一个方式,可以提供一种工作速度快的存储装置。此外,根据本发明的一个方式,可以提供一种可靠性高的存储装置。此外,根据本发明的一个方式,可以提供一种存储容量大的存储装

置。此外,根据本发明的一个方式,可以提供一种新颖的半导体装置。此外,根据本发明的一个方式,可以提供一种工作速度快的半导体装置。此外,可以提供一种可靠性高的半导体装置。此外,根据本发明的一个方式,可以提供一种存储容量大的半导体装置。

[0017] 注意,本发明的一个方式的效果不局限于上述效果。上述效果并不妨碍其他效果的存在。其他效果是指将在下面的记载中描述的上述以外的效果。本领域技术人员可以从说明书或附图等的记载中导出并适当抽出上述以外的效果。此外,本发明的一个方式具有上述效果及其他效果中的至少一个效果。因此,本发明的一个方式根据情况而有时没有上述效果。

附图简要说明

[0018] 图1A是存储器串的截面图。图1B是存储器串的电路图。

图2A及图2B是存储器串的截面图。

图3A及图3B是存储器串的截面图。

图4是存储器串的截面图。

图5A及图5B是存储器串的截面图。

图6是存储器串的截面图。

图7A及图7B是存储器串的截面图。

图8A是说明IGZO的结晶结构的分类的图。图8B是说明CAAC-IGZO膜的XRD谱的图。

图8C是说明CAAC-IGZO膜的纳米束电子衍射图案的图。

图9A及图9B是半导体装置的截面图。

图10A及图10B是半导体装置的截面图。

图11是半导体装置的电路图。

图12A是存储器串的电路图。图12B是说明晶体管的 I_d - V_g 特性的一个例子的图。

图13A是说明存储器串的删除工作的时序图。图13B是示出存储器串的工作状态的电路图。

图14A是存储单元的截面图。图14B是存储单元的能带图。

图15A是说明存储器串的写入工作的时序图。图15B是示出存储器串的工作状态的电路图。

图16A是存储单元的截面图。图16B是存储单元的能带图。

图17A是说明存储器串的读出工作的时序图。图17B至图17D是示出存储器串的工作状态的电路图。

图18是存储器串的截面图。

图19A及图19B是存储器串的截面图。

图20是存储器串的电路图。

图21是存储器串的截面图。

图22是存储器串的截面图。

图23是存储器串的截面图。

图24是存储器串的截面图。

图25是存储器串的截面图。

图26是存储器串的截面图。

图27是说明半导体装置的结构例子的方框图。

图28是说明半导体装置的结构例子的图。

图29是说明包括多个存储装置的信息处理系统的一个例子的图。

图30是说明CPU的方框图。

图31A及图31B是半导体装置的立体图。

图32A及图32B是半导体装置的立体图。

图33A及图33B是半导体装置的立体图。

图34A是示出半导体晶片的一个例子的立体图,图34B是示出芯片的一个例子的立体图,图34C及图34D是示出电子构件的一个例子的立体图。

图35A及图35B是示出各级类存储装置的图。

图36A至图36J是说明电子设备的一个例子的立体图或示意图。

图37A至图37E是说明电子设备的一个例子的立体图或示意图。

图38A至图38C是说明电子设备的一个例子的图。

图39是说明计算机系统的结构例子的图。

图40是示出IoT网络的级别结构及需求规格的倾向的图。

图41是工厂自动化的示意图。

图42A是在器件模拟中假设的存储器串的等效电路图。图42B是在器件模拟中假设的存储器串的截面图。图42C是存储晶体管的放大图。

图43A是用来说明写入工作中的器件模拟的设定电压的图。图43B是用来说明写入前后的存储晶体管的阈值变化的图。图43C是用来说明删除工作中的器件模拟的设定电压的图。图43D是用来说明删除前后的存储晶体管的阈值变化的图。

图44A及图44B是示出器件模拟的计算结果的图表。

图45A及图45B是写入工作中的存储器串内的电位分布图。图45C是示出写入工作中的存储晶体管内的电位分布的图表。

图46A及图46B是示出删除工作中的器件模拟的计算结果的图表。

图47是示出在器件模拟中假设的值的图。

实施发明的方式

[0019] 在本说明书等中,半导体装置是指利用半导体特性的装置以及包括半导体元件(晶体管、二极管、光电二极管等)的电路及包括该电路的装置等。此外,半导体装置是指能够利用半导体特性而发挥作用的所有装置。例如,作为半导体装置的例子,有集成电路、具备集成电路的芯片、封装中容纳有芯片的电子构件。此外,存储装置、显示装置、发光装置、照明装置以及电子设备等本身是半导体装置,或者有时包括半导体装置。

[0020] 此外,在本说明书等中,当记载为“X与Y连接”时,表示在本说明书等中公开了如下情况:X与Y电连接的情况;X与Y在功能上连接的情况;以及X与Y直接连接的情况。因此,不局限于附图或文中所示的连接关系,例如其他的连接关系也在附图或文中所记载的范围内记载。X和Y都是对象物(例如,装置、元件、电路、布线、电极、端子、导电膜、层等)。

[0021] 作为X和Y电连接的情况的一个例子,可以在X和Y之间连接一个以上的能够电连接X和Y的元件(例如开关、晶体管、电容器、电感器、电阻器、二极管、显示器件、发光器件、负载等)。此外,开关具有控制开启或关闭的功能。换言之,通过使开关处于导通状态(开启状态)

或非导通状态(关闭状态)来控制是否使电流流过。

[0022] 作为X与Y在功能上连接的情况的一个例子,例如可以在X与Y之间连接有一个以上的能够在功能上连接X与Y的电路(例如,逻辑电路(反相器、NAND电路、NOR电路等)、信号转换电路(数字模拟转换电路、模拟数字转换电路、伽马校正电路等)、电位电平转换电路(电源电路(升压电路、降压电路等)、改变信号的电位电平的电平转移电路等)、电压源、电流源、切换电路、放大电路(能够增大信号振幅或电流量等的电路、运算放大器、差分放大电路、源极跟随电路、缓冲电路等)、信号产生电路、存储电路、控制电路等)。注意,例如,即使在X与Y之间夹有其他电路,当从X输出的信号传送到Y时,就可以说X与Y在功能上是连接着的。

[0023] 此外,当明确地记载为“X与Y电连接”时,包括如下情况:X与Y电连接的情况(换言之,以中间夹有其他元件或其他电路的方式连接X与Y的情况);以及X与Y直接连接的情况(换言之,以中间不夹有其他元件或其他电路的方式连接X与Y的情况)。

[0024] 例如,可以表现为“X、Y、晶体管的源极(或第一端子等)与晶体管的漏极(或第二端子等)互相电连接,X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)与Y依次电连接”。或者,可以表现为“晶体管的源极(或第一端子等)与X电连接,晶体管的漏极(或第二端子等)与Y电连接,X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)与Y依次电连接”。或者,可以表达为“X通过晶体管的源极(或第一端子等)及晶体管的漏极(或第二端子等)与Y电连接,X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)、Y依次设置”。通过使用与这种例子相同的表达方法规定电路结构中的连接顺序,可以区分晶体管的源极(或第一端子等)与漏极(或第二端子等)而决定技术范围。注意,这种表达方法是一个例子,不局限于上述表达方法。在此,X和Y为对象物(例如,装置、元件、电路、布线、电极、端子、导电膜、层等)。

[0025] 此外,即使在电路图上独立的构成要素彼此电连接,也有时一个构成要素兼有多个构成要素的功能。例如,在布线的一部分用作电极时,一个导电膜兼有布线和电极的两个功能。因此,本说明书中的“电连接”的范畴内还包括这种一个导电膜兼有多个构成要素的功能的情况。

[0026] 在本说明书等中,“电阻元件”例如包括具有高于 $0\ \Omega$ 的电阻值的电路元件、布线等。因此,在本说明书等中,“电阻元件”包括具有电阻值的布线、电流流过源极和漏极之间的晶体管、二极管、线圈等。因此,“电阻元件”也可以称为“电阻”、“负载”、“具有电阻值的区域”等,与此相反,“电阻”、“负载”、“具有电阻值的区域”也可以称为“电阻元件”等。作为电阻值,例如优选为 $1\text{m}\ \Omega$ 以上且 $10\ \Omega$ 以下,更优选为 $5\text{m}\ \Omega$ 以上且 $5\ \Omega$ 以下,进一步优选为 $10\text{m}\ \Omega$ 以上且 $1\ \Omega$ 以下。此外,例如也可以为 $1\ \Omega$ 以上且 $1\times 10^9\ \Omega$ 以下。

[0027] 在本说明书等中,“电容器”例如包括具有高于 0F 的静电电容值的电路元件、具有静电电容值的布线的区域、寄生电容、晶体管的栅极电容等。因此,在本说明书等中,“电容器”除包括具有一对电极及在该电极之间的介电体的电路元件外还包括产生在布线和布线之间的寄生电容、产生在晶体管的源极和漏极中的一个与栅极之间栅极电容等。“电容器”、“寄生电容”、“栅极电容”等也可以称为“电容”等,与此相反,“电容”也可以称为“电容器”、“寄生电容”、“栅极电容”等。此外,“电容”的“一对电极”也可以称为“一对导电体”、“一对导电区域”、“一对区域”等。静电电容值例如可以为 0.05fF 以上且 10pF 以下。此外,例如,还可

以为1pF以上且10 μ F以下。

[0028] 在本说明书等中,晶体管包括栅极、源极以及漏极这三个端子。栅极用作控制晶体管的导通状态的控制端子。用作源极或漏极的两个端子是晶体管的输入输出端子。根据晶体管的导电型(n沟道型、p沟道型)及对晶体管的三个端子施加的电位的高低,两个输入输出端子中的一方用作源极而另一方用作漏极。因此,在本说明书等中,源极和漏极可以相互调换。在本说明书等中,在说明晶体管的连接关系时,使用“源极和漏极中的一个”(第一电极或第一端子)、“源极和漏极中的另一个”(第二电极或第二端子)的表述。此外,根据晶体管的结构,有时除了上述三个端子以外还包括背栅极。在此情况下,在本说明书等中,有时将晶体管的栅极和背栅极中的一个称为第一栅极,将晶体管的栅极和背栅极的另一个称为第二栅极。并且,在相同晶体管中,有时可以将“栅极”与“背栅极”相互调换。此外,在晶体管包括三个以上的栅极时,在本说明书等中,有时将各栅极称为第一栅极、第二栅极、第三栅极等。

[0029] 此外,在本说明书等中,“节点”也可以根据电路结构或装置结构等称为端子、布线、电极、导电层、导电体或杂质区域等。此外,端子、布线等也可以称为“节点”。

[0030] 此外,在本说明书等中,可以适当地调换“电压”和“电位。”“电压”是指与基准电位之间的电位差,例如在基准电位为地电位(接地电位)时,也可以将“电压”称为“电位”。接地电位不一定意味着0V。此外,电位是相对性的,根据基准电位的变化而供应到布线的电位、施加到电路等的电位、从电路等输出的电位等也产生变化。

[0031] 此外,在本说明书等中,“高电平电位(也称为“H电位”或“H”)”、“低电平电位(也称为“L电位”或“L”)”不意味着特定的电位。例如,在两个布线都被记为“用作供应高电平电位的布线”的情况下,两个布线所供应的高电平电位也可以互不相同。同样,在两个布线都被记为“用作供应低电平电位的布线”的情况下,两个布线所供应的低电平电位也可以互不相同。

[0032] “电流”是指电荷的移动现象(导电),例如,“发生正带电体的导电”的记载可以替换为“在与其相反方向上发生负带电体的导电”的记载。因此,在本说明书等中,在没有特别的说明的情况下,“电流”是指载流子移动时的电荷的移动现象(导电)。在此,作为载流子可以举出电子、空穴、阴离子、阳离子、络离子等,载流子根据电流流过的系统(例如,半导体、金属、电解液、真空中等)不同。此外,布线等中的“电流的方向”是正载流子移动的方向,以正电流量记载。换言之,负载流子移动的方向与电流方向相反,以负电流量记载。因此,在本说明书等中,在没有特别的说明的情况下,关于电流的正负(或电流的方向),“电流从元件A向元件B流过”等记载可以替换为“电流从元件B向元件A流过”等记载。此外,“对元件A输入电流”等记载可以替换为“从元件A输出电流”等记载。

[0033] 此外,在本说明书等中,“第一”、“第二”、“第三”等序数词是为了避免构成要素的混淆而附加上的。因此,该序数词不限制构成要素的个数。此外,该序数词不限制构成要素的顺序。此外,例如,本说明书等的实施方式之一中附有“第一”的构成要素有可能在其他的实施方式或权利要求书等中附有“第二”的构成要素。此外,例如,在本说明书等中,一个实施方式中的“第一”所指的构成要素有可能在其他实施方式或权利要求书等中被省略。

[0034] 在本说明书中,为了方便起见,有时使用“上”、“下”等表示配置的词句以参照附图说明构成要素的位置关系。此外,构成要素的位置关系根据描述各构成要素的方向适当地

改变。因此，不局限于说明书等中所说明的词句，根据情况可以适当地换词句。例如，在“位于导电体的顶面的绝缘体”的表述中，通过将所示的附图的方向旋转180度，也可以称为“位于导电体的下面的绝缘体”。

[0035] 此外，“上”或“下”这样的术语不限定于构成要素的位置关系为“正上”或“正下”且直接接触的情况。例如，如果是“绝缘层A上的电极B”的表述，则不一定必须在绝缘层A上直接接触地形成有电极B，也可以包括在绝缘层A与电极B之间包括其他构成要素的情况。

[0036] 此外，在本说明书等中，根据状况，可以互相调换“膜”和“层”等词句。例如，有时可以将“导电层”调换为“导电膜”。此外，有时可以将“绝缘膜”变换为“绝缘层”。此外，根据情况或状态，可以使用其他词句代替“膜”和“层”等词句。例如，有时可以将“导电层”或“导电膜”变换为“导电体”。此外，例如有时可以将“绝缘层”或“绝缘膜”变换为“绝缘体”。

[0037] 注意，在本说明书等中，“电极”、“布线”、“端子”等的词句不在功能上限定其构成要素。例如，有时将“电极”用作“布线”的一部分，反之亦然。再者，“电极”或“布线”还包括多个“电极”或“布线”被形成为一体的情况等。此外，例如，有时将“端子”用作“布线”或“电极”的一部分，反之亦然。再者，“端子”的词句包括多个“电极”、“布线”、“端子”等被形成为一体的情况等。因此，例如，“电极”可以为“布线”或“端子”的一部分，例如，“端子”可以为“布线”或“电极”的一部分。此外，“电极”、“布线”、“端子”等的词句有时置换为“区域”等的词句。

[0038] 在本说明书等中，根据情况或状态，可以互相调换“布线”、“信号线”及“电源线”等词句。例如，有时可以将“布线”变换为“信号线”。此外，例如有时可以将“布线”变换为“电源线”。反之亦然，有时可以将“信号线”或“电源线”变换为“布线”。有时可以将“电源线”变换为“信号线”。反之亦然，有时可以将“信号线”变换为“电源线”。此外，根据情况或状态，可以互相将施加到布线的“电位”变换为“信号”。反之亦然，有时可以将“信号”变换为“电位”。

[0039] 在本说明书等中，半导体的杂质是指构成半导体膜的主要成分之外的物质。例如，浓度低于0.1atomic%的元素是杂质。当包含杂质时，例如，半导体中的缺陷态密度有可能提高，载流子迁移率有可能降低或结晶性有可能降低。在半导体是氧化物半导体时，作为改变半导体特性的杂质，例如有第1族元素、第2族元素、第13族元素、第14族元素、第15族元素或主要成分之外的过渡金属等，尤其是，例如有氢（也包含于水中）、锂、钠、硅、硼、磷、碳、氮等。具体而言，当半导体是硅层时，作为改变半导体特性的杂质，例如有氧、除氢之外的第1族元素、第2族元素、第13族元素、第15族元素等。

[0040] 在本说明书等中，开关是指具有通过变为导通状态（开启状态）或非导通状态（关闭状态）来控制是否使电流流过的功能的元件。或者，开关是指具有选择并切换电流路径的功能的元件。作为开关的一个例子，可以使用电开关或机械开关等。换言之，开关只要可以控制电流，就不局限于特定的元件。

[0041] 电开关的例子包括晶体管（例如双极晶体管或MOS晶体管）、二极管（例如PN二极管、PIN二极管、肖特基二极管、金属-绝缘体-金属（MIM）二极管、金属-绝缘体-半导体（MIS）二极管或者二极管接法的晶体管）或者组合这些元件的逻辑电路等。当作为开关使用晶体管时，晶体管的“导通状态”是指晶体管的源电极与漏电极在电性上短路的状态。此外，晶体管的“非导通状态”是指晶体管的源电极与漏电极在电性上断开的状态。当将晶体管仅用作开关时，对晶体管的极性（导电型）没有特别的限制。

[0042] 作为机械开关的例子，可以举出利用了MEMS（微电子机械系统）技术的开关。该开

关具有以机械方式可动的电极,并且通过移动该电极来控制导通和非导通而进行工作。

[0043] 在本说明书中,“平行”是指两条直线形成的角度为 -10° 以上且 10° 以下的状态。因此,也包括该角度为 -5° 以上且 5° 以下的状态。”大致平行”是指两条直线形成的角度为 -30° 以上且 30° 以下的状态。此外,“垂直”是指两条直线形成的角度为 80° 以上且 100° 以下的状态。因此,也包括该角度为 85° 以上且 95° 以下的状态。”大致垂直”是指两条直线形成的角度为 60° 以上且 120° 以下的状态。

[0044] 在本说明书等中,金属氧化物(metal oxide)是指广义上的金属的氧化物。金属氧化物被分类为氧化物绝缘体、氧化物导体(包括透明氧化物导体)和氧化物半导体(Oxide Semiconductor,也可以简称为OS)等。例如,在将金属氧化物用于晶体管的活性层的情况下,有时将该金属氧化物称为氧化物半导体。换言之,在金属氧化物能够构成包括具有放大作用、整流作用及开关作用中的至少一个的晶体管的沟道形成区域时,也可以将该金属氧化物称为金属氧化物半导体(metal oxide semiconductor)。此外,也可以将OS晶体管称为包含金属氧化物或氧化物半导体的晶体管。

[0045] 此外,在本说明书等中,有时将包含氮的金属氧化物也称为金属氧化物(metal oxide)。此外,也可以将包含氮的金属氧化物称为金属氧氮化物(metal oxynitride)。

[0046] 此外,在本说明书等中,各实施方式所示的结构可以与其他实施方式所示的结构适当地组合而构成本发明的一个方式。此外,当在一个实施方式中示出多个结构例子时,可以适当地组合这些结构例子。

[0047] 此外,可以将某一实施方式(实施例)中说明的内容(或其一部分)应用/组合/替换成该实施方式中说明的其他内容(或其一部分)和另一个或多个其他实施方式中说明的内容(或其一部分)中的至少一个内容。

[0048] 注意,实施方式中说明的内容是指各实施方式(或实施例)中利用各种附图所说明的内容或者利用说明书所记载的文章而说明的内容。

[0049] 此外,通过将某一实施方式中示出的附图(或其一部分)与该附图的其他部分、该实施方式中示出的其他附图(或其一部分)和另一个或多个其他实施方式中示出的附图(或其一部分)中的至少一个附图组合,可以构成更多图。

[0050] 参照附图说明本说明书所记载的实施方式。注意,所属技术领域的普通技术人员可以很容易地理解一个事实,就是实施方式可以以多个不同形式来实施,其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在实施方式所记载的内容中。注意,在实施方式中的发明的结构中,有时在不同的附图中共同使用相同的附图标记来表示相同的部分或具有相同功能的部分,而省略反复说明。在立体图或俯视图等中,为了明确起见,有时省略部分构成要素的图示。

[0051] 在附图中,为便于清楚地说明,有时夸大表示大小、层的厚度或区域。因此,本发明并不局限于附图中的尺寸或纵横比。此外,在附图中,示意性地示出理想的例子,因此本发明不局限于附图所示的形状或数值等。例如,可以包括因噪声或定时偏差等所引起的信号、电压或电流的不均匀等。

[0052] 此外,在本说明书等中,在多个要素使用同一符号并且需要区分它们时,有时对符号附加“_1”, “[n]”, “[m,n]”等用于识别的符号。例如,有时将两个布线GL分别记为布线GL[1]和布线GL[2]。

[0053] (实施方式1)

参照附图说明根据本发明的一个方式的存储器串100。存储器串100是被用作3D-NAND型存储装置的半导体装置。注意,有时在附图中附上表示X方向、Y方向以及Z方向的箭头。X方向、Y方向以及Z方向是彼此交叉的方向。更具体而言,X方向、Y方向以及Z方向是彼此正交的方向。在本说明书等中,有时将X方向、Y方向或Z方向称为“第一方向”。此外,有时将其他另一个称为“第二方向”。此外,有时将剩下的一个称为“第三方向”。

[0054] <存储器串的结构例子>

图1A是示出从Y方向看的存储器串100的一部分的截面图。图1A中记载有延伸在Z方向上的存储器串100的中心轴131。换言之,在本实施方式等中,Z方向是存储器串100延伸的方向。另外,图1B是存储器串100的等效电路图。另外,图2A是从Z方向看图1A中的点划线A1-A2所示的部分的截面图。图2B是从Z方向看图1A中的点划线B1-B2所示的部分的截面图。

[0055] 存储器串100包括配置在衬底(未图示)的上方的导电体101、m层(m为2以上的整数)绝缘体102以及n层(n为2以上的整数)导电体103。绝缘体102和导电体103交替地层叠在衬底的上方。在图1A等中,将第1层绝缘体102表示为绝缘体102_1,将第m层绝缘体102表示为绝缘体102_m。同样地,将第1层导电体103表示为导电体103_1,将第n层导电体103表示为导电体103_n。在本实施方式等中,在表示任意绝缘体102时简单地表示为“绝缘体102”。同样地,在表示任意导电体103时简单地记为“导电体103”。

[0056] 绝缘体102及导电体103延伸在Y方向上。存储器串100具有交替地层叠有绝缘体102和导电体103的结构。例如,在图1A中,导电体101上设置有绝缘体102_1,并且绝缘体102_1上设置有导电体103_1。另外,导电体103_n上设置有绝缘体102_m。

[0057] 另外,存储器串100包括导电体104、绝缘体105、结构体110及绝缘体121。结构体110沿着Z方向延伸。另外,结构体110贯穿绝缘体102_1至绝缘体102_m以及导电体103_1至导电体103_n而设置在导电体101与导电体104之间。

[0058] 结构体110具有包括绝缘体111、半导体112、绝缘体113、绝缘体114及绝缘体115的柱子状结构。具体而言,绝缘体111沿着中心轴131延伸,半导体112相邻于绝缘体111的侧面地设置。另外,绝缘体113相邻于半导体112地设置,绝缘体114相邻于绝缘体113地设置。另外,绝缘体115相邻于绝缘体114地设置。如图2A及图2B所示,半导体112、绝缘体113、绝缘体114及绝缘体115在绝缘体111的外侧设置为同心状。

[0059] 绝缘体121覆盖绝缘体102_1至绝缘体102_m以及导电体103_1至导电体103_n的侧面地设置。导电体104设置在绝缘体102_m上。导电体101及导电体104与半导体112电连接。另外,绝缘体105设置在绝缘体102_m、绝缘体121及导电体104上。

[0060] 在垂直于Z方向的方向上,结构体110与导电体103重叠的区域(交叉部)被用作晶体管Tr。因此,在垂直于Z方向的方向上,结构体110与导电体103重叠的区域(交叉部)被用作存储单元。

[0061] 另外,导电体103被用作晶体管Tr的栅极。图1A所示的存储器串100包括结构体110与导电体103重叠的n个区域(交叉部)。因此,图1A所示的存储器串100包括n个晶体管Tr。因此,图1A所示的存储器串100包括n个存储单元。

[0062] 图2A相当于从Z方向看时的存储器串100中的晶体管Tr的截面图。

[0063] 在图1A中将第1个晶体管Tr表示为晶体管Tr_1,第n个晶体管Tr表示为晶体管Tr_

n。在本实施方式等中,在表示任意晶体管Tr时简单地表示为“晶体管Tr”。

[0064] 一般而言,通过将电荷保持在电荷累积层中来储存数据的存储单元具有阻挡层、电荷累积层、隧穿层和半导体层的叠层结构。这种存储单元有时根据控制栅极至半导体的叠层结构采用各种称呼。例如,在控制栅极、阻挡层、电荷累积层、隧穿层及半导体层由金属、氧化物、氮化物、氧化物、半导体构成的情况下,该存储单元被称为MONOS (Metal Oxide Nitride Oxide Semiconductor) 型存储单元。

[0065] 另外,在MONOS型存储单元中,在将n型硅或p型硅用于控制栅极的情况下,该存储单元被称为SONOS (Silicon Oxide Nitride Oxide Semiconductor) 型存储单元。

[0066] 同样地,在将氮化钽用于控制栅极且将氧化铝用于阻挡层的情况下,该存储单元被称为TANOS (Tantalum nitride Aluminium oxide Nitride Oxide Semiconductor) 型存储单元。

[0067] 另外,在将氮化钽用于控制栅极且将氧化铪用于阻挡层的情况下,该存储单元被称为THNOS (Tantalum nitride Hafnium oxide Nitride Oxide Semiconductor) 型存储单元。

[0068] 根据本发明的一个方式的晶体管Tr例如被用作MONOS型存储单元。存储器串100被用作包括n个存储单元的NAND型存储装置。

[0069] 另外,导体103被用作存储单元控制栅极。另外,绝缘体113被用作阻挡层,绝缘体114被用作电荷累积层,绝缘体115被用作隧穿层。就是说,控制栅极一侧设置有隧穿层,半导体一侧设置有阻挡层。

[0070] 如图1B所示,晶体管Tr的栅极与布线CG电连接。在图1B中,将电连接于晶体管Tr₁的栅极的布线CG表示为布线CG₁。注意,也可以将导体103的一部分或全部用作布线CG。另外,布线CG也被称为“控制栅极”或“控制栅极布线”。

[0071] 另外,在晶体管Tr₂至晶体管Tr_{n-1}中的相邻的晶体管Tr中,一方晶体管Tr的源极与另一方晶体管Tr的漏极电连接。

[0072] 另外,晶体管Tr₁的源极和漏极中的一方与布线SL电连接,另一方与晶体管Tr₂的源极和漏极中的一方电连接。晶体管Tr_n的源极和漏极中的一方与布线BL电连接,另一方与晶体管Tr_{n-1}的源极和漏极中的一方电连接。

[0073] 被用作电荷累积层的绝缘体114使用其带隙比绝缘体113及绝缘体115小的材料。绝缘体115的厚度(垂直于Z方向的方向上的长度)优选为1nm以上且10nm以下。绝缘体114的厚度优选为5nm以上且20nm以下。绝缘体113的厚度优选为5nm以上且50nm以下。另外,绝缘体115的厚度优选小于绝缘体113。换言之,绝缘体113的厚度优选大于绝缘体115。

[0074] 例如,将氧化硅用于绝缘体113及绝缘体115且将氮化硅用于绝缘体114,即可。绝缘体113至绝缘体115各自也可以是多个绝缘体的叠层。例如,绝缘体113也可以是氧化硅和氧化铝的叠层。

[0075] 另外,例如也可以将氮化硅用于绝缘体113及绝缘体115。此时,绝缘体114也可以使用其硅含量比用于绝缘体113及绝缘体115的氮化硅多的氮化硅。

[0076] 如上所述,在很多情况下,将多晶硅用于3D-NAND的存储器串的主体部。在根据本发明的一个方式的存储器串100中,半导体112相当于主体部。半导体112可以使用单晶半导体、多晶半导体、微晶半导体以及非晶半导体等中的一个或多个。作为半导体材料,例如可

以使用硅、锗等。此外,也可以使用硅锗、碳化硅、砷化镓、氧化物半导体、氮化物半导体等化合物半导体。

[0077] 半导体112被用作被形成晶体管Tr的沟道的半导体层。用于晶体管的半导体可以为叠层半导体。当半导体层具有叠层结构时,既可分别使用结晶状态不同的半导体,又可分别使用不同半导体材料。

[0078] 晶体管Tr优选为在被形成沟道的半导体层中使用金属氧化物之一的氧化物半导体的晶体管(也称为“0S晶体管”)。氧化物半导体的带隙为2eV以上,由此关态电流极少。因此,可以降低存储器串100的功耗。因此,可以降低包括存储器串100的半导体装置的功耗。

[0079] 此外,包括0S晶体管的存储单元可以被称为“0S存储器”。此外,包括该存储单元的存储器串100也可以被称为“0S存储器”。

[0080] 另外,与将多晶硅用于被形成沟道的半导体层的晶体管相比,0S晶体管可以进一步减少通态电阻。也就是说,可以提高主体部的导电性。通过作为晶体管Tr使用0S晶体管,可以提高存储器串100的工作速度。

[0081] 另外,使用多晶硅的晶体管发生起因于晶界的阈值电压不均匀,而0S晶体管受到的晶界的影响较少,阈值电压不均匀较小。因此,通过作为晶体管Tr使用0S晶体管,存储器串100可以抑制起因于阈值电压不均匀的错误工作。

[0082] 另外,0S晶体管即使在高温环境下也稳定地工作,特性变动较少。例如,即使在高温环境下,关态电流也几乎不增加。具体而言,即使在室温以上且200℃以下的环境温度下,关态电流也几乎不增加。此外,即使在高温环境下,0S晶体管的通态电流也不容易下降。因此,包括0S存储器的存储器串100即使在高温环境下也稳定地工作而具有高可靠性。此外,0S晶体管的源极与漏极间的绝缘耐压高。通过将0S晶体管用作构成存储器串100的晶体管,可以实现即使在高温环境下也稳定地工作并具有高可靠性的存储器串100。由此,可以提高包括存储器串100的半导体装置的可靠性。

[0083] 包括0S存储器的NAND型存储装置也被称为“0S NAND型”或“0S NAND型存储装置”。此外,包括0S存储器的3D-NAND型存储装置也被称为“3D 0S NAND型”或“3D 0S NAND型存储装置”。因此,根据本发明的一个方式的存储器串100可以说是3D 0S NAND型存储装置。

[0084] 此外,为了增加使用存储器串100的半导体装置的存储容量,将多个存储器串100设置为交错形状(参照图3A)或格子状(参照图3B)即可。图3是相当于图2A的截面图。

[0085] [变形例子1]

图4是作为存储器串100的变形例子的存储器串100A的截面图。图5A是从Z方向看图4中的点划线C1-C2所示的部分的截面图。图5B是从Z方向看图4中的点划线D1-D2所示的部分的截面图。

[0086] 图5A相当于从Z方向看时的存储器串100A中的晶体管Tr的截面图。

[0087] 存储器串100A包括结构体110A代替结构体110。结构体110A具有从结构体110去除绝缘体114及绝缘体115的结构。绝缘体114及绝缘体115设置在每个晶体管Tr中。

[0088] 在本实施方式等中,将晶体管Tr₁所包括的绝缘体114表示为绝缘体114₁。另外,将晶体管Tr₁所包括的绝缘体115表示为绝缘体115₁。同样地,将晶体管Tr_n所包括的绝缘体114表示为绝缘体114_n,将晶体管Tr_n所包括的绝缘体115表示为绝缘体115_n。另外,在表示任意晶体管Tr所包括的绝缘体114时简单地表示为“绝缘体114”。同样地,在表示任

意晶体管Tr所包括的绝缘体115简单地表示为“绝缘体115”。

[0089] 在存储器串100A中,绝缘体115_1与导电体103_1相邻地设置。绝缘体115_1在垂直于Z方向的方向上具有与结构体110A重叠的区域。

[0090] 另外,绝缘体115_1具有与导电体103_1的底面重叠的区域。导电体103_1隔着该区域与绝缘体102_1重叠。

[0091] 另外,绝缘体115_1具有与导电体103_1的顶面重叠的区域。导电体103_1隔着该区域与绝缘体102_2重叠。

[0092] 绝缘体114_1与绝缘体115_1相邻地设置。绝缘体114_1在垂直于Z方向的方向上具有与结构体110A重叠的区域。

[0093] 另外,绝缘体114_1具有隔着绝缘体115_1的一部分与导电体103的底面重叠的区域。导电体103_1隔着该区域与绝缘体102_1重叠。

[0094] 另外,绝缘体114_1具有隔着绝缘体115_1的一部分与导电体103的顶面重叠的区域。导电体103_1隔着该区域与绝缘体102_2重叠。

[0095] 因此,图5A所示的截面图与图2A所示的截面图相同,而图5B所示的截面图与图2B所示的截面图不同。

[0096] 由于存储器串100在相邻的晶体管Tr间共同使用绝缘体114,因此储存在绝缘体114中的电荷有可能干涉到相邻的晶体管Tr。另一方面,在存储器串100A中,被用作电荷累积层的绝缘体114独立地设置在每个晶体管Tr中,所以可以降低干涉到相邻的晶体管Tr的可能性。因此,可以降低噪声而提高数据保持的可靠性。另外,与存储器串100相比,存储器串100A更容易保持多值信息等。

[0097] [变形例子2]

图6是作为存储器串100A的变形例子的存储器串100B的截面图。图7A是从Z方向看图6中的点划线E1-E2所示的部分的截面图。图7B是从Z方向看图6中的点划线F1-F2所示的部分的截面图。

[0098] 图7A相当于从Z方向看时的存储器串100B中的晶体管Tr的截面图。

[0099] 存储器串100B包括结构体110B代替结构体110A。另外,存储器串100B包括绝缘体107及导电体108。其他结构是与存储器串100A同样的。

[0100] 结构体110B具有对结构体110A追加导电体106的结构。导电体106沿着中心轴131延伸。另外,绝缘体111与导电体106相邻地设置。

[0101] 绝缘体107设置在绝缘体102_m上。导电体108以嵌入于绝缘体107的一部分的方式设置。在存储器串100B中,导电体104设置在绝缘体107上,并且以覆盖导电体104的方式设置有绝缘体105。

[0102] 半导体112通过导电体108与导电体104电连接。导电体106与未图示的布线电连接。导电体106可被用作晶体管Tr的背栅极。通过控制供应给背栅极的电位,可以控制晶体管Tr的阈值电压。

[0103] 存储器串100B的结构可以与存储器串100适当地组合而使用。

[0104] <存储单元的构成材料>

以下说明可用于存储器串100等的构成材料。

[0105] [衬底]

存储器串100可以设置在衬底上。作为衬底例如可以使用绝缘体衬底、半导体衬底或导电体衬底。作为绝缘体衬底,例如可以举出玻璃衬底、石英衬底、蓝宝石衬底、稳定氧化锆衬底(氧化钇稳定氧化锆衬底等)、树脂衬底等。此外,作为半导体衬底,例如可以举出以硅或锗等为材料的半导体衬底、或者由碳化硅、硅锗、砷化镓、磷化铟、氧化锌、氧化镓或氮化镓(GaN)等构成的化合物半导体衬底。并且,还可以举出在上述半导体衬底内部具有绝缘体区域的半导体衬底,例如为SOI(Silicon On Insulator;绝缘体上硅)衬底等。作为导电体衬底,可以举出石墨衬底、金属衬底、合金衬底、导电树脂衬底等。或者,可以举出包含金属氮化物的衬底、包含金属氧化物的衬底等。此外,还可以举出设置有导电体或半导体的绝缘体衬底、设置有导电体或绝缘体的半导体衬底、设置有半导体或绝缘体的导电体衬底等。或者,也可以使用在这些衬底上设置有元件的衬底。作为设置在衬底上的元件,可以举出电容器、电阻元件、开关元件、发光元件、存储元件等。

[0106] [绝缘体]

作为绝缘体,有具有绝缘性的氧化物、氮化物、氧氮化物、氮氧化物、金属氧化物、金属氧氮化物、金属氮氧化物等。

[0107] 例如,当进行晶体管的微型化及高集成化时,由于栅极绝缘体的薄膜化,有时发生泄漏电流等问题。通过作为被用作栅极绝缘体的绝缘体使用high-k材料,可以在保持物理厚度的同时实现晶体管工作时的低电压化。另一方面,通过将相对介电常数较低的材料用于被用作层间膜的绝缘体,可以减少产生在布线之间的寄生电容。因此,优选根据绝缘体的功能选择材料。

[0108] 作为相对介电常数较高的绝缘体,可以举出氧化镓、氧化铅、氧化锆、含有铝及铅的氧化物、含有铝及铅的氧氮化物、含有硅及铅的氧化物、含有硅及铅的氧氮化物或者含有硅及铅的氮化物等。

[0109] 作为相对介电常数较低的绝缘体,可以举出氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅或树脂等。

[0110] 此外,通过使具有抑制氢等杂质及氧的透过的功能的绝缘体围绕OS晶体管,可以使晶体管的电特性稳定。作为具有抑制氢等杂质及氧的透过的功能的绝缘体,例如可以使用包含硼、碳、氮、氧、氟、镁、铝、硅、磷、氯、氩、镓、锗、钇、锆、镧、钕、钐或铽的绝缘体的单层或叠层。具体而言,作为具有抑制氢等杂质及氧的透过的功能的绝缘体,可以使用氧化铝、氧化镁、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化钐、氧化铽等金属氧化物、氮化铝、氮氧化硅、氮化硅等金属氮化物。

[0111] 注意,在本说明书中,例如“氧氮化硅”是指氧含量多于氮含量的硅,而“氮氧化硅”是指氮含量多于氧含量的硅。如上所述,在本说明书中,“氧氮化”是指氧含量多于氮含量的材料,“氮氧化”是指氮含量多于氧含量的材料。

[0112] 此外,在使用氧化物半导体作为半导体112的情况下,与半导体112相邻的绝缘体优选为具有包含通过加热脱离的氧的区域的绝缘体。例如,通过采用具有包含通过加热脱离的氧的区域的氧化硅或者氧氮化硅接触于半导体112的结构,可以填补半导体112所包含的氧空位。

[0113] 此外,作为绝缘体,既可使用由上述材料形成的一个绝缘体,又可使用由上述材料

[0123] 此外,图8A所示的外框线被加粗的部分中的结构是介于“Amorphous”与“Crystal”之间的中间状态,是属于新的边界区域(New crystalline phase)的结构。换言之,该结构与“Crystal”或在能量性上不稳定的“Amorphous”可以说是完全不同的结构。

[0124] 可以使用X射线衍射(XRD:X-Ray Diffraction)谱对膜或衬底的结晶结构进行评价。在此,图8B示出被分类为“Crystalline”的CAAC-IGZO膜的通过GIXD(Grazing-Incidence XRD)测量而得到的XRD谱。此外,将GIXD法也称为薄膜法或Seemann-Bohlin法。下面,将图8B所示的通过GIXD测量而得到的XRD谱简单地记为XRD谱。此外,图8B所示的CAAC-IGZO膜的组成是In:Ga:Zn=4:2:3[原子个数比]附近。此外,图8B所示的CAAC-IGZO膜的厚度为500nm。

[0125] 如图8B所示,在CAAC-IGZO膜的XRD谱中检测出表示明确的结晶性的峰值。具体而言,在CAAC-IGZO膜的XRD谱中, $2\theta=31^\circ$ 附近检测出表示c轴取向的峰值。此外,如图8B所示那样, $2\theta=31^\circ$ 附近的峰值在以检测出峰值强度的角度为轴时左右非对称。

[0126] 此外,可以使用纳米束电子衍射法(NBED:Nano Beam Electron Diffraction)观察的衍射图案(也称为纳米束电子衍射图案)对膜或衬底的结晶结构进行评价。图8C示出CAAC-IGZO膜的衍射图案。图8C是将电子束向平行于衬底的方向入射的NBED观察的衍射图案。此外,图8C所示的CAAC-IGZO膜的组成是In:Ga:Zn=4:2:3[原子个数比]附近。此外,在纳米束电子衍射法中,进行束径为1nm的电子衍射法。

[0127] 如图8C所示那样,在CAAC-IGZO膜的衍射图案中观察到表示c轴取向的多个斑点。

[0128] [氧化物半导体的结构]

此外,在注目于氧化物半导体的结晶结构的情况下,有时氧化物半导体的分类与图8A不同。例如,氧化物半导体可以分为单晶氧化物半导体和除此之外的非单晶氧化物半导体。作为非单晶氧化物半导体,例如可以举出上述CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)及nc-OS(nanocrystalline Oxide Semiconductor)。此外,在非单晶氧化物半导体中包含多晶氧化物半导体、a-like OS(amorphous-like oxide semiconductor)及非晶氧化物半导体等。

[0129] 在此,对上述CAAC-OS、nc-OS及a-like OS的详细内容进行说明。

[0130] [CAAC-OS]

CAAC-OS是包括多个结晶区域的氧化物半导体,该多个结晶区域的c轴取向于特定的方向。此外,特定的方向是指CAAC-OS膜的厚度方向、CAAC-OS膜的被形成面的法线方向、或者CAAC-OS膜的表面的法线方向。此外,结晶区域是具有原子排列的周期性的区域。注意,在将原子排列看作晶格排列时结晶区域也是晶格排列一致的区域。再者,CAAC-OS具有在a-b面方向上多个结晶区域连接的区域,有时该区域具有畸变。此外,畸变是指在多个结晶区域连接的区域中,晶格排列一致的区域和其他晶格排列一致的区域之间的晶格排列的方向变化的部分。换言之,CAAC-OS是指c轴取向并在a-b面方向上没有明显的取向的氧化物半导体。

[0131] 此外,上述多个结晶区域的每一个由一个或多个微小结晶(最大径小于10nm的结晶)构成。在结晶区域由一个微小结晶构成的情况下,该结晶区域的最大径小于10nm。此外,结晶区域由多个微小结晶构成的情况下,有时该结晶区域的尺寸为几十nm左右。

[0132] 另外,在In-M-Zn氧化物(元素M为选自铝、镓、铟、锡和钛中的一种或多种)中,

CAAC-OS有包括含有层叠有铟(In)及氧的层(以下,In层)、含有元素M、锌(Zn)及氧的层(以下,(M,Zn)层)的层状结晶结构(也称为层状结构)的趋势。此外,铟和元素M可以彼此置换。因此,有时(M,Zn)层包含铟。此外,有时In层包含元素M。注意,有时In层包含Zn。该层状结构例如在高分辨率TEM图像中被观察作为晶格像。

[0133] 例如,当对CAAC-OS膜使用XRD装置进行结构分析时,在使用 $\theta/2\theta$ 扫描的Out-of-plane XRD测量中,在 $2\theta=31^\circ$ 或其附近检测出表示c轴取向的峰值。注意,表示c轴取向的峰值的位置(2θ 值)有时根据构成CAAC-OS的金属元素的种类、组成等变动。

[0134] 此外,例如,在CAAC-OS膜的电子衍射图案中观察到多个亮点(斑点)。此外,在以透过样品的入射电子束的斑点(也称为直接斑点)为对称中心时,某一个斑点和其他斑点被观察在点对称的位置。

[0135] 在从上述特定的方向观察结晶区域的情况下,虽然该结晶区域中的晶格排列基本上是六方晶格,但是单位晶格并不局限于正六边形,有是非正六边形的情况。此外,在上述畸变中,有时具有五角形、七角形等晶格排列。此外,在CAAC-OS的畸变附近观察不到明确的晶界(grain boundary)。也就是说,晶格排列的畸变抑制晶界的形成。这可能是由于CAAC-OS因为a-b面方向上的氧原子的排列的低密度或因金属原子被取代而使原子间的键合距离产生变化等而能够包容畸变。

[0136] 此外,确认到明确的晶界的结晶结构被称为所谓的多晶(polycrystal)。晶界成为复合中心而载流子被俘获,因而有可能导致晶体管的通态电流的降低、场效应迁移率的降低等。因此,确认不到明确的晶界的CAAC-OS是使晶体管的半导体层具有优异的结晶结构的结晶性氧化物之一。注意,为了构成CAAC-OS,优选包含Zn。例如,与In氧化物相比,In-Zn氧化物及In-Ga-Zn氧化物能够进一步地抑制晶界的发生,所以是优选的。

[0137] CAAC-OS是结晶性高且确认不到明确的晶界的氧化物半导体。因此,可以说在CAAC-OS中,不容易发生起因于晶界的电子迁移率的降低。此外,氧化物半导体的结晶性有时因杂质的混入或缺陷的生成等而降低,因此可以说CAAC-OS是杂质或缺陷(氧缺陷等)少的氧化物半导体。因此,包含CAAC-OS的氧化物半导体的物理性质稳定。因此,包含CAAC-OS的氧化物半导体具有高耐热性及可靠性良好。此外,CAAC-OS对制造工序中的高温(所谓热积存;thermal budget)也很稳定。由此,通过在OS晶体管中使用CAAC-OS,可以扩大制造工序的自由度。

[0138] [nc-OS]

在nc-OS中,微小的区域(例如1nm以上且10nm以下的区域,特别是1nm以上且3nm以下的区域)中的原子排列具有周期性。换言之,nc-OS具有微小的结晶。此外,例如,该微小的结晶的尺寸为1nm以上且10nm以下,尤其为1nm以上且3nm以下,将该微小的结晶称为纳米晶。此外,nc-OS在不同的纳米晶之间观察不到结晶取向的规律性。因此,在膜整体中观察不到取向性。所以,有时nc-OS在某些分析方法中与a-like OS或非晶氧化物半导体没有差别。例如,在对nc-OS膜使用XRD装置进行结构分析时,在使用 $\theta/2\theta$ 扫描的Out-of-plane XRD测量中,不检测出表示结晶性的峰值。此外,在对nc-OS膜进行使用其束径比纳米晶大(例如,50nm以上)的电子束的电子衍射(也称为选区电子衍射)时,观察到类似光晕图案的衍射图案。另一方面,在对nc-OS膜进行使用其束径近于或小于纳米晶的尺寸(例如1nm以上且30nm以下)的电子束的电子衍射(也称为纳米束电子衍射)的情况下,有时得到在以直接斑点为

中心的环状区域内观察到多个斑点的电子衍射图案。

[0139] [a-like OS]

a-like OS是具有介于nc-OS与非晶氧化物半导体之间的结构的氧化物半导体。a-like OS包含空洞或低密度区域。也就是说,a-like OS的结晶性比nc-OS及CAAC-OS的结晶性低。此外,a-like OS的膜中的氢浓度比nc-OS及CAAC-OS的膜中的氢浓度高。

[0140] [氧化物半导体的构成]

接着,说明上述的CAC-OS的详细内容。注意,对CAC-OS的材料构成进行说明。

[0141] [CAC-OS]

CAC-OS例如是指包含在金属氧化物中的元素不均匀地分布的构成,其中包含不均匀地分布的元素的材料的尺寸为0.5nm以上且10nm以下,优选为1nm以上且3nm以下或近似的尺寸。注意,在下面也将在金属氧化物中一个或多个金属元素不均匀地分布且包含该金属元素的区域混合的状态称为马赛克状或补丁(patch)状,该区域的尺寸为0.5nm以上且10nm以下,优选为1nm以上且3nm以下或近似的尺寸。

[0142] 再者,CAC-OS是指其材料分开为第一区域与第二区域而成为马赛克状且该第一区域分布于膜中的结构(也称为云状)。就是说,CAC-OS是指该第一区域和该第二区域混合的复合金属氧化物。

[0143] 在此,将相对于构成In-Ga-Zn氧化物的CAC-OS的金属元素的In、Ga及Zn的原子个数比的每一个记为[In]、[Ga]及[Zn]。例如,在In-Ga-Zn氧化物的CAC-OS中,第一区域是其[In]大于CAC-OS膜的组成中的[In]的区域。此外,第二区域是其[Ga]大于CAC-OS膜的组成中的[Ga]的区域。此外,例如,第一区域是其[In]大于第二区域中的[In]且其[Ga]小于第二区域中的[Ga]的区域。此外,第二区域是其[Ga]大于第一区域中的[Ga]且其[In]小于第一区域中的[In]的区域。

[0144] 具体而言,上述第一区域是以铟氧化物或铟锌氧化物等为主要成分的区域。此外,上述第二区域是以镓氧化物或镓锌氧化物等为主要成分的区域。换言之,可以将上述第一区域称为以In为主要成分的区域。此外,可以将上述第二区域称为以Ga为主要成分的区域。

[0145] 注意,有时观察不到上述第一区域和上述第二区域的明确的边界。

[0146] 例如,在In-Ga-Zn氧化物的CAC-OS中,根据通过能量分散型X射线分析法(EDX: Energy Dispersive X-ray spectroscopy)取得的EDX面分析(mapping)图像,可确认到以In为主要成分的区域(第一区域)及以Ga为主要成分的区域(第二区域)不均匀地分布而混合。

[0147] 在将CAC-OS用于晶体管的情况下,通过起因于第一区域的导电性和起因于第二区域的绝缘性的互补作用,可以使CAC-OS具有开关功能(切换导通/关闭的功能)。换言之,在CAC-OS的材料的一部分中具有导电性的功能且在另一部分中具有绝缘性的功能,在材料的整体中具有半导体的功能。通过使导电性的功能和绝缘性的功能分离,可以最大限度地提高各功能。因此,通过将CAC-OS用于晶体管,可以实现高通态电流(I_{on})、高场效应迁移率(μ)及高速的开关工作。

[0148] 氧化物半导体具有各种结构及各种特性。本发明的一个方式的氧化物半导体也可以包括非晶氧化物半导体、多晶氧化物半导体、a-like OS、CAC-OS、nc-OS、CAAC-OS中的两种以上。

[0149] <包括氧化物半导体的晶体管>

在此,说明将上述氧化物半导体用于晶体管的情况。

[0150] 通过将上述氧化物半导体用于晶体管,可以实现场效应迁移率高的晶体管。此外,可以实现可靠性高的晶体管。

[0151] 此外,优选将载流子浓度低的氧化物半导体用于晶体管的沟道形成区域。例如,氧化物半导体的沟道形成区域中的载流子浓度优选为 $1 \times 10^{18} \text{cm}^{-3}$ 以下,更优选低于 $1 \times 10^{17} \text{cm}^{-3}$,进一步优选低于 $1 \times 10^{16} \text{cm}^{-3}$,更进一步优选低于 $1 \times 10^{13} \text{cm}^{-3}$,还进一步优选低于 $1 \times 10^{12} \text{cm}^{-3}$ 。在以降低氧化物半导体膜的载流子浓度为目的的情况下,可以降低氧化物半导体膜中的杂质浓度以降低缺陷态密度。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为“高纯度本征”或“实质上高纯度本征”。此外,有时将载流子浓度低的氧化物半导体称为“高纯度本征”或“实质上高纯度本征”的氧化物半导体。此外,有时将高纯度本征或实质上高纯度本征称为“i型”或“实质上i型”。

[0152] 因为高纯度本征或实质上高纯度本征的氧化物半导体膜具有较低的缺陷态密度,所以有可能具有较低的陷阱态密度。

[0153] 此外,被氧化物半导体的陷阱能级俘获的电荷到消失需要较长的时间,有时像固定电荷那样动作。因此,有时在陷阱态密度高的氧化物半导体中形成沟道形成区域的晶体管的电特性不稳定。

[0154] 因此,为了使晶体管的电特性稳定,降低氧化物半导体中的杂质浓度是有效的。为了降低氧化物半导体中的杂质浓度,优选还降低附近膜中的杂质浓度。作为杂质有氢、氮、碱金属、碱土金属、铁、镍、硅等。

[0155] [杂质]

在此,说明氧化物半导体中的各杂质的影响。

[0156] 在氧化物半导体包含第14族元素之一的硅或碳时,氧化物半导体中形成缺陷能级。因此,将氧化物半导体的沟道形成区域中的硅或碳的浓度、氧化物半导体的与沟道形成区域的界面附近的硅或碳的浓度(通过二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)测得的浓度)设定为 $2 \times 10^{18} \text{atoms/cm}^3$ 以下,优选为 $2 \times 10^{17} \text{atoms/cm}^3$ 以下。

[0157] 此外,当氧化物半导体包含碱金属或碱土金属时,有时形成缺陷能级而形成载流子。因此,使用包含碱金属或碱土金属的氧化物半导体的晶体管容易具有常开启特性。由此,将利用SIMS分析测得的氧化物半导体的沟道形成区域中的碱金属或碱土金属的浓度设定为 $1 \times 10^{18} \text{atoms/cm}^3$ 以下,优选为 $2 \times 10^{16} \text{atoms/cm}^3$ 以下。

[0158] 当氧化物半导体包含氮时,容易产生作为载流子的电子,使载流子浓度增高,而被n型化。其结果,将含有氮的氧化物半导体用于半导体的晶体管容易具有常开启型特性。或者,在氧化物半导体包含氮时,有时形成陷阱能级。其结果,有时晶体管的电特性不稳定。因此,将利用SIMS测得的氧化物半导体的沟道形成区域中的氮浓度设定为低于 $5 \times 10^{19} \text{atoms/cm}^3$,优选为 $5 \times 10^{18} \text{atoms/cm}^3$ 以下,更优选为 $1 \times 10^{18} \text{atoms/cm}^3$ 以下,进一步优选为 $5 \times 10^{17} \text{atoms/cm}^3$ 以下。

[0159] 包含在氧化物半导体中的氢与键合于金属原子的氧起反应生成水,因此有时形成氧缺陷。当氢进入该氧缺陷时,有时生成作为载流子的电子。此外,有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。因此,具有含有氢的氧化物半导体的晶

晶体管容易具有常开启特性。由此,优选尽可能减少氧化物半导体的沟道形成区域中的氢。具体而言,在氧化物半导体的沟道形成区域中,将利用SIMS测得的氢浓度设定为低于 1×10^{20} atoms/cm³,优选低于 5×10^{19} atoms/cm³,更优选低于 1×10^{19} atoms/cm³,进一步优选低于 5×10^{18} atoms/cm³,还进一步优选低于 1×10^{18} atoms/cm³。

[0160] 通过将杂质被充分降低的氧化物半导体用于晶体管的沟道形成区域,可以使晶体管具有稳定的电特性。

[0161] [其他半导体材料]

可以用于半导体112的半导体材料不局限于上述氧化物半导体,作为半导体112,也可以使用具有带隙的半导体材料(不是零带隙半导体的半导体材料)。例如,可以将硅等单个元素的半导体、砷化镓等化合物半导体、被用作半导体的层状物质(也称为原子层物质、二维材料等)等用于半导体材料。特别是,优选将被用作半导体的层状物质用于半导体材料。

[0162] 在此,在本说明书等中,层状物质是具有层状结晶结构的材料群的总称。层状结晶结构是由共价键或离子键形成的层通过如范德华力那样的比共价键或离子键弱的键合层叠的结构。层状物质在每单位层中具有高导电性,即,具有高二维导电性。通过将用作半导体并具有高二维导电性的材料用于沟道形成区域,可以提供通态电流大的晶体管。

[0163] 作为层状物质,有石墨烯、硅烯、硫族化物等。硫族化物是包含氧族元素的化合物。此外,氧族元素是属于第16族的元素的总称,其中包括氧、硫、硒、碲、钋、鉍。此外,作为硫族化物,可以举出过渡金属硫族化物、第13族硫族化物等。

[0164] 作为用于本发明的一个方式的半导体装置的半导体材料,例如优选使用被用作半导体的过渡金属硫族化物。具体而言,可以举出硫化钼(典型的是MoS₂)、硒化钼(典型的是MoSe₂)、碲化钼(典型的是MoTe₂)、硫化钨(典型的是WS₂)、硒化钨(典型的是WSe₂)、碲化钨(典型的是WTe₂)、硫化铪(典型的是HfS₂)、硒化铪(典型的是HfSe₂)、硫化锆(典型的是ZrS₂)、硒化锆(典型的是ZrSe₂)等。

[0165] [成膜方法]

当形成导电体、绝缘体、半导体时,可以使用溅射法、CVD法、分子束外延(MBE: Molecular Beam Epitaxy)法、脉冲激光沉积(PLD: Pulsed Laser Deposition)法或原子层沉积(ALD: Atomic Layer Deposition)法等。

[0166] 注意,CVD法可以分为利用等离子体的等离子体增强CVD(PECVD: Plasma Enhanced CVD,也称为化学气相沉积)法、利用热量的热CVD(TCVD: Thermal CVD)法及利用光的光CVD(Photo CVD)法等。再者,可以根据使用的源气体分类为金属CVD(MCVD: Metal CVD,也称为有机金属化学气相沉积)法及有机金属CVD(MOCVD: Metal Organic CVD)法。

[0167] 通过利用等离子体CVD法,可以以较低的温度得到高品质的膜。此外,因为在热CVD法中不使用等离子体,所以能够减少对被处理物造成的等离子体损伤。例如,包括在半导体装置中的布线、电极、元件(晶体管、电容器等)等有时因从等离子体接收电荷而产生电荷积聚(charge up)。此时,有时由于所累积的电荷而使包括在半导体装置中的布线、电极、元件等受损伤。另一方面,因为在不使用等离子体的热CVD法的情况下不产生上述等离子体损伤,所以能够提高半导体装置的成品率。此外,在热CVD法中,不生成膜时的等离子体损伤,因此能够得到缺陷较少的膜。

[0168] 此外,ALD法也是能够减少对被处理物造成的等离子体损伤的成膜方法。此外,在利用ALD法的成膜时不产生等离子体损伤,所以能够得到缺陷较少的膜。

[0169] 不同于从靶材等中被释放的粒子沉积的成膜方法,CVD法及ALD法是因被处理物表面的反应而形成膜的成膜方法。因此,通过CVD法及ALD法形成的膜不易受被处理物的形状的影响而具有良好的台阶覆盖性。尤其是,通过ALD法形成的膜具有良好的台阶覆盖性和厚度均匀性,所以ALD法适合用于形成覆盖纵横比高的开口部的表面的膜。但是,ALD法的成膜速度比较慢,所以有时优选与成膜速度快的CVD法等其他成膜方法组合而使用。

[0170] CVD法或ALD法可以通过调整源气体的流量比控制所得到的膜的组成。例如,当使用CVD法或ALD法时,可以通过调整源气体的流量比形成任意组成的膜。此外,例如,当使用CVD法或ALD法时,可以通过一边形成膜一边改变源气体的流量比来形成其组成连续变化的膜。在一边改变源气体的流量比一边形成膜时,因为不需要传送及调整压力所需的时间,所以与使用多个成膜室进行成膜的情况相比可以缩短成膜时间。因此,有时可以提高半导体装置的生产率。

[0171] 此外,以如下方法进行利用ALD法的成膜:将处理室内的压力设定为大气压或减压,将用来反应的源气体依次引入处理室,并且按该顺序反复地引入气体。例如,通过切换各开关阀(也称为高速阀)来将两种以上的源气体依次供应到处理室内,为了防止多种源气体混合,在引入第一源气体的同时或之后引入惰性气体(氩或氮等)等,然后引入第二源气体。注意,当同时引入第一源气体及惰性气体时,惰性气体被用作载流子气体,此外,可以在引入第二源气体的同时引入惰性气体。此外,也可以不引入惰性气体而通过真空抽气将第一源气体排出,然后引入第二源气体。第一源气体附着到衬底表面形成第一较薄的层,之后引入的第二源气体与该第一层起反应,由此第二较薄的层层叠在第一较薄的层上而形成薄膜。通过按该顺序反复多次地引入气体直到获得所希望的厚度为止,可以形成台阶覆盖性良好的薄膜。由于薄膜的厚度可以根据按顺序反复引入气体的次数来进行调节,因此,ALD法可以准确地调节厚度而适用于制造微型FET。

[0172] 利用MOCVD法或ALD法等热CVD法可以形成金属膜、半导体膜、无机绝缘膜等各种膜,例如,当形成In-Ga-Zn-O膜时,可以使用三甲基镓($\text{In}(\text{CH}_3)_3$)、三甲基镓($\text{Ga}(\text{CH}_3)_3$)及二甲基锌($\text{Zn}(\text{CH}_3)_2$)。此外,不局限于上述组合,也可以使用三乙基镓($\text{Ga}(\text{C}_2\text{H}_5)_3$)代替三甲基镓,并使用二乙基锌($\text{Zn}(\text{C}_2\text{H}_5)_2$)代替二甲基锌。

[0173] 例如,在使用利用ALD法的沉积装置形成氧化铪膜时,使用如下两种气体:通过使包含溶剂和铪前体化合物的液体(铪醇盐、四二甲基酰胺铪($\text{TDMAH}, \text{Hf}[\text{N}(\text{CH}_3)_2]_4$)等铪酰胺)气化而得到的源气体;以及用作氧化剂的臭氧(O_3)。此外,作为其他材料有四(乙基甲基酰胺)铪等。

[0174] 例如,在使用利用ALD法的沉积装置形成氧化铝膜时,使用如下两种气体:通过使包含溶剂和铝前体化合物的液体(三甲基铝($\text{TMA}, \text{Al}(\text{CH}_3)_3$)等)气化而得到的源气体;以及用作氧化剂的 H_2O 。此外,作为其他材料有三(二甲基酰胺)铝、三异丁基铝、铝三(2,2,6,6-四甲基-3,5-庚二酮酸)等。

[0175] 例如,在使用利用ALD法的沉积装置形成氧化硅膜时,使六氯乙硅烷附着在被成膜面上,供应氧化气体(O_2 、一氧化二氮)的自由基使其与附着物起反应。

[0176] 例如,在使用利用ALD法的沉积装置形成钨膜时,依次反复引入 WF_6 气体和 B_2H_6 气体

形成初始钨膜,然后依次反复引入 WF_6 气体和 H_2 气体形成钨膜。注意,也可以使用 SiH_4 气体代替 B_2H_6 气体。

[0177] 例如,在使用利用ALD法的沉积装置形成氧化物半导体膜如In-Ga-Zn-O膜时,依次反复引入 $In(CH_3)_3$ 气体和 O_3 气体形成In-O层,然后依次反复引入 $Ga(CH_3)_3$ 气体和 O_3 气体形成GaO层,之后依次反复引入 $Zn(CH_3)_2$ 气体和 O_3 气体形成ZnO层。注意,这些层的顺序不局限于上述例子。此外,也可以使用这些气体来形成混合氧化物层如In-Ga-O层、In-Zn-O层、Ga-Zn-O层等。注意,虽然也可以使用利用Ar等惰性气体进行鼓泡而得到的 H_2O 气体代替 O_3 气体,但是优选使用不包含H的 O_3 气体。此外,也可以使用 $In(C_2H_5)_3$ 气体代替 $In(CH_3)_3$ 气体。此外,也可以使用 $Ga(C_2H_5)_3$ 气体代替 $Ga(CH_3)_3$ 气体。此外,也可以使用 $Zn(C_2H_5)_2$ 代替 $Zn(CH_3)_2$ 气体。

[0178] <与外围电路的连接例子>

在本发明的一个方式的存储器串100中,在其下层可以形成读出电路、预充电电路等外围电路。此时,在硅衬底等上形成Si晶体管来构成该外围电路,然后在该外围电路上形成根据本发明的一个方式的存储器串100即可。图9A是由平面型Si晶体管(晶体管TrS1P及晶体管TrS2P)构成外围电路且在其上层形成根据本发明的一个方式的存储器串100的半导体装置200的截面图。另外,图10A是由FIN型Si晶体管(晶体管TrS1F及晶体管TrS2F)构成外围电路且在其上层形成根据本发明的一个方式的存储器串100的半导体装置200A的截面图。

[0179] 晶体管TrS1P、晶体管TrS2P、晶体管TrS1F及晶体管TrS2F被用作选择晶体管。借助于选择晶体管,可以选择进行数据的读出或写入的存储器串。

[0180] 注意,可用于半导体装置200及半导体装置200A的存储器串不局限于存储器串100,也可以使用存储器串100A或存储器串100B代替存储器串100。

[0181] 在图9A及图10A中,构成外围电路的Si晶体管形成在衬底1700上。元件分离层1701形成在多个Si晶体管之间。作为Si晶体管的源极及漏极形成有导电体1712。导电体1730以在沟道宽度方向上延长的方式形成并连接到其他Si晶体管或导电体1712(未图示)。

[0182] 作为衬底1700,可以使用上述衬底。例如,可以使用由硅或碳化硅构成的单晶半导体衬底或多晶半导体衬底、由硅锗构成的化合物半导体衬底、SOI衬底等。

[0183] 此外,作为衬底1700,例如可以使用玻璃衬底、石英衬底、塑料衬底、金属衬底、柔性衬底、贴合薄膜、包含纤维状材料的纸或基材薄膜等。此外,也可以使用某个衬底形成半导体元件,然后将半导体元件转置于其他衬底。在图9A及图10A中,作为一个例子表示将单晶硅片用于衬底1700的例子。

[0184] 在图9A及图10A中,各自包括n个存储单元的两个存储器串100通过导电体104彼此电连接。通过连接包括n个存储单元(晶体管Tr)的两个存储器串,可以将其用作包括2n个存储单元的一个存储器串。

[0185] 另外,在图9A中,晶体管TrS1P与晶体管Tr_1电连接,晶体管TrS2P与晶体管Tr_2n电连接。另外,在图10A中,晶体管TrS1F与晶体管Tr_1电连接,晶体管TrS2F与晶体管Tr_2n电连接。

[0186] 图11是半导体装置200及半导体装置200A的等效电路图。在图11中,晶体管TrS_1相当于晶体管TrS1P或晶体管TrS1F。另外,在图11中,晶体管TrS_2相当于晶体管TrS2P或晶

体管TrS2F。

[0187] 晶体管TrS₁的栅极与布线SEL1电连接。另外,晶体管TrS₁的源极和漏极中的一方与布线SL电连接,另一方与晶体管Tr₁的源极和漏极中的一方电连接。晶体管TrS₂的栅极与布线SEL2电连接。另外,晶体管TrS₂的源极和漏极中的一方与布线BL电连接,另一方与晶体管Tr_{2n}的源极和漏极中的一方电连接。

[0188] 此外,在图9A及图10A中,还设置有绝缘体1203,以覆盖导电体104及存储器串100等。作为绝缘体1203,优选使用具有抑制氢等杂质及氧的透过的功能的绝缘体。通过使用具有抑制氢等杂质及氧的透过的功能的绝缘体作为绝缘体1203,可以抑制来自外部的杂质(例如,水分子、氢原子、氢分子、水分子、氧原子、氧分子、氮原子、氮分子、氮氧化物分子(N₂O、NO及NO₂等))扩散到存储器串100内。

[0189] 在此,对Si晶体管的详细内容进行说明。图9A是平面型Si晶体管(晶体管TrS1P及晶体管TrS2P)的沟道长度方向上的截面图,并且图9B是平面型Si晶体管的沟道宽度方向上的截面图。Si晶体管包括设置在阱1792中的沟道形成区域1793、低浓度杂质区域1794及高浓度杂质区域1795(也可以简称为杂质区域)、以接触于该杂质区域的方式设置的导电性区域1796、设置在沟道形成区域1793上的栅极绝缘膜1797、设置在栅极绝缘膜1797上的栅电极1790、设置在栅电极1790的侧面的侧壁绝缘层1798、侧壁绝缘层1799。此外,导电性区域1796也可以使用金属硅化物等。

[0190] 此外,图10A是FIN型Si晶体管(晶体管TrS1F及晶体管TrS2F)的沟道长度方向上的截面图,并且图10B是FIN型Si晶体管的沟道宽度方向上的截面图。图10A及图10B所示的Si晶体管的沟道形成区域1793具有凸形状,并且沿着其侧面及顶面设有栅极绝缘膜1797及栅电极1790。虽然在本实施方式中示出对半导体衬底的一部分进行加工来形成凸部的情况,但是也可以加工SOI衬底来形成具有凸形状的半导体层。注意,图10A及图10B中的符号与图9A及图9B中的符号相同。

[0191] <存储器串的工作例子>

接着,参照附图说明根据本发明的一个方式的存储器串的工作例子。在此,例示出包括三个存储单元的存储器串250来说明存储器串的工作例子。图12A是存储器串250的电路图。

[0192] 在本实施方式中使用存储器串100A的结构说明存储器串的工作例子,但存储器串100的工作也是同样的。

[0193] 如上所述,晶体管Tr被用作存储单元。数据的写入通过向晶体管Tr所包括的电荷累积层(绝缘体114)注入电荷来进行。晶体管Tr优选为在删除数据后被用作常开启型晶体管的晶体管。另外,晶体管TrS₁及晶体管TrS₂优选为常关闭型晶体管。

[0194] 在此,说明晶体管的Id-Vg特性。图12B是说明晶体管的Id-Vg特性的一个例子的图。在图12B中,横轴表示栅极电压(Vg),纵轴表示漏极电流(Id)。特性251示出常关闭型晶体管的Id-Vg特性,特性252示出常开启型晶体管的Id-Vg特性。

[0195] 在常关闭型晶体管中,Vg为0V时的沟道电阻值(源极和漏极间的电阻值)极大,Id几乎没有流过。另一方面,在常开启型晶体管中,Vg为0V时的沟道电阻值小,与常关闭型晶体管相比更多的Id流过。一般而言,在晶体管为n沟道型晶体管时,常开启型晶体管的阈值电压VthD与常关闭型晶体管的阈值电压VthE成立VthD<VthE的关系。

[0196] [删除工作]

在将信息写入到任意存储单元时需要事先删除以前被写入的数据。在本实施方式中,说明对晶体管Tr_2进行的删除工作的一个例子。假设晶体管Tr_2被供应相当于数据“1”的电子。此时,晶体管Tr_2的Id-Vg特性相当于图12B所示的特性251。

[0197] 图13A是用来说明删除工作的时序图。图13B是示出期间T12的存储器串250的工作状态的电路图。在图13B中,与布线等相邻地以带框的形式附上表示H电位的“H”或表示L电位的“L”等电位,以容易看懂布线的电位。

[0198] 在期间T11,向布线BL及布线SL供应L电位(0V)。另外,向布线SEL1及布线SEL2供应H电位。H电位是能够使常关闭型晶体管成为开启状态的电位。因此,晶体管TrS_1及晶体管TrS_2成为开启状态。

[0199] 在期间T12,向布线CG_1及布线CG_3供应H电位。由此,晶体管Tr_1及晶体管Tr_3成为开启状态,晶体管Tr_1至晶体管Tr_3的源极及漏极被供应L电位。

[0200] 另外,向布线CG_2供应VE电位。VE电位是比H电位高的电位。另外,VE电位是能够从电荷累积层(绝缘体114)经过隧穿层(绝缘体115)向导电体103释放电子的电位。另外,VE电位是能够从导电体103经过隧穿层(绝缘体115)向电荷累积层(绝缘体114)注入空穴的电位。

[0201] 由于向布线CG_2供应VE电位,包含在绝缘体114_2中的电子的一部分被抽出到导电体103_2。另外,空穴从导电体103_2被注入到绝缘体114_2。被注入的空穴与包含在绝缘体114_2中的电子复合而消灭。

[0202] 图14A是期间T12的晶体管Tr_2(存储单元)的一部分的截面图。图14A示意性地示出期间T12的电子及空穴的动作。另外,图14B是期间T12的晶体管Tr_2的能带图。

[0203] 数据的删除仅通过抽出绝缘体114所包含的电子也可以进行,但通过将空穴注入到绝缘体114可以进一步高效地进行。在将氧化物半导体用作半导体112的情况下,由于氧化物半导体几乎不能生成空穴,因此难以将空穴从半导体112一侧注入到绝缘体114。根据本发明的一个方式,可以将空穴从导电体103一侧注入到绝缘体114,所以可以高效地进行删除工作。

[0204] 在期间T13,向布线SEL1、布线SEL2、布线CG_1、布线CG_2及布线CG_3供应L电位。如此,可以删除晶体管Tr_2所保持的数据。由于数据删除,晶体管Tr_2的阈值电压漂移到负方向,晶体管Tr_2成为常开启型晶体管。此时,晶体管Tr_2的Id-Vg特性相当于图12B所示的特性252。另外,可以看作晶体管Tr_2保持数据“0”。

[0205] 根据本发明的一个方式的存储器串不仅对一个存储单元而且还可以对多个存储单元同时进行期间T12的数据删除。

[0206] 在删除工作中从主体部一侧进行电子的抽出及空穴的注入的存储器串中,该存储器串所包括的所有存储单元所保持的信息被删除。所以,不想删除的数据需要预先复制到其他存储装置(其他存储器串或备份用DRAM等)并在删除工作结束后写回(也称为“暂时备份工作”)。在本发明的一个方式的存储装置(存储器串)中,可以只对任意存储单元的数据进行删除,所以不需上述暂时备份工作。因此,可以实现高速工作。另外,可以实现包括本发明的一个方式的存储装置的半导体装置的高速工作。

[0207] [写入工作]

接着,说明写入工作。在本实施方式中,说明对晶体管Tr₂进行的写入工作的一个例子。在本实施方式中,说明对晶体管Tr₂写入数据“1”的工作。

[0208] 图15A是用来说明写入工作的时序图。图15B是示出期间T22的存储器串250的工作状态的电路图。在图15B中,与布线等相邻地以带框的形式附上表示H电位的“H”或表示L电位的“L”等电位,以容易看懂布线的电位。

[0209] 在期间T21,向布线BL、布线SL、布线SEL1及布线SEL2供应VP电位。VP电位是比H电位高的电位。另外,VP电位是根据与L电位的电位差从导电体103经过隧穿层(绝缘体115)向电荷累积层(绝缘体114)注入电子的电位。

[0210] 在期间T22,向布线CG₁及布线CG₃供应VP电位。另外,向布线CG₂供应L电位。由此,在晶体管Tr₂中,在半导体112与导电体103₂间产生VP电位-L电位的电位差,电子被注入到绝缘体114₂。

[0211] 图16A是期间T12的晶体管Tr₂(存储单元)的一部分的截面图。图16A示意性地示出期间T12的电子及空穴的动作。另外,图16B是期间T12的晶体管Tr₂的能带图。

[0212] 注意,在晶体管Tr₁及晶体管Tr₃中,半导体112及导电体103都为VP电位,所以电子不被注入到绝缘体114。

[0213] 在期间T23,向布线SEL1、布线SEL2、布线CG₁、布线CG₂及布线CG₃供应L电位。如此,可以对晶体管Tr₂写入数据“1”。由于数据“1”被写入,晶体管Tr₂的阈值电压漂移到正方向,晶体管Tr₂成为常关闭型晶体管。此时,晶体管Tr₂的Id-Vg特性相当于图12B所示的特性251。

[0214] [读出工作]

接着,说明读出工作。在本实施方式中,说明晶体管Tr₂所保持的数据的读出工作。图17A是用来说明读出工作的时序图。图17B至图17D是示出读出工作中的存储器串250的工作状态的电路图。

[0215] 注意,在图17B至图17D中,与布线及电极等相邻地附上表示H电位的“H”或表示L电位的“L”,以容易看懂布线的电位。此外,对发生电位变化的布线等以带框的形式附上“H”或“L”。另外,有时以与处于关闭状态的晶体管重叠的方式附上“×”符号。

[0216] 另外,作为开始读出工作之前的状态,假设布线SL、布线BL、布线SEL1、布线SEL2、布线CG₁、布线CG₂及布线CG₃被供应L电位。

[0217] 在期间T31,向布线SEL2、布线CG₁、布线CG₂及布线CG₃供应H电位,使晶体管TrS₂、晶体管Tr₁、晶体管Tr₂及晶体管Tr₃成为开启状态。另外,将H电位预充电至布线SL及半导体(参照图17B)。

[0218] 在期间T32,向布线CG₂供应L电位。此时,在数据“0”被写入到晶体管Tr₂(即,数据“1”不被写入)的情况下,晶体管Tr₂被用作常开启型晶体管,所以不处于关闭状态。另一方面,在数据“1”被写入到晶体管Tr₂的情况下,晶体管Tr₂被用作常关闭型晶体管,所以处于关闭状态。

[0219] 在此,假设数据“0”被写入到晶体管Tr₂。因此,晶体管Tr₂不处于关闭状态(参照图17C)。

[0220] 在期间T33,向布线SEL1供应H电位,使晶体管TrS₁成为开启状态。由此,布线BL与布线SL导通。因为布线BL处于浮动状态,所以布线BL的电位从H电位变为L电位(参照图

17D)。

[0221] 在数据“1”被写入到晶体管Tr_2的情况下,晶体管Tr_2处于关闭状态。此时,布线BL与布线SL不导通,布线BL的电位保持H电位。

[0222] 如此,通过检测期间T33的布线BL的电位变化,可以读出存储单元(晶体管Tr)所保持的数据。

[0223] 如上所述,在根据本发明的一个方式的半导体装置中可以对任意存储单元进行数据的删除、写入、读出。因此,根据本发明的一个方式的半导体装置虽然是被用作NAND型存储装置的半导体装置,但也可以被用作RAM(Random Access Memory)。

[0224] 另外,可以同时删除写入到多个存储单元的数据。因此,根据本发明的一个方式的半导体装置可以被用作快闪存储器。

[0225] 本实施方式可以与本说明书所示的其他实施方式及实施例适当地组合。

[0226] (实施方式2)

参照附图说明根据本发明的一个方式的存储器串300。存储器串300是上述实施方式所示的存储器串100及半导体装置200的变形例子。因此,在本实施方式中,对与上述实施方式重复的部分进行最小限度的说明。

[0227] 图18是示出从Y方向看的存储器串300的一部分的截面图。图19A是从Z方向看图18中的点划线G1-G2所示的部分的截面图。图19B是从Z方向看图18中的点划线H1-H2所示的部分的截面图。

[0228] 存储器串300包括结构体110U。图18记载有存储器串300的中心轴131U。中心轴131U相当于存储器串100的中心轴131。结构体110U是在从Y方向看时具有U形状(也称为“U字型”)的结构体110。结构体110U具有延伸在Z方向上的两个部分(部分141及部分142)及延伸在X方向上的部分(部分143)。

[0229] 与结构体110同样,结构体110U包括绝缘体111、半导体112、绝缘体113、绝缘体114及绝缘体115。在结构体110U中,绝缘体111沿着中心轴131U延伸,半导体112相邻于绝缘体111的侧面地设置。另外,绝缘体113相邻于半导体112地设置,绝缘体114相邻于绝缘体113地设置。另外,绝缘体115相邻于绝缘体114地设置。在从Y方向看时,绝缘体111、半导体112、绝缘体113、绝缘体114及绝缘体115具有U形状。另外,如图19A及图19B所示,半导体112、绝缘体113、绝缘体114及绝缘体115在绝缘体111的外侧设置为同心状。

[0230] 存储器串300包括绝缘体126代替图1等所示的导电体101。部分141及部分142设置在绝缘体126的上方。另外,部分143以嵌入于绝缘体126的方式设置。在本实施方式等中,例如可以将垂直于绝缘体126的底面的方向称为Z方向。

[0231] 结构体110U之一端与导电体104a连接,另一端与导电体104b连接。尤其是,结构体110U所包括的半导体112之一端与导电体104a电连接,另一端与导电体104b电连接。导电体104a及导电体104b上设置有绝缘体105,绝缘体105上设置有导电体124。另外,导电体124上设置有绝缘体123。导电体104a与导电体124通过导电体122电连接。

[0232] 在部分141及部分142中,结构体110U与导电体103重叠的区域(交叉部)被用作晶体管Tr。因此,结构体110与导电体103重叠的区域(交叉部)被用作存储单元。在图18中,部分141及部分142各自设置有n个晶体管Tr。注意,在图18中,将部分141中近于导电体104a一侧的晶体管Tr表示为“晶体管Tr_1”,将其中近于部分143一侧的晶体管Tr表示为“晶体管

Tr_n”。另外,将部分142中近于导电体104b一侧的晶体管Tr表示为“晶体管Tr_{2n}”,将其中近于部分143一侧的晶体管Tr表示为“晶体管Tr_{n+1}”。此外,在图18中,将可被用作晶体管Tr₁的栅电极的导电体103表示为导电体103₁。另外,将可被用作晶体管Tr_{2n}的栅电极的导电体103表示为导电体103_{2n}。

[0233] 被用作存储单元的晶体管Tr设置在存储器串300的重叠于部分141的部分及重叠于部分142的部分。因此,可以将存储器串300的重叠于部分141的部分看作存储器串100。同样地,可以将存储器串300的重叠于部分142的部分看作存储器串100。另外,可以将部分143看作用来电连接两个存储单元的连接部。因此,可以说,存储器串300具有相邻的两个存储器串100通过连接部电连接的结构。

[0234] 另外,存储器串300在晶体管Tr₁与导电体104a之间具有结构体110U与导电体135₁重叠的区域。导电体135延伸在Y方向上。该区域被用作晶体管TrS₁。另外,存储器串300在晶体管Tr_{2n}与导电体104b之间具有结构体110U与导电体135₂重叠的区域。该区域被用作晶体管TrS₂。晶体管TrS₁及晶体管TrS₂被用作选择晶体管。另外,导电体124和导电体104b中的一方被用作布线SL,另一方被用作布线BL。或者,导电体124和导电体104b中的一方与布线SL电连接,另一方与布线BL电连接。

[0235] 存储器串300中包括设置在外围电路一侧的选择晶体管。因此,可以减少外围电路一侧的晶体管个数,而可以提高外围电路一侧的设计自由度。

[0236] 图20是存储器串300的等效电路图。关于该等效电路图可以参照图11所示的等效电路图的说明。

[0237] 当为了增大每一个存储器串的存储容量增大晶体管Tr的叠层数时,纵横比变大而容易导致制造工序中的结构体等倒塌。根据本发明的一个方式的存储器串300具有U字型结构,所以若每一个存储器串的存储容量相等,就不容易发生制造工序中的结构体等的倒塌。因此,可以提高包括根据本发明的一个方式的存储器串的半导体装置的生产率。

[0238] 如图21所示,也可以覆盖存储器串300等地设置绝缘体1203。绝缘体1203优选使用具有抑制氢等杂质及氧透过的功能的绝缘体。

[0239] 图22是示出相邻的两个存储器串300(存储器串300₁及存储器串300₂)的连接例子的截面图。在图22中,将存储器串300₁所包括的结构体110U表示为结构体110U₁,将存储器串300₂所包括的结构体110U表示为结构体110U₂。

[0240] 结构体110U₁之一端与导电体104a连接,另一端与导电体125连接。另外,结构体110U₂之一端与导电体104b连接,另一端与导电体125连接。导电体125设置在与导电体104(导电体104a及导电体104b)同一层中。另外,导电体104a通过导电体122a与导电体124电连接,导电体104b通过导电体122b与导电体124电连接。

[0241] 导电体124和导电体125中的一方被用作布线SL,另一方被用作布线BL。或者,导电体124和导电体125中的一方与布线SL电连接,另一方与布线BL电连接。

[0242] 在图22中,将设置在结构体110U₁之一端附近的晶体管TrS₁表示为TrS_{1a},将设置在另一端附近的晶体管TrS₂表示为TrS_{2a}。另外,将设置在结构体110U₂之一端附近的晶体管TrS₁表示为TrS_{1b},将设置在另一端附近的晶体管TrS₂表示为TrS_{2b}。

[0243] 通过控制选择晶体管(晶体管TrS₁及晶体管TrS₂)的工作,可以对两个存储器串300中的一方进行数据的读出、写入。

[0244] [变形例子1]

图23是作为存储器串300的变形例子的存储器串300A的截面图。在存储器串300A中,作为晶体管Tr使用存储器串100A中的晶体管Tr。因此,存储器串300A也是存储器串100A的变形例子。

[0245] [变形例子2]

图24是作为存储器串300的变形例子的存储器串300B的截面图。图25是从Z方向看图24中的点划线J1-J2所示的部分的截面图。

[0246] 如图24及图25所示,被用作晶体管TrS(晶体管TrS_1及晶体管TrS_2)的结构体110U与导电体135(导电体135_1及导电体135_2)的交叉部也可以没有设置绝缘体114及绝缘体115。在该交叉部没有设置绝缘体114及绝缘体115时,可以提高晶体管TrS的工作速度。

[0247] [变形例子3]

图26是作为存储器串300及存储器串300B的变形例子的存储器串300C的截面图。在存储器串300C中,被用作晶体管TrS的结构体110U与导电体135的交叉部没有设置绝缘体113、绝缘体114及绝缘体115,并且导电体135与半导体112之间设置有绝缘体136。

[0248] 绝缘体136被用作晶体管TrS的栅极绝缘膜。绝缘体136优选使用热氧化膜等。例如,由低电阻的硅形成导电体135,在含有氧的高温气氛下使导电体135表面氧化来形成氧化硅(热氧化膜),将该氧化硅用作绝缘体136,即可。该氧化硅具有优异绝缘耐性,能够进行薄膜化。因此,可以提高晶体管TrS的工作速度。

[0249] 本实施方式可以与本说明书所示的其他实施方式及实施例适当地组合。

[0250] (实施方式3)

在本实施方式中,说明包括根据本发明的一个方式的存储装置或半导体装置的半导体装置400。

[0251] 图27是示出半导体装置400的结构例子的方框图。图27所示的半导体装置400包括驱动电路410及存储阵列420。存储阵列420包括一个以上的存储器串100。图27示出存储阵列420包括配置为矩阵状的多个存储器串100的例子。

[0252] 驱动电路410包括PSW241(功率开关)、PSW242及外围电路415。外围电路415包括外围电路411、控制电路412及电压生成电路428。

[0253] 在半导体装置400中,根据需要可以适当地取舍上述各电路、各信号及各电压。或者,也可以增加其它电路或其它信号。信号BW、信号CE、信号GW、信号CLK、信号WAKE、信号ADDR、信号WDA、信号PON1、信号PON2为从外部输入的信号,信号RDA为输出到外部的信号。信号CLK为时钟信号。

[0254] 此外,信号BW、CE及信号GW是控制信号。信号CE为芯片使能信号,信号GW为全局写入使能信号,信号BW为字节写入使能信号。信号ADDR为地址信号。信号WDA为写入数据信号,信号RDA为读出数据信号。信号PON1、PON2为电源门控控制用信号。此外,信号PON1、PON2也可以在控制电路412中生成。

[0255] 控制电路412为具有控制半导体装置400的整体工作的功能的逻辑电路。例如,控制电路412对信号CE、信号GW及信号BW进行逻辑运算来决定半导体装置400的工作模式(例如,写入工作、读出工作)。或者,控制电路412生成外围电路411的控制信号,以执行上述工作模式。

[0256] 电压生成电路428具有生成负电压的功能。WAKE具有控制对电压生成电路428输入CLK的功能。例如,当WAKE被施加H电平的信号时,信号CLK被输入到电压生成电路428,电压生成电路428生成负电压。

[0257] 外围电路411是用来对存储器串100进行数据的写入及读出的电路。外围电路411包括行译码器441、列译码器442、行驱动器423、列驱动器424、输入电路425、输出电路426及读出放大器427。

[0258] 行译码器441及列译码器442具有对信号ADDR进行译码的功能。行译码器441是用来指定要访问行的电路,列译码器442是用来指定要访问列的电路。行驱动器423具有选择连接到由行译码器441指定的布线CG的功能。列驱动器424具有如下功能:将数据写入存储器串100的功能;从存储器串100读出数据的功能;保持所读出的数据的功能等。

[0259] 输入电路425具有保持信号WDA的功能。输入电路425中保持的数据输出到列驱动器424。输入电路425的输出数据是写入存储器串100的数据(Din)。列驱动器424从存储器串100读出的数据(Dout)被输出至输出电路426。输出电路426具有保持Dout的功能。此外,输出电路426具有将Dout输出到半导体装置400的外部的功能。从输出电路426输出的数据信号为信号RDA。

[0260] PSW241具有控制向外围电路415供给 V_{DD} 的功能。PSW242具有控制向行驱动器423供给 V_{HM} 的功能。在此,半导体装置400的高电源电压为 V_{DD} ,低电源电压为GND(地电位)。此外, V_{HM} 是用来使字线成为高电平的高电源电压,其高于 V_{DD} 。利用信号PON1控制PSW241的开/关,利用信号PON2控制PSW242的开/关。在图27中,外围电路415中被供应 V_{DD} 的电源域的个数为1,但是也可以为多个。此时,可以对各电源域设置功率开关。

[0261] 半导体装置400所具有的驱动电路410及存储阵列420设置在同一平面上。此外,如图28所示,驱动电路410与存储阵列420也可以重叠。通过使驱动电路410与存储阵列420重叠,可以缩短信号传输距离。图28中还示出放大半导体装置400的一部分的立体图。

[0262] 另外,在半导体装置400中也可以将CPU(Central Processing Unit:中央处理器)、GPU(Graphics Processing Unit:图形处理器)等运算处理装置用于驱动电路410所包括的控制电路412。通过使用CPU及/或GPU等,可以实现具有运算处理功能的半导体装置400。

[0263] 如上所述,可以将存储器串100用作RAM。因此,可以将存储阵列420的一部分用作主存储器、高速缓冲存储器。另外,如上所述,可以将存储器串100用作快闪存储器。因此,可以将存储阵列420的一部分用作快闪存储器。根据本发明的一个方式的半导体装置400可以被用作通用存储器。

[0264] 另外,根据本发明的一个方式,可以在同一芯片上实现作为CPU、高速缓冲存储器及存贮器的功能。

[0265] 图28所示的半导体装置400包括具有CPU的驱动电路410以及存储阵列420中的根据本发明的一个方式的3D OS NAND型存储装置。根据本发明的一个方式的3D OS NAND型存储装置具有作为高速缓冲存储器的功能及作为存贮器的功能。例如,可以将存储阵列420的一部分用作高速缓冲存储器并将其他一部分用作存贮器。

[0266] 图29是示出主机450管理多个半导体装置400的信息处理系统的图。各半导体装置400具有运算处理功能。另外,可以将多个半导体装置400中的一部分用作高速缓冲存储器

并将其他一部分用作存贮器。例如,可以并行进行向高速缓冲存储器的信息的写入或读出和向存贮器的信息的写入或读出。通过主机450管理多个半导体装置400,可以构成实现非诺依曼型计算的信息处理系统。

[0267] 本实施方式可以与本说明书所示的其他实施方式及实施例适当地组合。

[0268] (实施方式4)

在本实施方式中,说明可以具备上述实施方式所示的存储装置等半导体装置的运算处理装置的一个例子。

[0269] 图30是中央处理器1100的结构例子的方框图。图30示出CPU的结构例子作为可以用于中央处理器1100的结构例子。

[0270] 图30所示的中央处理器1100在衬底1190上具有:ALU1191(ALU:Arithmetic logic unit:算术逻辑单元)、ALU控制器1192、指令译码器1193、中断控制器1194、时序控制器1195、寄存器1196、寄存器控制器1197、总线接口1198)、高速缓存器1199以及高速缓存器接口1189。作为衬底1190使用半导体衬底、SOI衬底、玻璃衬底等。还可以包括能够改写的ROM及ROM接口。高速缓存器1199及高速缓存器接口1189也可以设置在不同的芯片上。

[0271] 高速缓存器1199通过高速缓存器接口1189与设置在不同芯片上的主存储器连接。高速缓存器接口1189具有将储存在主存储器中的数据的一部分供应到高速缓存器1199的功能。高速缓存器1199具有储存该数据的功能。

[0272] 当然,图30所示的中央处理器1100只是简化其结构而所示的一个例子而已,所以实际上的中央处理器1100根据其用途具有各种各样的结构。例如,也可以以包括图30所示的中央处理器1100或运算电路的结构为核心,设置多个该核心并使其同时工作,即像GPU那样工作。此外,在中央处理器1100的内部运算电路或数据总线中能够处理的位数例如可以为8位、16位、32位、64位等。

[0273] 通过总线接口1198输入到中央处理器1100的指令在输入到指令译码器1193并被译码后输入到ALU控制器1192、中断控制器1194、寄存器控制器1197、时序控制器1195。

[0274] ALU控制器1192、中断控制器1194、寄存器控制器1197、时序控制器1195根据被译码的指令进行各种控制。具体而言,ALU控制器1192生成用来控制ALU1191的工作的信号。此外,中断控制器1194具有即使中央处理器1100正在执行程序也根据其优先度、掩码状态来判断来自外部的输入/输出装置或外围电路的中断要求而对该要求进行处理的功能。寄存器控制器1197生成寄存器1196的地址,并对应于中央处理器1100的状态来进行寄存器1196的读出或写入。

[0275] 此外,时序控制器1195生成用来控制ALU1191、ALU控制器1192、指令译码器1193、中断控制器1194以及寄存器控制器1197的工作时序的信号。例如,时序控制器1195具有根据基准时钟信号来生成内部时钟信号的内部时钟生成器,并将内部时钟信号供应到上述各种电路。

[0276] 在图30所示的中央处理器1100中,在寄存器1196及高速缓存器1199中设置有存储装置。作为该存储装置,可以使用上述实施方式所示的存储装置等。

[0277] 在图30所示的中央处理器1100中,寄存器控制器1197根据ALU1191的指令进行寄存器1196中的保持工作的选择。换言之,ALU1191选择在寄存器1196所具有的存储单元中由触发器保持数据还是由电容器保持数据。在选择由触发器保持数据的情况下,对寄存器

1196中的存储单元供应电源电压。在选择由电容器保持数据的情况下,对电容器进行数据的重写,而可以停止对寄存器1196中的存储单元供应电源电压。

[0278] 上述实施方式所示的半导体装置400与中央处理器1100可以重叠。图31A及图31B是半导体装置1150A的立体图。半导体装置1150A在中央处理器1100上包括用作存储装置的半导体装置400。中央处理器1100与半导体装置400包括彼此重叠的区域。为了容易理解半导体装置1150A的结构,图31B分别示出中央处理器1100和半导体装置400。

[0279] 通过使半导体装置400与中央处理器1100重叠,可以缩短两者之间的连接距离。由此,可以提高两者之间的通讯速度。此外,因为连接距离较短,所以可以降低功耗。

[0280] 如上述实施方式所示,通过将OS NAND型存储装置用于半导体装置400,可以将半导体装置400所具有的多个存储器串100的一部分或全部用作RAM。因此,半导体装置400可以用作主存储器。用作主存储器的半导体装置400通过高速缓存器接口1189与高速缓存器1199连接。

[0281] 图27所示的控制电路412控制将半导体装置400用作主存储器(RAM)还是用作存贮器。控制电路412可以根据从中央处理器1100被供应的信号而将半导体装置400含有的多个存储器串100的一部分或全部用作RAM。

[0282] 半导体装置400可以将多个存储器串100中的部分存储器串100用作RAM,并将其他存储器串100用作存贮器。通过将OS NAND型的存储装置用于半导体装置400,可以兼具作为高速缓存器的功能、作为主存储器的功能及作为存贮器的功能。本发明的一个方式的半导体装置400例如可以被用作通用存储器。

[0283] 当将半导体装置400用作主存储器时,可以根据需要增减存储容量。此外,当将半导体装置400用作高速缓存器时,可以根据需要增减存储容量。

[0284] 此外,图27所示的控制电路412也可以具有在半导体装置400的用作存贮器的区域与用作主存储器的区域之间转移或复制数据时进行错误检查和纠正的功能(也称为ECC: Error Check and Correct)。此外,控制电路412也可以具有在半导体装置400的用作主存储器的区域与高速缓存器1199之间转移或复制数据时进行ECC的功能。

[0285] 此外,半导体装置400与中央处理器1100也可以重叠。图32A及图32B是半导体装置1150B的立体图。半导体装置1150B在中央处理器1100上包括半导体装置400a及半导体装置400b。中央处理器1100与半导体装置400a及半导体装置400b包括彼此重叠的区域。为了容易理解半导体装置1150B的结构,图32B分离地示出中央处理器1100、半导体装置400a及半导体装置400b。

[0286] 半导体装置400a及半导体装置400b被用作存储装置。例如,也可以将NOR型存储装置用作半导体装置400a和半导体装置400b中的一方并将NAND型存储装置用作其中另一方。半导体装置400a及半导体装置400b的双方也可以都是NAND型存储装置。作为NOR型存储装置有DRAM或SRAM等。NOR型存储装置的工作速度更高于NAND型存储装置,由此例如也可以将半导体装置400a的一部分用作主存储器及/或高速缓存器1199。此外,也可以反转顺序半导体装置400a与半导体装置400b的重叠顺序。

[0287] 图33A及图33B是半导体装置1150C的立体图。半导体装置1150C具有在半导体装置400a与半导体装置400b之间夹有中央处理器1100的结构。中央处理器1100与半导体装置400a及半导体装置400b包括彼此重叠的区域。为了容易理解半导体装置1150C的结构,图

33B分别示出中央处理器1100、半导体装置400a及半导体装置400b。

[0288] 通过采用半导体装置1150C的结构,可以提高半导体装置400a与中央处理器1100之间的通讯速度及半导体装置400b与中央处理器1100之间的通讯速度的双方。此外,与半导体装置1150B相比,可以进一步降低功耗。

[0289] 本实施方式可以与本说明书所示的其他实施方式及实施例适当地组合。

[0290] (实施方式5)

本实施方式示出形成上述实施方式所示的半导体装置等的半导体晶片及组装有该半导体装置电子构件的一个例子。

[0291] <半导体晶片>

首先,使用图34A说明形成有半导体装置等的半导体晶片的例子。

[0292] 图34A所示的半导体晶片4800包括晶片4801及设置在晶片4801的顶面的多个电路部4802。在晶片4801的顶面上没设置有电路部4802的部分相当于空隙4803,其为用于切割的区域。

[0293] 半导体晶片4800可以通过在前工序中在晶片4801的表面上形成多个电路部4802来制造。此外,也可以之后对晶片4801的形成有多个电路部4802的面的背面进行抛光来减薄晶片4801。通过上述工序,可以减少晶片4801翘曲等而实现构件的小型化。

[0294] 下面进行切割工序。沿点划线所示的划分线SCL1及划分线SCL2(有时称为切割线或截断线)进行切割。为了容易进行切割工序,优选以多个划分线SCL1平行,多个划分线SCL2平行,且划分线SCL1与划分线SCL2垂直的方式设置空隙4803。

[0295] 通过进行切割工序,可以从半导体晶片4800切割出图34B所示的芯片4800a。芯片4800a包括晶片4801a、电路部4802以及空隙4803a。此外,空隙4803a优选尽可能小。在此情况下,相邻的电路部4802之间的空隙4803的宽度只要与划分线SCL1的划分用部及划分线SCL2的划分用部大致相等即可。

[0296] 此外,本发明的一个方式的元件衬底的形状不局限于图34A所示的半导体晶片4800的形状。例如,可以为矩形形状的半导体晶片。此外,可以根据元件的制造工序及制造用设备适当地改变元件衬底的形状。

[0297] <电子构件>

图34C示出电子构件4700及安装有电子构件4700的衬底(安装衬底4704)的立体图。图34C所示的电子构件4700在模子4711中包括芯片4800a。作为芯片4800a可以使用上述实施方式所说明的半导体装置。

[0298] 在图34C中,省略电子构件4700的一部分以表示其内部。电子构件4700在模子4711的外侧包括连接盘(land)4712。连接盘4712与电极焊盘4713电连接,电极焊盘4713通过引线4714与芯片4800a电连接。电子构件4700例如安装于印刷电路板4702。通过组合多个该电子构件并使其分别在印刷电路板4702上电连接,由此完成安装衬底4704。

[0299] 图34D示出电子构件4730的立体图。电子构件4730是SiP(System in package:系统封装)或MCM(Multi Chip Module:多芯片封装)的一个例子。在电子构件4730中,封装衬底4732(印刷电路板)上设置有插板(interposer)4731,插板4731上设置有半导体装置4735及多个半导体装置4710。

[0300] 半导体装置4710例如可以使用芯片4800a、在上述实施方式中说明的半导体装置、

高带宽存储器 (HBM:High Bandwidth Memory) 等。此外,半导体装置4735可以使用CPU、GPU、FPGA、存储装置等集成电路(半导体装置)。

[0301] 封装衬底4732可以使用陶瓷衬底、塑料衬底或玻璃环氧衬底等。插板4731可以使用硅插板、树脂插板等。

[0302] 插板4731具有多个布线且具有与端子间距不同的多个集成电路电连接的功能。多个布线由单层或多层构成。此外,插板4731具有将设置于插板4731上的集成电路与设置于封装衬底4732上的电极电连接的功能。因此,有时也将插板称为“重布线衬底(rewiring substrate)”或“中间衬底”。此外,有时通过在插板4731中设置贯通电极,通过该贯通电极使集成电路与封装衬底4732电连接。此外,在使用硅插板的情况下,也可以使用TSV (Through Silicon Via:硅通孔)作为贯通电极。

[0303] 作为插板4731优选使用硅插板。由于硅插板不需要设置有源元件,所以可以以比集成电路更低的成本制造。硅插板的布线形成可以在半导体工序中进行,因此很容易形成在使用树脂插板时很难形成的微细布线。

[0304] 在HBM中,为了实现宽存储器带宽需要连接许多布线。为此,要求安装HBM的插板上能够高密度地形成微细的布线。因此,作为安装HBM的插板优选使用硅插板。

[0305] 此外,在使用硅插板的SiP或MCM等中,不容易发生因集成电路与插板间的膨胀系数的不同而导致的可靠性下降。此外,由于硅插板的表面平坦性高,所以设置在硅插板上的集成电路与硅插板间不容易产生连接不良。尤其优选将硅插板用于2.5D封装(2.5D安装),其中多个集成电路横着排放并配置于插板上。

[0306] 此外,也可以与电子构件4730重叠地设置散热器(散热板)。在设置散热器的情况下,优选设置于插板4731上的集成电路的高度一致。例如,在本实施方式所示的电子构件4730中,优选使半导体装置4710与半导体装置4735的高度一致。

[0307] 为了将电子构件4730安装在其他的衬底上,可以在封装衬底4732的底部设置电极4733。图34D示出用焊球形成电极4733的例子。通过在封装衬底4732的底部以矩阵状设置焊球,可以实现BGA (Ball Grid Array:球栅阵列) 安装。此外,电极4733也可以使用导电针形成。通过在封装衬底4732的底部以矩阵状设置导电针,可以实现PGA (Pin GridArray:针栅阵列) 安装。

[0308] 电子构件4730可以通过各种安装方式安装在其他衬底上,而不局限于BGA及PGA。例如,可以采用SPGA (StaggeredPin GridArray:交错针栅阵列)、LGA (Land GridArray:地栅阵列)、QFP (QuadFlat Package:四侧引脚扁平封装)、QFJ (QuadFlat J-ledpackage:四侧J形引脚扁平封装)或QFN (Quad Flat Non-led package:四侧无引脚扁平封装)等安装方法。

[0309] 本实施方式可以与本说明书所示的其他实施方式及实施例适当地组合。

[0310] (实施方式6)

在本实施方式中说明本发明的一个方式的存储装置的应用例子。

[0311] 一般而言,在计算机等半导体装置中,根据其用途可以使用各种存储装置。图35A示出用于半导体装置的各级类存储装置。越是上层的存储装置越被要求更快的工作速度,越是下层的存储装置越被要求更大的存储容量和更高的记录密度。在图35A中,从最上层依次示出CPU等运算处理装置中作为寄存器一起安装的存储器、SRAM (Static Random Access

Memory)、DRAM(Dynamic Random Access Memory)以及3D NAND存储器。

[0312] 因为CPU等运算处理装置中作为寄存器一起安装的存储器用于运算结果的暂时储存等,所以来自运算处理装置访问的频率高。因此,与存储容量相比更需求快的工作速度。此外,寄存器具有保持运算处理装置的设定信息等的功能。

[0313] SRAM例如用于高速缓存器。高速缓存器具有将保持在主存储器中的信息的一部分复制并保持的功能。通过将使用频率高的数据复制到高速缓存器中,可以提高对数据访问的速度。高速缓存器所需的存储容量少于主存储器,而高速缓存器所需的工作速度高于主存储器。此外,将在高速缓存器中被改写的数据复制并供应到主存储器。

[0314] DRAM例如用于主存储器。主存储器具有保持从存储器读出的程序或数据的功能。DRAM的记录密度大约为0.1至0.3Gbit/mm²。

[0315] 3D NAND存储器例如用于存储器。存储器具有保持需要长期保存的数据和运算处理装置所使用的各种程序等的功能。因此,与更快的工作速度相比,存储器被要求更大的存储容量和更高的记录密度。用于存储器的存储装置记录密度大约为0.6至6.0Gbit/mm²。

[0316] 本发明的一个方式的存储装置的工作速度快且能够长期间保持数据。本发明的一个方式的存储装置可以用作位于包括高速缓存器的阶层和主存储器的阶层的双方的边界区域901的存储装置。此外,本发明的一个方式的存储装置可以用作位于包括主存储器的阶层和存储器的阶层的双方的边界区域902的存储装置。

[0317] 此外,本发明的一个方式的存储装置适合用于主存储器的阶层和存储器的阶层的双方。此外,本发明的一个方式的存储装置适合用于高速缓存器的阶层。图35B示出与图35A不同的各级类存储装置。

[0318] 在图35B中,从最上层依次示出CPU等运算处理装置中作为寄存器一起安装的存储器、用作高速缓存器的SRAM以及3D OS NAND存储器。本发明的一个方式的存储装置可以用于高速缓存器、主存储器以及存储器。在作为高速缓存器被需求1GHz以上的高速存储器的情况下,该高速缓存器被安装在CPU等的运算处理装置中。

[0319] 本发明的一个方式的存储装置例如可以应用于各种电子设备(例如,信息终端、计算机、智能手机、电子书阅读器终端、数码相机、录像再现装置、导航系统、游戏机等)的存储装置。此外,可以用于图像传感器、IoT(Internet of Things:物联网)以及医疗等。这里,计算机包括平板电脑、笔记型计算机、台式计算机以及大型计算机诸如服务器系统。

[0320] 对包括根据本发明的一个方式的存储装置的电子设备的一个例子进行说明。图36A至图36J、图37A至图37E示出具有该存储装置的电子构件4700或电子构件4730包括在各电子设备中的情况。

[0321] [移动电话机]

图36A所示的信息终端5500是信息终端之一的移动电话机(智能手机)。信息终端5500包括框体5510及显示部5511,作为输入界面在显示部5511中具备触控面板,并且在框体5510上设置有按钮。

[0322] 通过将本发明的一个方式的存储装置应用于信息终端5500,可以储存在执行程序时暂时生成的文档(例如,使用网页浏览器时的缓存等)。

[0323] [可穿戴终端]

此外,图36B示出可穿戴终端的一个例子的信息终端5900。信息终端5900包括外壳

5901、显示部5902、操作开关5903、操作开关5904、表带5905等。

[0324] 与上述信息终端5500同样,通过将本发明的一个方式的存储装置应用于可穿戴终端,可以储存在执行程序时暂时生成的文档。

[0325] [信息终端]

图36C示出台式信息终端5300。台式信息终端5300包括信息终端主体5301、显示部5302及键盘5303。

[0326] 与上述信息终端5500同样,通过将本发明的一个方式的存储装置应用于台式信息终端5300,可以储存在执行程序时暂时生成的文档。

[0327] 注意,在上述例子中,图36A至图36C示出智能手机、可穿戴终端及台式信息终端作为电子设备的例子,但是也可以应用智能手机、可穿戴终端及台式信息终端以外的信息终端。作为智能手机、可穿戴终端及台式信息终端以外的信息终端,例如可以举出PDA(Personal DigitalAssistant:个人数码助理)、笔记本式信息终端、工作站等。

[0328] [电器产品]

此外,图36D示出电器产品的一个例子的电冷藏冷冻箱5800。电冷藏冷冻箱5800包括外壳5801、冷藏室门5802及冷冻室门5803等。例如,电冷藏冷冻箱5800是对应于IoT的电冷藏冷冻箱。

[0329] 可以将本发明的一个方式的存储装置应用于电冷藏冷冻箱5800。通过利用互联网等,可以使电冷藏冷冻箱5800对信息终端等发送储存在电冷藏冷冻箱5800中的食品或该食品的消费期限等的信息。电冷藏冷冻箱5800可以在该存储装置中储存在发送该信息时暂时生成的文档。

[0330] 在上述例子中,作为电器产品说明电冷藏冷冻箱,但是作为其他电器产品,例如可以举出吸尘器、微波炉、电烤箱、电饭煲、热水器、IH炊具、饮水机、包括空气调节器的冷暖空调机、洗衣机、干衣机、视听设备等。

[0331] [游戏机]

此外,图36E示出游戏机的一个例子的便携式游戏机5200。便携式游戏机5200包括外壳5201、显示部5202、按钮5203等。

[0332] 此外,图36F示出游戏机的一个例子的固定式游戏机7500。固定式游戏机7500包括主体7520及控制器7522。主体7520可以以无线方式或有线方式与控制器7522连接。此外,虽然在图36F中未图示,但是控制器7522可以包括显示游戏的图像的显示部、作为按钮以外的输入接口的触控面板及控制杆、旋转式抓手、滑动式抓手等。此外,控制器7522不局限于图36F所示的形状,也可以根据游戏的种类改变控制器7522的形状。例如,在FPS(First Person Shooter,第一人称射击类游戏)等射击游戏中,作为扳机使用按钮,可以使用模仿枪的形状的控制器。此外,例如,在音乐游戏等中,可以使用模仿乐器、音乐器件等的形状的控制。再者,固定式游戏机也可以设置照相机、深度传感器、麦克风等,由游戏玩者的手势及/或声音等操作以代替控制器操作。

[0333] 此外,上述游戏机的影像可以由电视装置、个人计算机用显示器、游戏用显示器、头戴显示器等显示装置输出。

[0334] 通过将上述实施方式所说明的存储装置用于便携式游戏机5200或固定式游戏机7500,可以实现低功耗的便携式游戏机5200或固定式游戏机7500。此外,借助于低功耗,可

以降低来自电路的发热,由此可以减少因发热而给电路本身、外围电路以及模块带来的负面影响。

[0335] 并且,通过将上述实施方式所说明的存储装置用于便携式游戏机5200或固定式游戏机7500,可以储存在执行游戏时暂时生成的运算用文档。

[0336] 在图36E中,作为游戏机的例子示出便携式游戏机。图36F示出家用固定式游戏机。本发明的一个方式的电子设备不局限于此。作为应用本发明的一个方式的电子设备,例如可以举出设置在娱乐设施(游戏中心,游乐园等)的街机游戏机、设置在体育设施的击球练习用投球机等。

[0337] [移动体]

上述实施方式所说明的存储装置可以应用于作为移动体的汽车及汽车的驾驶座位附近。

[0338] 图36G示出作为移动体的一个例子的汽车5700。

[0339] 汽车5700的驾驶座位附近设置有能够显示速度表、转速计、行驶距离、加油量、排档状态、空调的设定等以提供各种信息的仪表板。此外,驾驶座位附近也可以设置有表示上述信息的显示装置。

[0340] 尤其是,通过将由设置在汽车5700上的摄像装置(未图示)拍摄的影像显示在上述显示装置上,可以补充被支柱等遮挡的视野、驾驶座位的死角等,从而提高安全性。也就是说,通过显示设置在汽车5700外侧的拍摄装置所拍摄的图像,可以补充视野来避免死角,以提高安全性。

[0341] 上述实施方式所说明的存储装置能够暂时储存数据,例如,可以将该计算机应用于汽车5700的自动驾驶系统、进行导航、危险预测等的系统等来暂时储存必要数据。此外,也可以储存安装在汽车5700上的行车记录仪的录像。

[0342] 虽然在上述例子中作为移动体的一个例子说明汽车,但是移动体不局限于汽车。例如,作为移动体,也可以举出电车、单轨铁路、船舶、飞行物(直升机、无人驾驶飞机(无人机)、飞机、火箭)等。

[0343] [照相机]

上述实施方式所说明的存储装置可以应用于照相机。

[0344] 图36H示出摄像装置的一个例子的数码相机6240。数码相机6240包括外壳6241、显示部6242、操作开关6243、快门按钮6244等,并且安装有可装卸的镜头6246。在此,数码相机6240采用能够从外壳6241拆卸下镜头6246的结构,但是镜头6246及外壳6241被形成为一体。此外,数码相机6240还可以具备另外安装的闪光灯装置及取景器等。

[0345] 通过将上述实施方式所说明的存储装置用于数码相机6240,可以实现低功耗的数码相机6240。此外,借助于低功耗,可以降低来自电路的发热,由此可以减少因发热而给电路本身、外围电路以及模块带来的负面影响。

[0346] [视频摄像机]

上述实施方式所说明的存储装置可以应用于视频摄像机。

[0347] 图36I示出摄像装置的一个例子的视频摄像机6300。视频摄像机6300包括第一外壳6301、第二外壳6302、显示部6303、操作开关6304、镜头6305、连接部6306等。操作开关6304及镜头6305设置在第一外壳6301上,显示部6303设置在第二外壳6302上。第一外壳

6301与第二外壳6302由连接部6306连接,第一外壳6301与第二外壳6302间的角度可以由连接部6306改变。显示部6303的图像也可以根据连接部6306中的第一外壳6301与第二外壳6302间的角度切换。

[0348] 当记录由视频摄像机6300拍摄的图像时,需要进行根据数据记录方式的编码。借助于上述存储装置,上述视频摄像机6300可以储存在进行编码时暂时生成的文档。

[0349] [ICD]

可以将上述实施方式所说明的存储装置应用于埋藏式心律转复除颤器(ICD)。

[0350] 图36J是示出ICD的一个例子的截面示意图。ICD主体5400至少包括电池5401、电子构件4700、调节器、控制电路、天线5404、向右心房的金属丝5402、向右心室的金属丝5403。

[0351] ICD主体5400通过手术设置在体内,两个金属丝穿过人体的锁骨下静脉5405及上腔静脉5406,并且其一方金属丝的先端设置于右心室,另一方金属丝的先端设置于右心房。

[0352] ICD主体5400具有心脏起搏器的功能,并在心律在规定范围之外时对心脏进行起搏。此外,在即使进行起搏也不改善心律时(快速的心室频脉或心室颤动等)进行利用去颤的治疗。

[0353] 为了适当地进行起搏及去颤,ICD主体5400需要经常监视心律。因此,ICD主体5400包括用来检测心律的传感器。此外,ICD主体5400可以在电子构件4700中储存通过该传感器测得的心律的数据、利用起搏进行治疗的次数、时间等。

[0354] 此外,因为由天线5404接收电力,且该电力被充电到电池5401。此外,通过使ICD主体5400包括多个电池,可以提高安全性。具体而言,即使ICD主体5400中的部分电池产生故障,其他电池可以起作用而被用作辅助电源。

[0355] 此外,除了能够接收电力的天线5404,还可以包括能够发送生理信号的天线,例如,也可以构成能够由外部的监视装置确认脉搏、呼吸数、心律、体温等生理信号的监视心脏活动的系统。

[0356] [PC用扩展装置]

上述实施方式所说明的存储装置可以应用于PC(Personal Computer;个人计算机)等计算机、信息终端用扩展装置。

[0357] 图37A示出该扩展装置的一个例子的可以携带且安装有能够储存数据的芯片的设置在PC的外部的扩展装置6100。扩展装置6100例如通过由USB(Universal Serial Bus;通用串行总线)等连接于PC,可以储存数据。注意,虽然图37A示出可携带的扩展装置6100,但是根据本发明的一个方式的扩展装置不局限于此,例如也可以采用安装冷却风机等的较大结构的扩展装置。

[0358] 扩展装置6100包括外壳6101、盖子6102、USB连接器6103及衬底6104。衬底6104被容纳在外壳6101中。衬底6104设置有驱动上述实施方式所说明的存储装置等的电路。例如,衬底6104安装有电子构件4700、控制器芯片6106。USB连接器6103被用作连接于外部装置的接口。

[0359] [SD卡]

上述实施方式所说明的存储装置可以应用于能够安装在信息终端或数码相机等电子设备上的SD卡。

[0360] 图37B是SD卡的外观示意图,图37C是SD卡的内部结构的示意图。SD卡5110包括外

壳5111、连接器5112及衬底5113。连接器5112具有连接到外部装置的接口的功能。衬底5113被容纳在外壳5111中。衬底5113设置有存储装置及驱动该存储装置的电路。例如，衬底5113安装有电子构件4700、控制器芯片5115。此外，电子构件4700及控制器芯片5115的各电路结构不局限于上述记载，可以根据情况适当地改变电路结构。例如，电子构件所具备的写入电路、行驱动器、读出电路等也可以不安装在电子构件4700上而安装在控制器芯片5115上。

[0361] 通过在衬底5113的背面一侧也设置电子构件4700，可以增大SD卡5110的容量。此外，也可以将具有无线通信功能的无线芯片设置于衬底5113。由此，可以进行外部装置与SD卡5110之间的无线通信，可以进行电子构件4700的数据的读出及写入。

[0362] [SSD]

上述实施方式所说明的存储装置可以应用于能够安装在信息终端等电子设备上的固态驱动器(SSD)。

[0363] 图37D是SSD的外观示意图，图37E是SSD的内部结构的示意图。SSD5150包括外壳5151、连接器5152及衬底5153。连接器5152具有连接到外部装置的接口的功能。衬底5153被容纳在外壳5151中。衬底5153设置有存储装置及驱动该存储装置的电路。例如，衬底5153安装有电子构件4700、存储器芯片5155、控制器芯片5156。通过在衬底5153的背面一侧也设置电子构件4700，可以增大SSD5150的容量。存储器芯片5155中安装有工作存储器。例如，可以将DRAM芯片用于存储器芯片5155。控制器芯片5156中安装有处理器、ECC电路等。注意，电子构件4700、存储器芯片5155及控制器芯片5115的各电路结构不局限于上述记载，可以根据情况适当地改变电路结构。例如，控制器芯片5156中也可以设置用作工作存储器的存储器。

[0364] [计算机]

图38A所示的计算机5600是大型计算机的例子。在计算机5600中，多个机架式计算机5620收纳在机架5610中。

[0365] 计算机5620例如可以具有图38B所示的立体图的结构。在图38B中，计算机5620包括主板5630，主板5630包括多个插槽5631以及多个连接端子等。插槽5631插入有个人计算机卡5621。并且，个人计算机卡5621包括连接端子5623、连接端子5624、连接端子5625，它们连接到主板5630。

[0366] 图38C所示的个人计算机卡5621是包括CPU、GPU、存储装置等的处理板的一个例子。个人计算机卡5621具有板5622。此外，板5622包括连接端子5623、连接端子5624、连接端子5625、半导体装置5626、半导体装置5627、半导体装置5628以及连接端子5629。注意，图38C示出半导体装置5626、半导体装置5627以及半导体装置5628以外的半导体装置，关于这些半导体装置的说明，参照以下记载的半导体装置5626、半导体装置5627以及半导体装置5628的说明。

[0367] 连接端子5629具有可以插入主板5630的插槽5631的形状，连接端子5629被用作连接个人计算机卡5621与主板5630的接口。作为连接端子5629的规格例如可以举出PCIe等。

[0368] 连接端子5623、连接端子5624、连接端子5625例如可以被用作用来对个人计算机卡5621供电或输入信号等的接口。此外，例如，可以被用作用来进行个人计算机卡5621所计算的信号的输出等的接口。作为连接端子5623、连接端子5624、连接端子5625各自的规格例如可以举出USB(通用串行总线)、SATA(串行ATA)、SCSI(小型计算机系统接口)等。此外，当从连接端子5623、连接端子5624、连接端子5625输出视频信号时，作为各规格可以举出HDMI

(注册商标)等。

[0369] 半导体装置5626包括进行信号的输入及输出的端子(未图示),通过将端子插入板5622所包括的插座(未图示),可以电连接半导体装置5626与板5622。

[0370] 半导体装置5627包括多个端子,通过将端子以回流焊方式焊接到板5622所具备的布线,可以电连接半导体装置5627与板5622。作为半导体装置5627,例如,可以举出FPGA(Field Programmable Gate Array:现场可编程门阵列)、GPU、CPU等。作为半导体装置5627,例如可以使用电子构件4730。

[0371] 半导体装置5628包括多个端子,通过将端子以回流焊方式焊接到板5622所具备的布线,可以电连接半导体装置5628与板5622。作为半导体装置5628,例如,可以举出存储装置等。作为半导体装置5628,例如可以使用电子构件4700。

[0372] 计算机5600可以用作并行计算机。通过将计算机5600用作并行计算机,例如可以进行人工智能的学习及推论所需要的大规模计算。

[0373] 通过将本发明的一个方式的半导体装置用于上述各种电子设备,可以实现电子设备的小型化、高速化或低功耗化。此外,本发明的一个方式的半导体装置的耗电量少,由此可以降低电路发热。由此,可以减少因该发热而给电路本身、外围电路及模块带来的负面影响。此外,通过使用本发明的一个方式的半导体装置,可以实现高温环境下也稳定工作的电子设备。由此,可以提高电子设备的可靠性。

[0374] 接下来,说明可以应用于计算机5600的计算机系统的结构例子。图39是说明计算机系统700的结构例子的图。计算机系统700包括软件和硬件。注意,有时将计算机系统所包括的硬件称为信号处理装置。

[0375] 构成计算机系统700的软件包括含有器件驱动器的操作系统、中间件、各种开发环境、与AI有关的应用程序(AI应用程序)以及与AI无关的应用程序等。

[0376] 器件驱动器包括用来控制辅助存储装置、显示装置以及打印机等外部连接设备的应用程序等。

[0377] 构成计算机系统700的硬件包括第一运算处理装置、第二运算处理装置以及第一存储装置等。此外,第二运算处理装置包括第二存储装置。

[0378] 作为第一运算处理装置,例如优选使用Noff OS CPU等中央处理器。Noff OS CPU包括使用OS晶体管的存储单元(例如,非易失性存储器),在不需要工作的情况下,具有将所需要的信息储存在存储单元中并停止供应中央处理器电力的功能。通过使用Noff OS CPU作为第一运算处理装置,可以降低计算机系统700的耗电量。

[0379] 作为第二运算处理装置,例如可以使用GPU或FPGA等。优选使用AI OS加速器作为第二运算处理装置。AI OS加速器由OS晶体管构成,并包括积和运算电路等运算单元。AI OS加速器的耗电量比一般的GPU等少。通过使用AI OS加速器作为第二运算处理装置,可以降低计算机系统700的耗电量。

[0380] 作为第一存储装置及第二存储装置,优选使用本发明的一个方式的存储装置。例如,优选使用3D OS NAND型存储装置。3D OS NAND型存储装置可以用作高速缓存器、主存储器以及存贮器。此外,通过使用3D OS NAND型存储装置,容易实现非诺依曼型计算机系统。

[0381] 3D OS NAND型存储装置的耗电量比使用Si晶体管的3D NAND型存储装置少。通过使用3D OS NAND型存储装置作为存储装置,可以降低计算机系统700的耗电量。再加上,3D

OS NAND型存储装置能够被用作通用存储器,由此可以降低构成计算机系统700的零部件个数。

[0382] 构成硬件的半导体装置由包括OS晶体管的半导体装置构成,使得包括中央处理器、运算处理装置以及存储装置的硬件容易被单体化(monolithic)。通过硬件的单体化,不但可以实现小型化、轻量化、薄型化而且还可以容易降低耗电量。

[0383] 本实施方式可以与本说明书所示的其他实施方式及实施例适当地组合。

[0384] (实施方式7)

通过利用本说明书等中示出的OS存储器,可以实现常关闭CPU(也称为“Noff-CPU”)。Noff-CPU是指包括即使栅极电压为0V也处于非导通状态(也称为关闭状态)的常关闭型晶体管的集成电路。

[0385] 在Noff-CPU中,可以停止向Noff-CPU中的不需要工作的电路的供电,使该电路处于待机状态。在供电停止而处于待机状态的电路中,没有电力消耗。因此,Noff-CPU可以将用电量抑制到最小限度。此外,即使供电停止,Noff-CPU也可以长时间保持设定条件等工作所需要的信息。当从待机状态恢复时,只要再次开始向该电路的供电即可,而不需要设定条件等的再次写入。就是说,可以高速从待机状态恢复。如此,Noff-CPU可以降低功耗,而无需大幅度降低工作速度。

[0386] 可以将Noff-CPU例如应用于IoT领域的IoT终端设备(也称为“端点微电脑”)803等小规模系统。

[0387] 图40示出IoT网络的分层结构以及需求规格的倾向。在图40中,作为需求规格示出功耗804以及处理性能805。在IoT网络的分层结构中大致分为上层部的云领域801以及下层部的嵌入式领域802。例如,服务器包括在云领域801中。例如,机械、工业机器人、车载设备、家电产品等包括在嵌入式领域802中。

[0388] 越是上层,对高处理性能的要求越比对低功耗的要求高。因此,在云领域801中,使用高性能CPU、高性能GPU以及大规模SoC(System on a Chip:系统级芯片)等。此外,越是下层,对低功耗的要求越比对高处理性能的要求高,器件个数也急剧增加。本发明的一个方式的半导体装置可以应用于被要求低功耗的IoT终端设备的通信装置。

[0389] 此外,“端点”是指嵌入式领域802的终端区域。例如,在工厂、家电产品、基础设施、农业等中使用的微电脑相当于在端点使用的设备。

[0390] 在图41中,作为端点微电脑的应用例子,示出工厂自动化的示意图。工厂884通过因特网线与云883连接。此外,云883通过因特网线与家庭881及公司882连接。因特网线既可以是有线通信方式,又可以是无线通信方式。例如,在是无线通信方式的情况下,可以将本发明的一个方式的半导体装置用于通信装置并根据第四代移动通信系统(4G)或第五代移动通信系统(5G)等通信规格进行无线通信。工厂884可以通过因特网线与工厂885及工厂886连接。

[0391] 工厂884包括主设备(控制设备)831。主设备831具有与云883连接而进行信息的发送及接收的功能。此外,主设备831通过M2M(机器对机器)接口832与包括在IoT终端设备841的多个工业机器人842连接。作为M2M接口832,例如,可以使用有线通信方式之一的工业以太网(“以太网”是注册商标)、无线通信方式之一的局部5G(Local5G)等。

[0392] 工厂的管理者可以在家庭881或公司882通过云883连接到工厂884而确认工作状

况等。此外,可以进行产品的错误及短缺的检查、放置地方的指示以及节拍时间(takt time)的测量等。

[0393] 近年来,在“智能工厂”的推动下IoT在全球范围被导入工厂。作为智能工厂的实例,已知有如下实例:不仅利用端点微电脑进行检查以及监查,而且进行故障检测或异常预测等。

[0394] 在端点微电脑等小规模系统中,在很多情况下,工作时的系统整体的功耗低,因此CPU的耗电量占比容易变大。由此,在端点微电脑等小规模系统中,NoFF-CPU所带来的待机状态中的功率降低效应变大。另一方面,IoT的嵌入式领域有时被要求快速反应能力,通过使用NoFF-CPU可以高速从待机状态恢复。

[0395] 本实施方式可以与本说明书所示的其他实施方式及实施例适当地组合。

实施例

[0396] 在本实施例中,说明通过器件模拟对作为本发明的一个方式的存储装置进行验证的结果。

[0397] 图42A是在器件模拟中假设的存储器串MS的等效电路。存储器串MS通过串联连接晶体管STr1、晶体管MTr1、晶体管MTr2、晶体管MTr3和晶体管STr2而构成。晶体管STr1包括栅极SGS,晶体管MTr1包括栅极CGT1,晶体管MTr2包括栅极CGT2,晶体管MTr3包括栅极CGT3,晶体管STr2包括栅极SGD。存储器串MS的两端中的晶体管STr1一侧与布线SL连接,晶体管STr2一侧与布线BL连接。

[0398] 在存储器串MS中,晶体管STr1及STr2被用作选择晶体管,晶体管MTr1、晶体管MTr2及晶体管MTr3被用作存储晶体管。晶体管STr1相当于上述实施方式所示的晶体管TrS_1,晶体管STr2相当于上述实施方式所示的晶体管TrS_2。另外,晶体管MTr1、晶体管MTr2及晶体管MTr3分别相当于晶体管Tr_1、晶体管Tr_2及晶体管Tr_3。

[0399] 图42B是在器件模拟中假设的存储器串MS的截面图。器件模拟使用Synopsys公司的TCAD Sentaurus。使用Sentaurus的cylindrical指令,由此假设以轴991为中心轴使图42B所示的二维结构旋转360°的圆柱结构。在器件模拟中假设的结构相当于上述实施方式所示的存储器串100A的结构。

[0400] 作为存储器串MS的沟道假设In-Ga-Zn氧化物(简称为IGZO)。该IGZO相当于上述实施方式所示的半导体112。另外,IGZO假设 $1 \times 10^{17} \text{cm}^{-3}$ 的供体。

[0401] 图42C是放大存储器串MS中的存储晶体管的一部分的图。作为例子,图42C示出晶体管MTr2的放大图。存储器串MS包括被用作隧穿层的SiO_x(4nm)、被用作电荷累积层的SiN_x(5nm)及被用作阻挡层的SiO_x(8nm)。在图42C中,该隧穿层、该电荷累积层及该阻挡层分别相当于绝缘体115(绝缘体115_2)、绝缘体114(绝缘体114_2)及绝缘体113的夹在半导体112与栅极CGT2间的区域。

[0402] 另外,以L表示晶体管MTr1、晶体管MTr2及晶体管MTr3的沟道长度。在图42C中,L表示半导体112与栅极CGT2重叠的区域中的平行于轴991的方向的长度。在本实施例中,将L假设为30nm或60nm。

[0403] 将栅极SGD、栅极SGS、栅极CGT1、栅极CGT2及栅极CGT3的功函数都假设为4.6eV,将布线BL及布线SL的功函数假设为4.0eV。图47及表1示出在器件模拟中假设的结构及物性

值。

[0404] [表1]

	IGZO	SiO _x	SiN _x
E _g [eV]	3	9	5
电子亲和势 [eV]	4.6	0.9	1.9
相对介电常数	15	3.9	7.5
电子迁移率 [cm ² /Vs]	10	-	1.0E-05
空穴迁移率 [cm ² /Vs]	0.01	-	1.0E-05
N _c [1/cm ³]	5.0E+18	-	2.5E+19
N _v [1/cm ³]	5.0E+18	-	2.5E+19

[0405] 在本实施例中,对存储器串MS的写入工作及删除工作进行模拟。

[0406] 图43A示出写入工作中的电压。在图43A中,V_{prog}表示写入电压。施加V_{prog}的时间为3毫秒。在本实施例中,对晶体管MTr2的电荷累积层写入负电荷,而测量写入前后的晶体管MTr2的阈值电压变化(ΔV_{th}) (参照图43B)。

[0407] 图43C示出删除工作中的电压。在图43C中,V_{erase}表示删除电压。施加V_{erase}的时间为0.3毫秒。在本实施例中,预先对晶体管MTr2的电荷累积层假设负电荷,而测量删除前后的晶体管MTr2的阈值电压变化(ΔV_{th}) (参照图43D)。

[0408] 图44A及图44B示出写入工作的模拟结果。图44A示出L=60nm时的结果,图44B示出L=30nm时的结果。各附图的横轴表示图43A的V_{prog},纵轴表示图43B的ΔV_{th}。另外,作为IGZO的厚度设定10nm、15nm、20nm、30nm、40nm这五个条件,来对各情况进行评价。

[0409] 从图44A及图44B的结果可知,与L=60nm的情况相比,ΔV_{th}在L=30nm的情况下更大。另外,可知在L=60nm及L=30nm的各情况下,IGZO厚度越大ΔV_{th}的值越大。也就是说,可确认到:存储晶体管的沟道长度越短且IGZO越厚,写入电压可以越小。

[0410] 从图44B的结果可知,为了在V_{prog}为30V以下的范围内实现0.5V以上的ΔV_{th},IGZO的厚度优选为15nm以上。再者,为了在V_{prog}为30V以下的范围内实现1.0V以上的ΔV_{th},IGZO的厚度优选为30nm以上。

[0411] 注意,在IGZO的厚度过大时,存储器串MS的晶体管不能切换开启状态和关闭状态。另外,在IGZO的厚度过大时,存储器串MS的直径变大,而存储装置的集成度下降。因此,IGZO的厚度优选为100nm以下,更优选为70nm以下,进一步优选为50nm以下。

[0412] 为了说明图44A及图44B的计算结果,图45A及图45B示出作为V_{prog}施加30V时的存储器串MS内的电位分布。图45A示出L=60nm的情况,图45B示出L=30nm的情况。为了明确起见,在图45A及图45B中以同一浓度表示15V以上的电压。

[0413] 图45C示出图45A及图45B所示的虚线X1-X2处的电位分布。也就是说,图45C示出从栅极CGT2经由晶体管MTr2的沟道到达轴991侧的绝缘膜(SiO_x)的电位分布。注意,在图45C中,将夹在IGZO与栅极CGT2间的SiO_x、SiN_x及SiO_x总表示为CTL (参照图42C)。CTL被用作晶体管MTr2的栅极绝缘膜。

[0414] 从图45A至图45C的结果可知,与L=60nm的情况相比,在L=30nm的情况下,晶体管MTr2的沟道成为高电位,晶体管MTr2的栅极绝缘膜(CTL)被施加高电场。这是因为,L越短,BL或SL的高电位由于DIBL (Drain Induced Barrier Lowering) 的影响越容易传到晶体管

MTr2的沟道。其结果是，L越短，可以将电荷更高效地注入到电荷累积层。另外，上述现象IGZO厚度越大越显著发生。这是因为，沟道的厚度越大越容易发生DIBL。基于上述理由，可以说明图44A及图44B的结果。

[0415] 图46A及图46B示出删除工作的模拟结果。图46A示出L=60nm时的结果，图46B示出L=30nm时的结果。各附图的横轴表示图43C的V_{erase}，纵轴表示图43D的 ΔV_{th} 。另外，与图44A及图44B同样，作为IGZO的厚度设定10nm、15nm、20nm、30nm、40nm这五个条件，来对各情况进行评价。

[0416] 根据图46A及图46B的结果可确认到，无论L=30nm还是L=60nm，存储器串MS的删除工作都正常地进行。另外，可确认到删除工作不受L的值、IGZO厚度的影响。

[0417] 以上，根据本实施例所示的器件模拟的结果可确认到，通过使用作为本发明的一个方式的存储装置，可以正常地进行数据的写入及删除。

[符号说明]

[0418] 100:存储器串、101:导电体、102:绝缘体、103:导电体、104:导电体、105:绝缘体、106:导电体、107:绝缘体、108:导电体、110:结构体、111:绝缘体、112:半导体、113:绝缘体、114:绝缘体、115:绝缘体、121:绝缘体、122:导电体、123:绝缘体、124:导电体、125:导电体、126:绝缘体、131:中心轴、135:导电体、136:绝缘体。

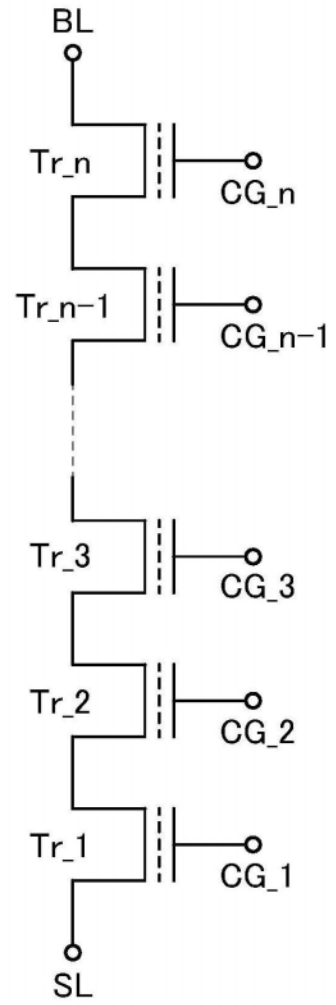
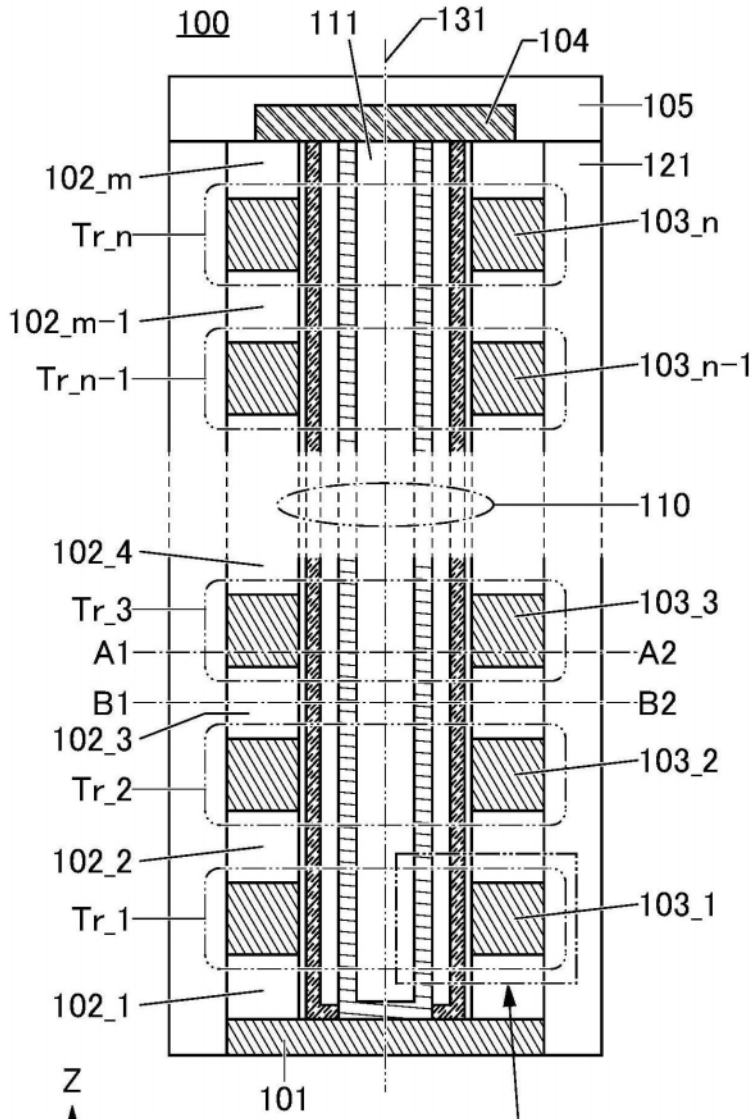


图1B

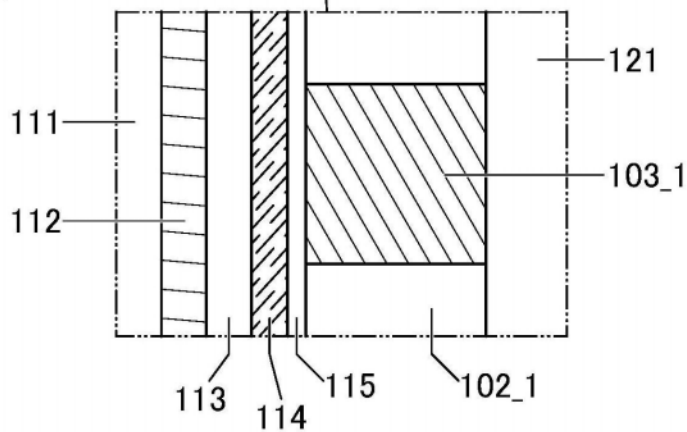
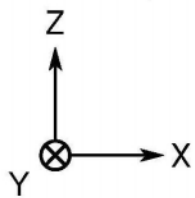


图1A

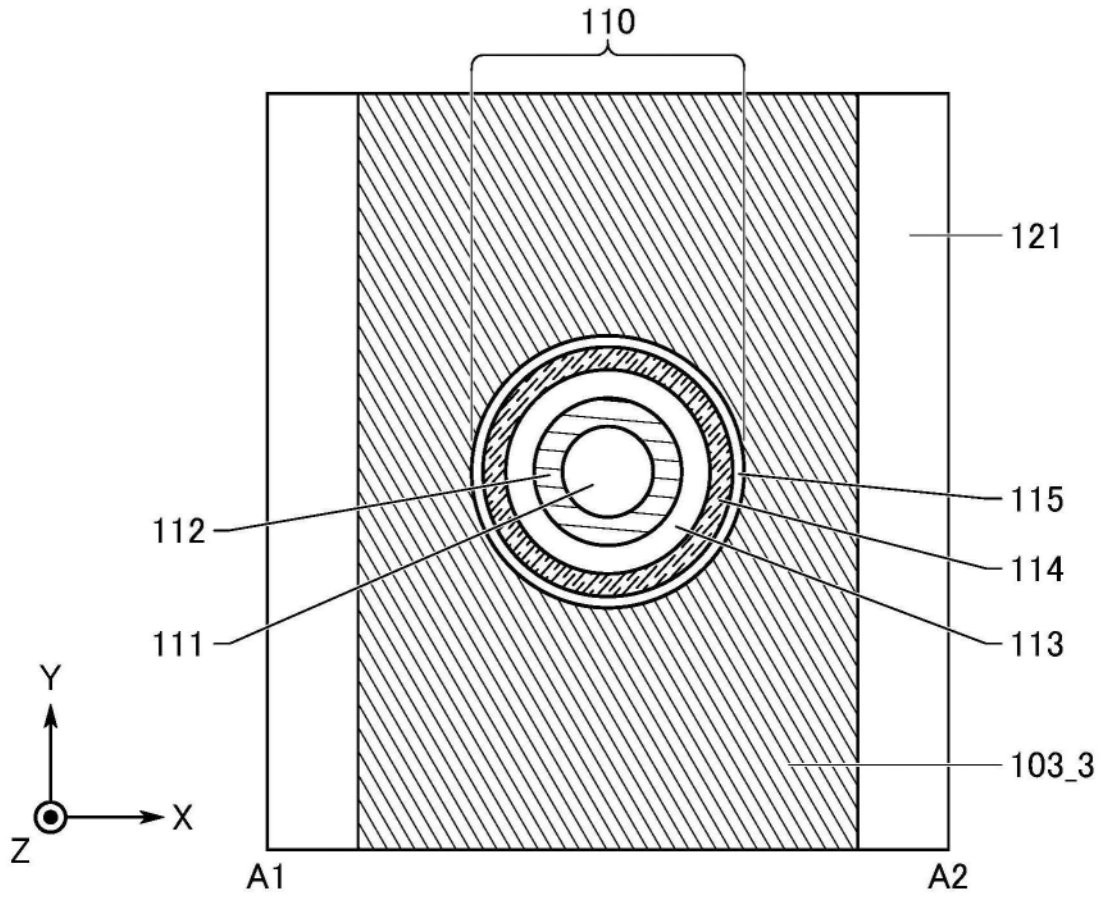


图2A

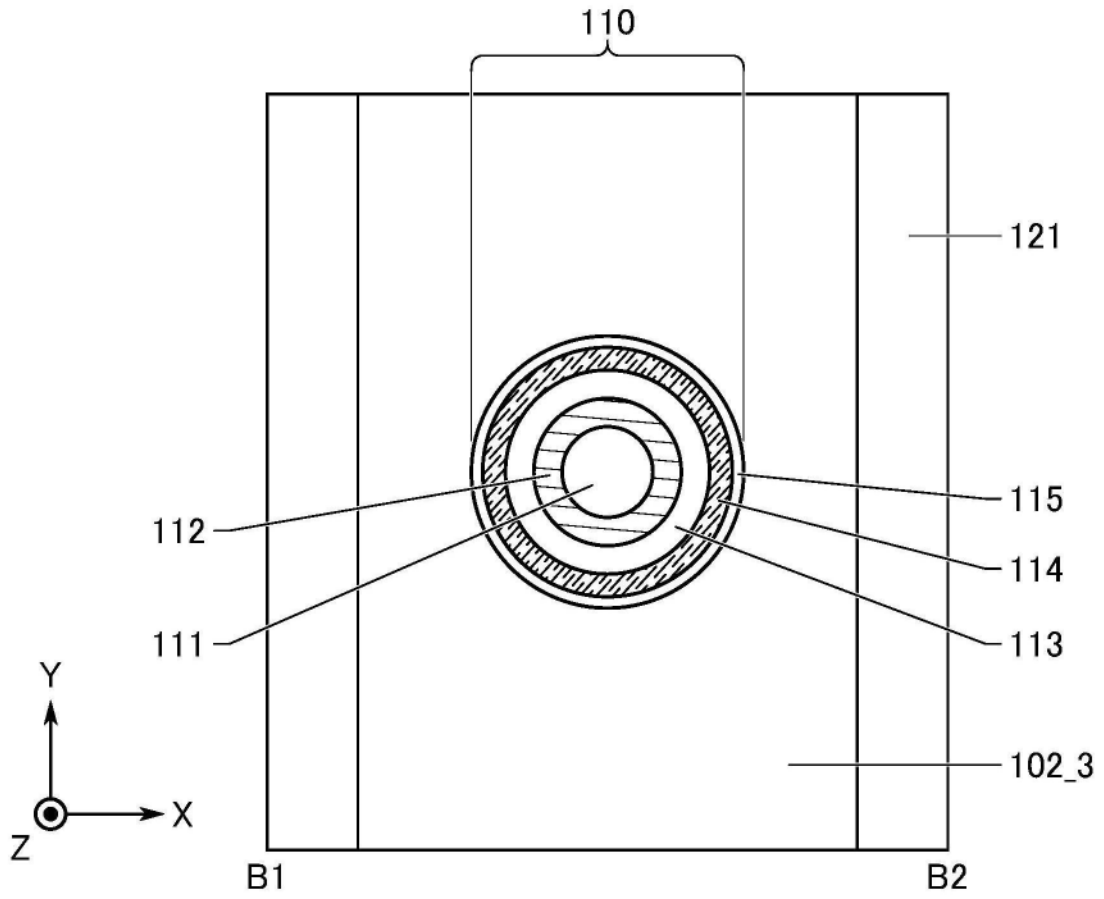


图2B

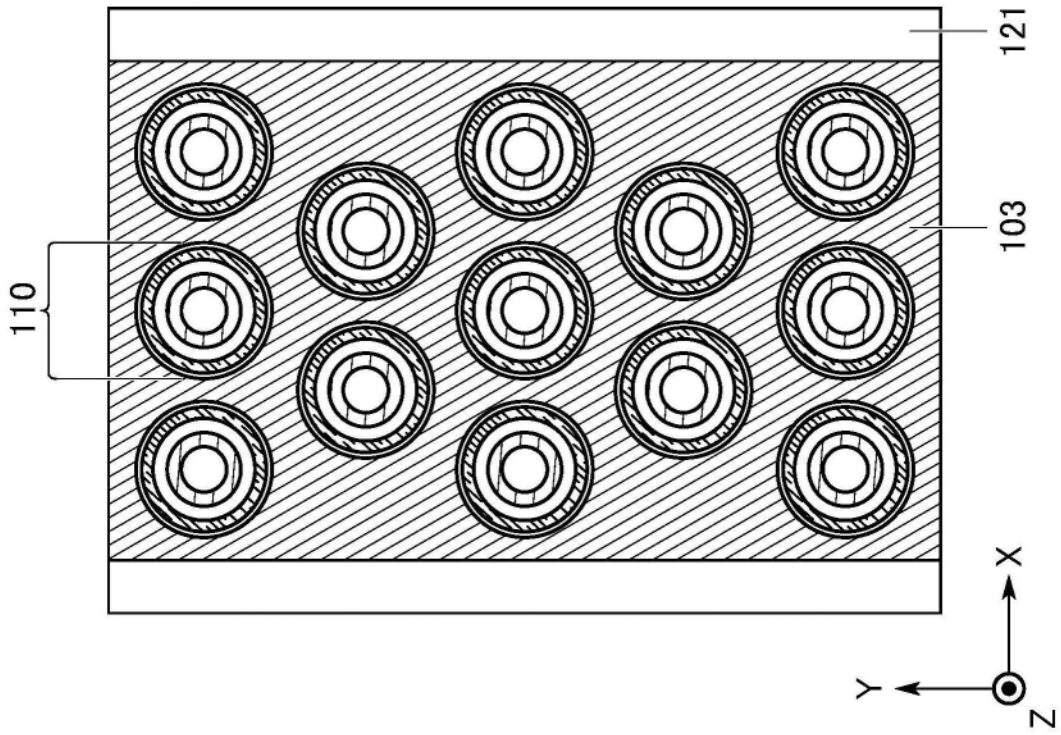


图3A

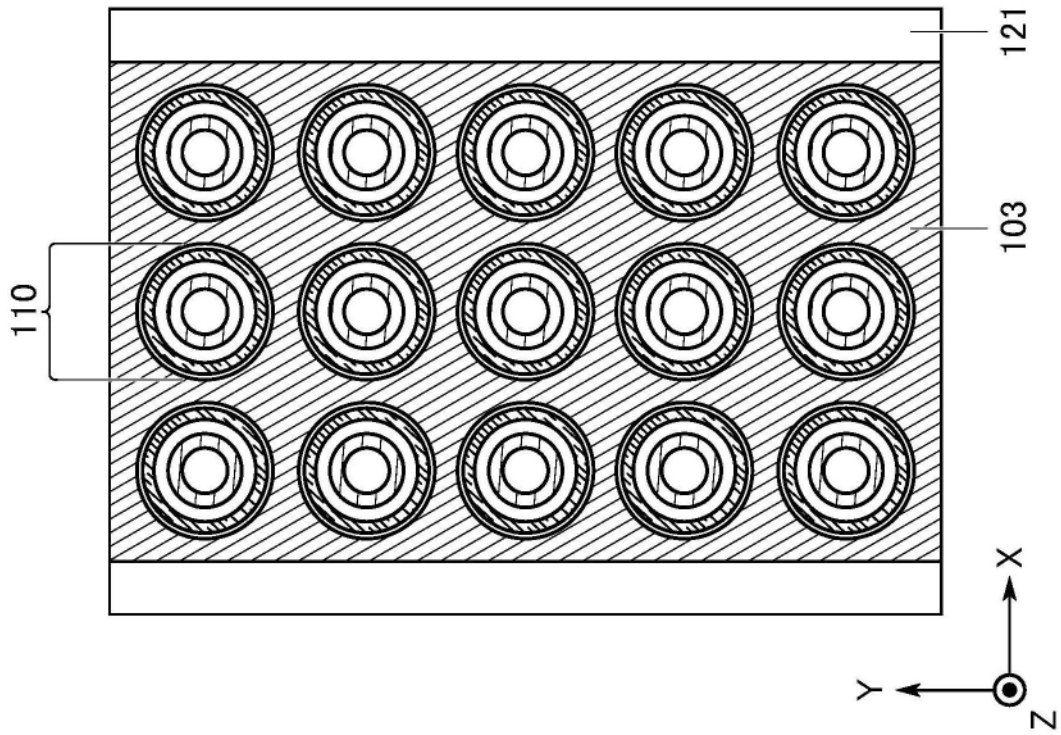


图3B

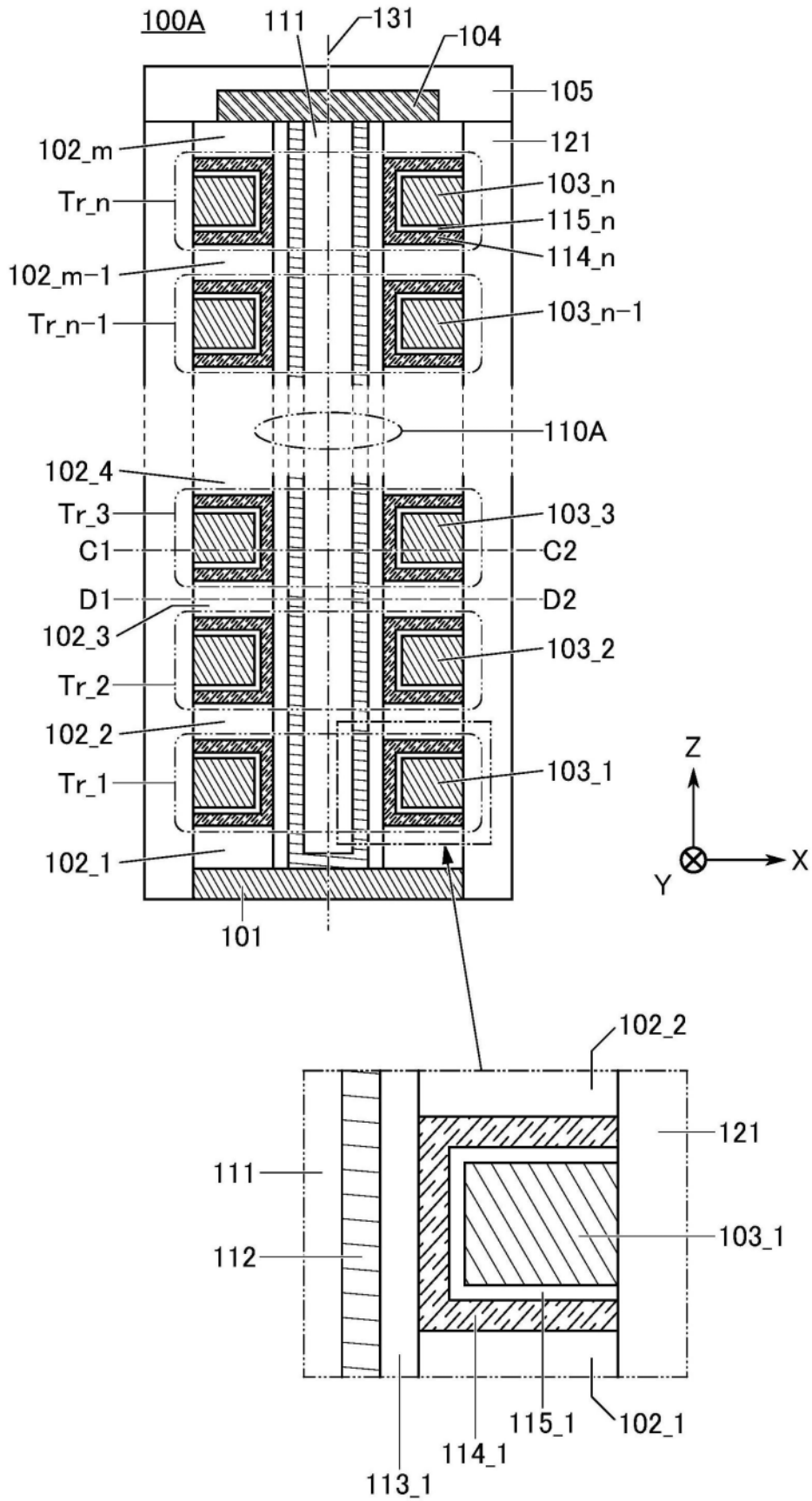


图4

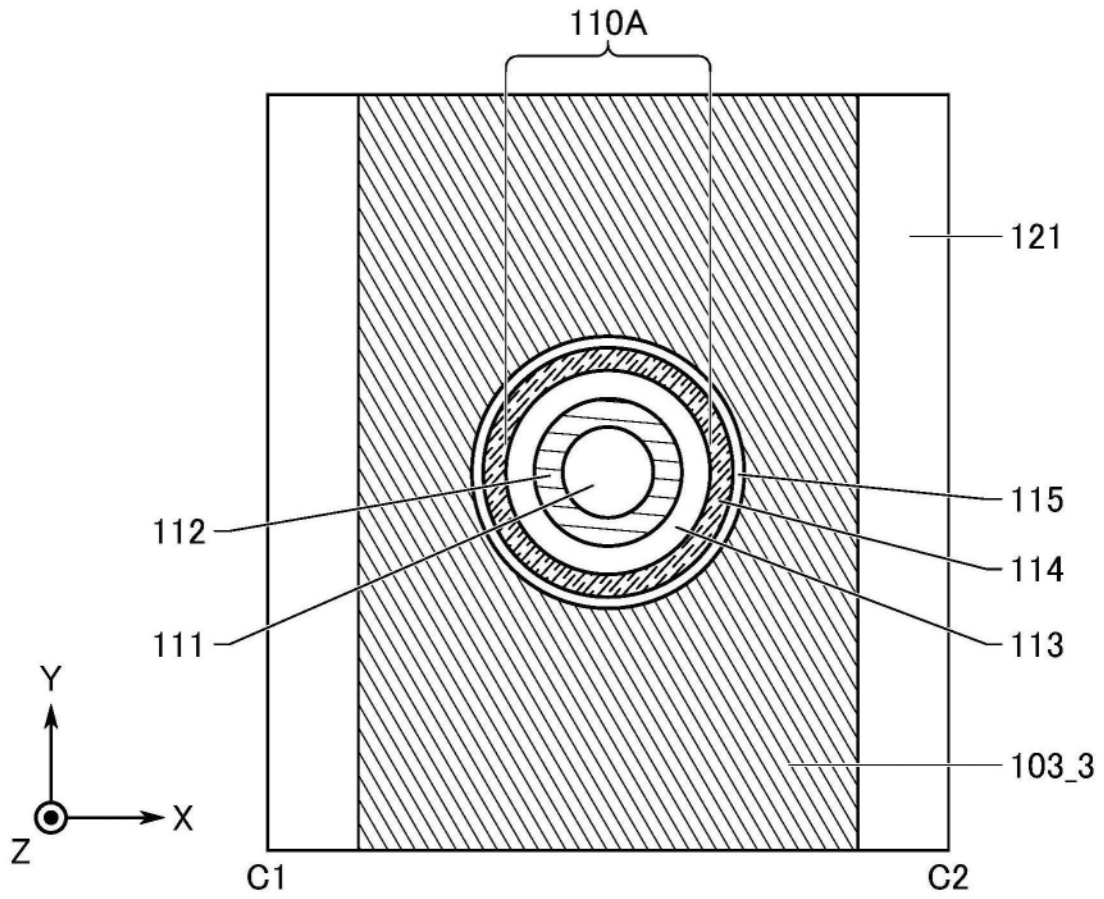


图5A

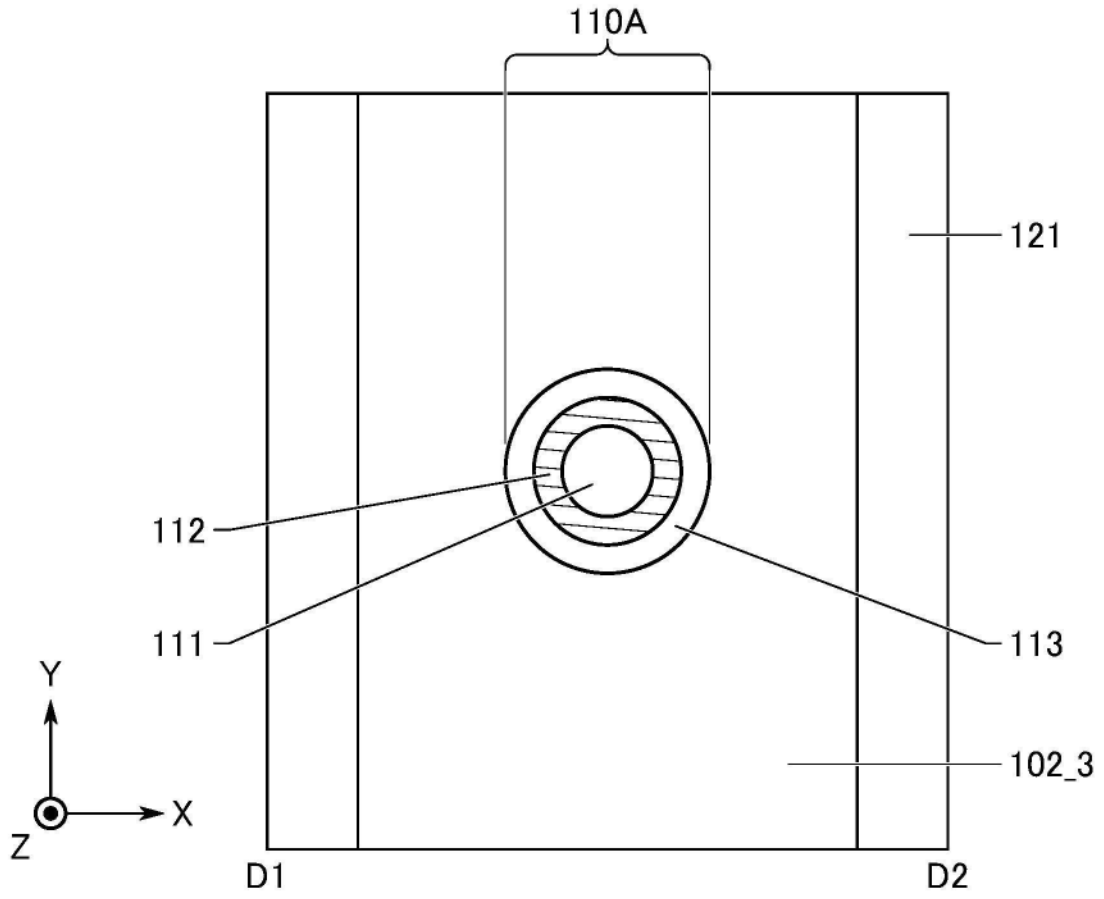


图5B

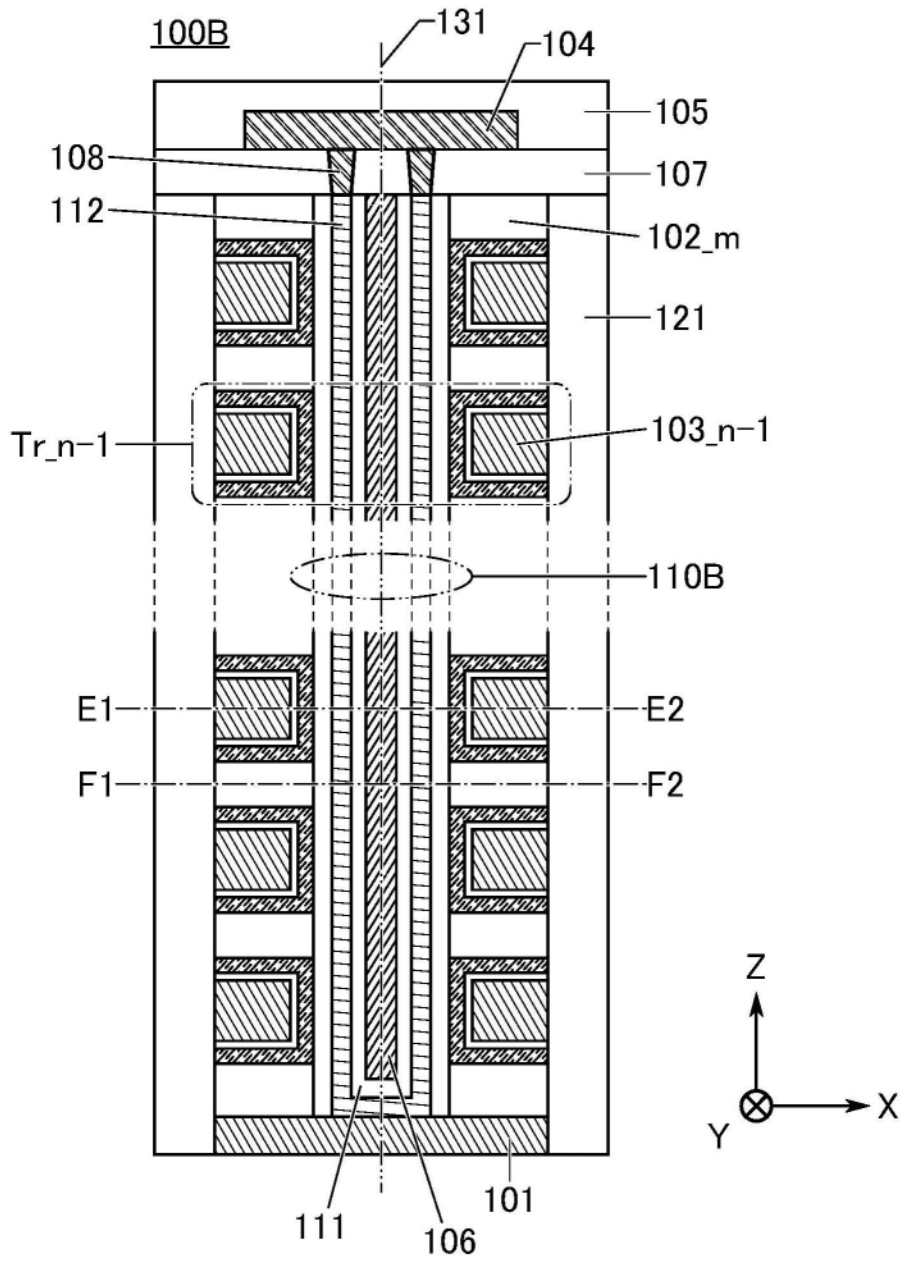


图6

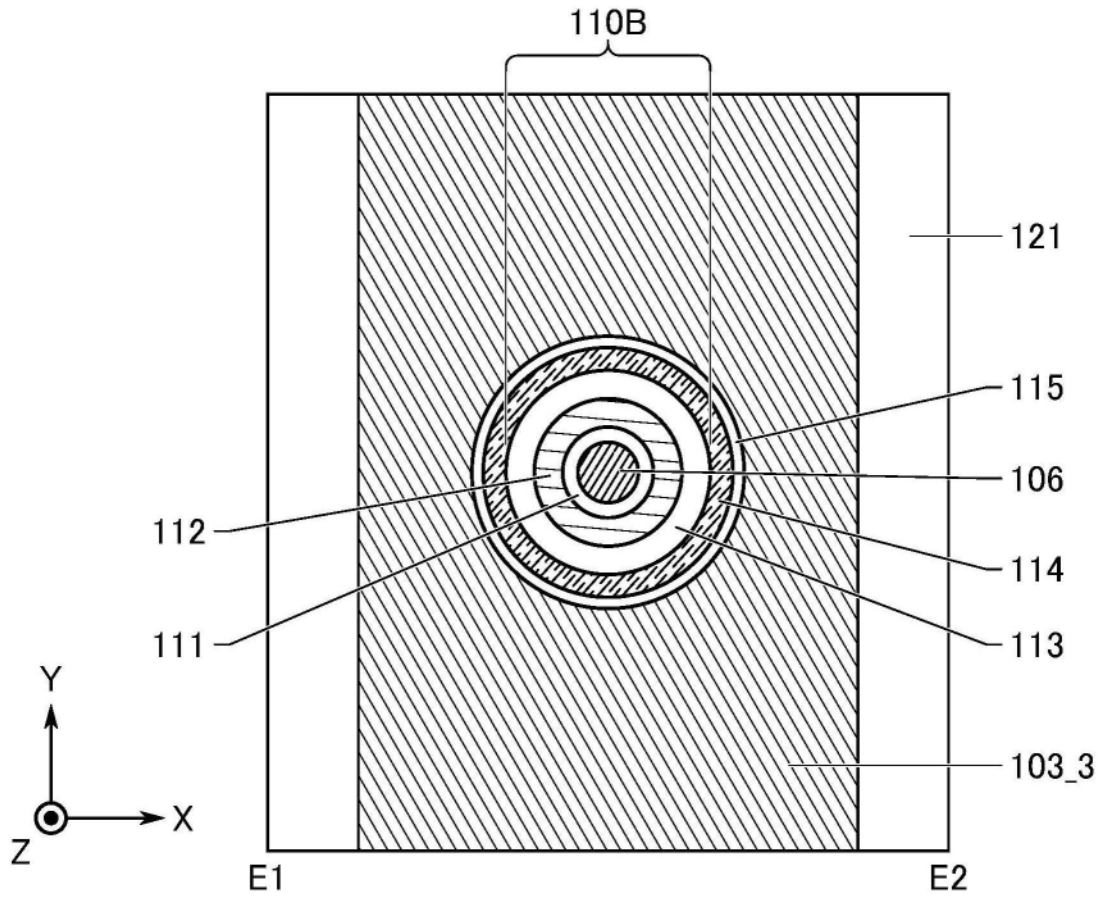


图7A

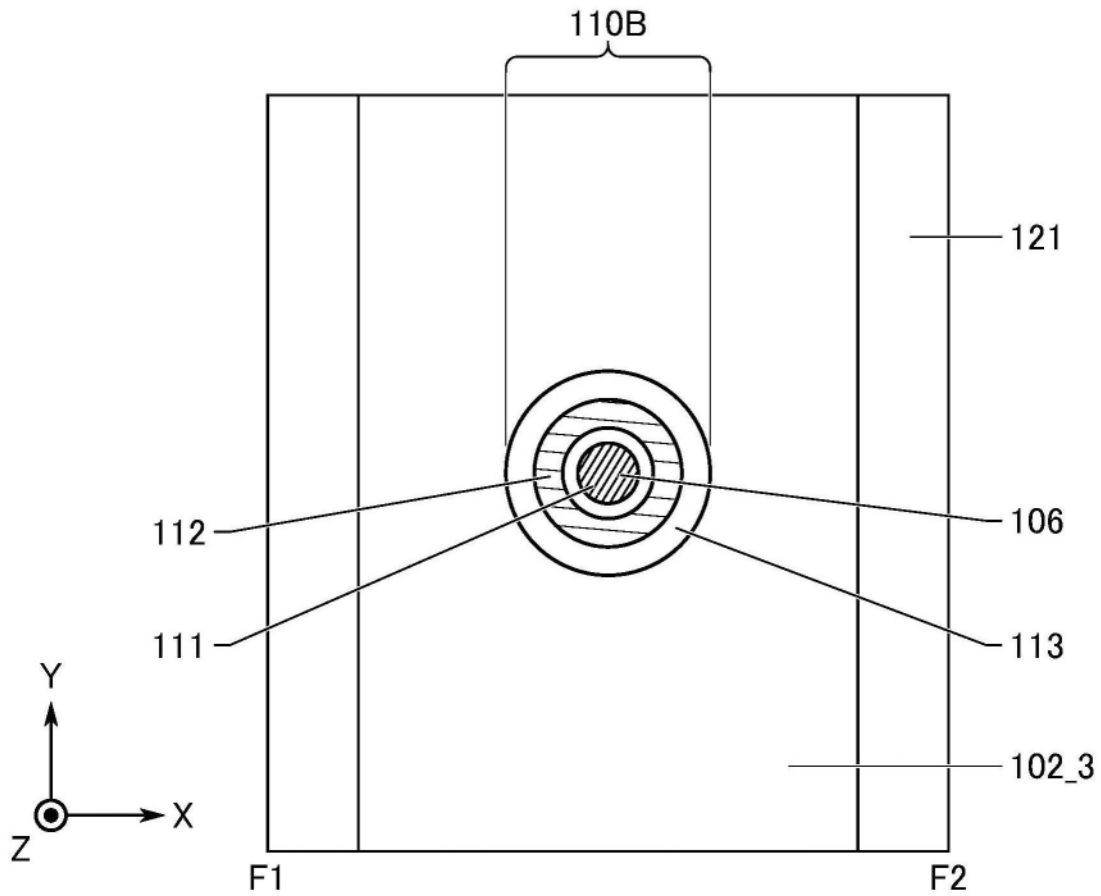


图7B

中间状态
新的边界区域

Amorphous (无定形)	Crystalline (结晶性)	Crystal (结晶)
<ul style="list-style-type: none"> ▪ completely amorphous 	<ul style="list-style-type: none"> ▪ CAAC ▪ nc ▪ CAC <p>excluding single crystal and poly crystal</p>	<ul style="list-style-type: none"> ▪ single crystal ▪ poly crystal

图8A

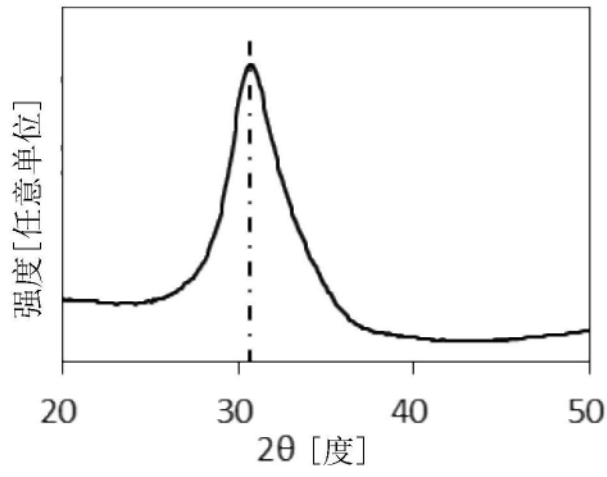


图8B

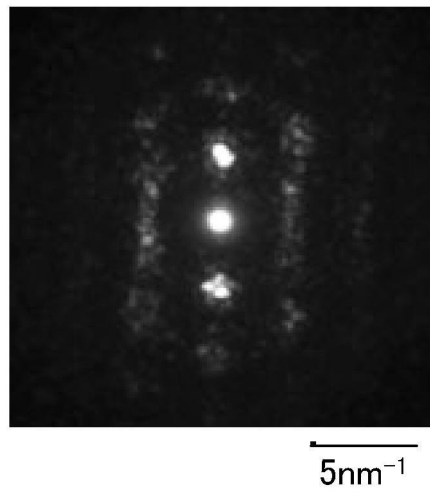


图8C

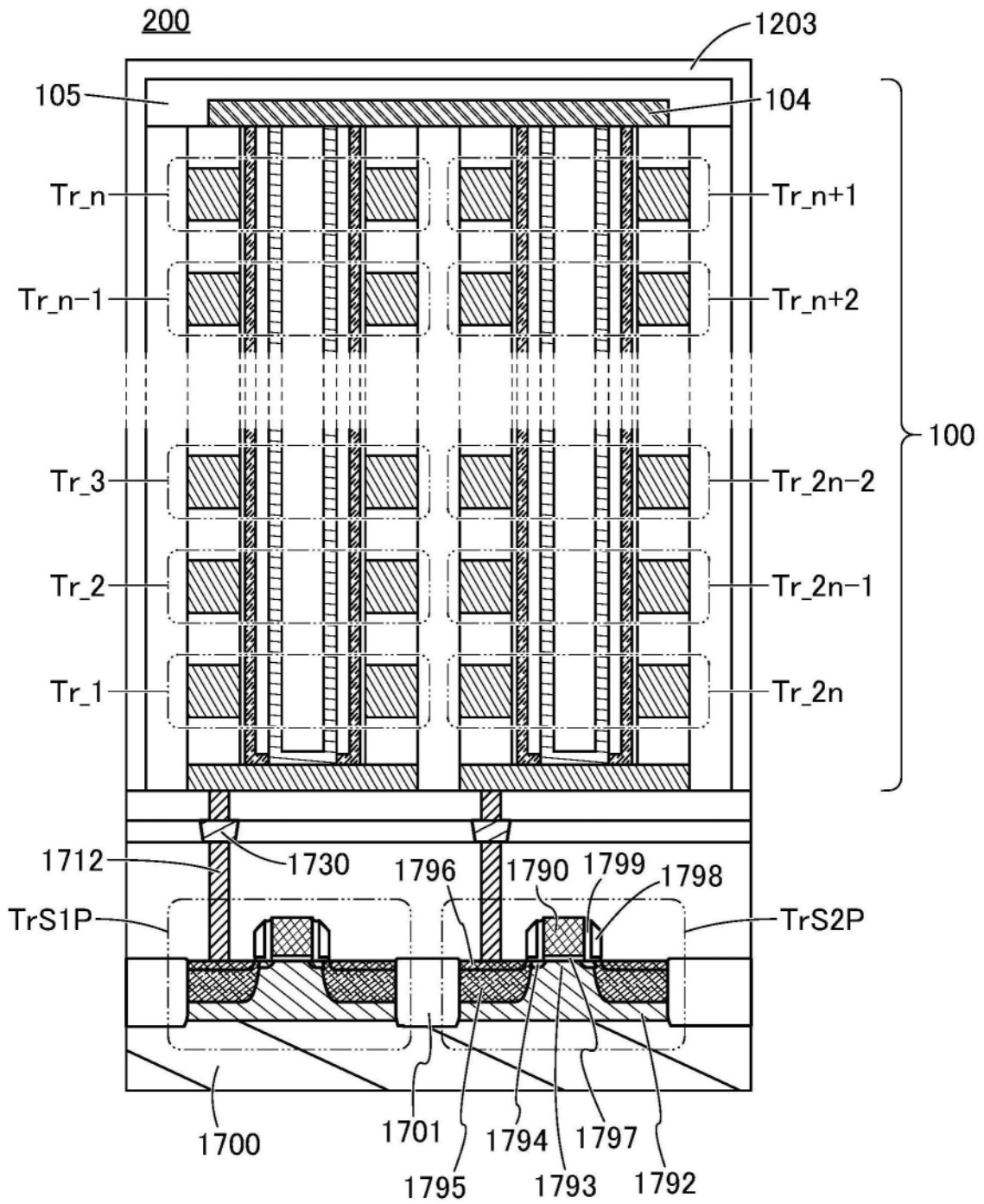


图9A

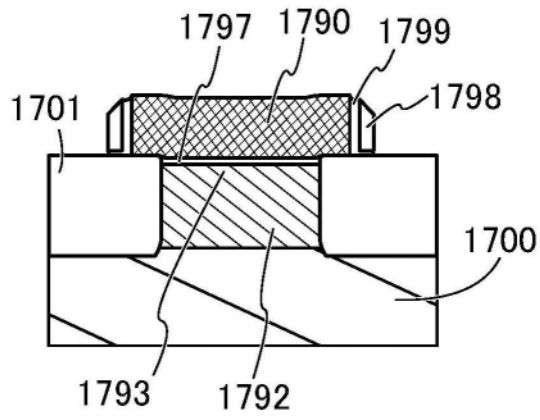


图9B

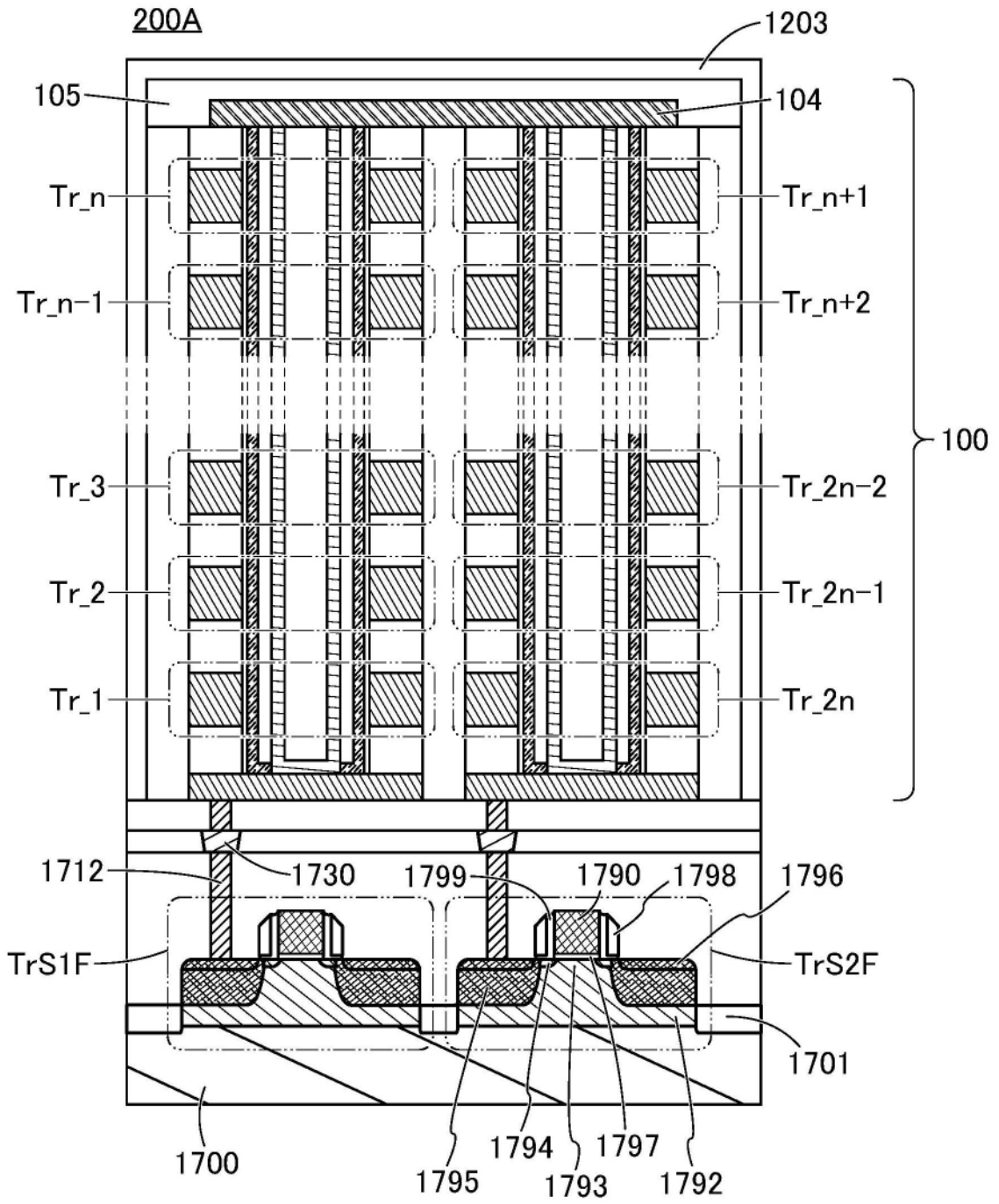


图10A

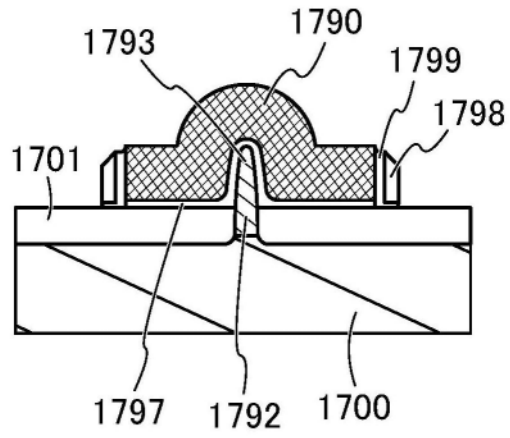


图10B

200 (200A)

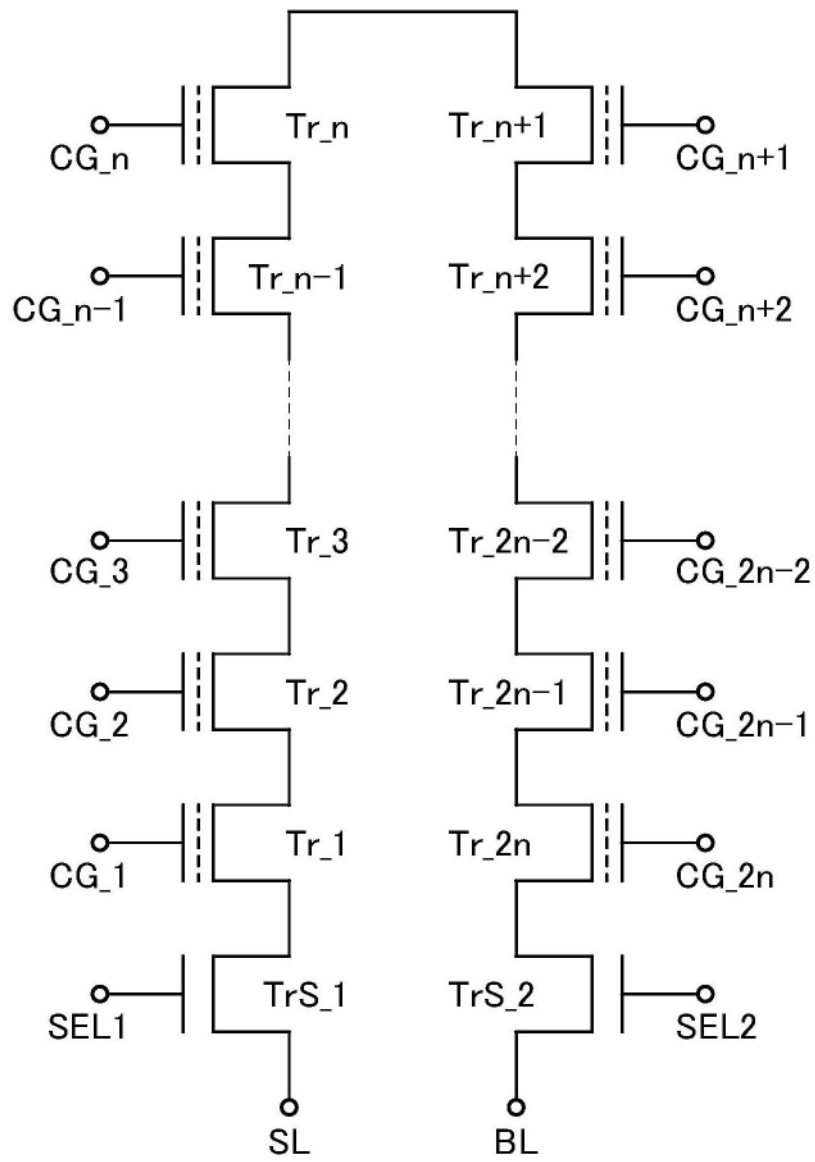


图11

250

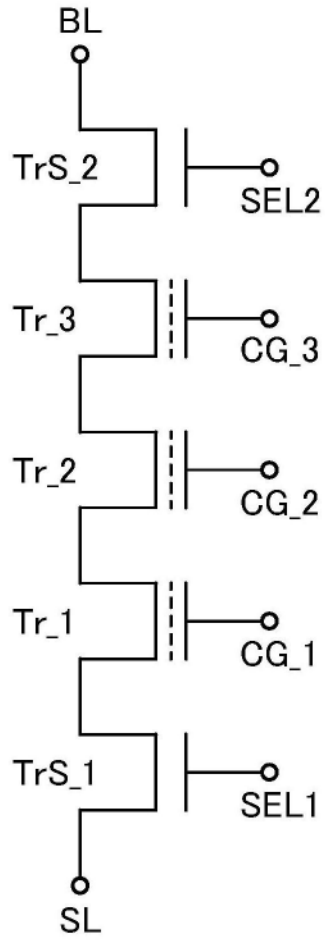


图12A

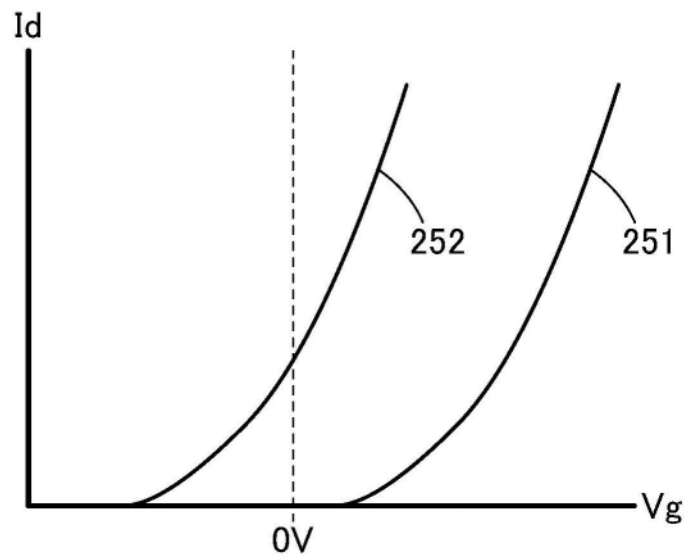


图12B

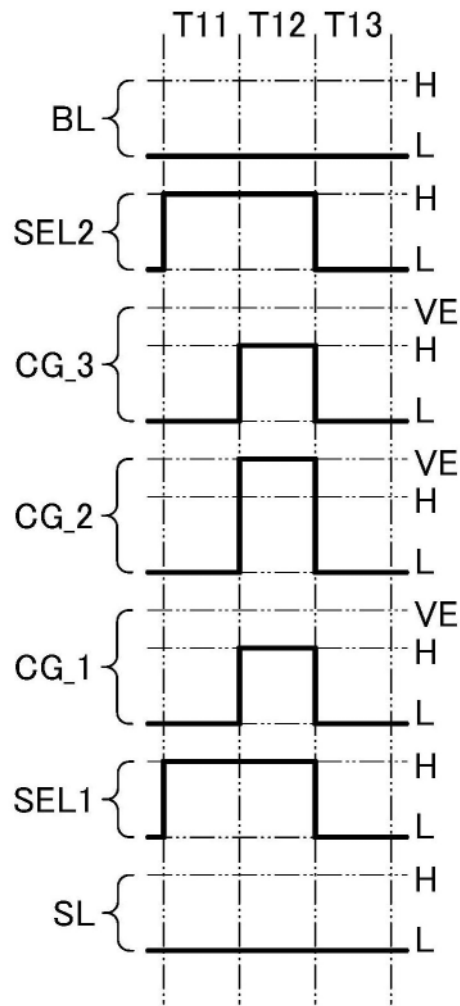


图13A

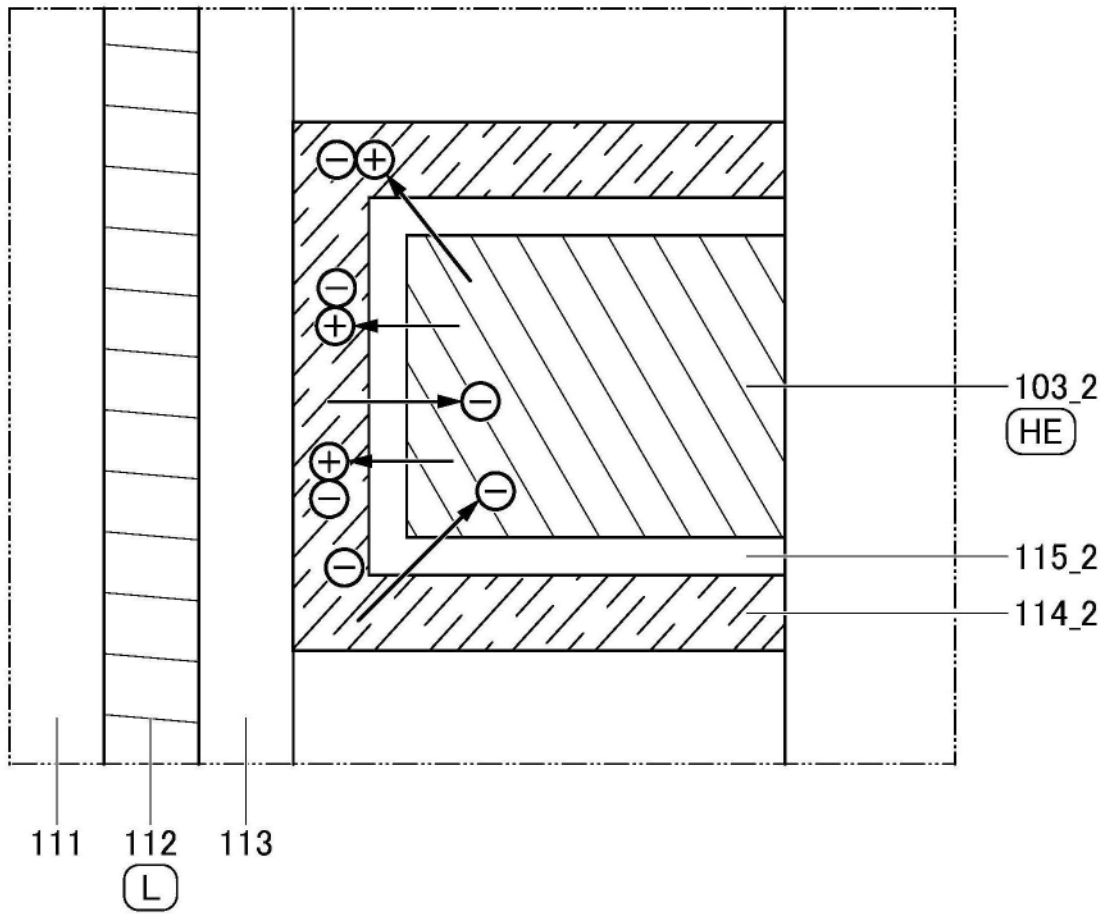


图14A

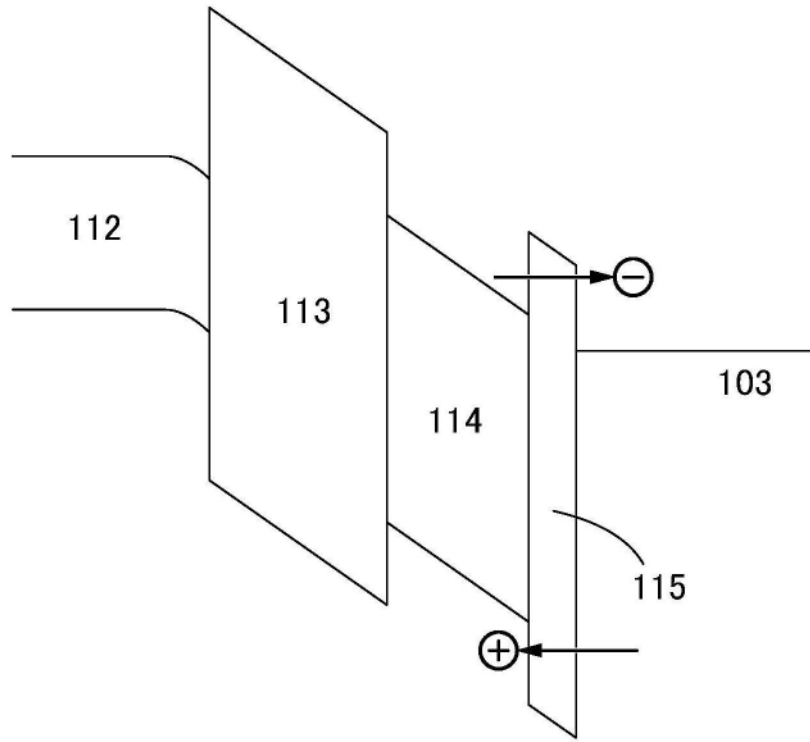


图14B

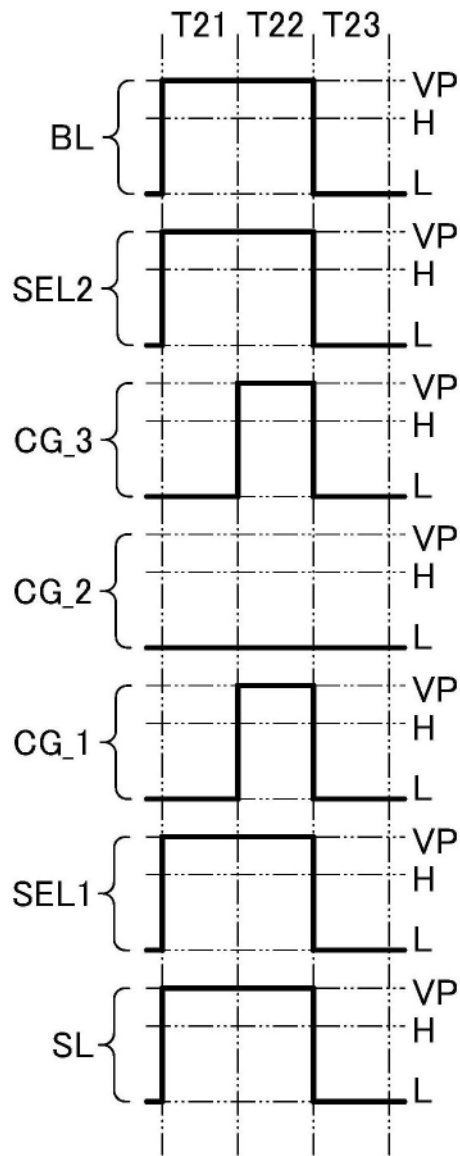


图15A

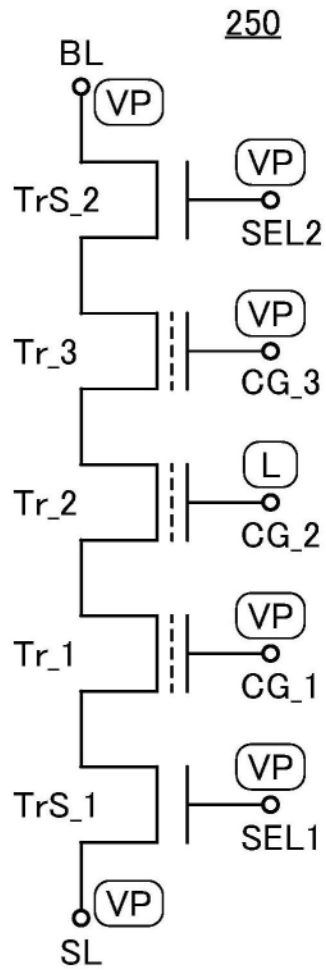


图15B

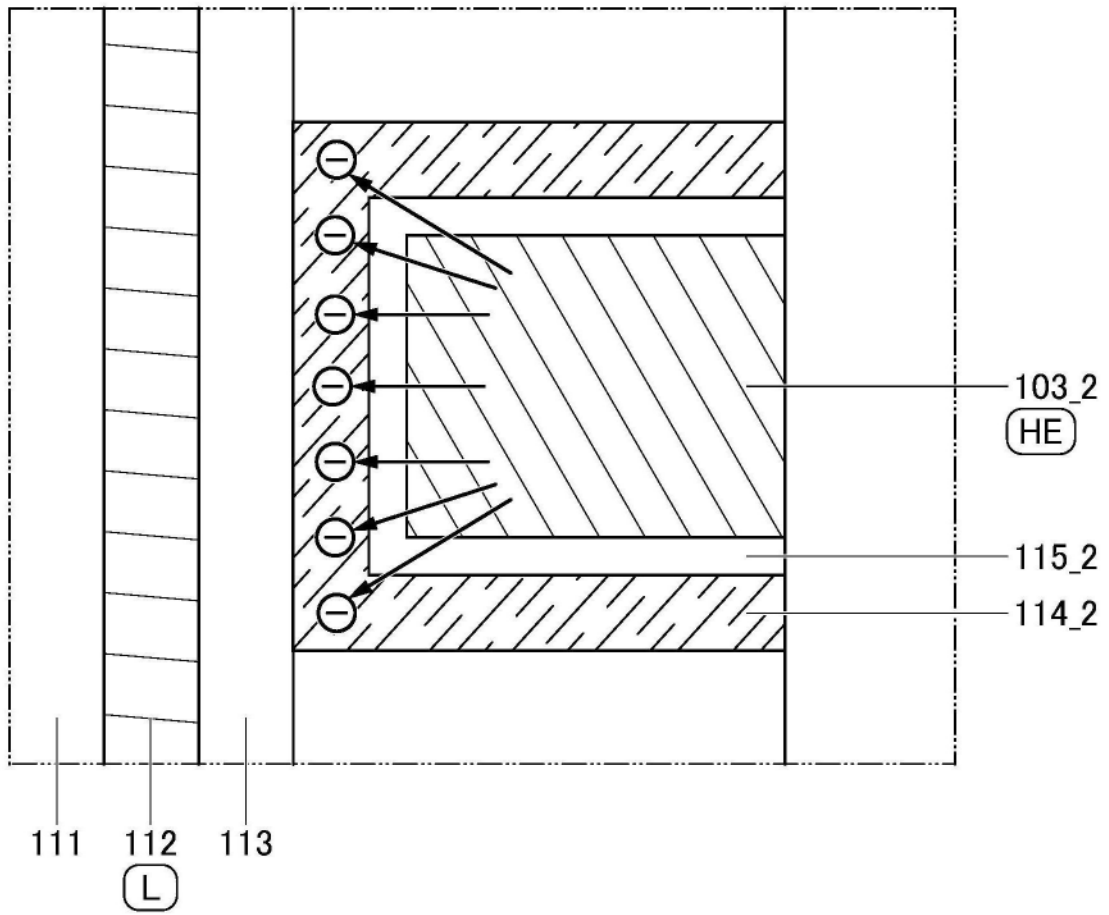


图16A

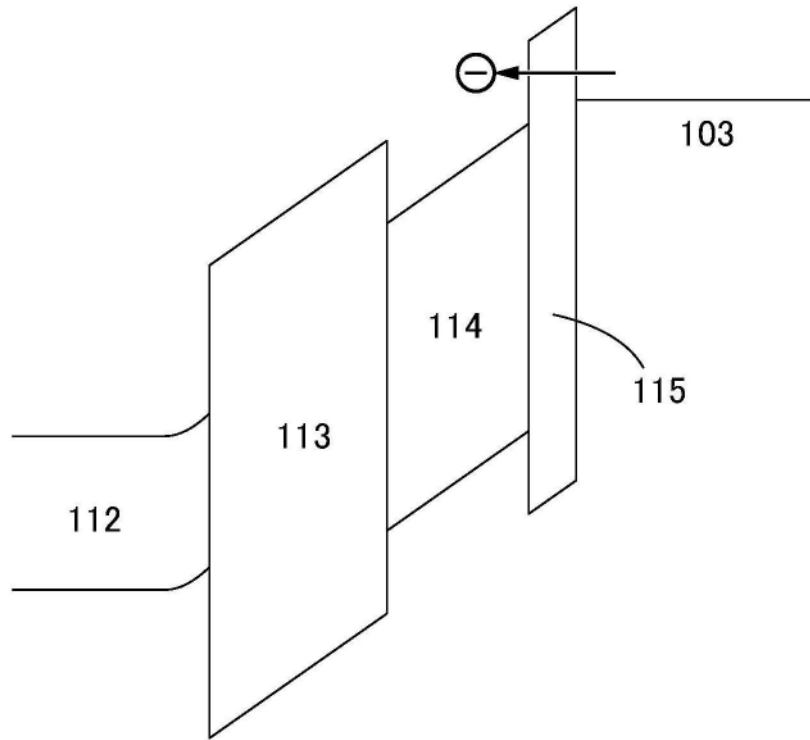


图16B

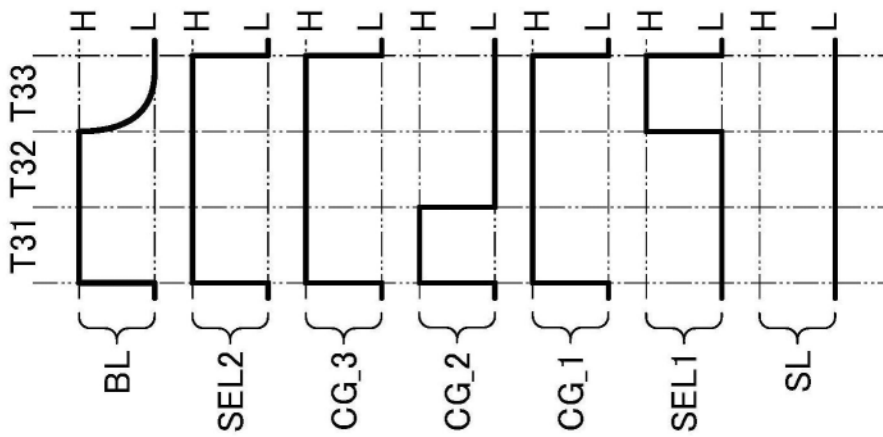


图17A

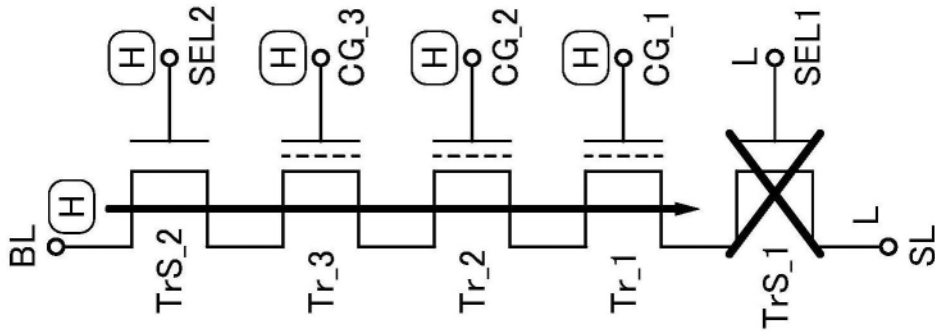


图17B

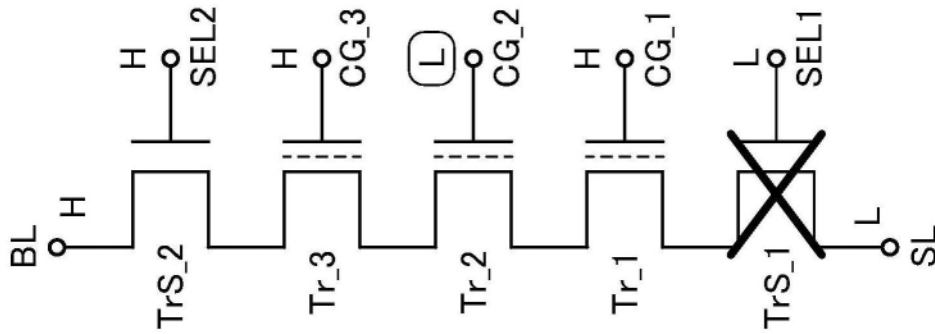


图17C

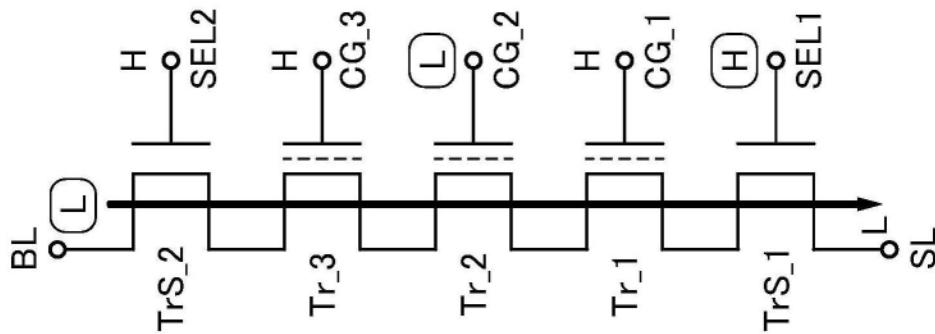


图17D

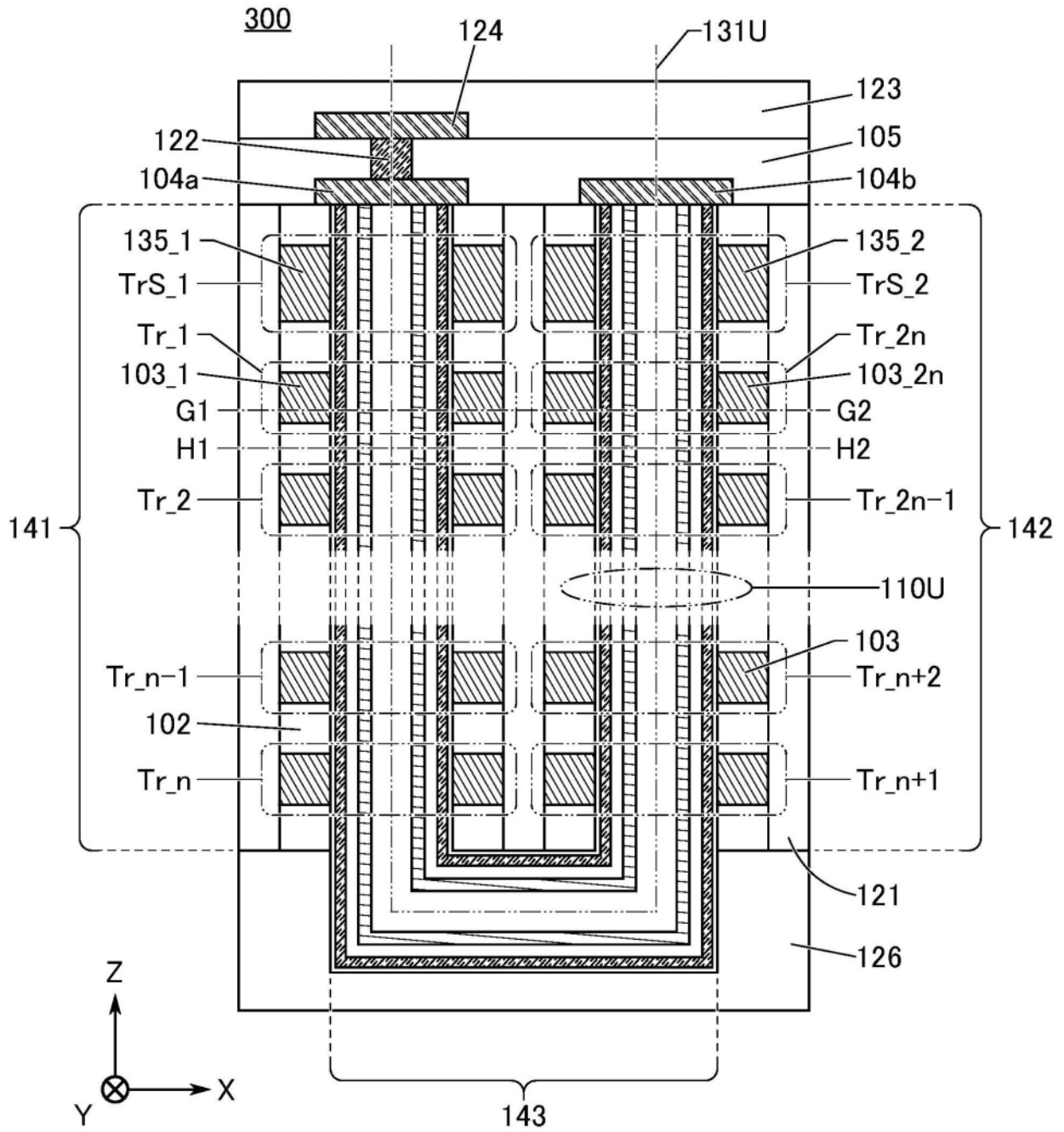


图18

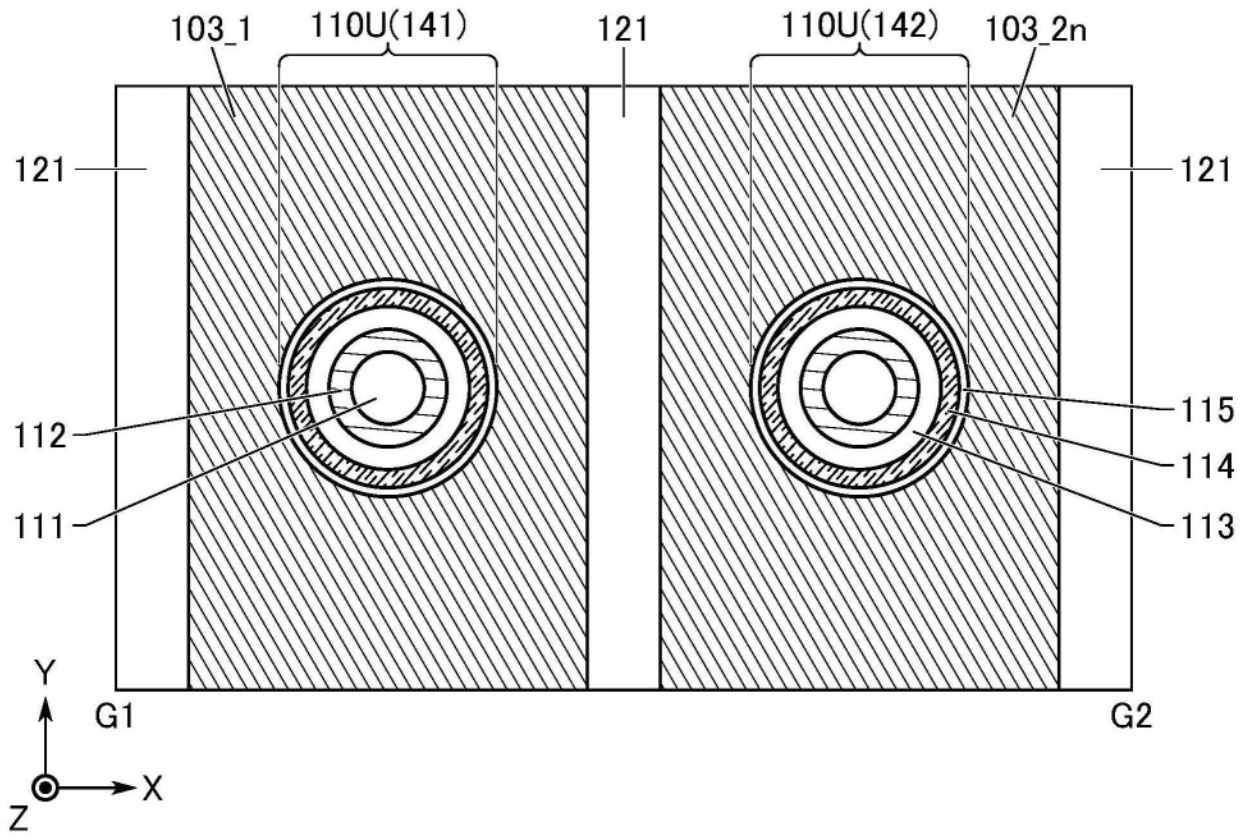


图19A

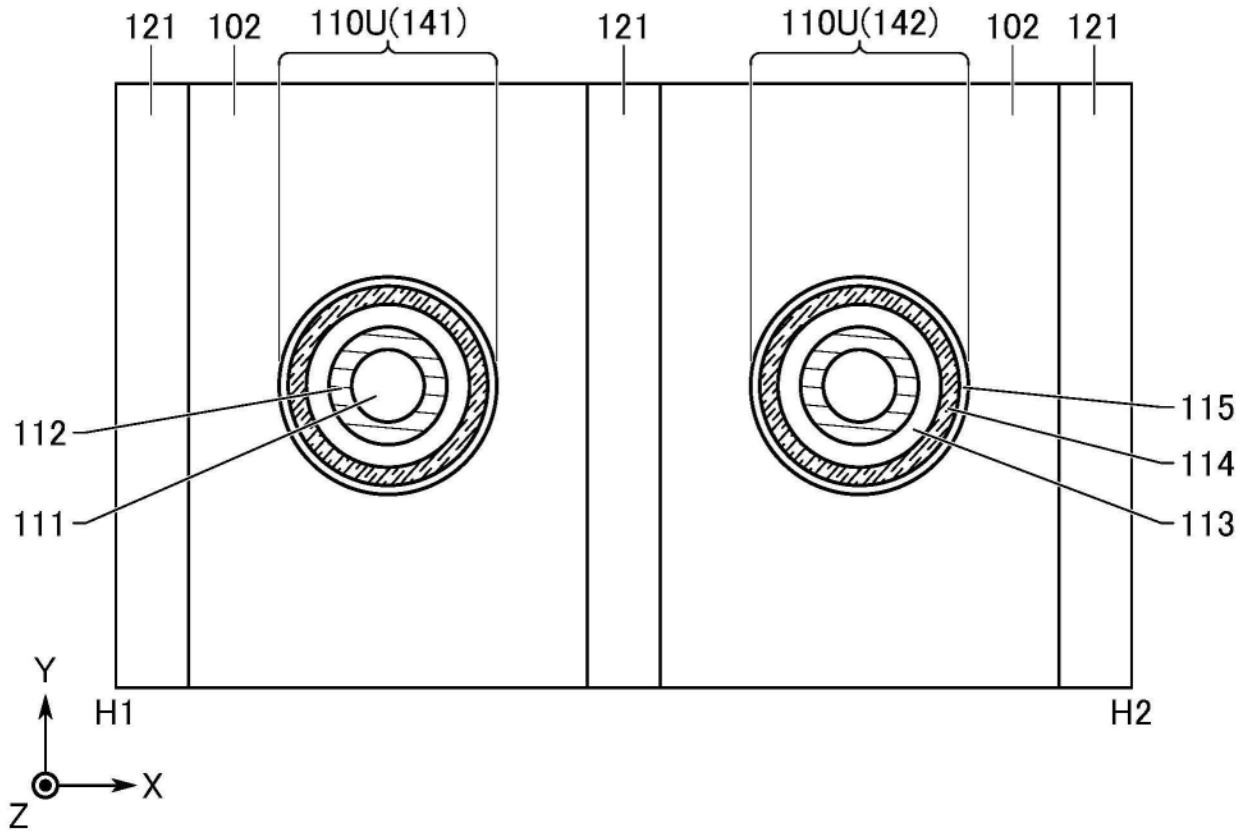


图19B

300

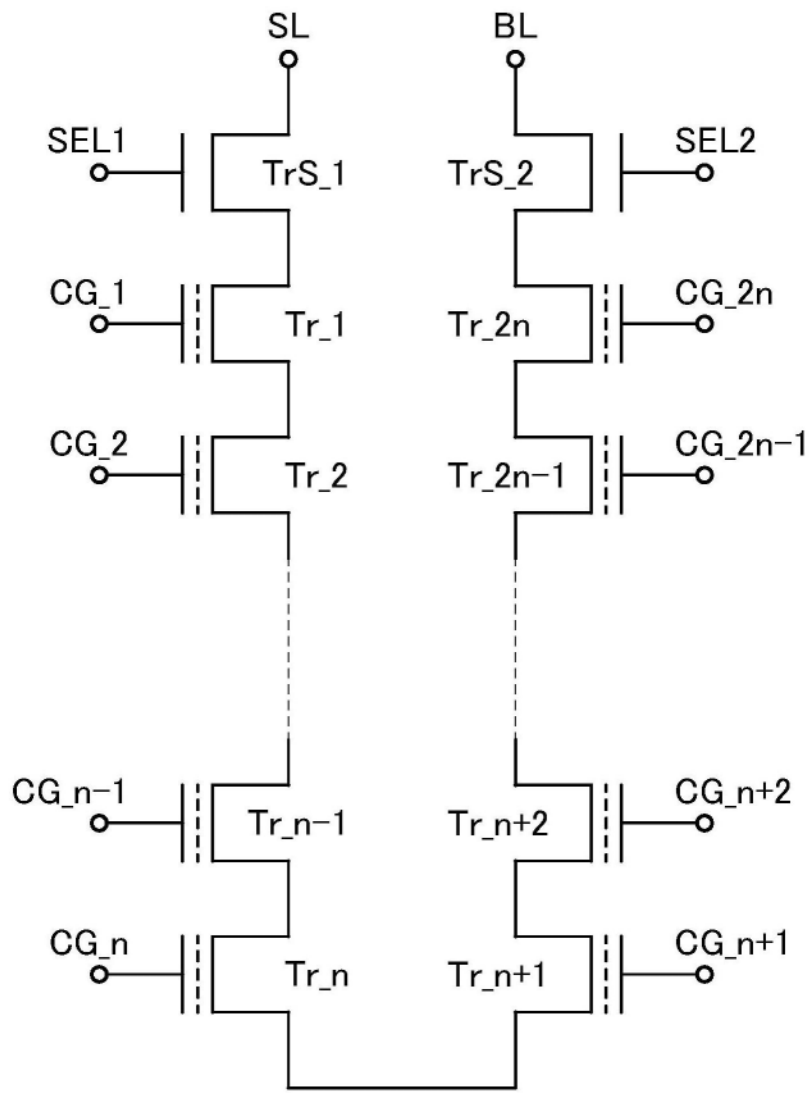


图20

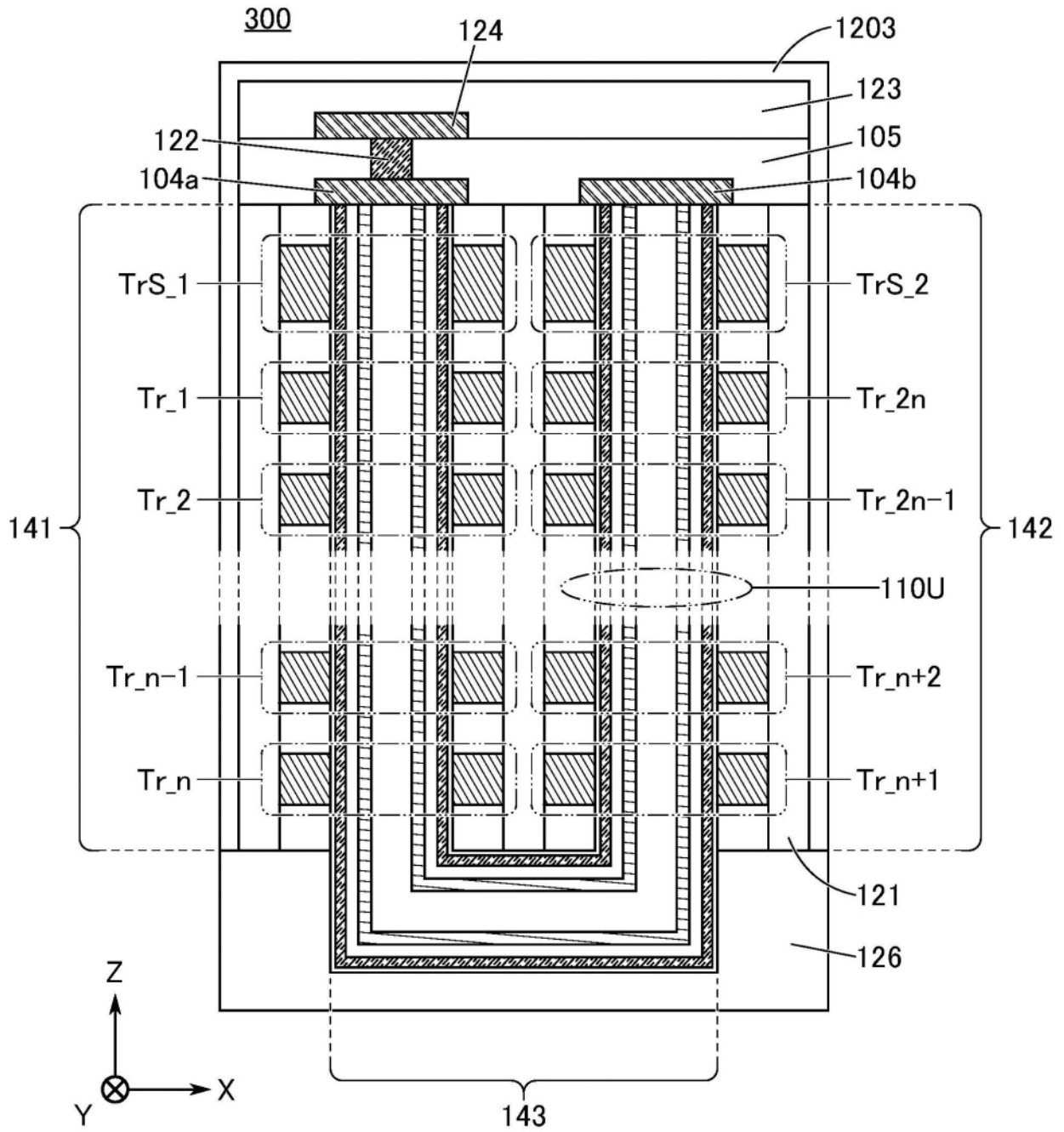


图21

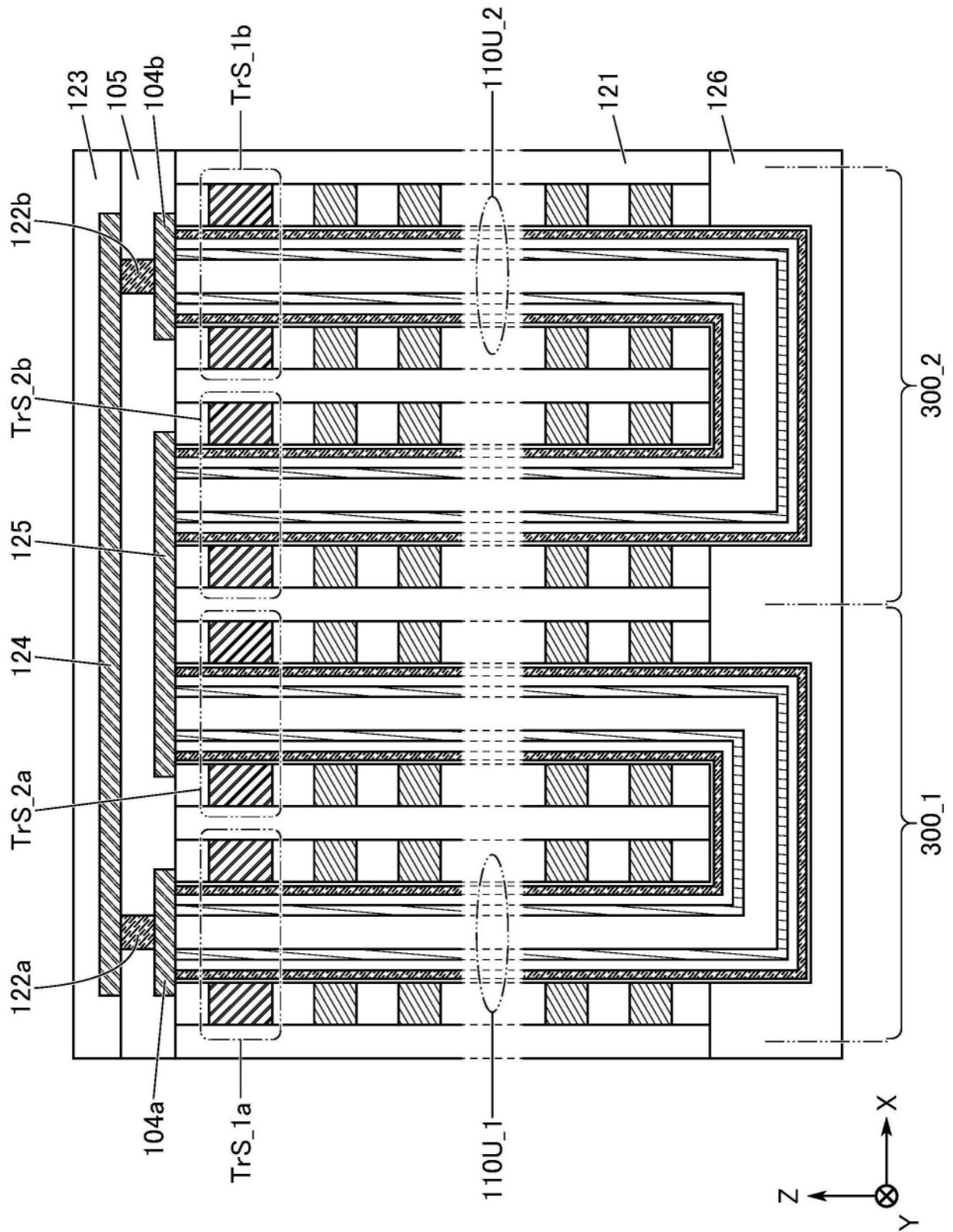


图22

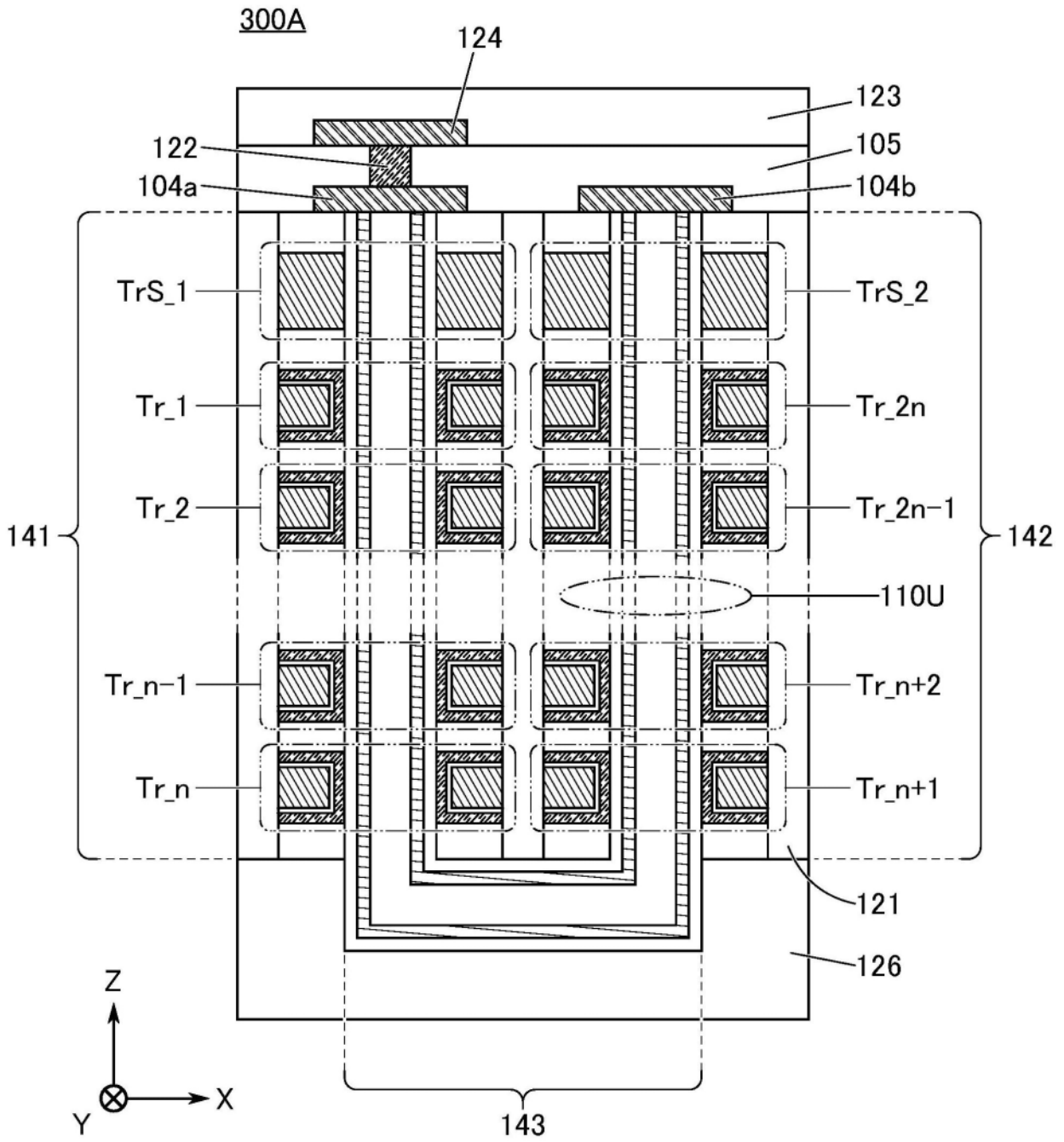


图23

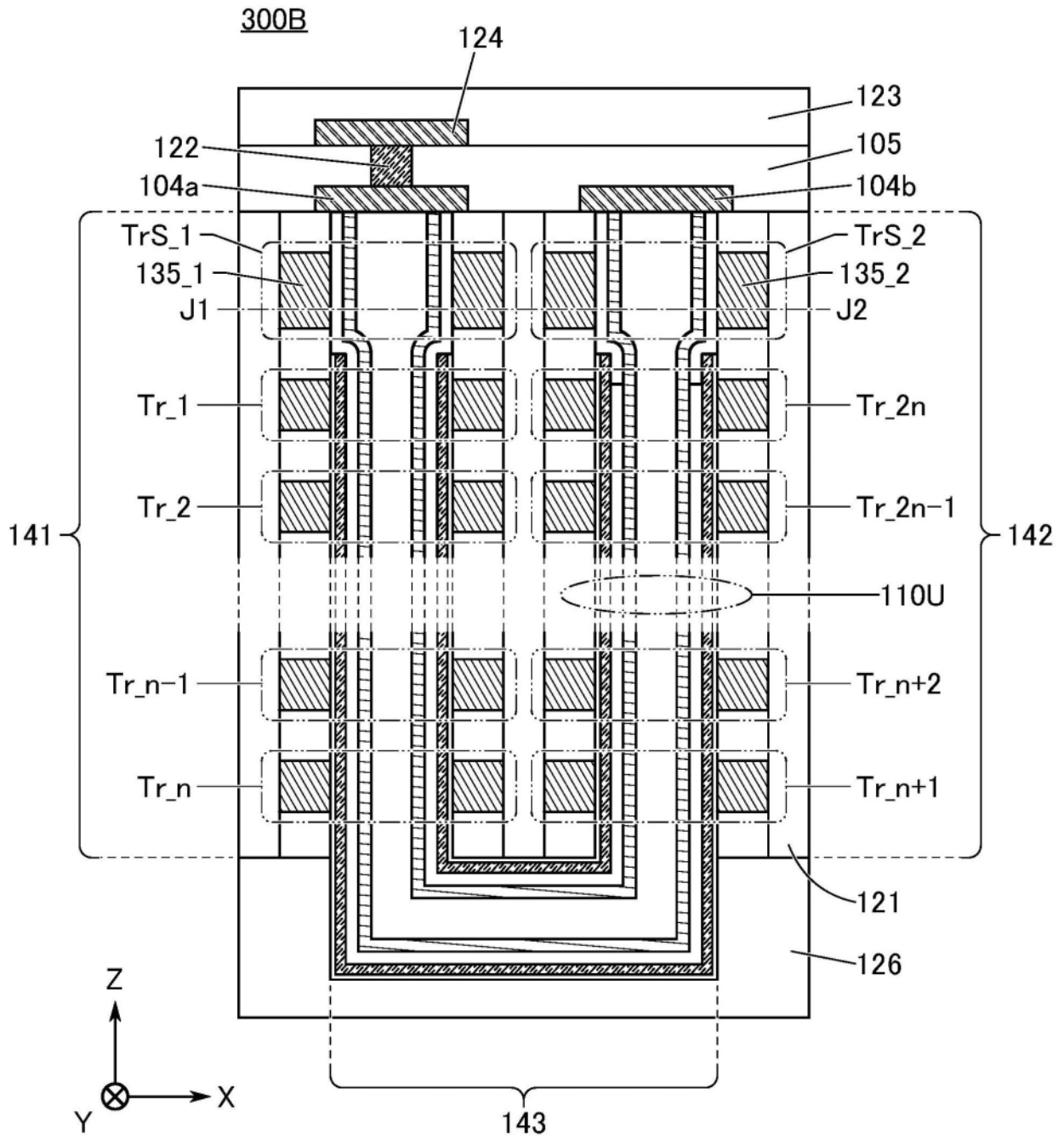


图24

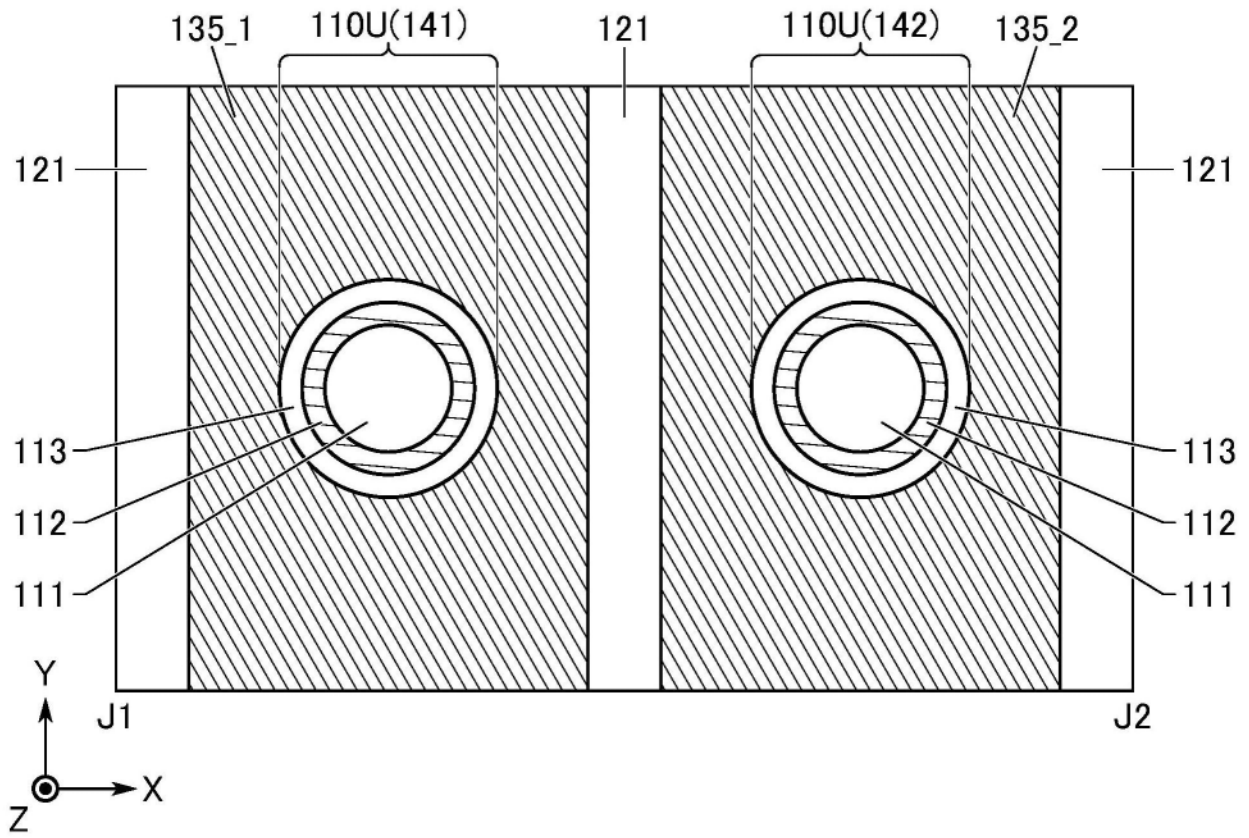


图25

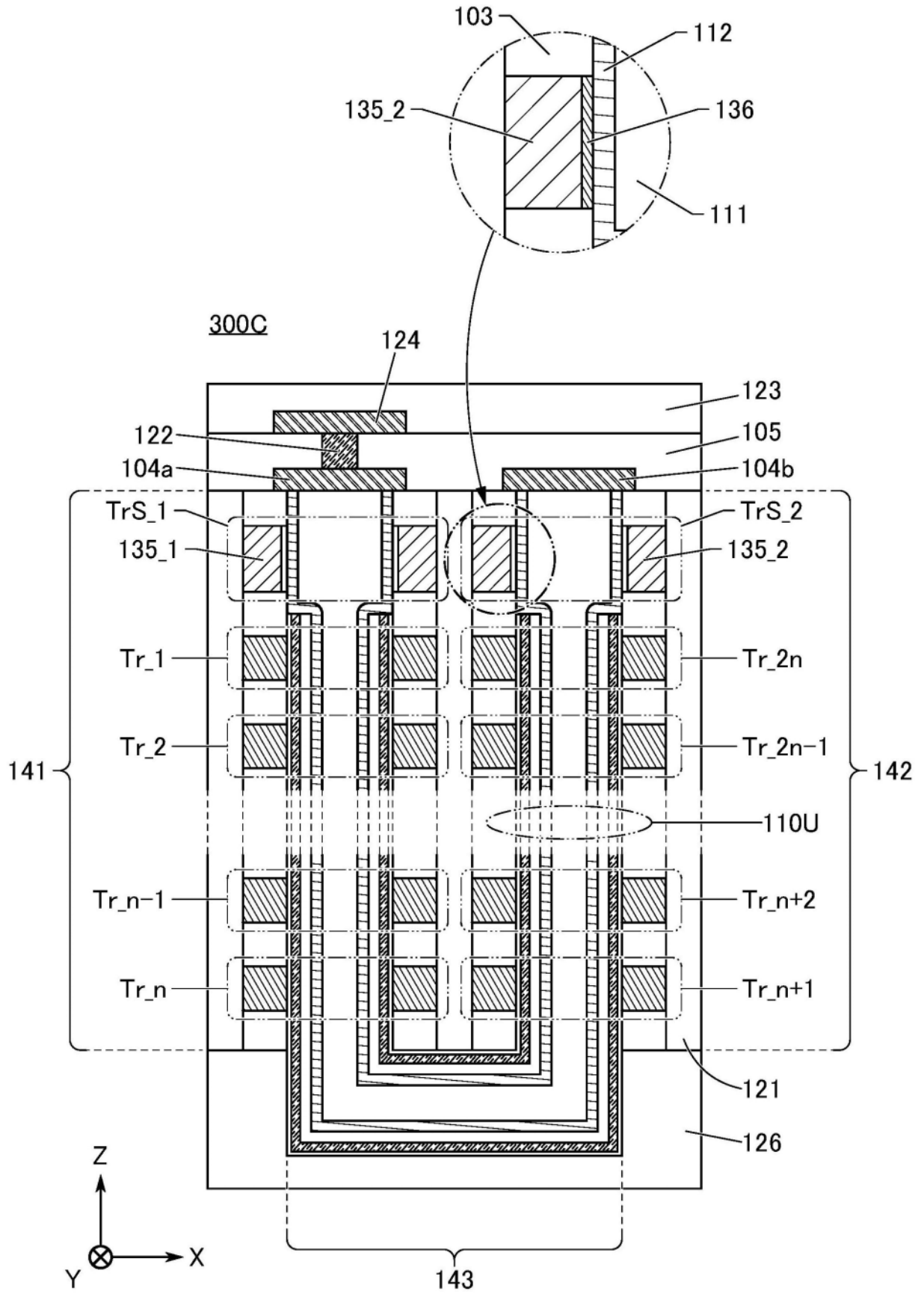


图26

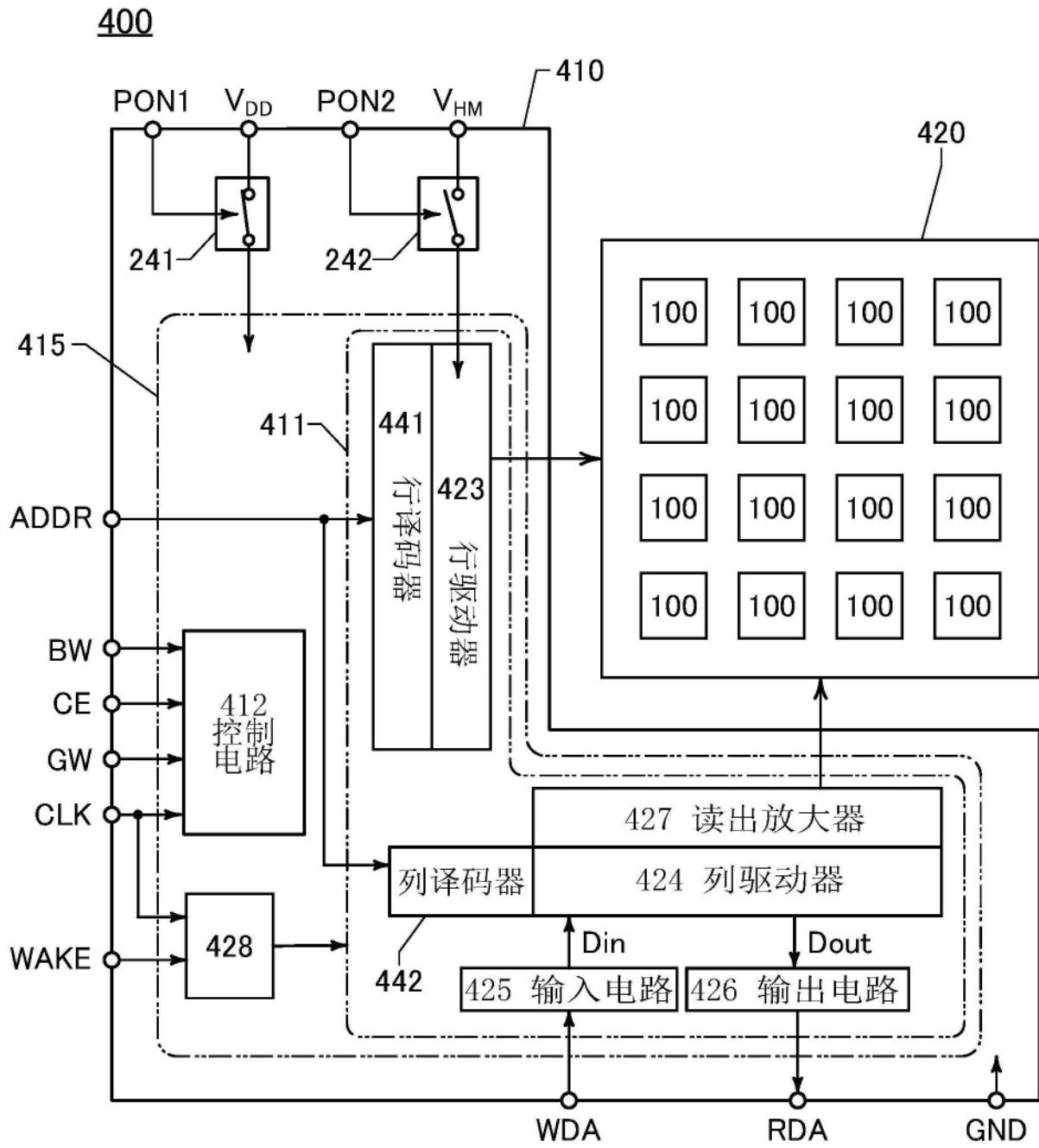


图27

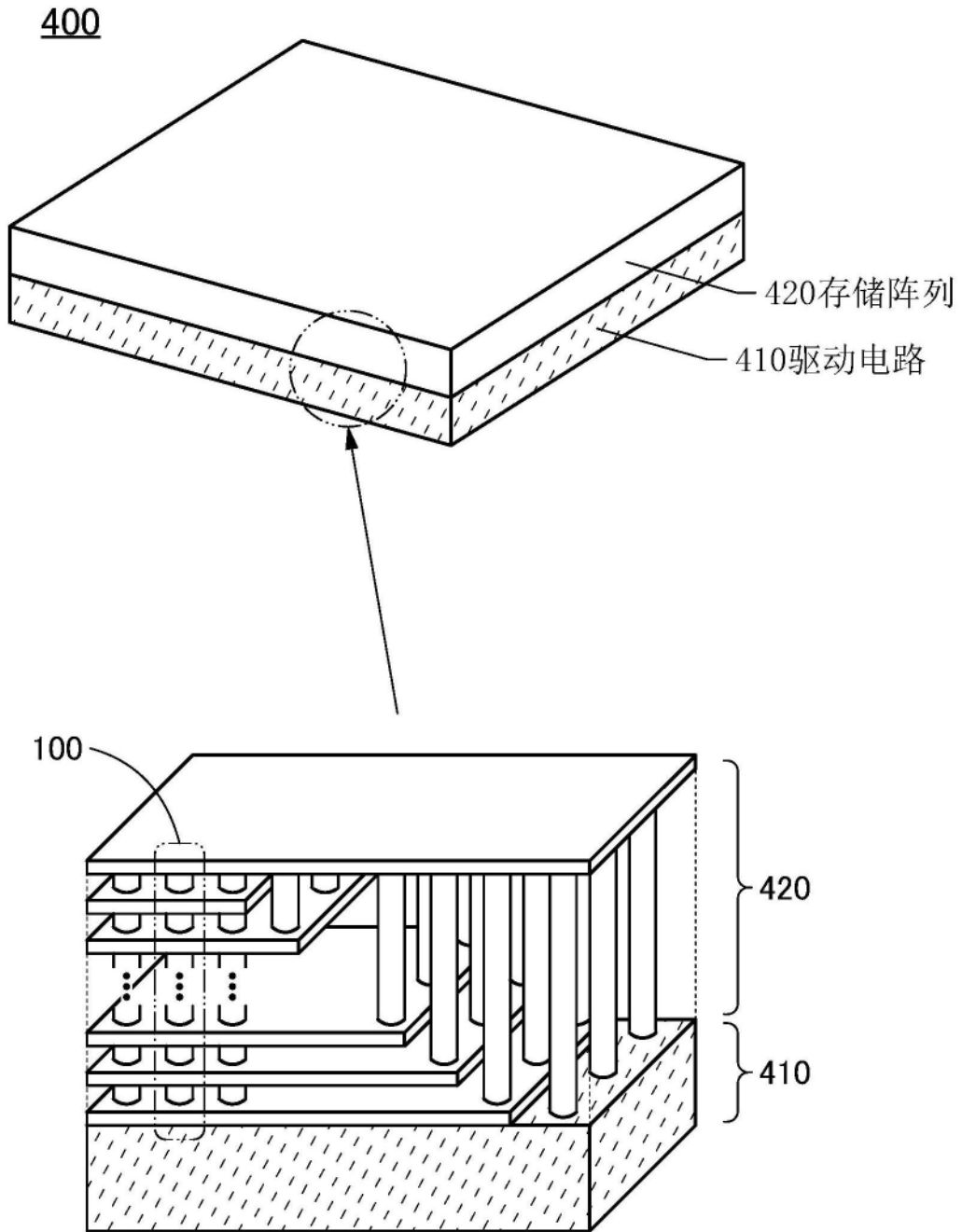


图28

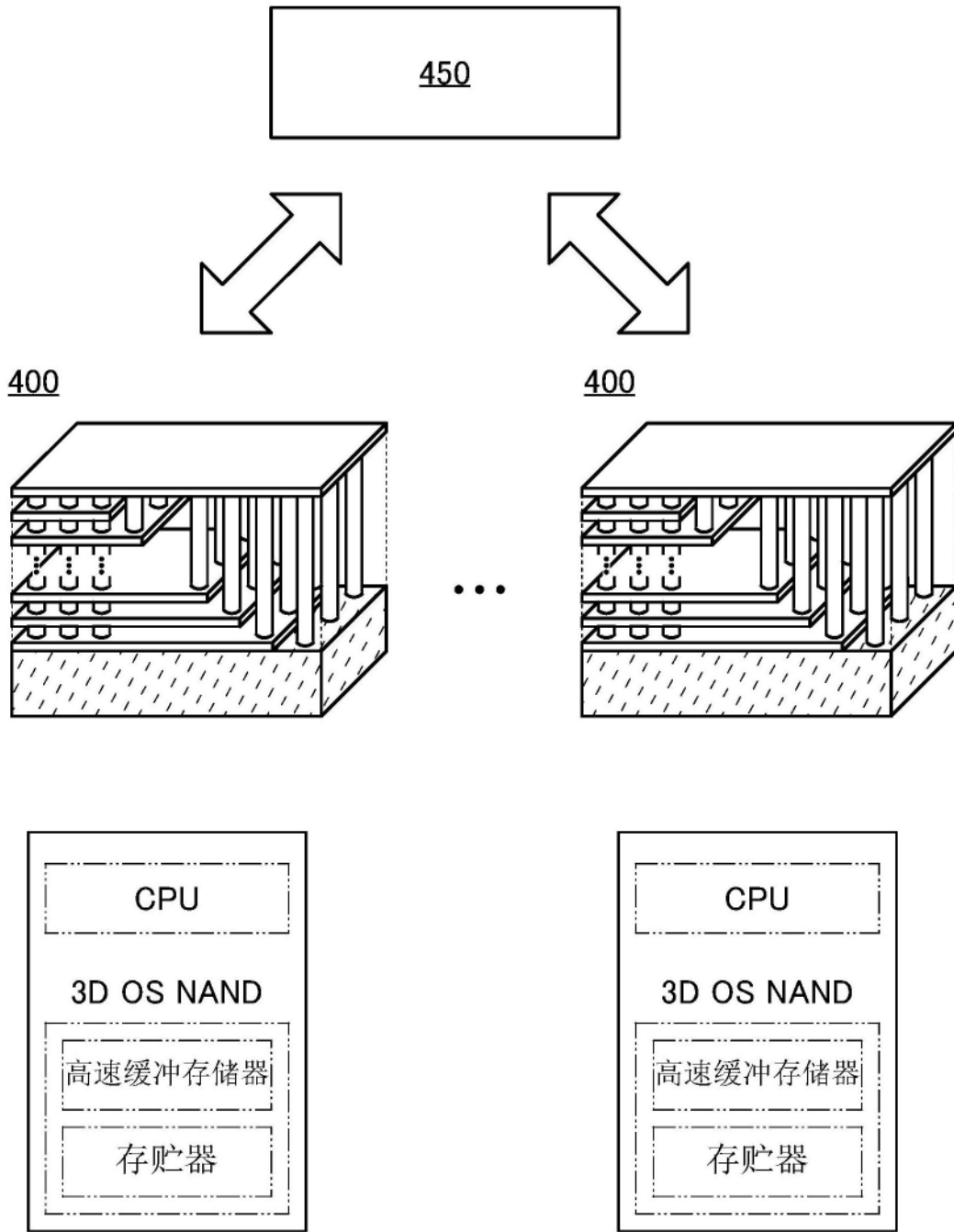


图29

1100

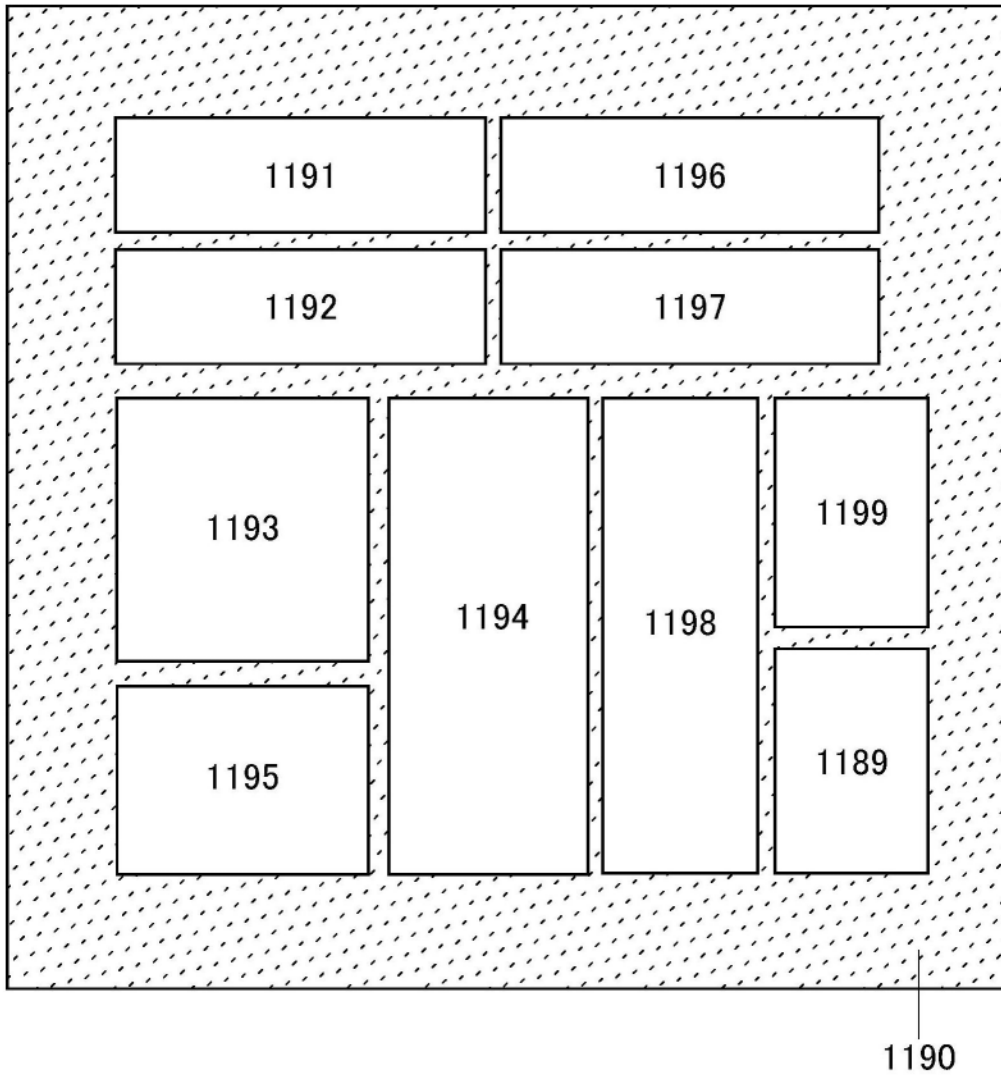


图30

1150A

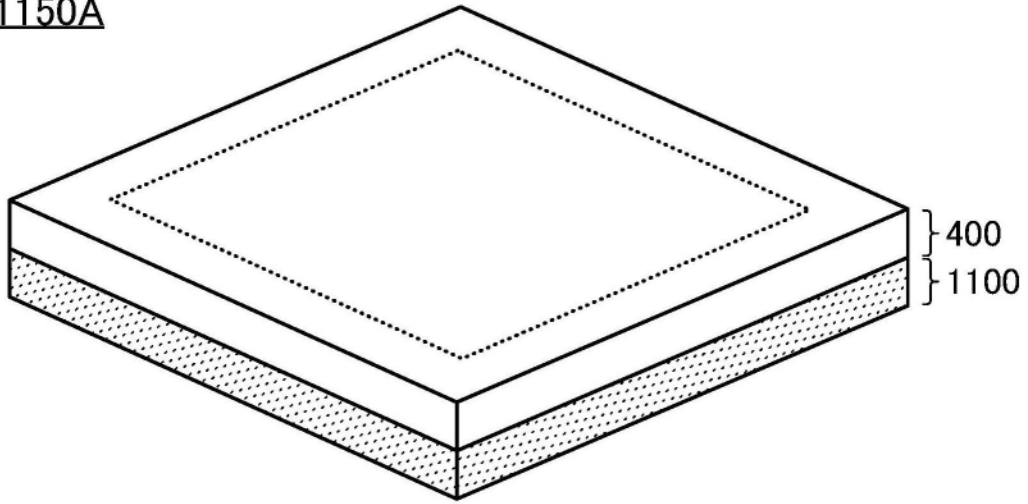


图31A

1150A

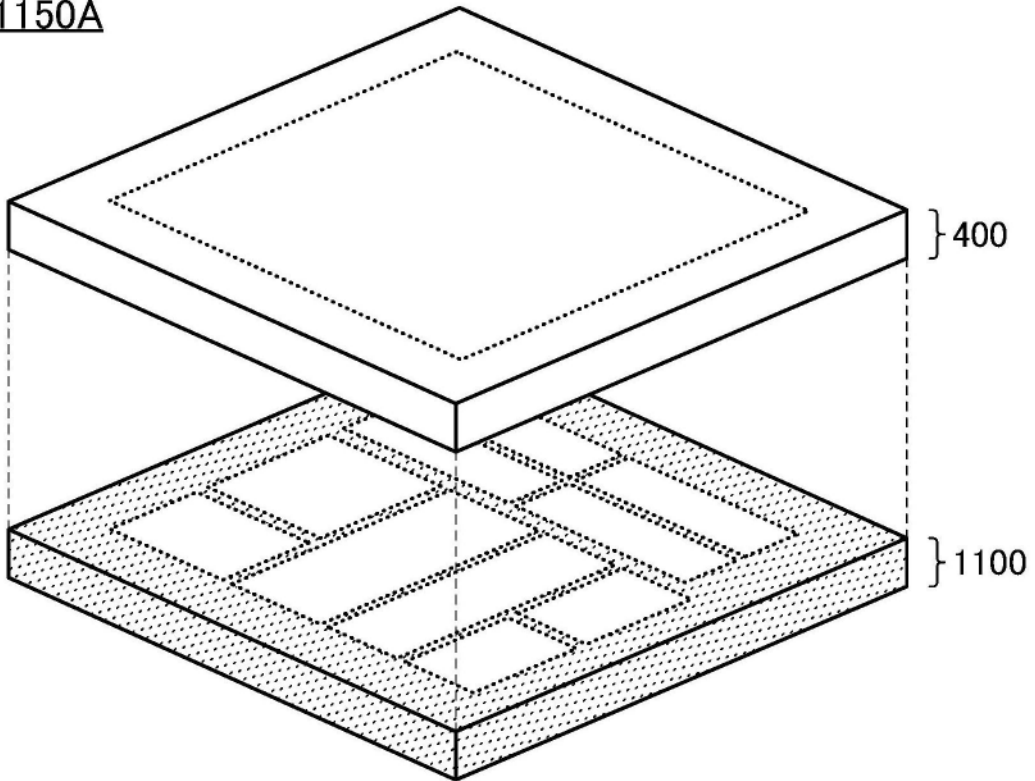


图31B

1150B

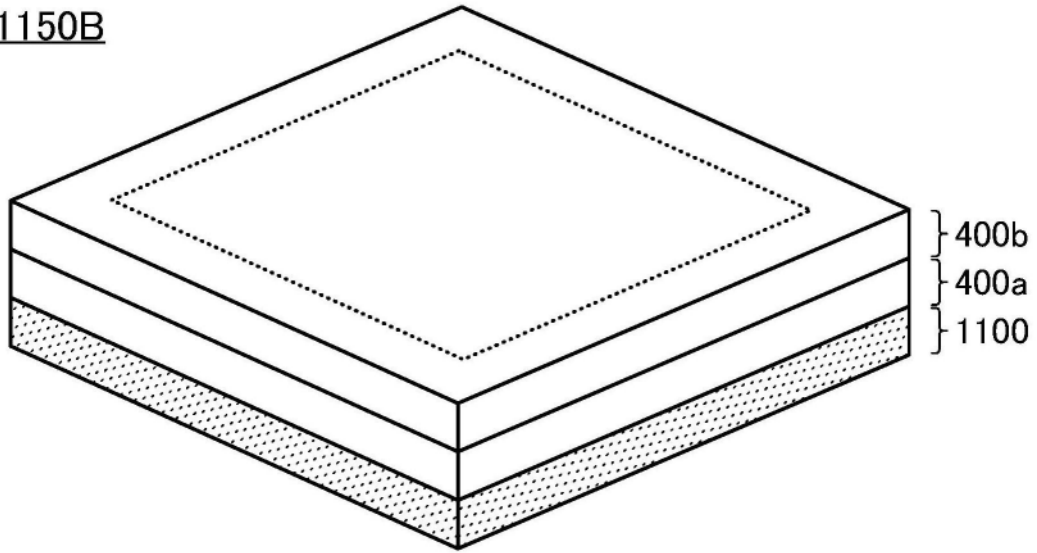


图32A

1150B

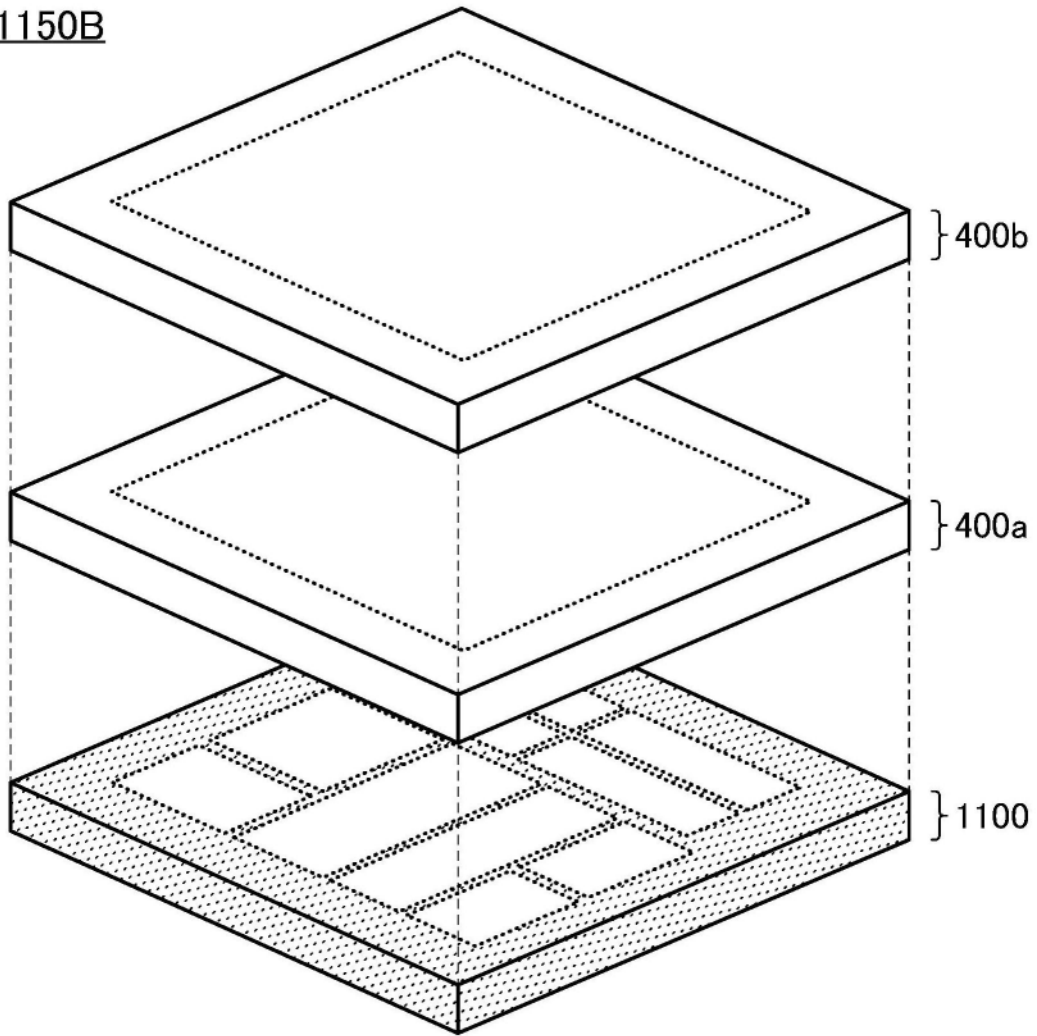


图32B

1150C

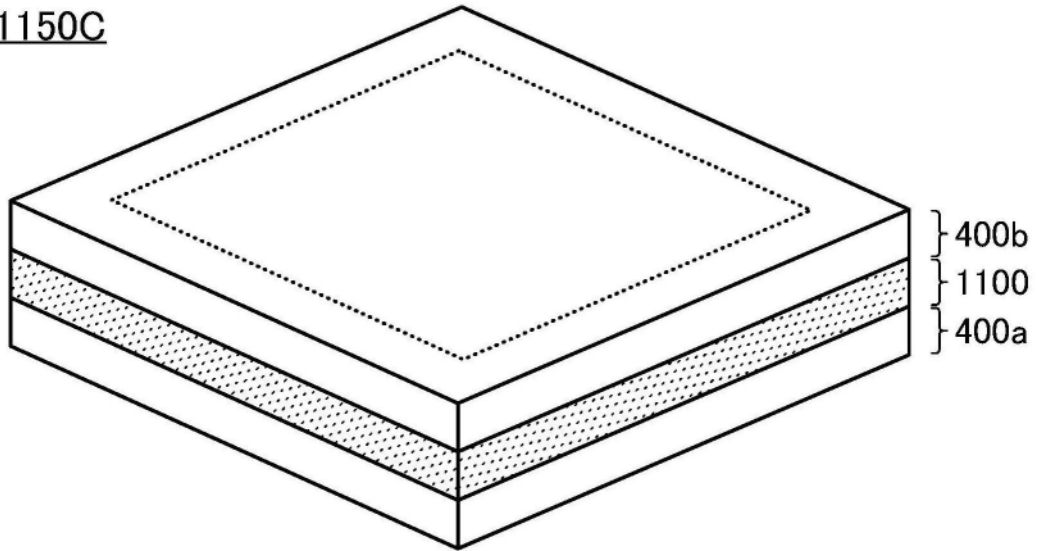


图33A

1150C

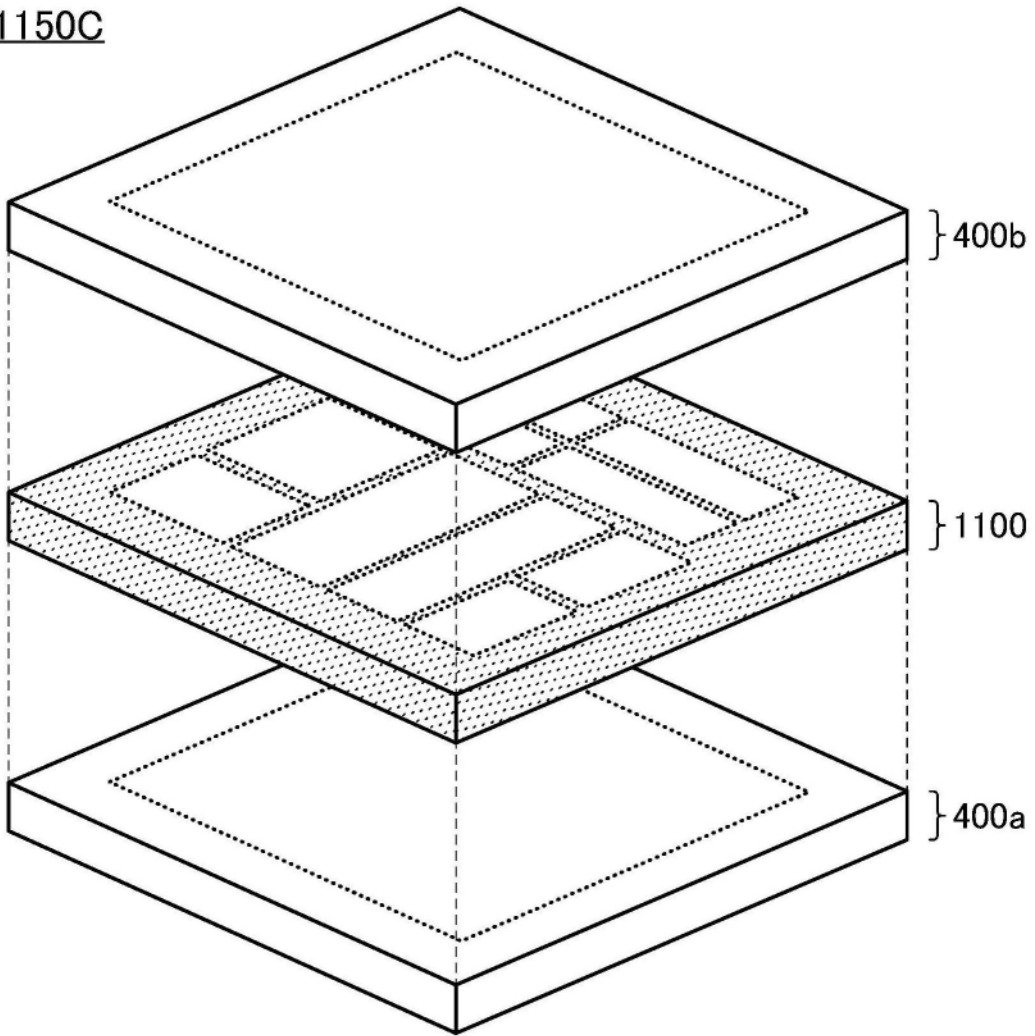


图33B

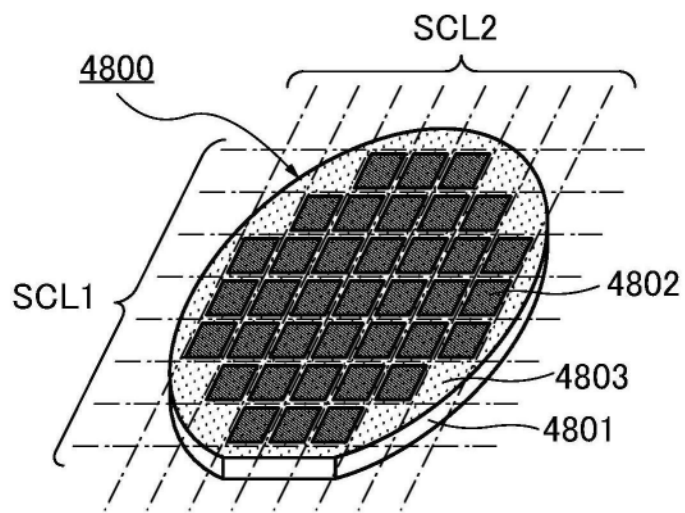


图34A

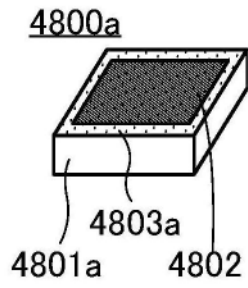


图34B

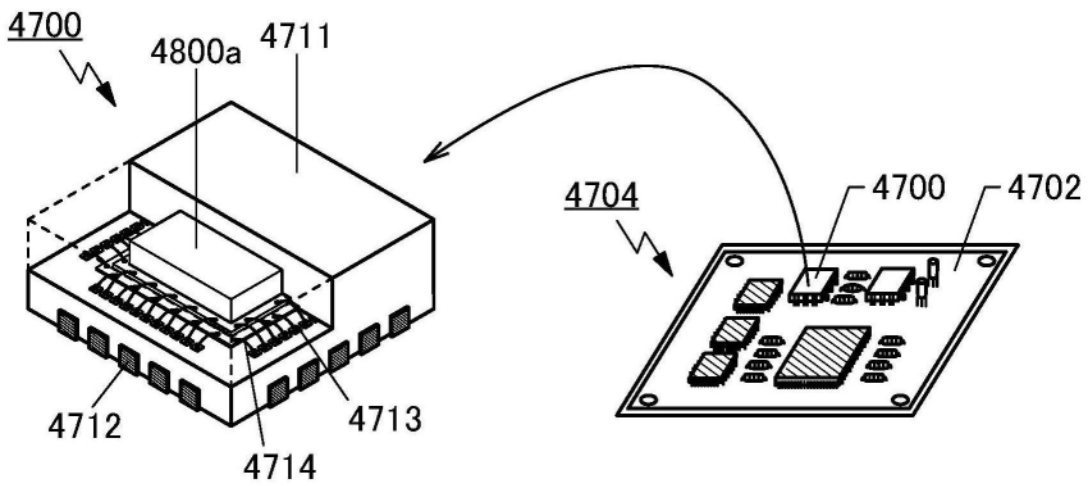


图34C

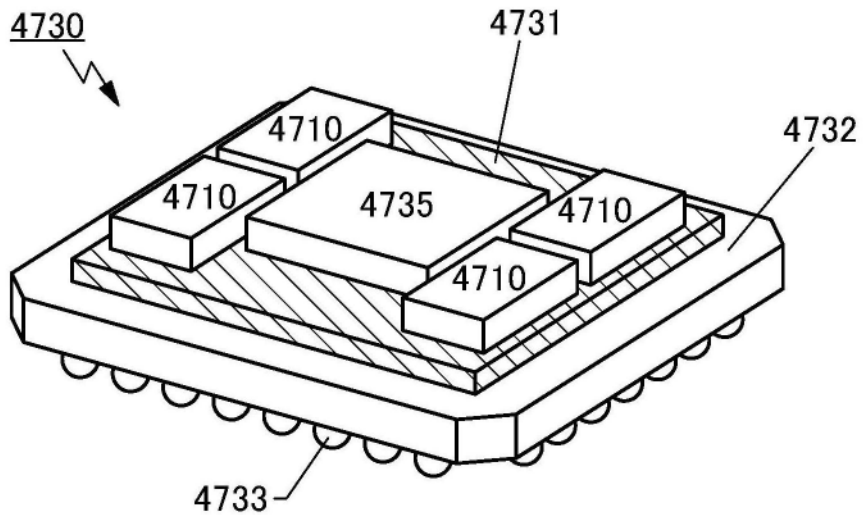


图34D

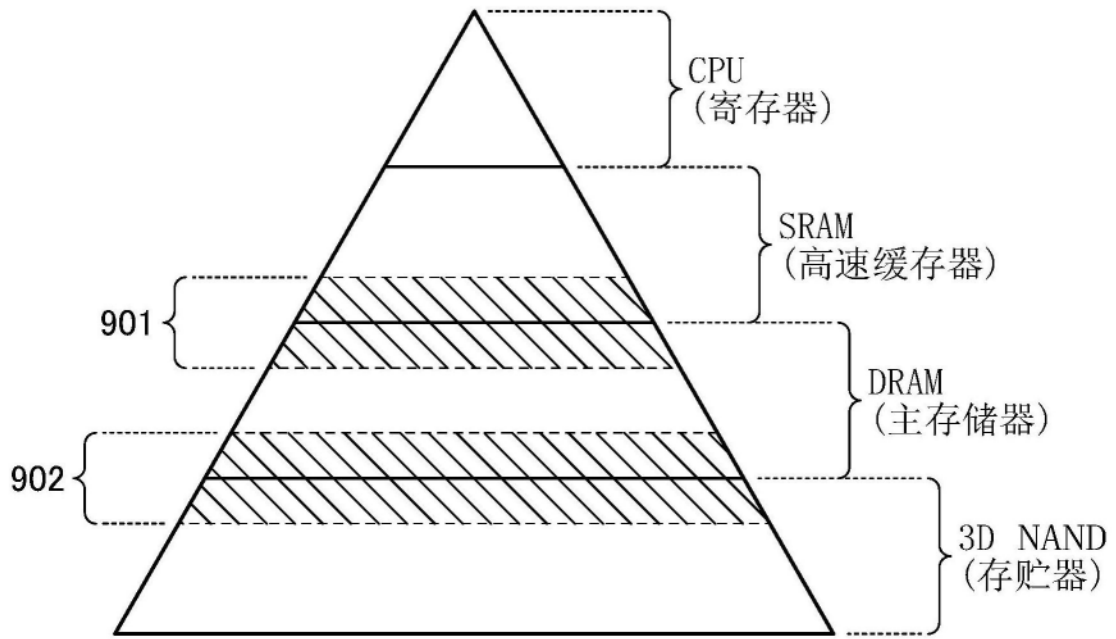


图35A

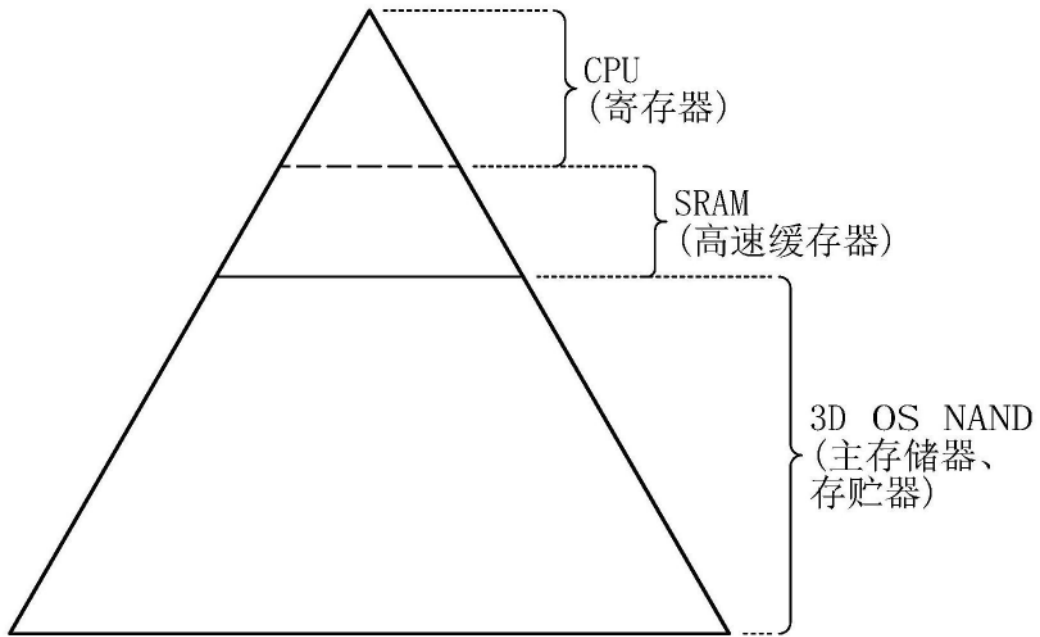


图35B

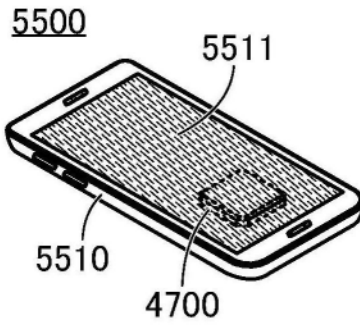


图36A

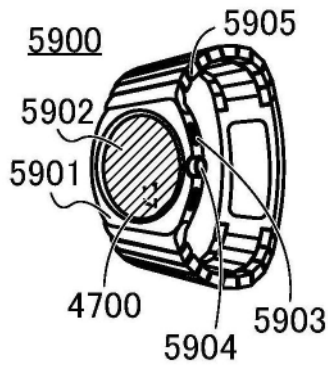


图36B

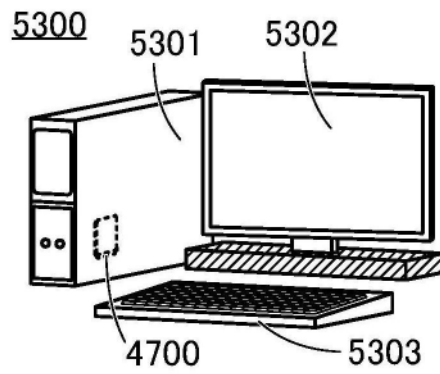


图36C

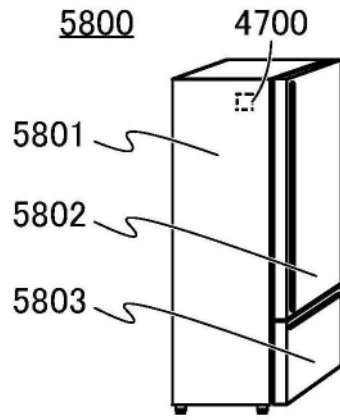


图36D

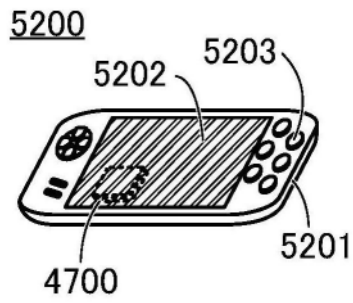


图36E

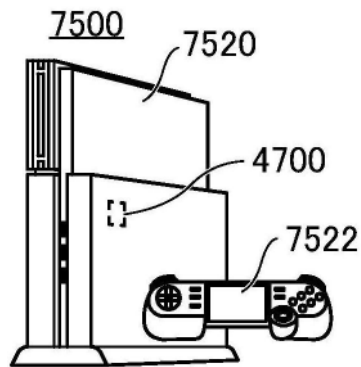


图36F

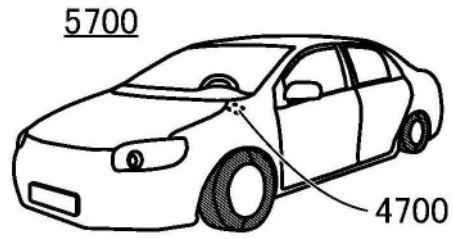


图36G

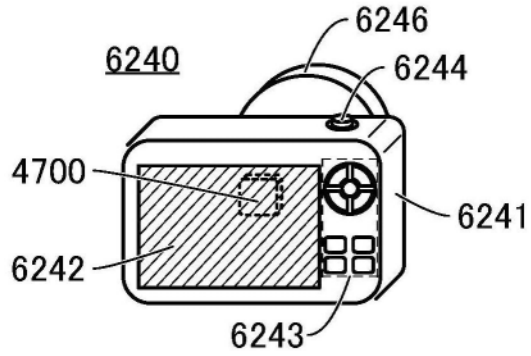


图36H

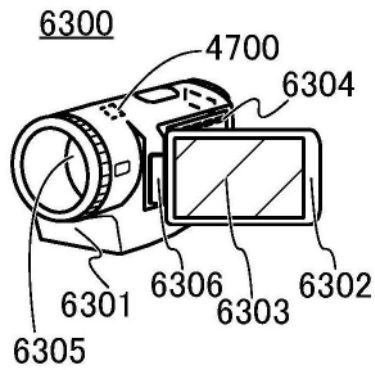


图36I

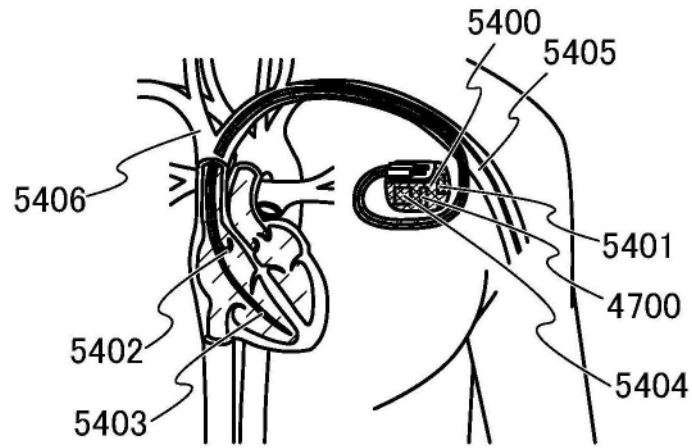


图36J

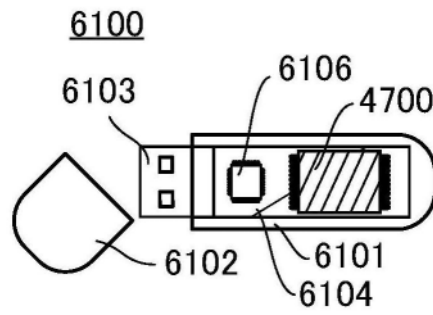


图37A

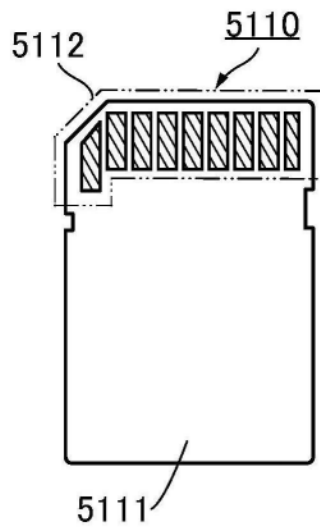


图37B

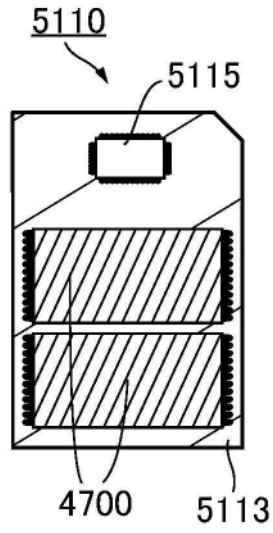


图37C

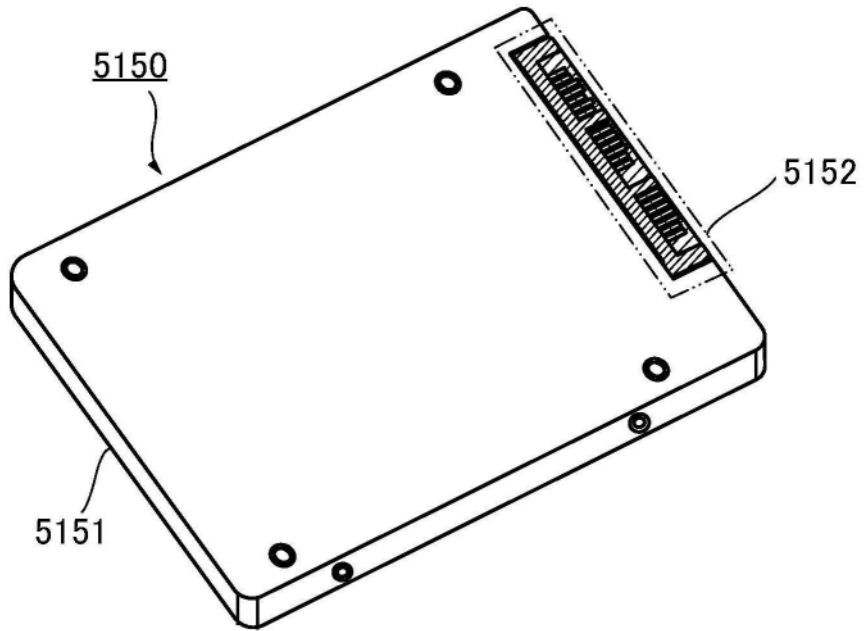


图37D

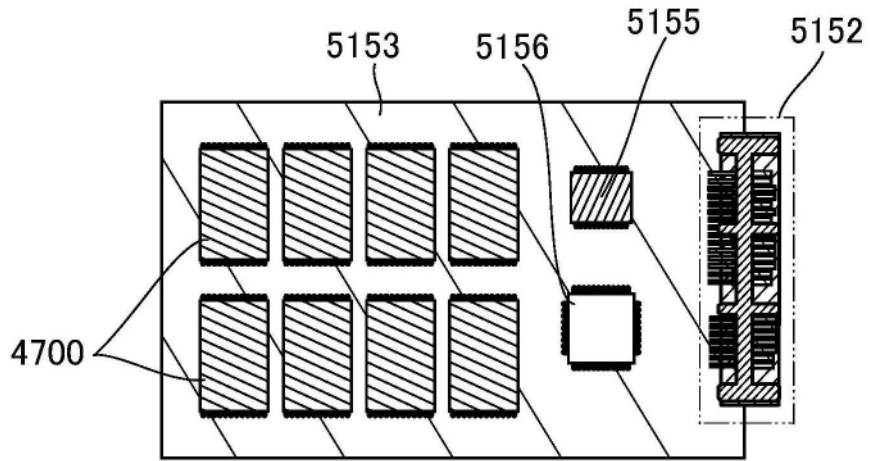


图37E

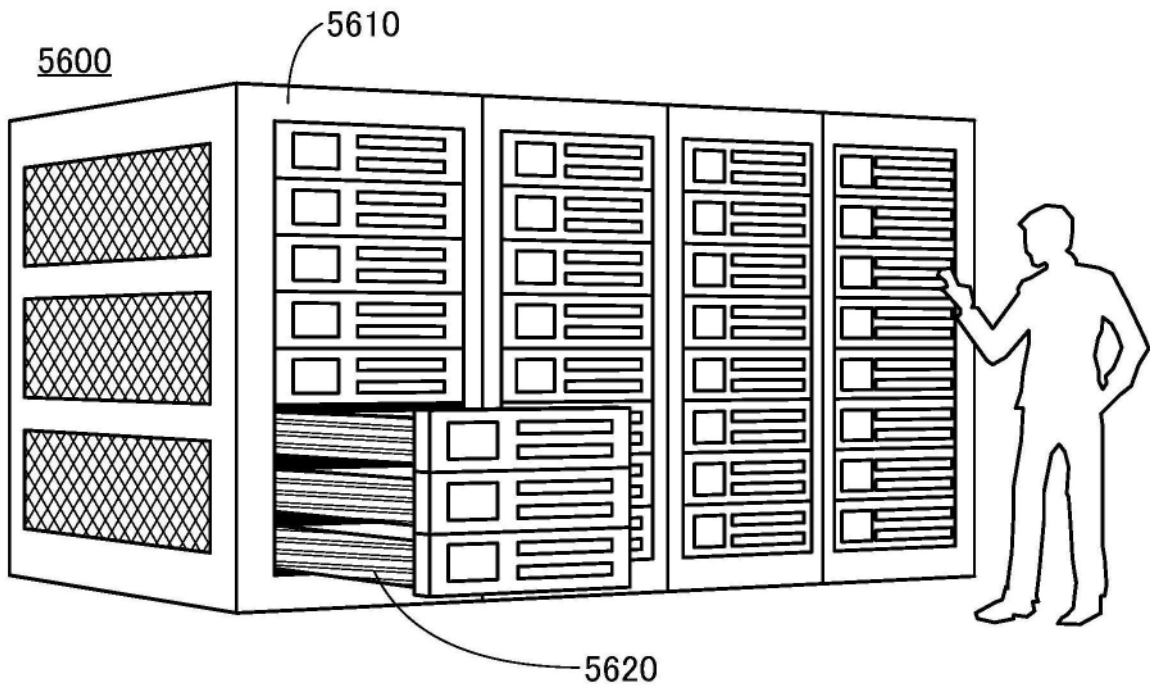


图38A

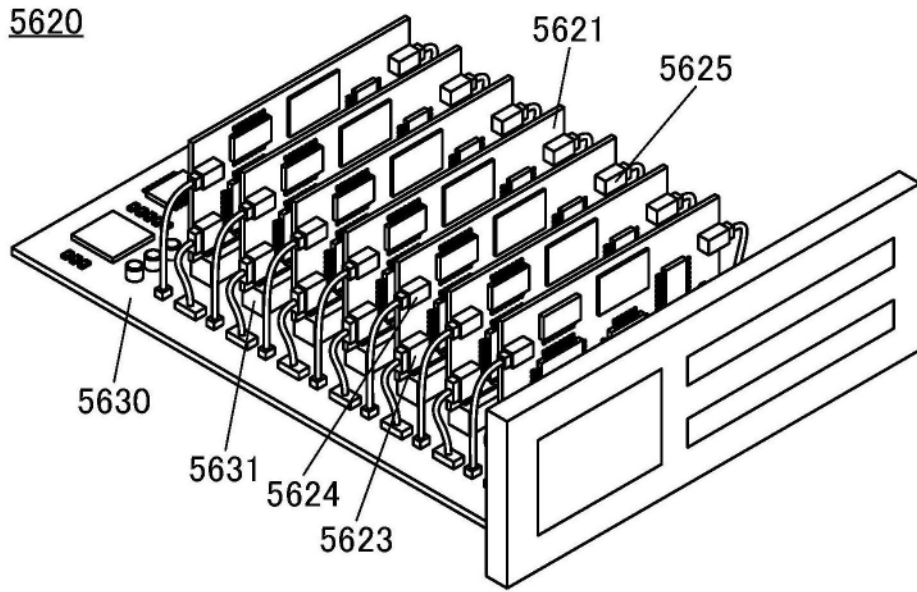


图38B

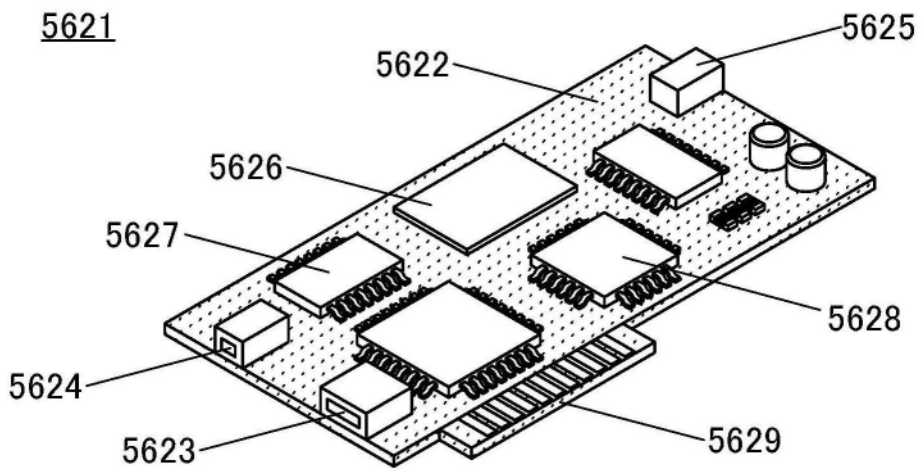


图38C

700

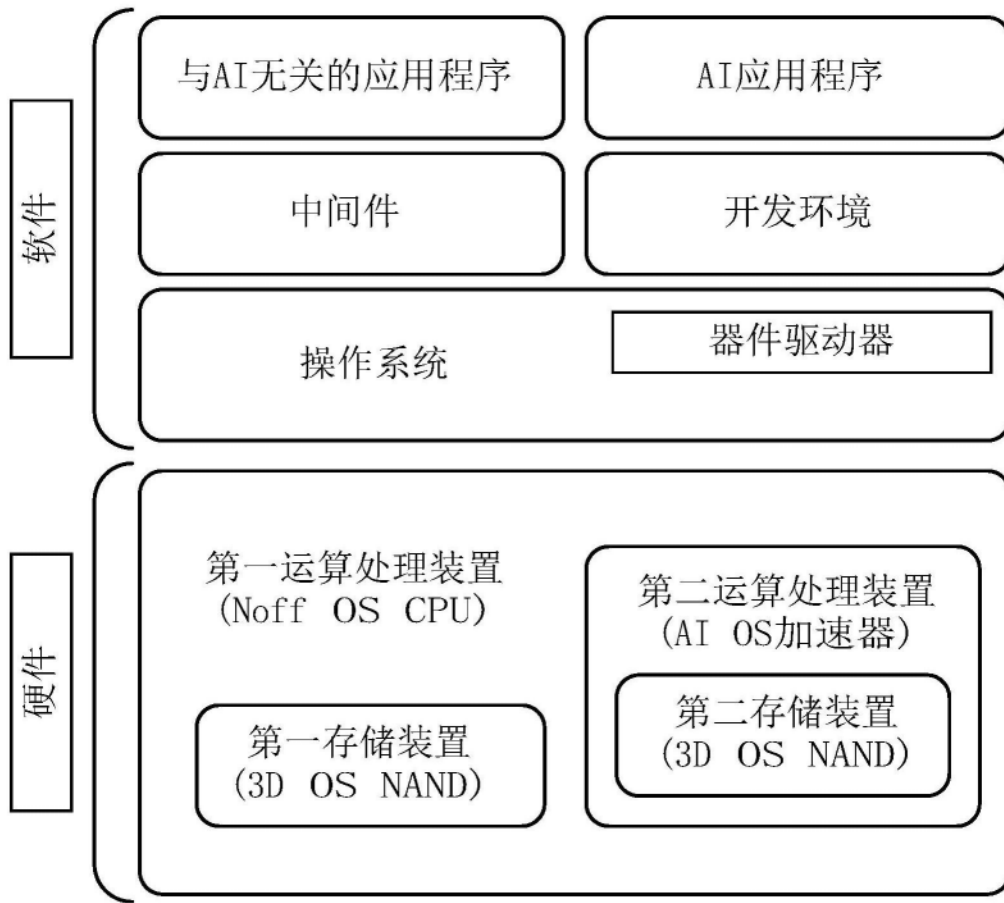


图39

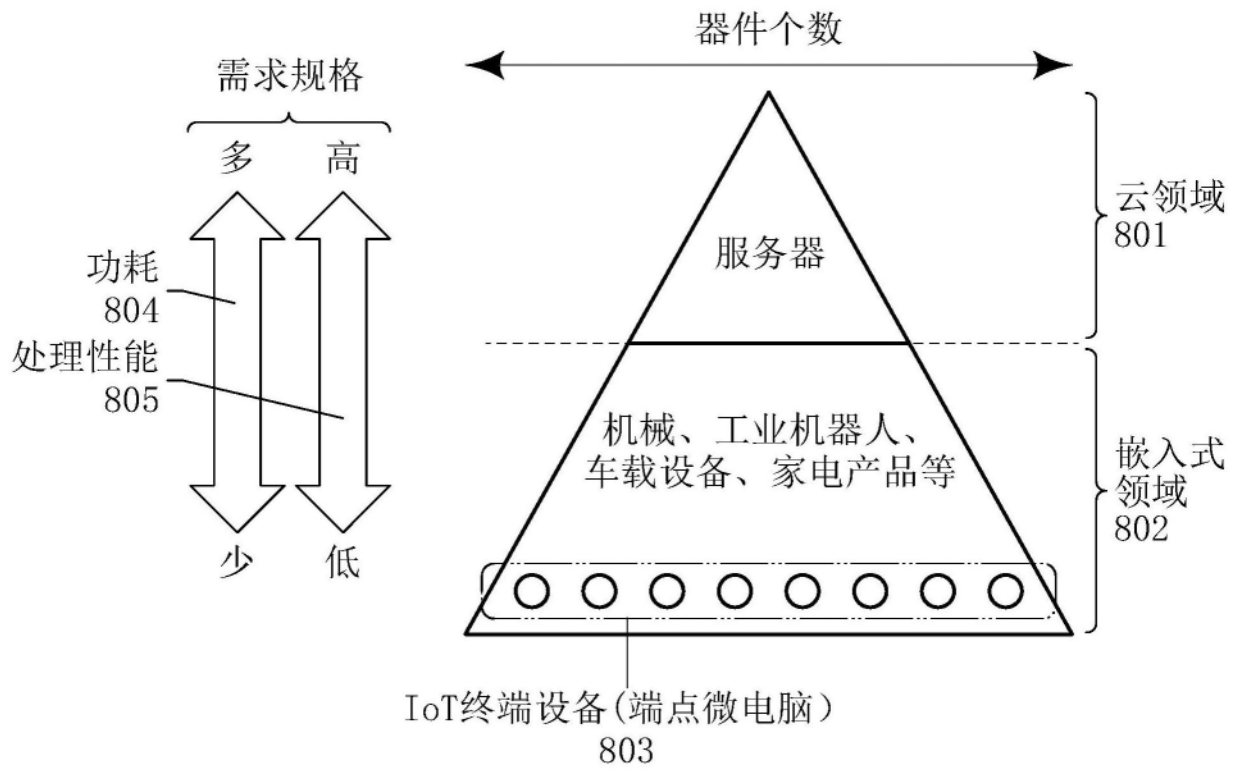


图40

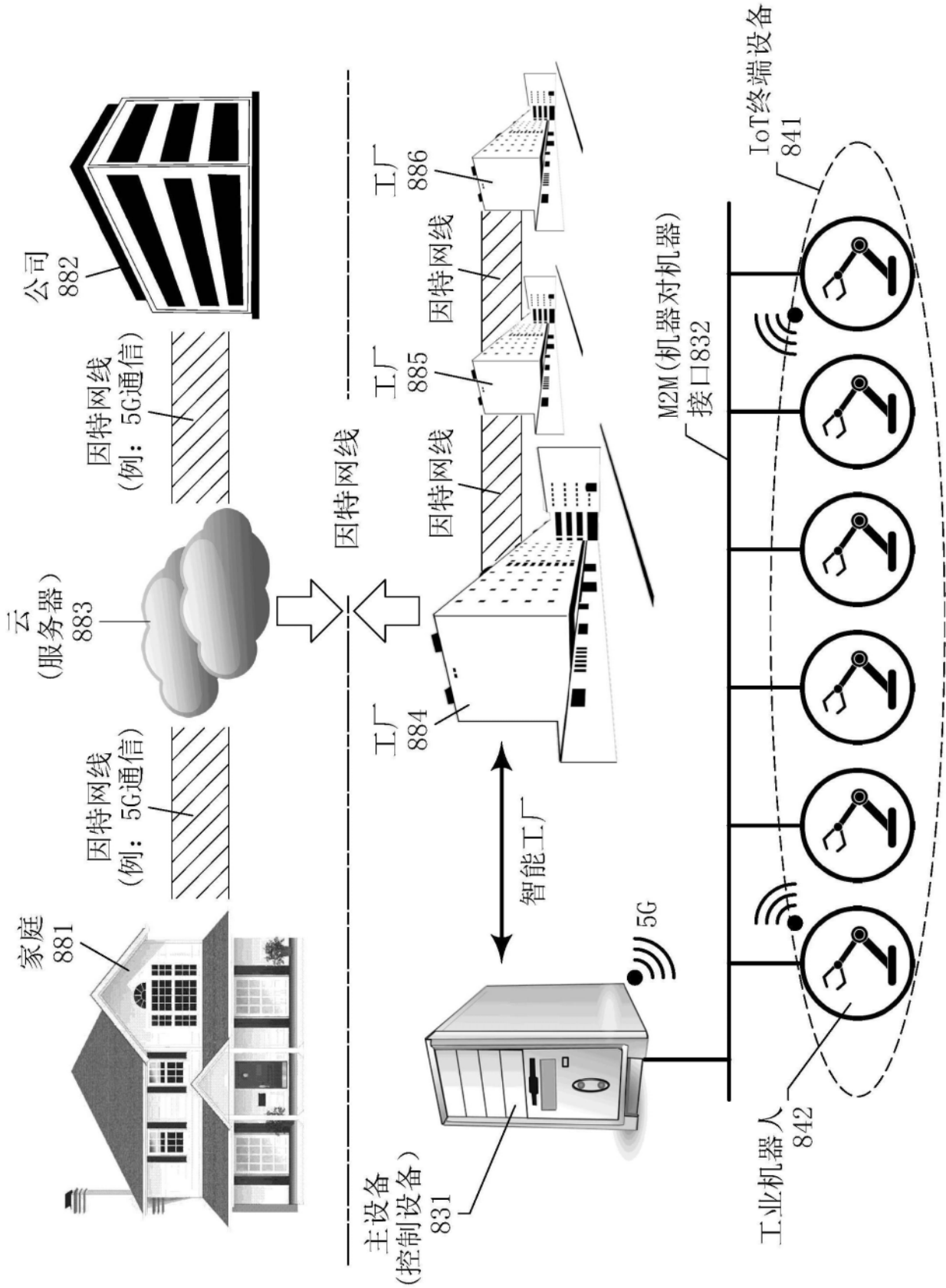


图41

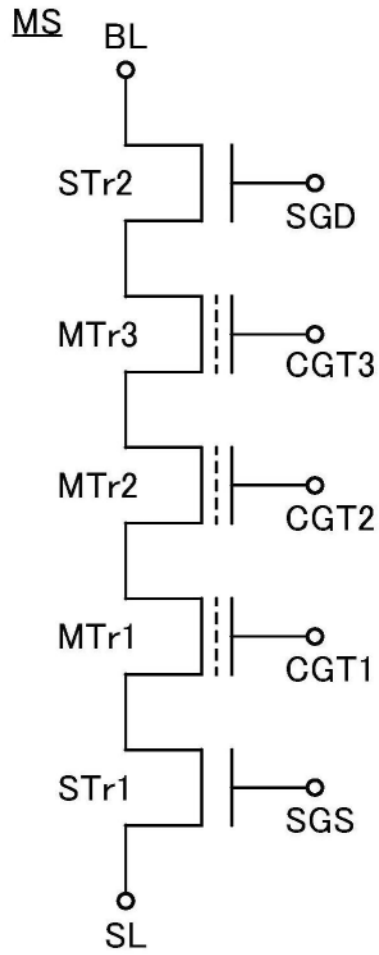


图42A

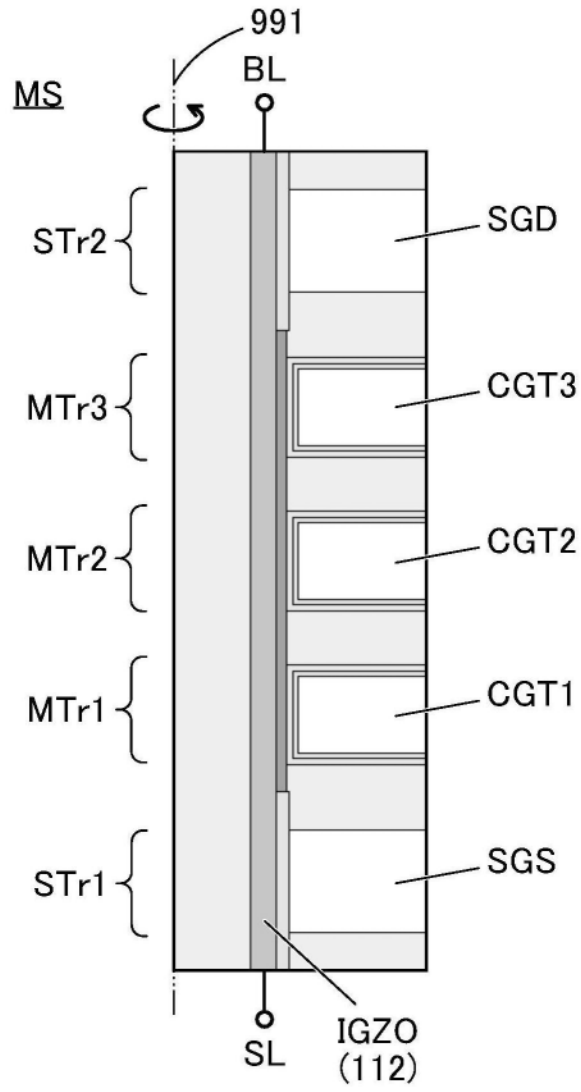


图42B

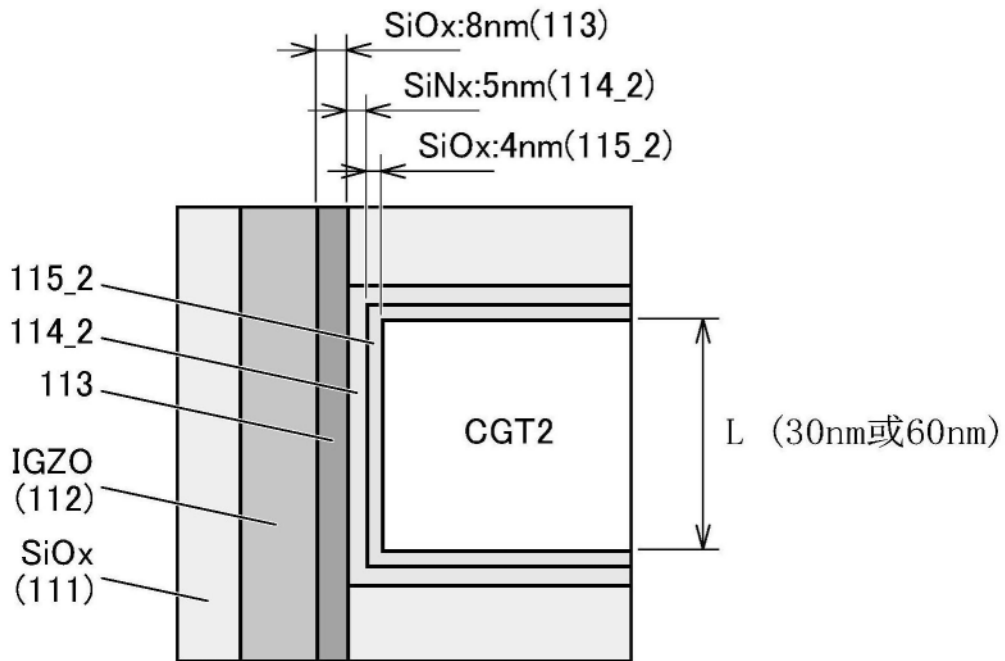


图42C

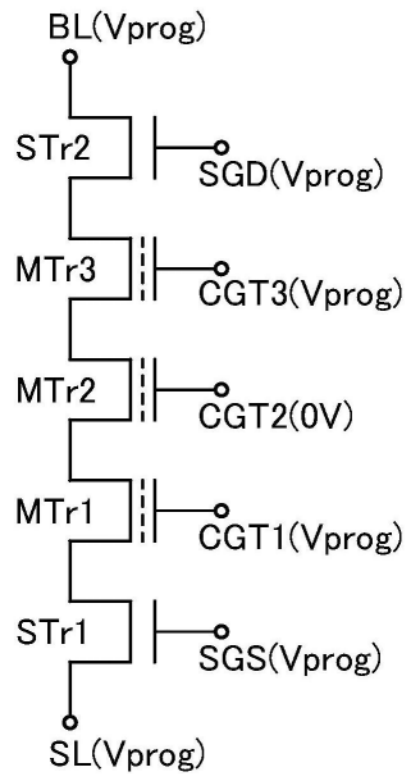


图43A

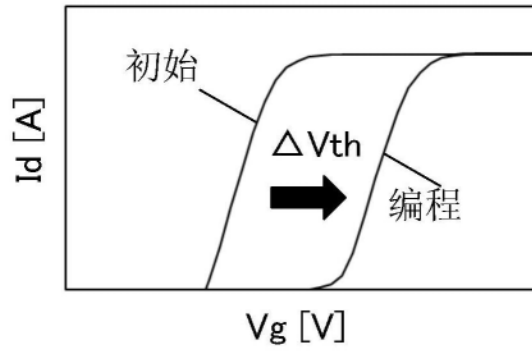


图43B

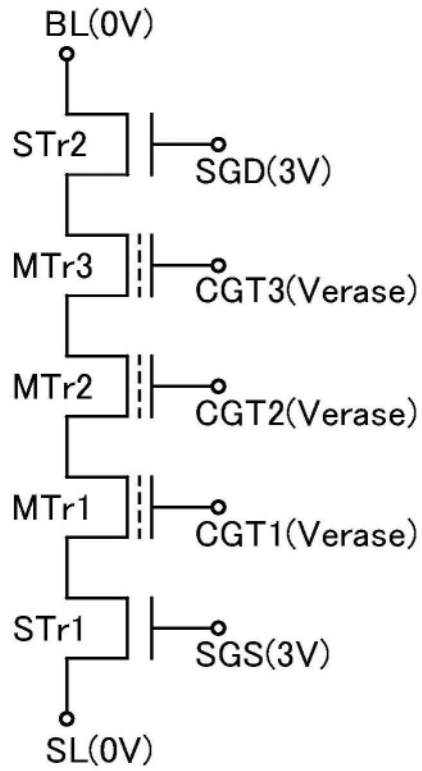


图43C

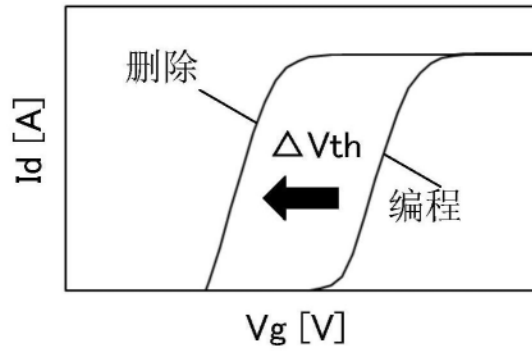


图43D

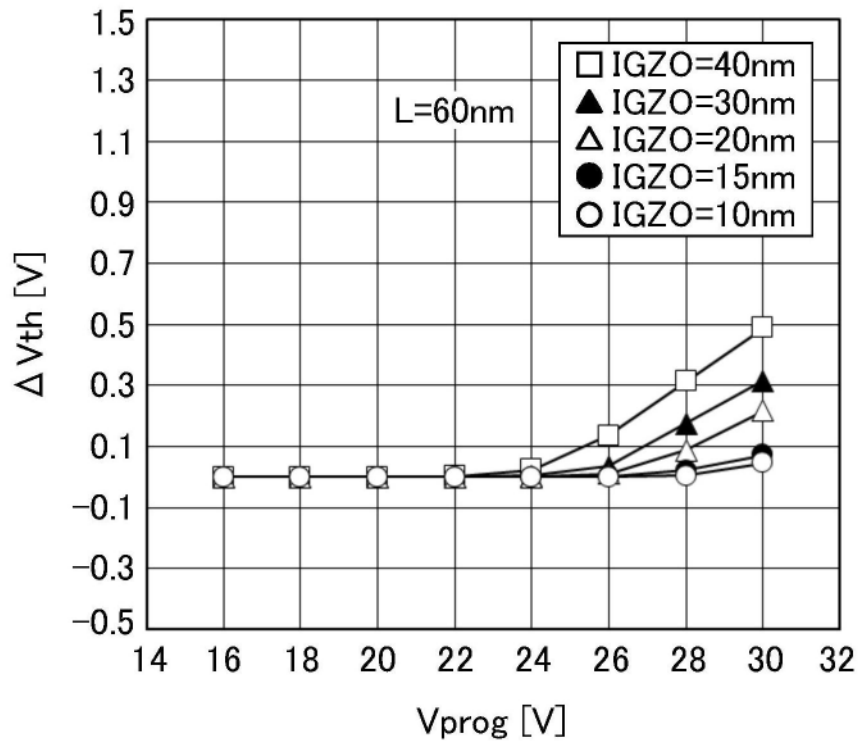


图44A

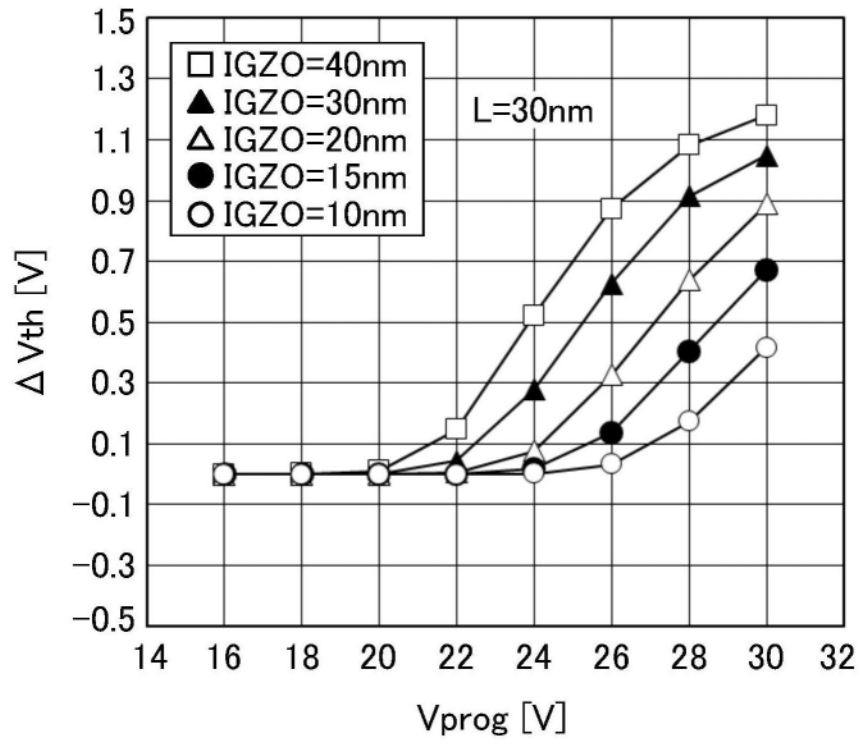


图44B

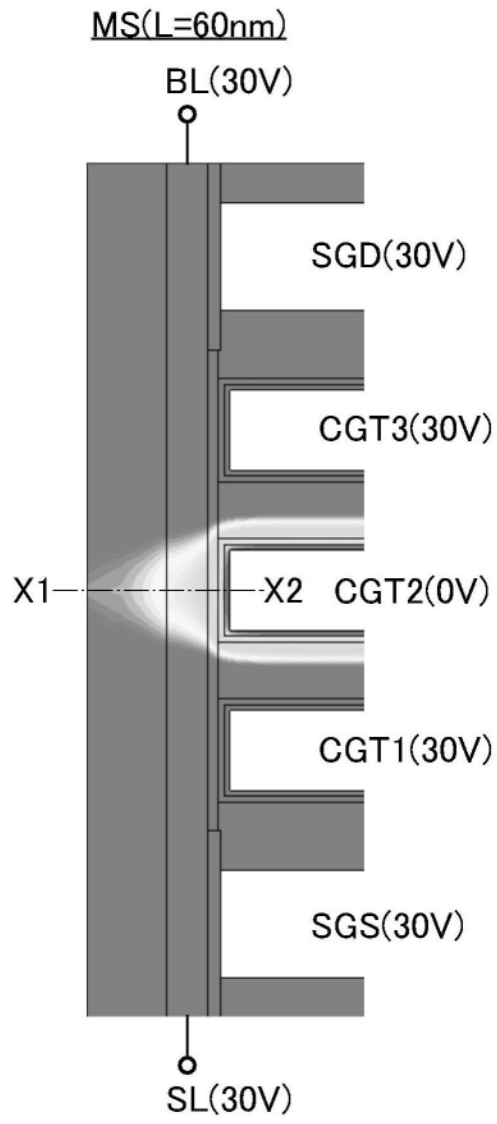


图45A

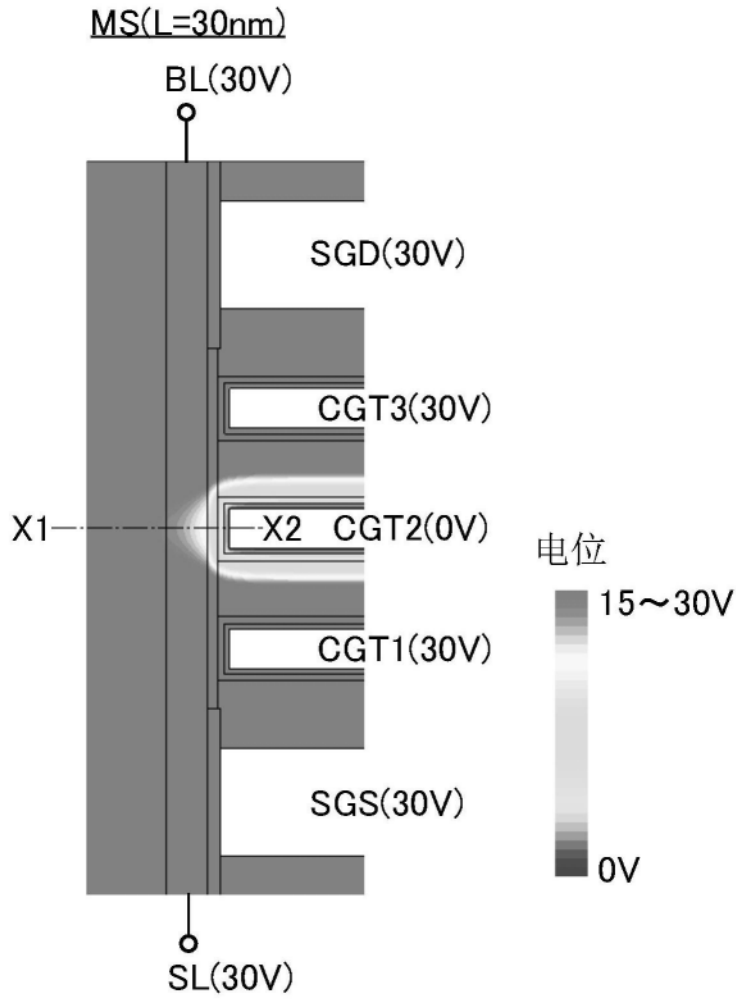


图45B

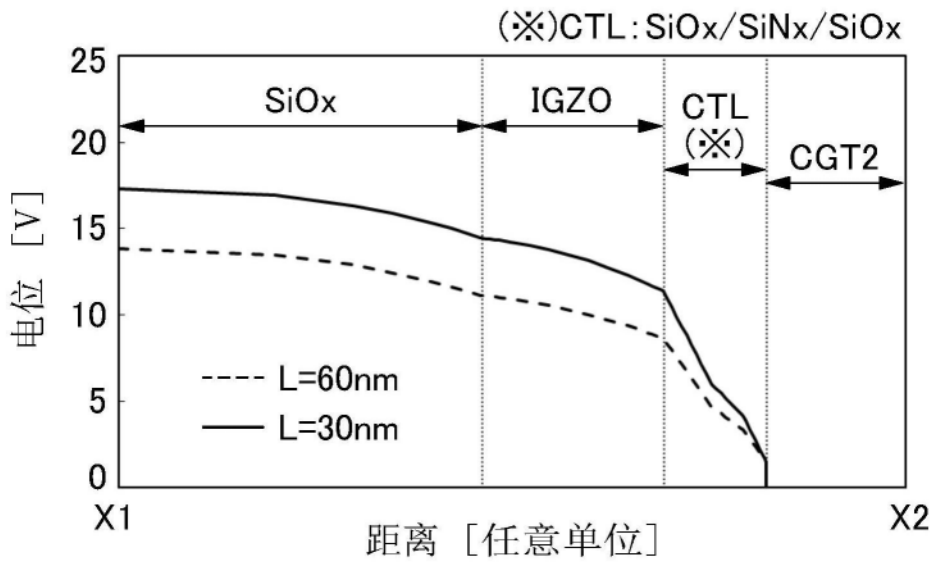


图45C

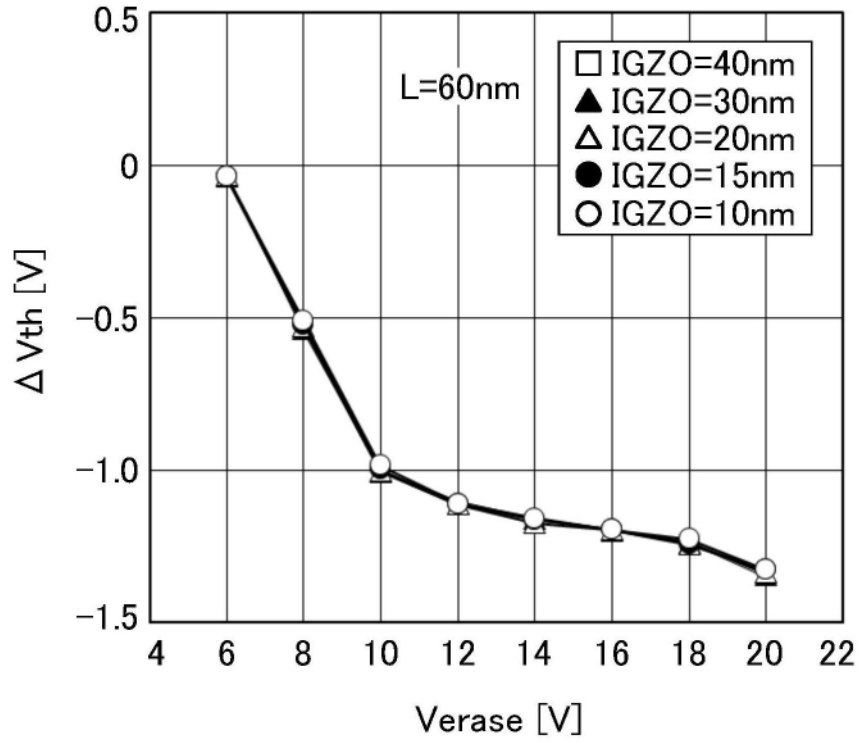


图46A

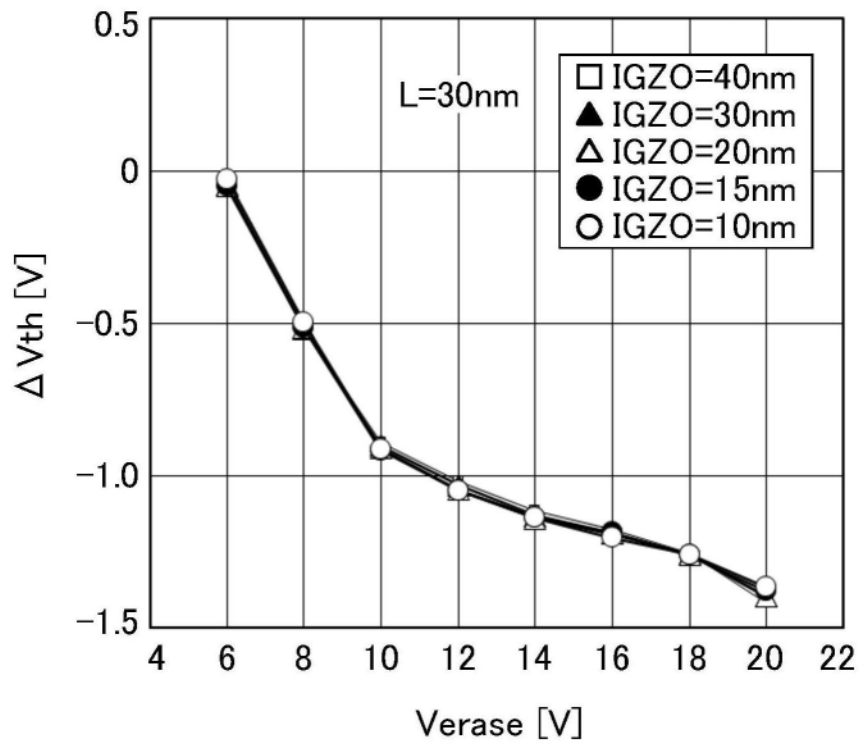


图46B

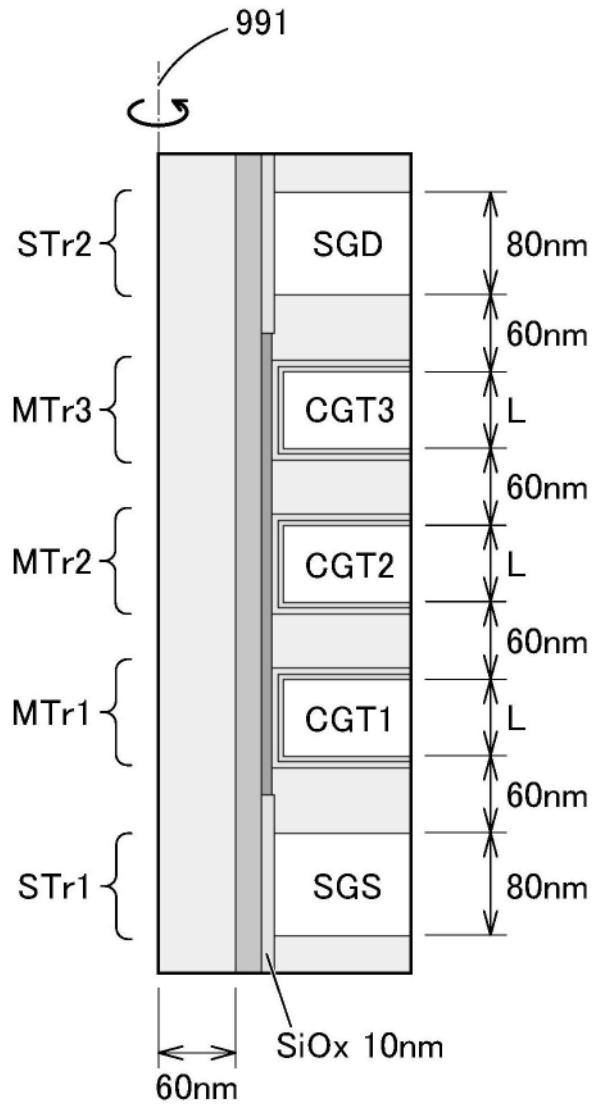


图47