【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第３区分
【発行日】平成21年4月23日(2009.4.23)

【公表番号】特表2008-533762(P2008-533762A)
【公表日】平成20年8月21日(2008.8.21)
【年通号数】公開・登録公報2008-033
【出願番号】特願2007-552261(P2007-552261)
【国際特許分類】
Ｈ０４Ｌ　27/22　　(2006.01)
Ｈ０３Ｄ　 3/02　　(2006.01)
【ＦＩ】
Ｈ０４Ｌ　27/22　　Ｚ
Ｈ０３Ｄ　 3/02

【誤訳訂正書】
【提出日】平成21年2月20日(2009.2.20)
【誤訳訂正１】
【訂正対象書類名】特許請求の範囲
【訂正対象項目名】全文
【訂正方法】変更
【訂正の内容】
【特許請求の範囲】
【請求項１】
ベースバンド信号を受信する電力増幅器（３２）と、
ベースバンド周波数で作動するローカルクロックと、
前記電力増幅器からの出力及び前記ローカルクロックを受け取り、同相信号を提供する第１の乗算器（３４）と、
前記ローカルクロックを受け取る直交位相シフタ（３６）と、
前記電力増幅器からの前記出力、及び、前記位相シフタからの出力を受け取り、直交信号を提供する第２の乗算器（３８）と、
前記同相信号を受け取る第１のアナログフィルタ（４０）と、
前記直交信号を受け取る第２のアナログフィルタ（４２）と、
前記第１のアナログフィルタに接続されており、デジタル化された同相信号を提供する第１のアナログ－デジタル変換器（４４）と、
前記第２のアナログフィルタに接続されており、デジタル化された直交信号を提供する第２のアナログ－デジタル変換器（４６）と、
前記デジタル化された同相信号及び直交信号の位相を検波する位相検波器と、
を備えるリミッタベースのアナログ復調器であって、
前記位相検波器は、
前記デジタル化された同相信号及び直交信号を受け取り、３倍のシンボルレートで入力データを提供する間引きフィルタ（５２）と、
前記入力データを受け取るバースト検出器（５４）と、
前記バースト検出器に応答し、オフセット角を提供するキャリアオフセットブロック（５４）と、
前記オフセット角に応答して前記入力データを回転させるローテータ（５６）と、
前記ローテータからのデータをコヒーレント復調用に受け取る等化器（６２）と、
を有する、リミッタベースのアナログ復調器。
【請求項２】
ベースバンド信号を受信する電力増幅器（３２）と、

ベースバンド周波数で作動するローカルクロックと、
前記電力増幅器からの出力及び前記ローカルクロックを受け取り、同相信号を提供する第１の乗算器（３４）と、
前記ローカルクロックを受け取る直交位相シフタ（３６）と、
前記電力増幅器からの前記出力、及び、前記位相シフタからの出力を受け取り、直交信号を提供する第２の乗算器（３８）と、
前記同相信号を受け取る第１のアナログフィルタ（４０）と、
前記直交信号を受け取る第２のアナログフィルタ（４２）と、
前記第１のアナログフィルタに接続されており、デジタル化された同相信号を提供する第１のアナログ－デジタル変換器（４４）と、
前記第２のアナログフィルタに接続されており、デジタル化された直交信号を提供する第２のアナログ－デジタル変換器（４６）と、
前記デジタル化された同相信号及び直交信号の位相を受け取る位相検波器と、
を備えるリミッタベースのアナログ復調器であって、
前記位相検波器は、
前記デジタル化された同相信号及び直交信号を受け取るハードウェアアクセラレータ（７０）であって、
前記デジタル化された同相信号及び直交信号をフィルタリングし、３倍のシンボルレートに間引く（７２，７４）手段と、
前記フィルタリング及び間引きされた信号を受けて、スロットタイミング信号を生成するバースト同期手段（７８）及びＴＤＭＡ手段（８０）と、
前記スロットタイミング信号に応答するストレージレジスタ（８２）と、
を有する該ハードウェアアクセラレータ（７０）と、
前記ストレージレジスタから前記フィルタリング及び間引きされた信号を受けるＤＳＰ（８４）プロセッサであって、
タイミングオフセットを推定するクロック再生手段（８６）と、
前記タイミングオフセットに基づいて、タイミング調整、及び３対２のレート変換を実行する補間器手段（８８）と、
前記同相信号及び直交信号を位相信号に変換するアークタンジェント手段（９０）と、
前記位相信号のキャリアオフセット調整を実行するキャリア再生手段（９２）と、
前記位相信号の最終のデコードを実行するデコーダ手段（９４）と、
を有する該ＤＳＰ（８４）プロセッサと、
を備える、リミッタベースのアナログ復調器。
【請求項３】
ベースバンド信号を受信する電力増幅器（３２）と、
ベースバンド周波数で作動するローカルクロックと、
前記電力増幅器からの出力及び前記ローカルクロックを受け取り、同相信号を提供する第１の乗算器（３４）と、
前記ローカルクロックを受け取る直交位相シフタ（３６）と、
前記電力増幅器からの前記出力、及び、前記位相シフタからの出力を受け取り、直交信号を提供する第２の乗算器（３８）と、
前記同相信号を受け取る第１のアナログフィルタ（４０）と、
前記直交信号を受け取る第２のアナログフィルタ（４２）と、
前記第１のアナログフィルタに接続されており、デジタル化された同相信号を提供する第１のアナログ－デジタル変換器（４４）と、
前記第２のアナログフィルタに接続されており、デジタル化された直交信号を提供する第２のアナログ－デジタル変換器（４６）と、
前記デジタル化された同相信号及び直交信号の位相を検波する位相検波器と、
を備えるリミッタベースのアナログ復調器であって、

前記位相検波器は、
前記デジタル化された同相信号及び直交信号を受け取るハードウェアアクセラレータ（７０）であって、
前記デジタル化された同相信号及び直交信号を３倍のシンボルレートに間引くデシメータブロック（７２，７４）と、
前記間引きされた信号を受けて、スロットタイミング信号を生成するバースト同期ブロック（７８）及び時分割多元接続（ＴＤＭＡ）ブロック（８０）と、
前記スロットタイミング信号に応答するストレージレジスタ（８２）と、
を有する該ハードウェアアクセラレータ（７０）と、
前記ストレージレジスタから前記間引きされた信号を受けるＤＳＰ（８４）プロセッサであって、
タイミングオフセットを推定するクロック再生ブロック（８６）と、
前記タイミングオフセットに基づいて、タイミング調整、及び３対２のレート変換を実行する補間器ブロック（８８）と、
前記補間器ブロックからの同相信号及び直交信号を位相信号に変換するアークタンジェントブロック（９０）と、
前記位相信号のキャリアオフセット調整を実行するキャリア再生ブロック（９２）と、
調整された前記位相信号の最終のデコードを実行するデコーダブロック（９４）と、
を有する該ＤＳＰ（８４）プロセッサと、
を備えるリミッタベースのアナログ復調器。
【請求項４】
デジタル化された同相信号及び直交信号を受け取るハードウェアアクセラレータ（７０）を備える位相検波器であって、
前記ハードウェアアクセラレータは、
前記同相信号及び直交信号を３倍のシンボルレートに間引くデシメータブロック（７２，７４）と、
前記間引きされた信号を受けて、スロットタイミング信号を生成するバースト同期ブロック（７８）及び時分割多元接続（ＴＤＭＡ）ブロック（８０）と、
前記スロットタイミング信号に応答するストレージレジスタ（８２）と、
を有する該ハードウェアアクセラレータ（７０）と、
を有しており、
前記ストレージレジスタから前記間引きされた信号を受け取るＤＳＰプロセッサ（８０）を更に備え、
前記ＤＳＰプロセッサは、
タイミングオフセットを推定するクロック再生ブロック（８６）と、
前記タイミングオフセットに基づいて、タイミング調整、及び３対２のレート変換を実行する補間器ブロック（８８）と、
前記補間器ブロックからの同相信号及び直交信号を位相信号に変換するアークタンジェントブロック（９０）と、
前記位相信号のキャリアオフセット調整を実行するキャリア再生ブロック（９２）と、
調整された前記位相信号の最終のデコードを実行するデコーダブロック（９４）と、
を有している、位相検波器。
【誤訳訂正２】
【訂正対象書類名】明細書
【訂正対象項目名】０００５
【訂正方法】変更
【訂正の内容】
【０００５】

本発明を組み込んだリミッタベースのアナログ復調器は、ベースバンド信号を受信する電力増幅器と、ベースバンド周波数で作動するローカルクロックと、を備えている。第１の乗算器が、電力増幅器からの出力及びローカルクロックを受けて、同相信号を提供する。直交位相シフタがローカルクロックを受け、第２の乗算器が電力増幅器からの出力及び位相シフタからの出力を受けて、直交信号を提供する。第１のアナログフィルタが、同相信号を受けて、第２のアナログフィルタが直交信号を受ける。第１のアナログフィルタに接続された第１のアナログ－デジタル変換器が、デジタル化された同相信号を提供し、第２のアナログフィルタに接続された第２のアナログ－デジタル変換器が、デジタル化された直交信号を提供する。位相検波器が、次いで、デジタル化された同相信号及び直交信号を受け取る。

【誤訳訂正３】
【訂正対象書類名】明細書
【訂正対象項目名】０００８
【訂正方法】変更
【訂正の内容】
【０００８】

図２は、本発明に係るアナログダウンミクサ３０を示している。１０．８ＭＨｚのＩＦ信号が、電力増幅器３２において受信される。この信号は、１０．８ＭＨｚの同相で作動するローカルクロックと乗算器３４において混合され、３６で９０°の位相シフトがなされた１０．８ＭＨｚのローカルクロックと乗算器３８において混合される。二つの信号は、次いで、アナログＬＰＦ４０及び４２それぞれで、フィルタリングされる。次いで、二つの信号は、ＡＤＣ４４及び４６経由で変換され、デジタル領域Ｉ及びＱが提供される。Ｉ及びＱに対して動作するアークタンジェント機能４８が、シンボルデコードのために、位相差を提供する。

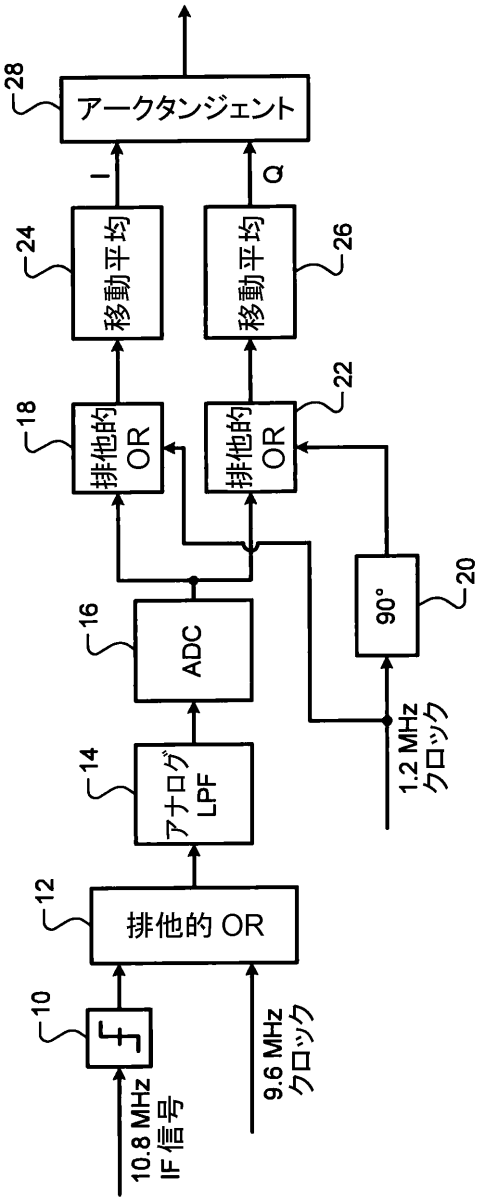
【誤訳訂正４】
【訂正対象書類名】明細書
【訂正対象項目名】０００９
【訂正方法】変更
【訂正の内容】
【０００９】

受信機システムが実装された本発明のダウンミクサを、図３に示す。ダウンミクサ３０のＡＤＣ４４及び４６からの変換されたデジタル信号は、ハードウェアアクセラレータ５０に渡され、更に、フィルタリングされ、５２で３倍のシンボルレート、例えば５７６ＫＨｚに間引かれる。この信号は、まず、キャリア再生ブロック５４を通り、次いで、ローテータブロック５６を通り、そして、ストレージレジスタ５８に渡される。ストレージレジスタ５８は、本明細書に開示する実施の形態の場合には、デュアル又はＡ／Ｂレジスタである。キャリア再生ブロックの機能は、バーストを検出し、受信信号と送信信号との間のキャリア周波数のオフセットを推定することである。これによって、次のローテータブロック５６が、キャリアのオフセットを補償することが可能となる。この回転された信号は、次いで、等化器６２を有するＤＳＰ６０に渡される。適応判定指向型等化器が適用されており、ここでは、トレーニングシーケンスが、バーストにおけるユニークワード（ＵＷ）である。したがって、ＵＷの正確な位置が必要である。この情報は、相関ブロック６４経由で獲得される。入力データのＵＷに対する相関を計算して、相関計算の結果のピークを検出した後に、バーストデータにおけるＵＷの位置を求めることができる。このプロセスは、従来のコヒーレント検波として通常知られたものであり、ベースバンド変調がＤＱＰＳＫであっても、本発明において採用される。理論的には、この種のコヒーレント検波は、差動検波より３ｄＢ優れた性能を有し得る。

【誤訳訂正５】
【訂正対象書類名】明細書
【訂正対象項目名】００１０

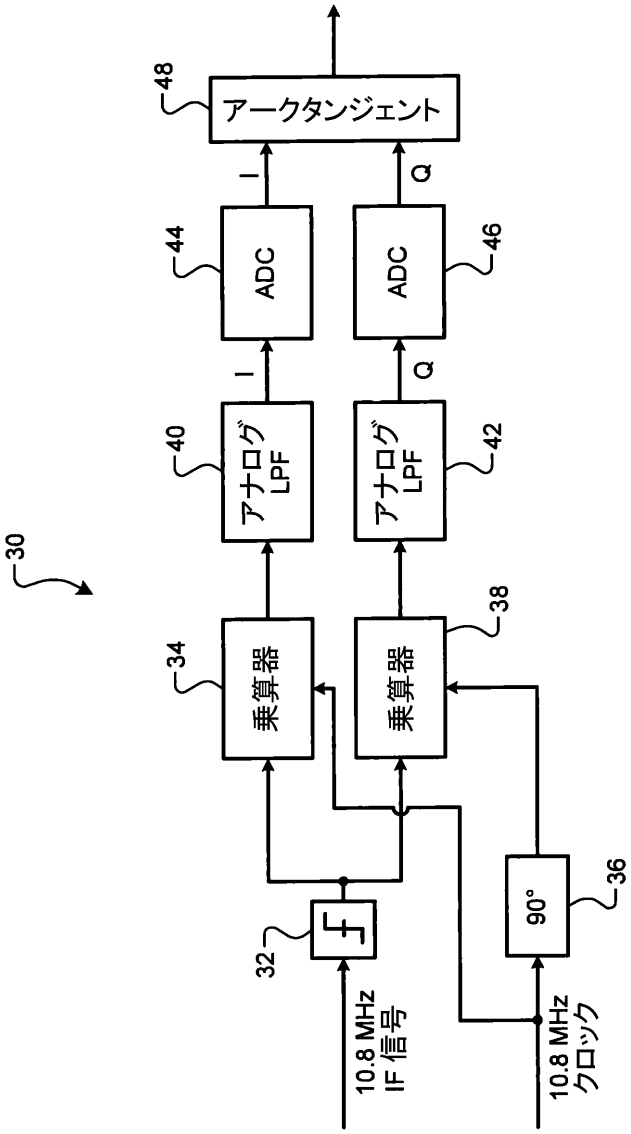
【訂正方法】変更
【訂正の内容】
【００１０】
図３に示す実施の形態は、更に、検波モードの選択を提供するように構成されている。増幅器における受信信号の振幅の飽和は、ＰＩ／４　ＤＱＰＳＫ復調にとって重大な信号位相情報を損なう。したがって、差動検波を可能にするために、マルチプレクサ６６が、増幅器３２の出力を受信するか、又は、入力信号を直接に受け取るように信号パスに挿入されている。マルチプレクサの信号選択は、飽和／無飽和信号６８によって制御される。飽和対無飽和は、非等化モード対等化モードと等価である。非等化モードは、基本差動検波を提供する。或いは、ＰＩ／４　ＤＱＰＳＫ信号は、等化技術を用いて、上述したように検出することができる。飽和／無飽和信号は、所望のシステム設定に従いレジスタ値によって設定される。
【誤訳訂正６】
【訂正対象書類名】図面
【訂正対象項目名】図１
【訂正方法】変更
【訂正の内容】

【図１】



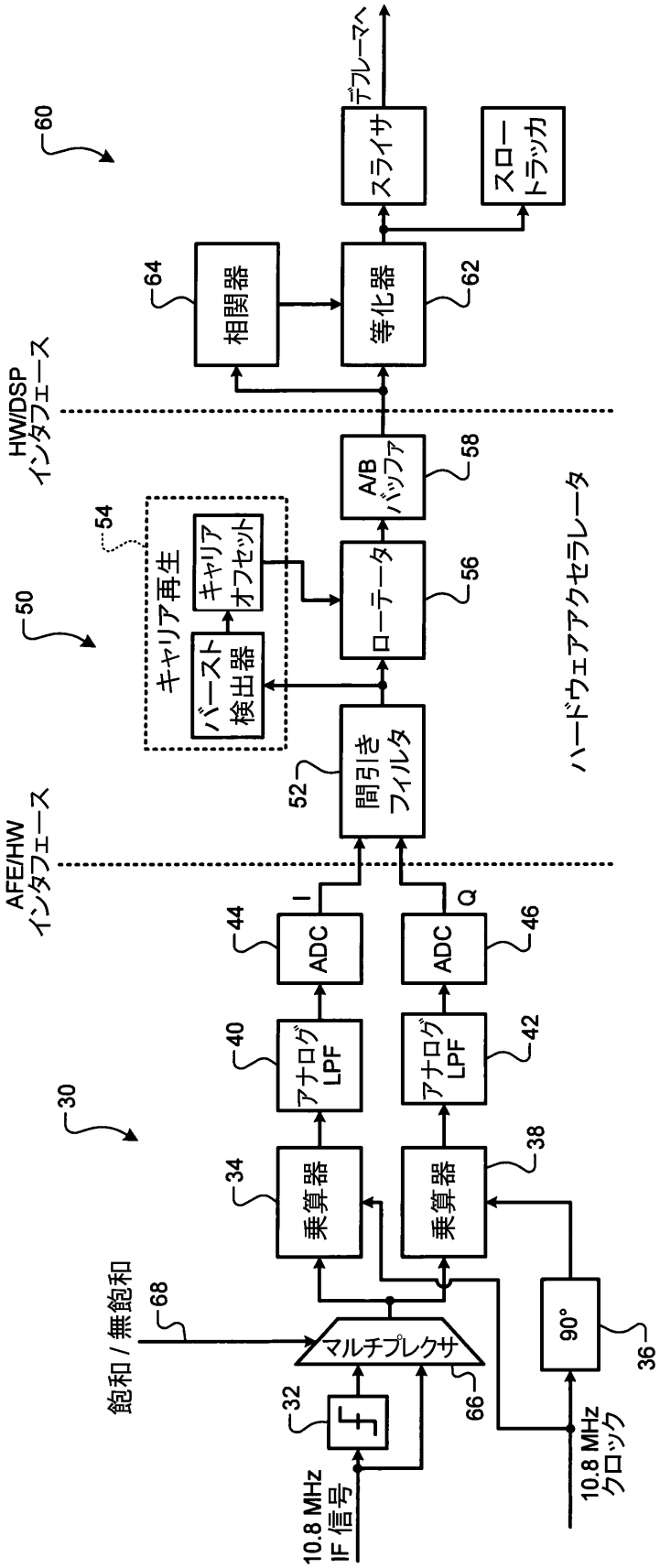
【誤訳訂正７】
【訂正対象書類名】図面
【訂正対象項目名】図２
【訂正方法】変更
【訂正の内容】

【図２】



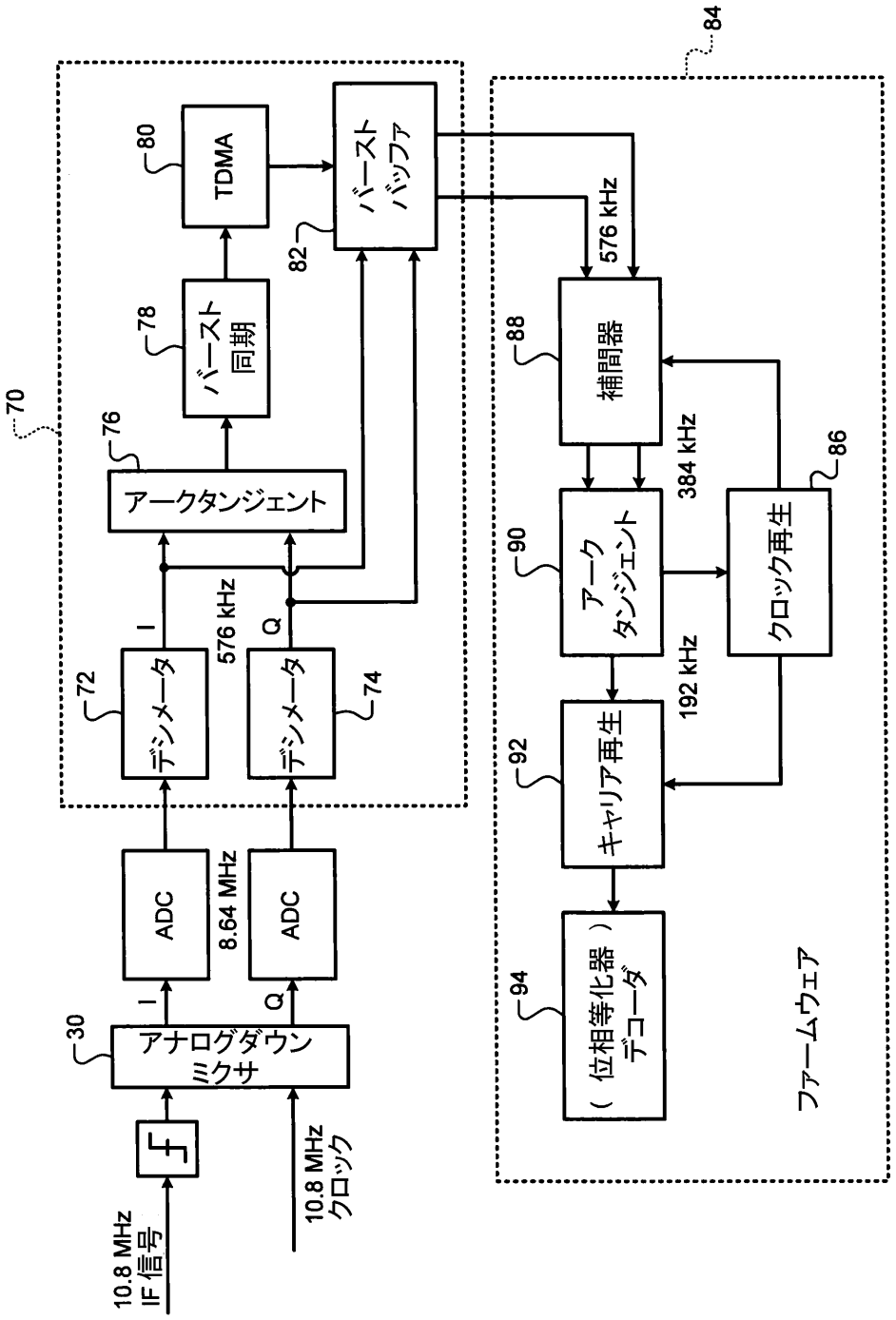
【誤訳訂正８】
【訂正対象書類名】図面
【訂正対象項目名】図３
【訂正方法】変更
【訂正の内容】

【図３】



【誤訳訂正９】
【訂正対象書類名】図面
【訂正対象項目名】図４
【訂正方法】変更

【訂正の内容】
【図４】


10.8 MHz
IF信号
10.8 MHz
クロック
30
アナログダウン
ミクサ
I
Q
ADC
ADC
8.64 MHz
72
デシメータ
74
デシメータ
576 kHz
I
Q
70
76
アークタンジェント
78
バースト
同期
80
TDMA
82
バースト
バッファ
84
576 kHz
88
補間器
384 kHz
90
アーク
タンジェント
86
クロック再生
192 kHz
92
キャリア再生
94
（位相等化器）
デコーダ
ファームウェア