

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H04N 5/14

(45) 공고일자 1999년03월20일

(11) 등록번호 특0169002

(24) 등록일자 1998년10월08일

(21) 출원번호	특1995-072288	(65) 공개번호	특1997-056919
(22) 출원일자	1995년12월30일	(43) 공개일자	1997년07월31일

(73) 특허권자 삼성전자주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 김의규
경기도 안양시 동안구 달안동 셋별아파트 612-102
(74) 대리인 이건주

심사관 : 김창범

(54) 영상신호 처리장치의 어드레스 발생회로

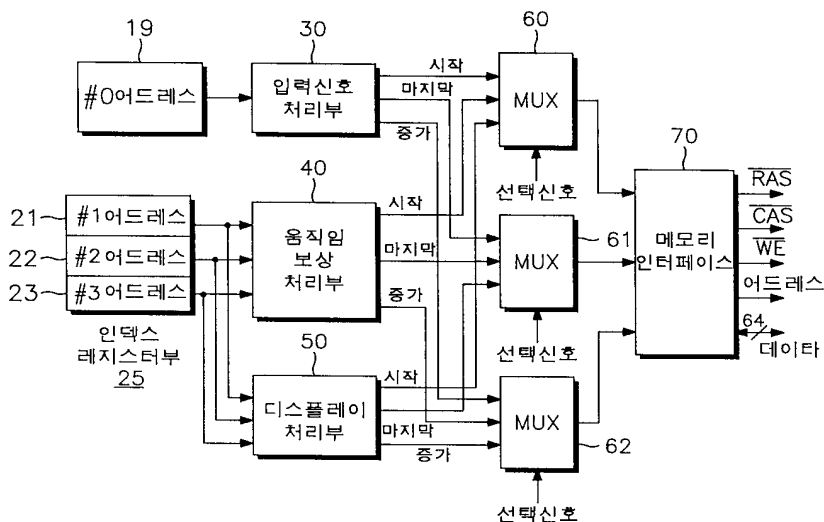
요약

1. 청구 범위에 기재된 발명이 속한 기술분야
영상신호 처리장치의 어드레스 발생회로.
2. 발명이 해결하려고 하는 기술적 과제
영상 데이터의 처리를 다양한 형태로 할 수 있도록 함.
3. 발명의 해결방법의 요지

영상신호 처리장치의 어드레스 발생회로는 외부 메모리의 영역에 각각의 시작 어드레스를 저장하는 인덱스 레지스터부와, 미 복원된 영상 데이터를 상기 외부 메모리에 저장하고 저장된 영상 데이터를 상기 메모리로부터 리드하기 위한 어드레스를 발생하는 입력신호 처리부와, 움직임 보상시 사용되는 참조 어드레스에 대한 정보를 발생하며 움직임 보상이 완료된 영상 데이터를 상기 외부 메모리에 라이팅하기 위한 어드레스를 발생하는 움직임 보상처리부와, 복원된 영상데이터에 따라 화면상에 디스플레이할 데이터를 리드하기 위한 어드레스를 발생 디스플레이 처리부와, 상기 입력신호 처리부 및 움직임 보상 처리부와 디스플레이 처리부로부터 발생되는 각각의 어드레스를 인가되는 선택신호에 따라 다중화하는 멀티플렉서와, 상기 멀티플렉서로부터 출력되는 선택된 어드레스를 수신하여 최종 어드레스 및 상기 외부 메모리에 영상 데이터를 리드 및 라이팅하기 위한 메모리 제어 신호들을 생성하는 메모리 인터페이스를 가짐을 특징으로 한다.

4. 발명의 중요한 용도
영상 데이터의 처리분야에 사용.

대표도



명세서

[발명의 명칭]

영상신호 처리장치의 어드레스 발생회로

[도면의 간단한 설명]

제1도는 종래의 영상신호 처리블럭의 회로도면.

제2도는 본 발명에 따른 어드레스 발생회로의 블록도.

제3도내지 제11도는 제2도의 일실시예에 따른 도면들.

[발명의 상세한 설명]

본 발명은 영상신호 처리장치에 관한 것으로, 특히 영상신호의 저장 및 복원을 위한 메모리 어드레스 발생회로에 관한 것이다.

일반적으로, 영상신호 처리장치는 인가되는 영상신호를 디지털 데이터화하여 메모리에 저장하고 저장된 데이터를 여러형태로 처리하여 화면상에 디스플레이하는 작업을 수행한다.

종래의 영상신호 처리장치에서 영상신호를 처리하기 위한 블록은 제1도와 같이 구성되어있다. 제1도를 참조하면, 인가되는 영상신호를 처리하는 신호처리부 2, 상기 신호 처리부 2에 연결되며 신호의 처리를 전반적으로 제어하는 마이크로 콘트롤러 4, 및 상기 마이크로 콘트롤러 4로부터 인가되는 어드레스에 응답하여 외부 메모리 20와 상기 신호처리부 2사이에 입출력되는 영상 데이터를 인터페이스하기 위한 메모리 인터페이스 6는 상기 블록 10을 구성한다.

상기 제1도와 같이 구성된 영상신호 처리블럭은 영상신호의 복원을 위해, 영상 데이터를 메모리 인터페이스 6를 통해 상기 외부 메모리 20에 저장한 후 저장된 데이터를 메모리 인터페이스 6를 통해 상기 외부 메모리 20에 저장한 후 저장된 데이터를 리드하여 처리한다. 상기 마이크로 콘트롤러 4는 상기 신호 처리부 2로부터 참조 데이터를 수신하여 제어신호 및 어드레스를 발생한다. 상기 메모리 인터페이스 6는 상기 어드레스에 응답하여 최종 어드레스 및 각종 메모리 제어신호를 상기 외부 메모리 20에 제공한다.

그러나, 상기한 종래의 회로는 마이크로 콘트롤러 4에 롬 메모리를 내장하여야 하며, 롬 메모리에 신호복원을 위한 프로그램을 라이팅하여야 한다. 따라서, 일단 정해진 프로그램에 따라 데이터의 처리가 행해지므로 만약 전체 시스템을 콘트롤하기 위한 별도의 고속회로를 연동시키는 경우에 롬 메모리를 교체해야 하는 문제점이 있다.

이와 같이 종래에는 영상신호의 복원을 위한 영상 데이터의 처리를 마이크로 콘트롤러 전적으로 의존하였으므로, 물 메모리 및 프로그램 과정을 반드시 필요로 하고 고속회로의 연동시 롬 메모리를 교체해야 하는 번거로운 문제점과 그에 따른 회로의 운용 확장성에 제약이 있었다.

따라서, 본 발명의 목적은 상기한 종래의 문제점을 해소할 수 있는 영상신호 처리장치를 제공함에 있다.

본 발명의 다른 목적은 영상 데이터의 처리를 다양한 형태로 할 수 있게 하는 영상신호 처리장치의 어드레스 발생회로를 제공함에 있다.

본 발명의 또 다른 목적은 롬 메모리의 프로그램에 의존하여 영상 데이터를 처리함이 없이도 영상 데이터를 저장 및 복원할 수 있는 회로를 제공함에 있다.

상기의 목적을 달성하기 위한 본 발명에 따라, 영상신호 처리장치의 어드레스 발생회로는 외부 메모리의 영역에 각각의 시작 어드레스를 저장하는 인덱스 레지스터부와, 미 복원된 영상 데이터를 상기 외부 메모리에 저장하고 저장된 영상 데이터를 상기 메모리로부터 리드하기 위한 어드레스를 발생하는 입력신호 처리부와, 움직임 보상시 사용되는 참조 어드레스에 대한 정보를 발생하며 움직임 보상이 완료된 영상 데이터를 상기 외부 메모리에 라이팅하기 위한 어드레스를 발생하는 움직임 보상 처리부와, 복원된 영상데이터에 따라 화면상에 디스플레이할 데이터를 리드하기 위한 어드레스를 발생 디스플레이 처리부와, 상기 입력신호 처리부 및 움직임 보상 처리부와 디스플레이 처리부로부터 발생하는 각각의 어드레스를 인가되는 선택신호에 따라 다중화하는 멀티플렉서와, 상기 멀티플렉서로부터 출력되는 선택된 어드레스를 수신하여 최종 어드레스 및 상기 외부 메모리에 영상 데이터를 리드 및 라이트하기 위한 메모리 제어신호들을 생성하는 메모리 인터페이스를 가짐을 특징으로 한다.

이하에서는 본 발명의 바람직한 일 실시예에 따른 회로가 첨부된 도면과 함께 설명될 것이다. 첨부된 도면의 참조부호들중 동일한 참조부호는 가능한한 동일 구성 및 기능을 가지는 것을 가르킨다. 다음의 설명에서, 그러한 구성에 대한 상세한 항목들이 본 발명의 보다 철저한 이해를 제공하기 위해 자세하게 설명된다. 그러나, 당해 기술분야에 숙련된 자들에게 있어서는 본 발명이 이러한 상세한 항목들이 없이도 실시될 수 있다는 것이 명백할 것이다. 또한, 잘 알려진 영상신호 처리 장치의 기본 소자의 특징 및 공지의 회로블럭의 구성들은 본 발명을 모호하지 않게 하기 위해 상세히 설명하지 않는다.

먼저, 제2도에는 본 발명에 따른 회로의 전체 블록도가 도시된다. 다수의 어드레스부 19,21-23으로 구성된 인덱스 레지스터부 25는 제3도에 도시된 바와 같이 외부 메모리 20의 맵에 대한 각각의 시작 어드레스를 저장하는 기능을 담당한다. 입력신호 처리부 30는 미 복원된 영상 데이터를 상기 외부 메모리 20에 저장하고 저장된 영상 데이터를 상기 메모리 20로부터 리드하기 위한 어드레스를 발생한다. 움직임 보상 처리부 40는 움직임 보상시 사용되는 참조 어드레스에 대한 정보를 발생하며 움직임 보상이 완료된 영상 데이터를 상기 외부 메모리 20에 라이팅하기 위한 어드레스를 발생한다. 디스플레이 처리부 50는 복원된 영상데이터에 따라 화면상에 디스플레이할 데이터를 리드하기 위한 어드레스를 발생한다. 상기 입력신호 처리부 30, 움직임 보상 처리부 40, 및 디스플레이 처리부 50로부터 발생된 어드레스는 종류별로 멀티플렉서 60,61,62에 각기 인가된다. 상기 멀티플렉서 60,61,62는 인가되는 선택신호에 따라 3입력중 하나를 메

모리 인터페이스 70에 제공한다. 상기 메모리 인터페이스 70는 상기 선택된 어드레스를 수신하여 최종 어드레스 및 상기 외부 메모리 20에 영상 데이터를 리드 및 라이트하기 위한 메모리 제어신호들 /RAS, /CAS, /WE를 생성한다.

상기 제2도중 입력신호 처리부 30에서 처리되는 영상 데이터는 순차적으로 증가되는 어드레스에 의해 순차적으로 저장되고 읽혀진다. 제4도에는 상기 입력신호 처리부 30에서 발생하는 어드레스가 예로써 나타나 있다. 입력되는 영상 데이터를 저장하기 위해서는 현재의 라이트 어드레스가 시작 어드레스가 되며, 라이트하기 위한 데이터량이 마지막 어드레스가 되고, 증가량은 1이된다. 메모리에 저장된 영상 데이터를 리드하기 위해서는 현재의 리드 어드레스가 시작어드레스가 되며, 리드할 데이터량이 마지막 어드레스가 되고, 증가량은 1이다. 본 발명의 실시예에서는 리드할 데이터의 양을 32개, 라이트할 데이터의 양을 16개로 설계하여 다른 기존의 회로블럭과 동일한 처리가 될 수 있게 하였다. 제5도에는 이러한 상기 입력신호 처리부 30의 세부구성이 블럭 50-53으로써 나타나 있다. 동작의 초기에 카운터 50,51는 제로값으로 초기화되었다가 영상 데이터가 입력되면 32개의 데이터 군으로 저장시킨 후 라이트 카운터 값을 1증가시키고 메모리의 어드레스를 발생한다. 따라서, 초기에는 시작 어드레스가 0으로 되었다가 라이트를 완료 후에는 카운터 값이 1로 되는 것을 알 수 있다. 이 값은 후에 시작 어드레스가 된다. 한편, 저장된 영상 데이터의 리드동작도 영상 데이터의 경로만 다른뿐 상기한 라이트 동작과 동일하다.

제6도에는 움직임 보상 처리부 40의 움직임 보상을 위한 참조 어드레스 형태가 나타나 있다. MPEG-1 이나 MPEG-2에서는 통상적으로 입력 영상 데이터의 동보상을 16×16 단위로 처리하고 복원된 영상 데이터의 저장도 16×16 으로 하고 있다. 64비트 단위로 영상 데이터를 저장시 16×16 블럭 1개는 32개의 어드레스를 차지한다. 720×480 또는 720×576 의 MPEG-2의 데이터를 복원하기 위한 외부 메모리량은 16메가비트를 요구하며, 메모리의 한 행(row)에는 16×16 블럭이 16개 저장된다. 제6도와 같이 움직임 보상을 차마조 데이터가 리드되기 위해서 상기 메모리는 2번 또는 4번의 페이지 모드를 수행하여야 하고, 이를 위해 상기 메모리에 4개의 시작 어드레스, 4개의 마지막 어드레스, 및 2개의 증가분 어드레스를 제공해야 한다.

제7도에는 상기 움직임 보상 처리부 40내에 존재하는 어드레스 선택회로의 상세가 나타나 있다. 각 어드레스를 선택하기 위한 회로는 3개의 멀티플렉서 70-71로 구성된다. 제7도에서 계산된 시작 어드레스와 마지막 어드레스는 움직임 보사용 벡터로부터 계산되어지는 값이며 그 이외의 값은 고정되는 값이다.

제8도는 제1도의 디스플레이 처리부 50가 메모리에 저장된 데이터를 리드하는데 필요한 어드레스를 발생하는 것을 보여준다. 디스플레이의 경우 단지 하나의 데이터를 읽기 때문에 시작 어드레스와 마지막 어드레스는 같고 별도의 처리를 필요로 한다. 실제로 어드레스를 발생하는 동작은 상위 13비트와 하위 5비트를 별도로 계산 후 최종적으로 유효 어드레스를 발생한다.

제9도에는 하위 5비트에서 발생하는 시작 어드레스, 마지막 어드레스, 및 증가분의 발생과 이로부터 발생하는 페이지 모드 완료신호의 생성을 담당하는 회로가 도시된다. 참조부호 90,91,102,103,105-107은 플리플롭 소자를 나타내고, 93-95,100는 멀티플렉서를 나타낸다. 제9도에서, 페이지 모드 시작신호가 인가되면 새로운 시작 및 마지막 어드레스가 출력되고 다음의 클럭에서는 현재 발생된 어드레스에 증가분이 더해져 다음 발생 어드레스가 만들어 진다. 발생된 어드레스는 비교기 101에 의해 마지막 어드레스와 비교된다. 따라서, 상기의 동작은 발생된 어드레스가 마지막 어드레스와 일치할 때 까지 계속되며 일치시 페이지 모드 완료신호가 앤드 게이트 104에서 발생된다.

제10도는 상기 제1도의 메모리 인터페이스 70의 내의 메모리 제어신호들/RAS(로우 어드레스 스트로브 신호),/CAS(칼럼 어드레스 스트로브신호)를 발생하기 위한 회로를 보여준다.

상기 제9도에서 발생된 하위 5비트 어드레스는 인덱스 어드레스 및 16×16 블럭 어드레스와 함께 더해져 최종적으로 메모리 어드레스를 발생 시키는데 이는 제11도에 나타나 있다. 발생된 어드레스와 메모리 제어신호들로부터 영상 데이터의 리드 및 라이트가 행해진다.

상기한 바와 같은 본 발명에 따르면, 영상 데이터의 처리를 다양한 형태로 할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

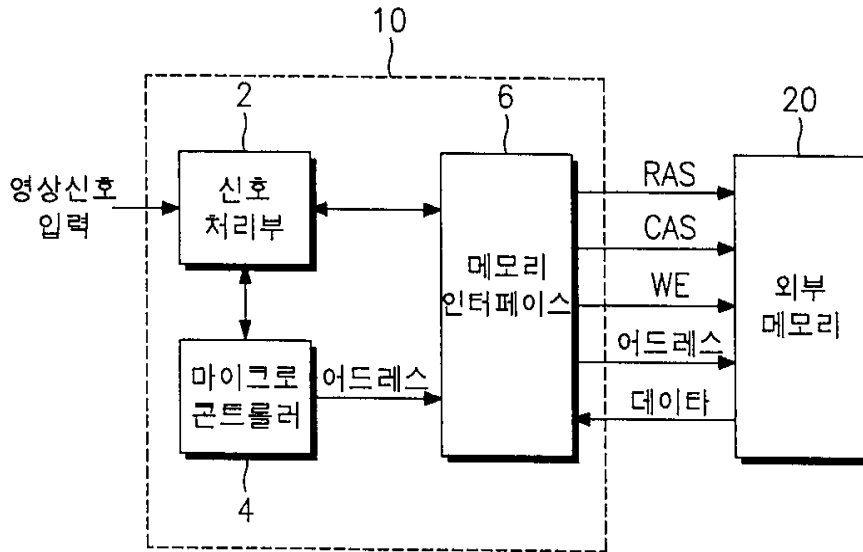
영상신호 처리장치의 어드레스 발생회로에 있어서, 외부 메모리의 영역에 각각의 시작 어드레스를 저장하는 인덱스 레지스터부와, 미 복원된 영상 데이터를 상기 외부 메모리에 저장하고 저장된 영상 데이터를 상기 메모리로부터 리드하기 위한 어드레스를 발생하는 입력신호 처리부와, 움직임 보상이 사용되는 참조 어드레스에 대한 정보를 발생하며 움직임 보상이 완료된 영상 데이터를 상기 외부 메모리에 라이트하기 위한 어드레스를 발생하는 움직임 보상처리부와, 복원된 영상데이터에 따라 화면상에 디스플레이할 데이터를 리드하기위한 어드레스를 발생 디스플레이 처리부와, 상기 입력신호 처리부 및 움직임 보상 처리부와 디스플레이 처리부로부터 발생하는 각각의 어드레스를 인가되는 선택신호에 따라 다중화하는 멀티플렉서와, 상기 멀티플렉서로부터 출력되는 선택된 어드레스를 수신하여 최종 어드레스 및 상기 외부 메모리에 영상 데이터를 리드 및 라이트하기 위한 메모리 제어신호들을 생성하는 메모리 인터페이스를 가짐을 특징으로 하는 회로.

청구항 2

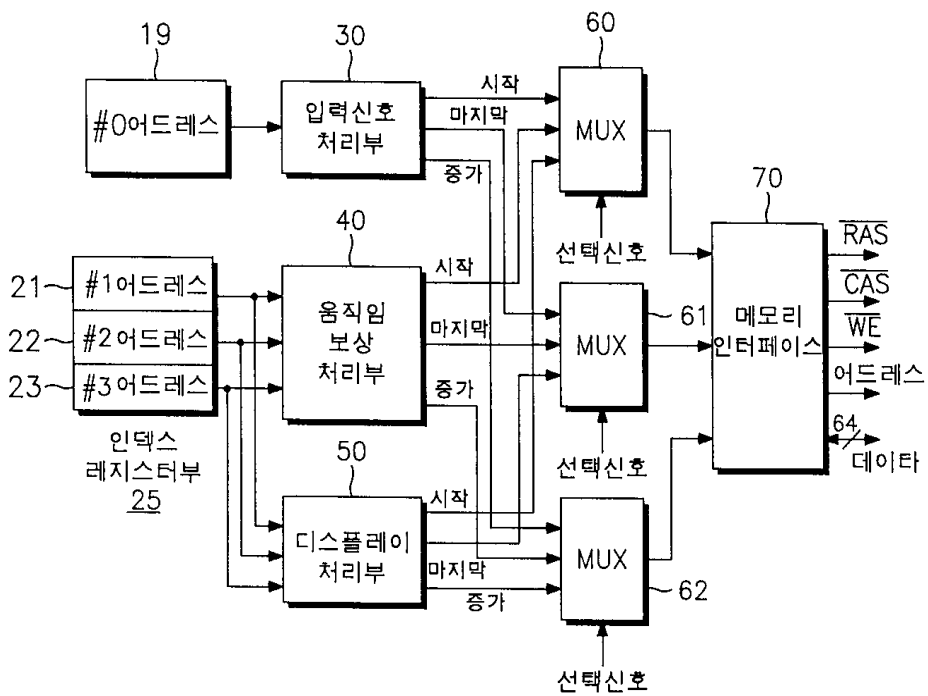
제1항에 있어서, 상기 메모리 제어신호들은 행 및 열 스트로브 신호를 포함하는 것을 특징으로 하는 회로.

도면

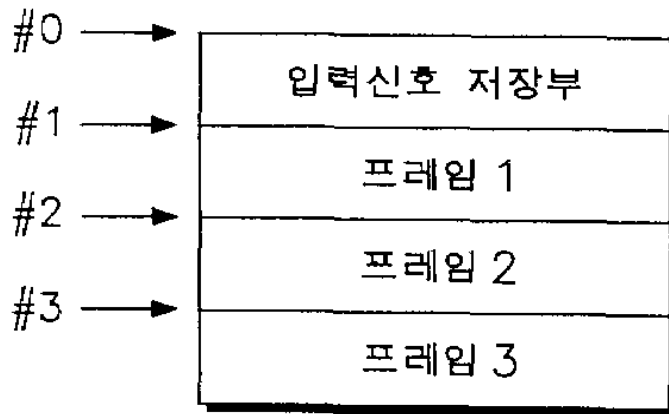
도면1



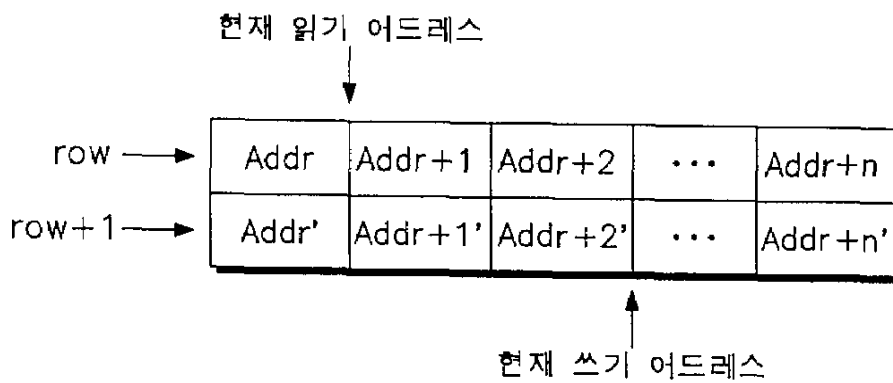
도면2



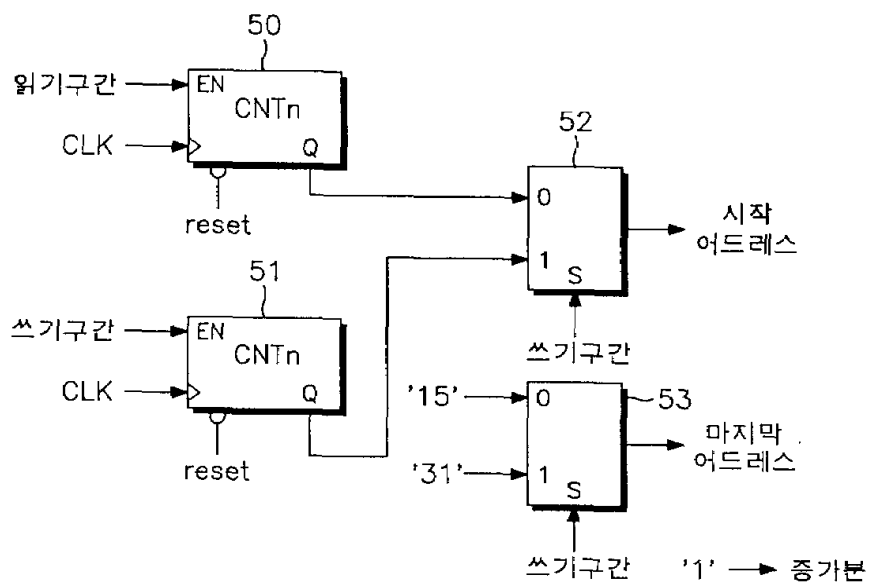
도면3



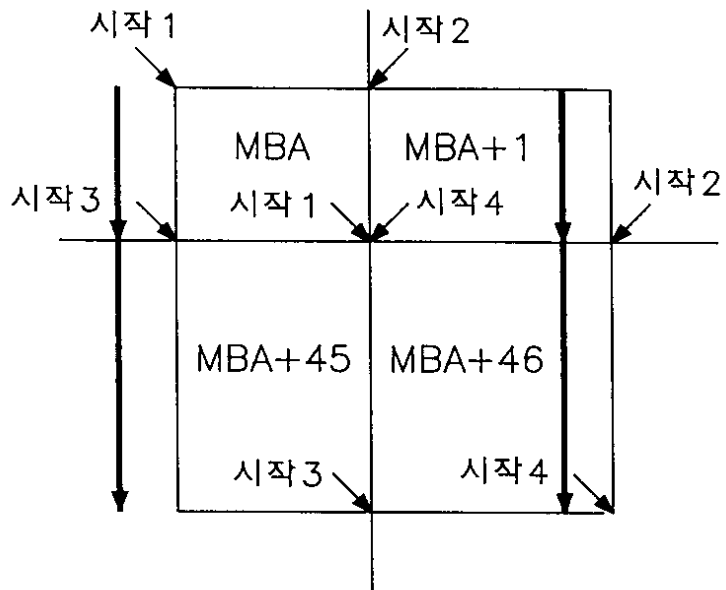
도면4



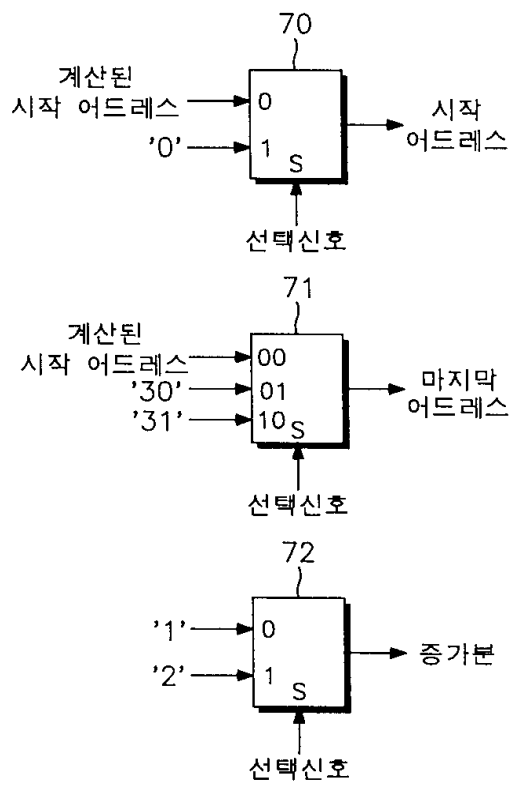
도면5



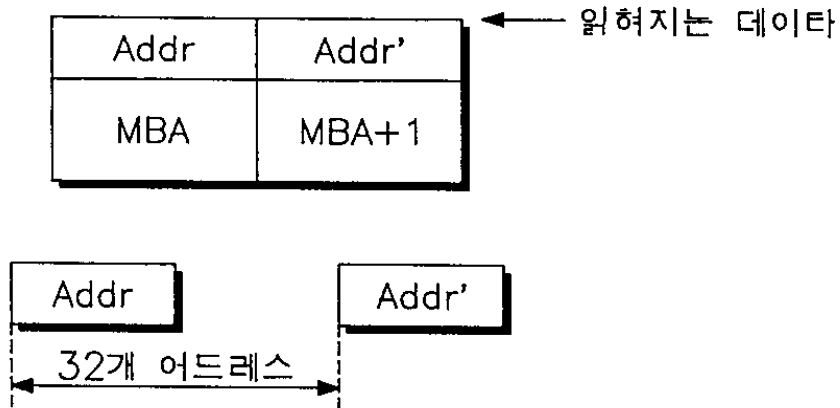
도면6



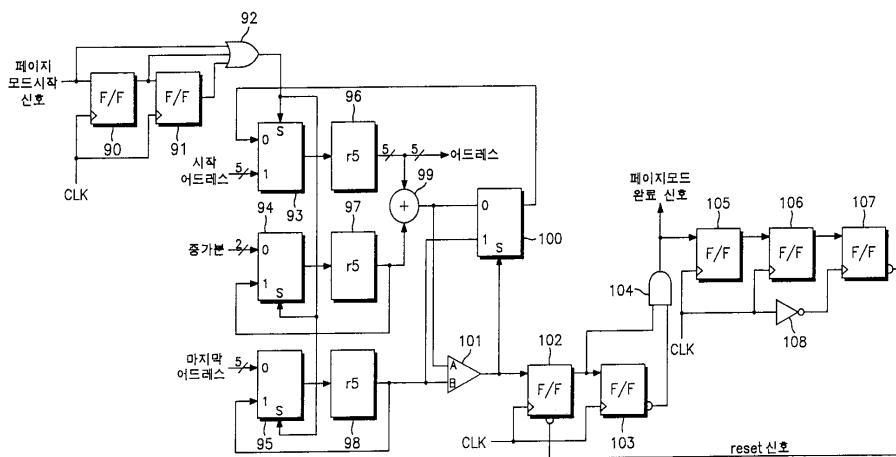
도면7



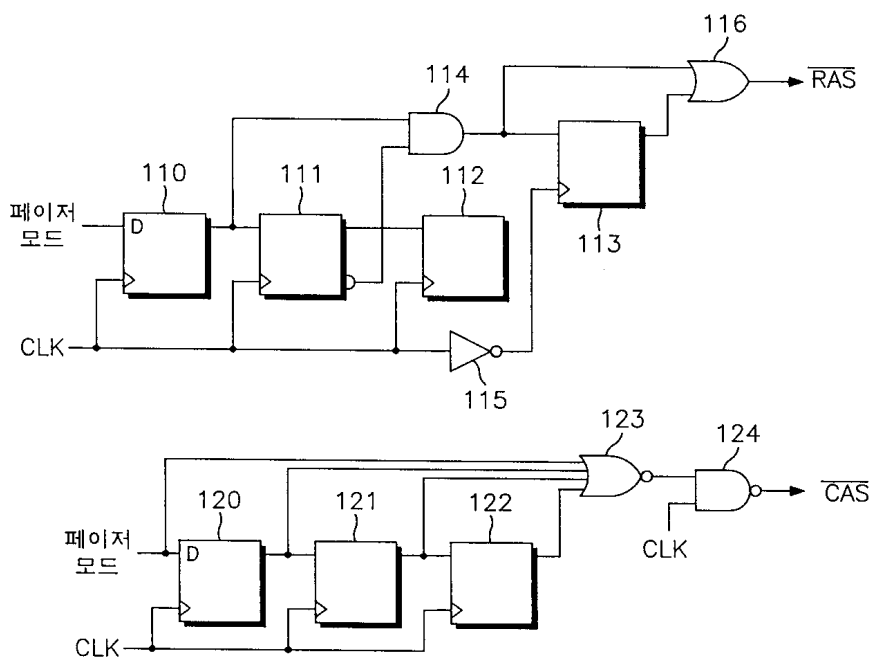
도면8



도면9



도면10



도면11

