



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I584450 B

(45)公告日：中華民國 106 (2017) 年 05 月 21 日

(21)申請案號：102110223

(22)申請日：中華民國 102 (2013) 年 03 月 22 日

(51)Int. Cl. : H01L27/115 (2006.01)

H01L29/78 (2006.01)

(30)優先權：2012/03/31 美國

13/436,872

(71)申請人：賽普拉斯半導體公司 (美國) CYPRESS SEMICONDUCTOR CORPORATION (US)
美國(72)發明人：利維 賽格 LEVY, SAGY (IL)；庫馬爾 克里希納斯瓦米 RAMKUMAR,
KRISHNASWAMY (US)；珍 佛瑞德 JENNE, FRED (US)；吉哈 薩姆 GEHA,
SAM (US)

(74)代理人：閻啟泰；林景郁

(56)參考文獻：

US 5348903

US 5847411

US 6833582B2

US 2005/0110064A1

US 2006/0261401A1

審查人員：湯欽全

申請專利範圍項數：19 項 圖式數：12 共 54 頁

(54)名稱

具有多個氮氧化物層之氧化物—氮化物—氧化物堆疊

OXIDE-NITRIDE-OXIDE STACK HAVING MULTIPLE OXYNITRIDE LAYERS

(57)摘要

本發明說明一種包含多層式電荷儲存層的半導體記憶體元件的實施例以及形成其之方法。一般來說，該元件包含：一通道，由疊置在基板的一表面上方的半導體材料所形成，用以連接該記憶體元件的源極與汲極；一穿隧氧化物層，疊置在該通道上方；以及一多層式電荷儲存層，其包含一位於該穿隧氧化物層上的富氧、第一氮氧化物層以及一位於該第一氮氧化物層上的貧氧、第二氮氧化物層，其中，該第一氮氧化物層的化學計量複合物導致其為實質上無捕獲阱，且其中，該第二氮氧化物層的化學計量複合物導致其為捕獲阱密集。於其中一實施例中，該元件包括一非平面式電晶體，其包含一具有鄰接該通道之多個表面的閘極，而且該閘極包括該穿隧氧化物層以及該多層式電荷儲存層。

An embodiment of a semiconductor memory device including a multi-layer charge storing layer and methods of forming the same are described. Generally, the device includes a channel formed from a semiconducting material overlying a surface on a substrate connecting a source and a drain of the memory device; a tunnel oxide layer overlying the channel; and a multi-layer charge storing layer including an oxygen-rich, first oxynitride layer on the tunnel oxide layer in which a stoichiometric composition of the first oxynitride layer results in it being substantially trap free, and an oxygen-lean, second oxynitride layer on the first oxynitride layer in which a stoichiometric composition of the second oxynitride layer results in it being trap dense. In one embodiment, the device comprises a non-planar transistor including a gate having multiple surfaces abutting the channel, and the gate comprises the tunnel oxide layer and the multi-layer charge storing layer.

指定代表圖：

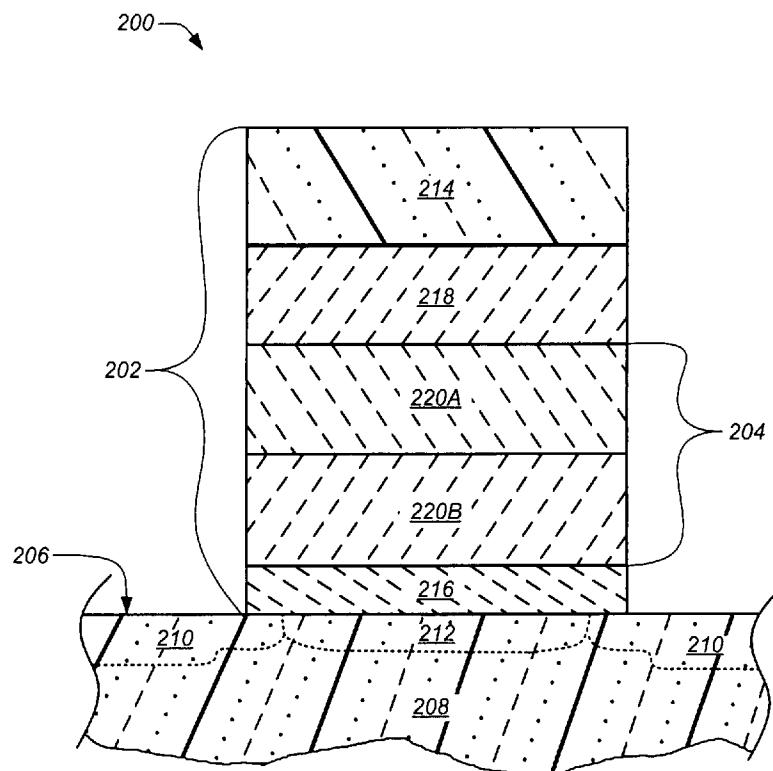


圖2

符號簡單說明：

- 200 · · · 半導體記憶體元件
- 202 · · · 閘極結構或閘極堆疊
- 204 · · · 多層式電荷儲存層
- 206 · · · 表面
- 208 · · · 砂基板
- 210 · · · 擴散區
- 212 · · · 通道區
- 214 · · · 多晶矽或多晶閘極層
- 216 · · · 下方氧化物層或穿隧氧化物層
- 218 · · · 頂端或阻隔氧化物層
- 220A · · · 頂端氮氧化物層
- 220B · · · 底部氮氧化物層

發明摘要

日本

※ 申請案號：102110223

※ 申請日：102.3.22

※ IPC 分類：H01L 29/115 F2006.01

【發明名稱】(中文/英文)

H01L 29/118 F2006.02

具有多個氮氧化物層之氧化物-氮化物-氧化物堆疊

Oxide-Nitride-Oxide Stack Having Multiple Oxynitride Layers

【中文】

本發明說明一種包含多層式電荷儲存層的半導體記憶體元件的實施例以及形成其之方法。一般來說，該元件包含：一通道，由疊置在基板的一表面上方的半導體材料所形成，用以連接該記憶體元件的源極與汲極；一穿隧氧化物層，疊置在該通道上方；以及一多層式電荷儲存層，其包含一位於該穿隧氧化物層上的富氧、第一氮氧化物層以及一位於該第一氮氧化物層上的貧氧、第二氮氧化物層，其中，該第一氮氧化物層的化學計量複合物導致其為實質上無捕獲阱，且其中，該第二氮氧化物層的化學計量複合物導致其為捕獲阱密集。於其中一實施例中，該元件包括一非平面式電晶體，其包含一具有鄰接該通道之多個表面的閘極，而且該閘極包括該穿隧氧化物層以及該多層式電荷儲存層。

【英文】

An embodiment of a semiconductor memory device including a multi-layer charge storing layer and methods of forming the same are described. Generally, the device includes a channel formed from a semiconducting material overlying a surface

on a substrate connecting a source and a drain of the memory device; a tunnel oxide layer overlying the channel; and a multi-layer charge storing layer including an oxygen-rich, first oxynitride layer on the tunnel oxide layer in which a stoichiometric composition of the first oxynitride layer results in it being substantially trap free, and an oxygen-lean, second oxynitride layer on the first oxynitride layer in which a stoichiometric composition of the second oxynitride layer results in it being trap dense. In one embodiment, the device comprises a non-planar transistor including a gate having multiple surfaces abutting the channel, and the gate comprises the tunnel oxide layer and the multi-layer charge storing layer.

【代表圖】

【本案指定代表圖】：第（2）圖。

【本代表圖之符號簡單說明】：

- | | |
|-----|-------------------|
| 200 | 半導體記憶體元件 |
| 202 | 閘極結構或閘極堆疊 |
| 204 | 多層式電荷儲存層 |
| 206 | 表面 |
| 208 | 矽基板 |
| ● | 210 擴散區 |
| ● | 212 通道區 |
| ● | 214 多晶矽或多晶閘極層 |
| ● | 216 下方氧化物層或穿隧氧化物層 |
| ● | 218 頂端或阻隔氧化物層 |
| ● | 220A 頂端氮氧化物層 |
| ● | 220B 底部氮氧化物層 |

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

具有多個氮氧化物層之氧化物-氮化物-氧化物堆疊

Oxide-Nitride-Oxide Stack Having Multiple Oxynitride Layers

【技術領域】

【0001】 本發明和半導體處理有關，且更明確地說，和具有改善的氧化物-氮化物或氮氧化物層的氧化物-氮化物-氧化物堆疊有關，以及形成其之方法。

相關申請案之交叉參考

本申請案係 2007 年 6 月 13 日提申之共同待審美國申請案序號第 11/811,958 號的部分接續案，該案在 35 U.S.C. 119(e)的規範下主張 2007 年 5 月 25 日提申之美國臨時專利申請案序號第 60/931,947 號的優先權權利。本文以引用的方式將兩案併入。

【先前技術】

【0002】 非揮發性半導體記憶體，例如，分離閘極快閃記憶體，通常使用堆疊式漂浮閘極類型的場效電晶體，其中，電子會藉由偏壓一控制閘極並且將其上形成要被程式化之記憶體胞的基板的主體區接地而被誘發至該記憶體胞的漂浮閘極之中。

【0003】 氧化物-氮化物-氧化物(Oxide-Nitride-Oxide，ONO)堆疊係作為電荷儲存層，如同在矽-氧化物-氮化物-氧化物-矽(Silicon-Oxide-Nitride-Oxide-Silicon，SONOS)電晶體中；或者作為漂浮閘極和控制閘極之間的隔離層，如同在分離閘極快閃記憶體中。

【0004】 圖 1 所示的係具有 SONOS 閘極堆疊或結構 102 的半導體元件 100(例如，記憶體元件)的中間結構的部分剖視圖，SONOS 閘極堆疊或結構 102 包含習知的 ONO 堆疊 104，根據習知的方法形成在矽基板 108 的一表面 106 上方。此外，元件 100 通常進一步包含一或多個擴散區 110，例如，源極與汲極區，它們會對準該閘極堆疊並且藉由通道區 112 被分開。簡言之，SONOS 結構 102 包含多晶矽(多晶)閘極層 114，形成在 ONO 堆疊 104 之上並且接觸該 ONO 堆疊 104。多晶閘極層 114 會藉由 ONO 堆疊 104 而與基板 108 分開或電氣隔離。ONO 堆疊 104 通常包含：一下方氧化物層 116；一氮化物或氮氧化物層 118，充當元件 100 的電荷儲存層或記憶體層；以及一頂端、高溫氧化物(High-Temperature Oxide，HTO)層 120，疊置在該氮化物或氮氧化物層上方。

【0005】 習知 SONOS 結構 102 以及形成其之方法的其中一項問題係氮化物或氮氧化物層 118 之不良的資料保留能力，這會因為經由該層產生漏電流的關係而限制元件 100 壽命及/或限制元件 100 在數種應用中的使用。

【0006】 習知 SONOS 結構 102 以及形成其之方法的另一項問題係氮氧化物層 118 的化學計量在該層之厚度中既不均勻，亦沒有最佳化。明確地說，氮氧化物層 118 在習知技術中係利用單一製程氣體混合物以及固定或恆定的處理條件於單一步驟中被形成或被沉積，試圖提供在該相對為厚的層的厚度中具有高氮濃度與高氧濃度的均質層。然而，由於頂端效應與底部效應的關係，這卻可能導致氮濃度、氧濃度、以及矽濃度在整個習知的氮氧化物層 118 中會不相同。頂端效應係因沉積之後製程氣體被關閉的順序所造成。明確地說，含矽的製程氣體(例如，矽烷)通常先被關閉，從而

導致該氮氧化物層 118 的頂端部分為高氧及/或氮化物並且低矽。同樣地，底部效應則係因製程氣體被引入用以開始進行沉積的順序所造成。明確地說，該氮氧化物層 118 的沉積通常在退火步驟之後進行，從而在該沉積製程的開始處造成氨(NH₃)的尖峰農度或是相對高的濃度，並且產生低氧與矽而且高氮的氮氧化物層底部部分。底部效應還肇因於表面凝核現象，其中，在初始製程氣體混合物中可取得的氧與矽會優先和該基板表面處的矽進行反應並且不會促成該氮氧化物層之形成。結果，電荷儲存特徵(明確地說，利用 ONO 堆疊 104 所達成之記憶體元件 100 的程式化與抹除速度以及資料保留能力)便會受到負面的影響。

【0007】 據此，需要一種呈現改善的程式化與抹除速度以及資料保留能力之具有以氮氧化物層作為記憶體層的 ONO 堆疊的記憶體元件。進一步還需要一種形成呈現改善的氮氧化物化學計量之具有氮氧化物層的 ONO 堆疊的方法或製程。

【發明內容】

【0008】 本發明提供一種包含多層式電荷儲存層的半導體記憶體元件以及形成其之方法。一般來說，該元件包含：一通道，由疊置在基板的一表面上方的半導體材料所形成，用以連接該記憶體元件的源極與汲極；一穿隧氧化物層，疊置在該通道上方；以及一多層式電荷儲存層，其包含一位於該穿隧氧化物層上的富氧、第一氮氧化物層以及一位於該第一氮氧化物層上的貧氧、第二氮氧化物層，其中，該第一氮氧化物層的化學計量複合物導致其為實質上無捕獲阱，且其中，該第二氮氧化物層的化學計量複合物導致其為捕獲阱密集。於其中一實施例中，該元件包括一非平面式

電晶體，其包含一具有鄰接該通道之多個表面的閘極，而且該閘極包括該穿隧氧化物層以及該多層式電荷儲存層。本發明還揭示其它實施例。

【圖式簡單說明】

【0009】 閱讀後面的詳細說明時，配合附圖和下面提供之隨附的申請專利範圍便會明白本發明結構與方法的前述與各種其它特點和優點，其中：

圖 1(先前技術)所示的係根據習知方法所形成之具有氧化物-氮化物-氧化物(ONO)堆疊的記憶體元件的中間結構的剖面側視方塊圖；

圖 2 所示的係根據本發明一實施例的記憶體元件的一部分的剖面側視方塊圖，其具有包含多層式電荷儲存層的矽-氧化物-氮氧化物-氧化物-矽結構；

圖 3 所示的係根據本發明一實施例之用以形成包含多層式電荷儲存層的氧化物-氮氧化物-氧化物結構的方法流程圖；

圖 4 所示的係使用根據本發明所形成之記憶體層的記憶體元件的資料保留能力相較於使用習知記憶體層的記憶體元件的改善效果之圖；

圖 5 所示的係根據本發明另一實施例之用以形成包含多層式電荷儲存層的氧化物-氮氧化物-氧化物結構的方法流程圖；

圖 6 所示的係具有 ONO 結構之已程式化的習知記憶體元件的能帶圖；

圖 7A 與 7B 所示的係根據本發明一實施例之包含多層式電荷儲存層的記憶體元件在程式化之前與之後的能帶圖；

圖 8A 所示的係包含一分離電荷捕獲區的非平面式多閘極元件；

圖 8B 所示的係圖 8A 的非平面式多閘極元件的剖視圖；

圖 9A 與 9B 所示的係包含一分離電荷捕獲區和一水平奈米線通道的非

平面式多閘極元件；

圖 10A 與 10B 所示的係包含一分離電荷捕獲區和一垂直奈米線通道的非平面式多閘極元件；

圖 11A 至 11F 所示的係用以製作圖 10A 之非平面式多閘極元件的閘極優先(gate first)之方案；以及

圖 12A 至 12F 所示的係用以製作圖 10A 之非平面式多閘極元件的閘極最後(gate last)之方案。

【實施方式】

【0010】 本發明大體上關於一種包括包含多層式電荷儲存層之矽-氧化物-氮氧化物-氧化物-矽閘極結構的元件，以及製作其之方法。該閘極結構與方法特別適合用來形成記憶體元件(例如，記憶體電晶體)中的記憶體層。

【0011】 於下面的說明中，為達解釋之目的，會提出許多明確的細節，以便透澈的理解本發明。然而，熟習本技術的人士便會明白，即使沒有此等明確細節仍可實行本發明的結構與方法。於其它實例中，眾所熟知的結構與技術不會被詳細顯示或者係以方塊圖的形式來顯示，以免不必要的混淆對本說明的理解。

【0012】 說明中引用的「其中一實施例(one embodiment)」或「一實施例(an embodiment)」的意義為配合該實施例所述之特殊特點、結構、或特徵包含在至少其中一個實施例中。因此，出現在說明書中不同地方之「於其中一實施例中(in one embodiment)」片語未必全部表示相同的實施例。本文中使用到的「耦合(to couple)」一詞可能包含直接電氣連接以及經由一或更

多個中間組件來間接連接。

【0013】 簡言之，該方法涉及形成一多層式電荷儲存層，其包含具有不同氧濃度、氮濃度、及/或矽濃度的多個氮氧化物層，例如，氮氧化矽($\text{Si}_2\text{N}_2\text{O}$)層。該等氮氧化物層係在比習知 ONO 結構中的氮化物層或氧化物層更高的溫度中被形成，而且該等層中的每一者係利用不同的製程氣體混合物及/或在不同的流速下所形成。一般來說，該等氮氧化物層包含至少一頂端氮氧化物層以及一底部氮氧化物層。於特定的實施例中，該等層的化學計量複合物經過設計或選擇，俾使得該下方或底部氮氧化物具有高的氧含量與矽含量；而該頂端氮氧化物層則具有高的矽濃度與高的氮濃度以及低的氧濃度，以便產生貧氧、富矽的氮化物或是氮氧化物。富矽且富氧的底部氮氧化物層會降低被儲存電荷損失，但不會損及元件速度或程式化電壓與抹除電壓之間的初始(壽命的起點)差異。富矽、貧氧的頂端氮化物層會提高程式化電壓與抹除電壓之間的差異，從而改善元件速度、提高資料保留能力、以及延長元件的操作壽命。於某些實施例中，富矽、貧氧的頂端氮化物層可能進一步包含經過選擇的碳濃度，以便提高其中的捕獲阱的數量。

【0014】 視情況，該頂端氮化物層與該底部氮化物層之間的厚度比會經過選擇，以便幫助在利用乾式或濕式氧化形成第一氧化物層之後於矽-氧化物-氮氧化物-氧化物-矽閘極結構的穿隧或第一氧化物層上方形成該等氮氧化物層。

【0015】 現在將參考圖2至4來更詳細說明根據本發明各種實施例的矽-氧化物-氮氧化物-氧化物-矽結構以及製作其之方法。

【0016】 圖2所示的係根據其中一實施例的半導體記憶體元件200的

一部分的剖面側視方塊圖，其具有包含多層式電荷儲存層的矽-氧化物-氮氧化物-氧化物-矽閘極結構。參考圖 2，記憶體元件 200 包含矽-氧化物-氮氧化物-氧化物-矽閘極結構或閘極堆疊 202，其包含被形成在基板或矽基板 208 上之矽層的一表面 206 上方的多層式電荷儲存層 204。此外，元件 200 還進一步包含一或多個擴散區 210，例如，源極與汲極區或結構，它們會對準該閘極堆疊 202 並且藉由通道區 212 被分開。一般來說，該矽-氧化物-氮氧化物-氧化物-矽閘極結構包含一含矽的閘極層(例如，多晶矽或多晶閘極層 214，形成在該多層式電荷儲存層 204 之上並且接觸該多層式電荷儲存層 204)以及該矽層或基板 208 的一部分。該多晶閘極層 214 會藉由多層式電荷儲存層 204 而與基板 208 分開或電氣隔離。此矽-氧化物-氮氧化物-氧化物-矽結構包含：一薄的、下方氧化物層或穿隧氧化物層 216，其會分開或電氣隔離閘極堆疊 202 與通道區 212；一頂端或阻隔氧化物層 218；以及該多層式電荷儲存層 204。如上面所提並且如圖 2 中所示，該多層式電荷儲存層 204 包含至少兩個氮氧化物層，其包含一頂端氮氧化物層 220A 以及一底部氮氧化物層 220B。

【0017】 基板 208 可能包含任何已知的基於矽半導體材料，包含：矽基板、矽-鋒基板、絕緣體上矽基板、或是藍寶石上矽基板。或者，基板 208 亦可能包含被形成在基於非矽半導體材料(例如，砷化鎵、鋒、氮化鎵、或是磷化鋁)上的矽層。較佳的係，基板 208 為有摻雜或是沒有摻雜的矽基板。

【0018】 該矽-氧化物-氮氧化物-氧化物-矽結構的下方氧化物層或穿隧氧化物層 216 通常包含從約 15 埃(\AA)至約 22 \AA 之相對薄的二氧化矽(SiO_2)層，且於某些實施例中，其為約 18 \AA 。該穿隧氧化物層 216 可以藉由任何合

宜的手段來形成或沉積，舉例來說，其包含熱成長或是利用化學氣相沉積(Chemical Vapor Deposition，CVD)來沉積。一般來說，該穿隧氧化物層係利用在氧環境中進行熱氧化來形成或成長。於其中一實施例中，該製程涉及乾式氧化，其中，基板 208 會被放置在一沉積腔室或處理腔室中，加熱至從約 700°C 至約 850°C 的溫度，以及曝露在氧氣中維持預設的時間週期，該預設的時間週期係依據最終穿隧氧化物層 216 之所希望厚度來選擇。於另一實施例中，該穿隧氧化物層係在 ISSG(In-Situ Steam Generation，現場水汽生成)腔室中，於至少 1000°C 的溫度中在該基板上利用氧(O₂)和氫(H₂)之間的反應以基氧化來成長。示範性製程時間係從約 10 分鐘至約 100 分鐘。氧化可以在大氣壓力下或是在低壓處實施。

【0019】 如上面所提，該多層式電荷儲存層通常包含至少兩個氮氧化物層，它們具有由矽、氧、以及氮製成之不同的複合物，而且總厚度可能從約 70Å 至約 150Å，且於特定的實施例中，其為約 100Å。於其中一實施例中，該等氮氧化物層係利用矽源(例如，矽烷(SiH₄)、氯化矽烷(SiH₃Cl)、二氯化矽烷或 DCS(SiH₂Cl₂)、四氯化矽烷(SiCl₄)、或是雙叔丁胺基矽烷(Bis-TertiaryButylAmino Silane，BTBAS))、氮源(例如，氮(N₂)、氨(NH₃)、三氧化氮(NO₃)、或是氧化亞氮(N₂O))、以及含氧的氣體(例如，氧(O₂)或是 N₂O)在低壓 CVD 製程中被形成或被沉積。或者，可能使用氫被重氫取代的氣體，舉例來說，其包含以氘代氨(ND₃)取代 NH₃。以重氫取代氫可有利地鈍化矽-氧化物介面處的 Si 懸空鍵(dangling bond)，從而提高元件的 NBTI(Negative Bias Temperature Instability，負偏壓溫度不穩定性)壽命。

【0020】 舉例來說，該下方或底部氮氧化物層 220B 可藉由下面方式

被沉積在穿隧氧化物層 216 的上方：將基板 208 放置在沉積腔室中並且引入包含 N₂O、NH₃、以及 DCS 的製程氣體，同時將該腔室保持在從約 5 毫托(mT)至約 500mT 的壓力下，並且保持該基板的溫度從約 700°C 至約 850°C，且於特定的實施例中，至少約 760°C，持續週期從約 2.5 分鐘至約 20 分鐘。明確地說，製程氣體可能包含以從約 8:1 至約 1:8 的比例混合 N₂O 與 NH₃而製成的第一氣體混合物，以及以從約 1:7 至約 7:1 的比例混合 DCS 與 NH₃而製成的第二氣體混合物，並且可以從每分鐘約 5 個至約 200 個標準立方公分數 (standard cubic centimeter per minute, sccm)的流速被引入。已經發現到，在此等條件下所生產或沉積的氮氧化物層會產出富矽、富氧的底部氮氧化物層 220B，其會在程式化之後和在抹除之後減少電荷損失率，這可在保留模式中的小電壓飄移中獲得證實。

【0021】 該頂端氮氧化物層 220A 可以在使用包含 N₂O、NH₃、以及 DCS 之製程氣體的 CVD 製程中被沉積在該底部氮氧化物層 220B 的上方，腔室壓力從約 5mT 至約 500mT，而基板溫度從約 700°C 至約 850°C，且於特定的實施例中，至少約 760°C，持續週期從約 2.5 分鐘至約 20 分鐘。明確地說，製程氣體可能包含以從約 8:1 至約 1:8 的比例混合 N₂O 與 NH₃而製成的第一氣體混合物，以及以從約 1:7 至約 7:1 的比例混合 DCS 與 NH₃而製成的第二氣體混合物，並且可以從約 5 個 sccm 至約 20 個 sccm 的流速被引入。已經發現到，在此等條件下所生產或沉積的氮氧化物層會產出富矽、富氮、以及貧氧的頂端氮氧化物層 220A，其會改善速度並且增加程式化電壓與抹除電壓之間的初始差異，而不會損及利用矽-氧化物-氮氧化物-氧化物-矽結構之實施例製成的記憶體元件的電荷損失率，從而延長元件的操作壽命。

【0022】 於某些實施例中，該富矽、富氮、以及貧氧的頂端氮氧化物層 220A 會使用包含以從約 7:1 至約 1:7 的比例所混合的 BTBAS 與氨(NH₃)之製程氣體在 CVD 製程中被沉積在該底部氮氧化物層 220B 的上方，以便進一步包含經過選擇的碳濃度，用以提高其中的捕獲阱的數量。在該第二氮氧化物層中的碳的選定濃度可能包含從約 5%至約 15%的碳濃度。

【0023】 於特定的實施例中，頂端氮氧化物層 220A 係在和用來形成底部氮氧化物層 220B 相同的治具中依序被沉積，實質上不會中斷該沉積腔室中的真空。於特定的實施例中，頂端氮氧化物層 220A 被沉積實質上不會改變在沉積底部氮氧化物層 220B 期間基板 208 被加熱的溫度。於其中一實施例中，頂端氮氧化物層 220A 係藉由降低 N₂O/NH₃ 氣體混合物相對於 DCS/NH₃ 氣體混合物的流速依序並且在沉積底部氮氧化物層 220B 之後立刻被沉積，用以提供該等氣體混合物的所希望比例，以便產出富矽、富氮、以及貧氧的頂端氮氧化物層 220A。

【0024】 於特定的實施例中，另一氧化物或氧化物層(此等圖中並未顯示)會在形成閘極堆疊 202 之後利用水汽氧化(steam oxidation)被形成在基板 208 上的不同區域中或是被形成在該元件中。於此實施例中，該頂端氮氧化物層 220A 以及該矽-氧化物-氮氧化物-氧化物-矽結構的頂端或阻隔氧化物層 218 在該水汽氧化製程期間會獲益於水汽退火(steam annealed)。明確地說，水汽退火會改善頂端或阻隔氧化物層 218 的品質，減少被形成在該阻隔氧化物層之頂端表面附近以及下方的頂端氮氧化物層 220A 之頂端表面附近的捕獲阱的數量，從而降低或實質上消弭可能跨越該阻隔氧化物層形成的電場，該電場會導致電荷載子經此反向流過並且對該電荷儲存層中的

資料或電荷保留能力造成負面影響。

【0025】 經發現，底部氮氧化物層 220B 的合宜厚度係從約 10Å 至約 80Å；而且經發現，該底部層與該頂端氮氧化物層之間的厚度比係從約 1:6 至約 6:1，且於特定的實施例中，為至少約 1:4。

【0026】 該矽-氧化物-氮氧化物-氧化物-矽結構的頂端或阻隔氧化物層 218 包含相對厚的 SiO_2 層，從約 30Å 至約 70Å，且於特定的實施例中，約 45Å。該頂端或阻隔氧化物層 218 可以藉由任何合宜的手段來形成或沉積，舉例來說，包含被熱成長或利用 CVD 被沉積。於其中一實施例中，該頂端或阻隔氧化物層 218 係利用 CVD 製程所沉積的高溫氧化物(HTO)。一般來說，該沉積製程涉及在沉積腔室中將基板 208 曝露於矽源(例如，矽烷、氯化矽烷、或是二氯化矽烷)以及含氧的氣體(例如， O_2 或是 N_2O)，壓力從約 50mT 至約 1000mT，持續週期從約 10 分鐘至約 120 分鐘，同時保持基板在從約 650°C 至約 850°C 的溫度中。

【0027】 於特定的實施例中，該頂端或阻隔氧化物層 218 係在和用來形成該等氮氧化物層 220A、220B 相同的治具中依序被沉積。於特定的實施例中，該等氮氧化物層 220A、220B 以及該頂端或阻隔氧化物層 218 係在和用來成長穿隧氧化物層 216 相同的治具中被形成或是被沉積。舉例來說，合宜的治具包含位於美國加州斯科特谷的 AVIZA Technology 市售的 ONO AVP。

【0028】 現在將參考圖 3 的流程圖來說明根據其中一實施例之用於形成或製作矽-氧化物-氮氧化物-氧化物-矽堆疊的方法。

【0029】 參考圖 3，該方法從在基板 208 的一表面上的含矽層上方形

成該矽-氧化物-氮氧化物-氧化物-矽閘極堆疊 202 的第一氧化物層(例如，穿隧氧化物層 216)開始(300)。接著，多層式電荷儲存層 204 中包含氮氧化物的第一或底部氮氧化物層 220B 會被形成在該第一氧化物層的一表面上(302)。如上面所提，此第一或底部氮氧化物層 220B 可藉由使用包含 N₂O/NH₃ 以及 DCS/NH₃ 氣體混合物之製程氣體的 CVD 製程來形成或沉積，該等氣體混合物的比例和流速經過設計，用以提供富矽且富氧的氮氧化物層。該多層式電荷儲存層 204 的第二或頂端氮氧化物層 220A 接著會被形成在該第一或底部氮氧化物層 220B 的一表面上(304)。該第二或頂端氮氧化物層 220A 之由氧、氮、及/或矽製成的化學計量複合物不同於該第一或底部氮氧化物層 220B 之由氧、氮、及/或矽製成的化學計量複合物。明確地說，且如上面所提，該第二或頂端氮氧化物層 220A 可藉由使用包含 DCS/NH₃ 以及 N₂O/NH₃ 氣體混合物之製程氣體的 CVD 製程來形成或沉積，該等氣體混合物的比例和流速經過設計，用以提供富矽、貧氧的頂端氮氧化物層。最後，該矽-氧化物-氮氧化物-氧化物-矽結構的頂端或阻隔氧化物層 218 會被形成在該多層式電荷儲存層之該第二層的一表面上(306)。如上面所提，此頂端或阻隔氧化物層 218 可以藉由任何合宜的手段來形成或沉積；但是，於某些實施例中則係在 CVD 製程中被沉積。於其中一實施例中，該頂端或阻隔氧化物層 218 係在 HTO CVD 製程中所沉積的高溫氧化物。或者，該頂端或阻隔氧化物層 218 亦可能被熱成長；然而，應該明白的係，於此實施例中，頂端氮氧化物 220A 的厚度可能經過調整或提高，因為該頂端氮氧化物的一部分會在熱成長該頂端或阻隔氧化物層 218 的製程期間被有效地消耗或氧化。

【0030】 視情況，該方法可能進一步包含形成或沉積一含矽層於該頂

端或阻隔氧化物層 218 的一表面上，用以形成矽-氧化物-氮氧化物-氧化物-矽堆疊或結構(308)。舉例來說，該含矽層可能係藉由 CVD 製程所沉積的多晶矽層，以便形成電晶體或元件 200 的控制或多晶閘極層 214。

【0031】 現在將參考圖 4 來比較使用根據本發明一實施例所形成之記憶體層的記憶體元件和使用習知記憶體層的記憶體元件的資料保留能力。明確地說，圖 4 所示的係針對利用習知 ONO 結構以及具有多層式氮氧化物層的矽-氧化物-氮氧化物-氧化物-矽結構所製成之可電抹除程式化唯讀記憶體(Electronically Erasable Programmable Read-Only Memory, EEPROM)在程式化期間的 EEPROM 中之元件臨界電壓(VTP)變化和抹除期間的 EEPROM 中之元件臨界電壓(VTE)變化。在收集此圖的資料中，兩種元件已在 85°C 的環境溫度中預循環作業 100K 個循環。

【0032】 參考圖 4，關係曲線或直線 402 所示的係針對利用具有單一氮氧化物層的習知 ONO 結構所製成之 EEPROM 在初始寫入(程式化或抹除)之後但沒有再新該記憶體時的 VTP 隨著時間的變化。直線 402 上的實際資料點係以空心圓來表示，該條直線的剩餘部分顯示 VTP 的外插值，直到該 EEPROM 的指定壽命終點(End-Of-Life, EOL)為止。關係曲線或直線 404 所示的係針對利用習知 ONO 結構所製成之 EEPROM 的 VTE 隨著時間的變化。直線 404 上的實際資料點係以實心圓來表示，而且該條直線的剩餘部分顯示 VTE 的外插值，直到該 EEPROM 的 EOL 為止。一般來說，EEPROM 在 EOL 處介於 VTE 與 VTP 之間的指定差異為至少 0.5V，以便能夠辨識或感應程式化狀態與抹除狀態之間的差異。如從此圖中所看見，利用習知 ONO 結構所製成之 EEPROM 在 20 年的指定 EOL 處介於 VTE 與 VTP 之間的差異

為約 0.35V。因此，利用習知 ONO 結構所製成並且操作在上述條件下的 EEPROM 於至少約 17 年之前便無法符合指定的操作壽命。

【0033】 相反地，利用具有多層式氮氧化物層的矽-氧化物-氮氧化物-氧化物-矽結構所製成之 EEPROM 的 VTP 與 VTE 隨著時間的變化分別由直線 406 與 408 來圖解，其顯示在指定 EOL 處介於 VTE 與 VTP 之間的差異至少約 1.96V。因此，根據本發明一實施例之利用矽-氧化物-氮氧化物-氧化物-矽結構所製成之 EEPROM 符合並且超過 20 年的指定操作壽命。明確地說，關係曲線或直線 406 所示的係針對根據本發明一實施例之利用矽-氧化物-氮氧化物-氧化物-矽結構所製成之 EEPROM 的 VTP 隨著時間的變化。直線 406 上的實際資料點係以空心方形來表示，該條直線的剩餘部分顯示 VTP 的外插值，直到指定的 EOL 為止。關係曲線或直線 408 所示的係該 EEPROM 的 VTE 隨著時間的變化，直線 408 上的實際資料點係以實心方形來表示，該條直線的剩餘部分顯示 VTE 的外插值，直到 EOL 為止。

【0034】 現在將參考圖 5 來說明根據另一實施例之用於形成或製作半導體元件的方法。

【0035】 參考圖 5，該方法從在一基板上形成一穿隧氧化物層 216 開始(500)。接著，多層式電荷儲存層 204 的富氧、第一或底部氮氧化物層 220B 會被形成在該穿隧氧化物層 216 的一表面上(502)。如上面所提，此富氧、第一或底部氮氧化物層 220B 可藉由使用包括二氯化矽烷(SiH_2Cl_2)/氨(NH_3)混合物以及氧化亞氮(N_2O)/ NH_3 混合物之製程氣體的 CVD 製程來形成或沉積，二氯化矽烷(SiH_2Cl_2)/氨(NH_3)混合物的比例落在約 5:1 至約 15:1 的範圍中而氧化亞氮(N_2O)/ NH_3 混合物的比例落在約 2:1 至約 4:1 的範圍中，它們的流速經

過設計，用以提供實質上沒有捕獲阱之富矽且富氧的氮氧化物層。也就是，該第一或底部氮氧化物層 220B 的化學計量複合物包括高濃度的氧，其經過選擇用以藉由充當被捕獲在該第二或頂端氮氧化物層 220A 中的電荷和基板 208 之間的屏障來提高該多層式電荷儲存層的保留效能。該第一或底部氮氧化物層 220B 中的氧的選定濃度可能包含從約 15% 至約 40%，且於特定的實施例中為約 35%。

【0036】 一貧氧、第二或頂端氮氧化物層 220A 接著會被形成在該第一或底部氮氧化物層 220B 的一表面上(504)。第二或頂端氮氧化物層 220A 之由氧、氮、及/或矽製成的化學計量複合物不同於該第一層之由氧、氮、及/或矽製成的化學計量複合物。明確地說，且如上面所提，該第二或頂端氮氧化物層 220A 可藉由使用包括 N_2O/NH_3 混合物以及 SiH_2Cl_2/NH_3 混合物之製程氣體的 CVD 製程來形成或沉積， N_2O/NH_3 混合物的比例落在約 1:6 至約 1:8 的範圍中而 SiH_2Cl_2/NH_3 混合物的比例落在約 1.5:1 至約 3:1 的範圍中，用以提供氧濃度約 5% 或更少的捕獲阱密集氮氧化物層。因此，該第二或頂端氮氧化物層 220A 包括的電荷捕獲阱密度大於該第一或底部氮氧化物層 220B 至少 1000 倍。

【0037】 最後，一頂端或阻隔氧化物層 218 會被形成在該多層式電荷儲存層 204 之該第二或頂端氮氧化物層 220A 的上方(506)。如上面所提，此頂端或阻隔氧化物層 218 可以藉由任何合宜的手段來形成或沉積。於其中一實施例中，該頂端或阻隔氧化物層 218 被形成的方式會導致該第二或頂端氮氧化物層 220A 經由該第二氮氧化物層之一部分的氧化而薄化至預設的厚度。最後，如上面關於圖 4 所提，該多層式電荷儲存層 204 之已提高的保

留效能會在程式化電壓(VTP)與抹除電壓(VTE)之間的指定差異處將該半導體元件的壽命終點(EOL)增加至至少約 20 年。

【0038】 於另一項態樣中，本發明的多層式電荷儲存層的能隙能量經過工程化設計，用以產生和在已程式化狀態中因為該電荷儲存層中之儲存電荷的關係所累增的電場反向的電場，從而提高資料保留能力，但卻不會影響程式化電壓及/或元件速度。圖 6 中顯示一已程式化習知元件的能帶圖，該習知元件包含一位於矽基板 602 中的通道、一穿隧氧化物層 604、一均質氮化物或氮氧化物電荷儲存層 606、氧化物阻隔層 608、以及一多晶矽控制閘極 610。參考圖 6，應該注意的係，位於該電荷儲存層 606 之中心附近的大批被捕獲電荷一大電場遠離該穿隧氧化物層 604 朝該等被捕獲電荷累增，而且其可能導致或造成已儲存電荷的損失。

【0039】 相反地，於包含本發明之多層式電荷儲存層的記憶體元件中，工程化設計該多層式電荷儲存層的能隙能量會造成電場朝內累增(從該電荷儲存層朝該穿隧氧化物)，其和因為該已儲存電荷所造成的電場累增反向，從而提高電荷保留能力。圖 7A 中所示的係包含一多層式電荷儲存層 706 的未程式化記憶體元件。該元件包含一位於矽基板 702 中的通道、一穿隧氧化物層 704、一貧氧的氮氧化物層 706A、一富氧的底部氮氧化物層 706B、一氧化物阻隔層 708、以及一多晶矽控制閘極 710。參考圖 7A，貧氧頂端氮氧化物層 706A 中的捕獲阱部位產生一電場，其和由該已程式化元件中被捕獲電荷所產生的電場反向。包含多層式電荷儲存層 706 之元件在已程式化狀態中的最終能隙圖顯示在圖 7A 中。

施行方式與替代例

【0040】 於另一項態樣中，本發明關於多閘極或多閘極表面記憶體元件，其包含疊置在被形成於基板的一表面上或之上的通道的二或更多個側邊之上的電荷捕獲區；並且本發明還關於製作多閘極或多閘極表面記憶體元件的方法。多閘極元件包含平面式元件與非平面式元件。平面式多閘極元件(圖中並未顯示)通常包含雙閘極平面式元件，其中，數層第一層會被沉積，用以在一接續形成的通道底下形成一第一閘極，而且數層第二層會被沉積於其上方，用以形成一第二閘極。非平面式多閘極元件通常包含一水平或垂直通道，被形成在基板的一表面上或之上，而且三或更多個側邊被一閘極包圍。

【0041】 圖 8A 所示的係一非平面式多閘極記憶體元件的其中一種實施例，其包含一電荷捕獲區。參考圖 8A，記憶體元件 800，一般稱為 finFET，包含一通道 802，其係由疊置在基板 806 的一表面 804 上方的半導體材料製成的薄膜或層所形成，用以連接該記憶體元件的源極 808 與汲極 810。通道 802 的三邊被構成該元件之閘極 812 的鳍部圍住。閘極 812 的厚度(在從源極至汲極的方向中測得)決定該元件的有效通道長度。

【0042】 根據本發明，圖 8A 的非平面式多閘極記憶體元件 800 可能包含一分離電荷捕獲區。圖 8B 所示的係圖 8A 之非平面式記憶體元件之一部分的剖視圖，包含基板 806 的一部分、通道 802、以及閘極 812，用以圖解多層式電荷儲存層 814。閘極 812 進一步包含一疊置在隆起通道 802 上方的穿隧氧化物層 816、一阻隔介電質 818、以及一疊置在該阻隔層上方的金屬閘極層 820，用以形成該記憶體元件 800 的控制閘極。於某些實施例中，一有摻雜的多晶矽可能會被沉積，取代金屬，用以提供一多晶矽閘極層。

通道 802 和閘極 812 會直接被形成在基板 806 上或是被形成在已形成於該基板上或上方的絕緣層或介電質層 822(例如，埋置氧化物層)上。

【0043】 參考圖 8B，該多層式電荷儲存層 814 包含：包含氮化物的至少一下方或底部電荷捕獲層 824，比較靠近該穿隧氧化物層 816；以及一疊置在該底部電荷捕獲層上方的上方或頂端電荷捕獲層 826。一般來說，頂端電荷捕獲層 826 包含一富矽貧氧的氮化物層並且包含分佈在多個電荷捕獲層中的大量電荷捕獲阱；而底部電荷捕獲層 824 則包含一富氧的氮化物或氮氧化矽，而且相對於該頂端電荷捕獲層的富氧，以便減少其中的電荷捕獲阱的數量。富氧的意義為，底部電荷捕獲層 824 中的氧的濃度從約 15% 至約 40%，而頂端電荷捕獲層 826 中的氧的濃度則少於約 5%。

【0044】 於其中一實施例中，阻隔介電質 818 同樣包含一氧化物(例如，HTO)，用以提供 ONNO 結構。該通道 802 與該疊置的 ONNO 結構會直接被形成在一矽基板 806 上並且疊置一有摻雜的多晶矽閘極層 820，以便提供 SONNOS 結構。

【0045】 於某些實施例中，例如，圖 8B 中所示的實施例，該多層式電荷儲存層 814 進一步包含至少一薄的、中間或抗穿隧層 828，其包含介電質(例如，氧化物)，用以分開該頂端電荷捕獲層 826 與該底部電荷捕獲層 824。該抗穿隧層 828 顯著降低在程式化期間累積在該上方氮化物層 826 之邊界處的電子電荷穿隧至該底部電荷捕獲層 824 的機率，從而導致低於圖 1 與圖 6 中所示之結構的漏電流。

【0046】 如同上面所述實施例，該底部電荷捕獲層 824 與該頂端電荷捕獲層 826 中的任一者或兩者可能包含氮化矽或氮氧化矽，並且舉例來說，

可藉由包含 N_2O/NH_3 以及 DCS/NH_3 氣體混合物的 CVD 製程來形成，該等氣體混合物的比例和流速經過設計，用以提供富矽且富氧的氮氧化物層。該多層電荷儲存結構中的第二氮化物層接著會被形成在該中間氮化物層上。該頂端電荷捕獲層 826 之由氧、氮、及/或矽製成的化學計量複合物不同於該底部電荷捕獲層 824 之由氧、氮、及/或矽製成的化學計量複合物，並且同樣可藉由使用包含 DCS/NH_3 以及 N_2O/NH_3 氣體混合物之製程氣體的 CVD 製程來形成或沉積，該等氣體混合物的比例和流速經過設計，用以提供富矽貧氧的頂端氮化物層。

【0047】 於包含包含氧化物之中間或抗穿隧層 828 的實施例中，該抗穿隧層可藉由該底部氮氧化物層之氧化來形成，利用基氧化形成至選定的深度。舉例來說，基氧化可以利用單晶圓治具在 1000 至 1100°C 的溫度中實施，或者，利用批次反應器治具在 800 至 900°C 的溫度中實施。 H_2 氣體與 O_2 氣體之混合物可在 300 至 500 托的壓力下運用於批次製程，或是在 10 至 15 托的壓力下使用單氣相治具，使用單晶圓治具的持續時間為 1 至 2 分鐘，或者，使用批次製程的持續時間為 30 分鐘至 1 小時。

【0048】 最後，於包含包含氧化物之阻隔介電質 818 的實施例中，該氧化物可以藉由任何合宜的手段來形成或沉積。於其中一實施例中，阻隔介電質 818 的氧化物為在 HTO CVD 製程中所沉積的高溫氧化物。或者，該阻隔介電質 818 或阻隔氧化物層亦可被熱成長；然而，應該明白的係，於此實施例中，該頂端氮化物厚度可能會調整或提高，因為該頂端氮化物的一部分會在熱成長該阻隔氧化物層的製程期間被有效地消耗或氧化。第三種作法係使用基氧化來氧化該頂端氮化物層至選定的深度。

【0049】 底部電荷捕獲層 824 的合宜厚度可能從約 30\AA 至約 80\AA (允許特定變異量，舉例來說， $\pm 10\text{\AA}$)，其中約 5 至 20\AA 可能被基氧化消耗，用以形成該抗穿隧層 828。頂端電荷捕獲層 826 的合宜厚度可能為至少 30\AA 。於特定的實施例中，該頂端電荷捕獲層 826 可能形成厚達 130\AA ，其中的 30 至 70\AA 可能被基氧化消耗，用以形成該阻隔介電質 818。於某些實施例中，底部電荷捕獲層 824 和頂端電荷捕獲層 826 之間的厚度比約 1:1，不過，亦可採用其它比例。

【0050】 於其它實施例中，該頂端電荷捕獲層 826 與該阻隔介電質 818 中的任一者或兩者可能包含高 K 介電質。合宜的高 K 介電質包含基於鈴的材料(例如，HfSiON、HfSiO、或是 HfO)、基於鎔的材料(例如，ZrSiON、ZrSiO、或是 ZrO)、以及基於釔的材料(例如， Y_2O_3)。

【0051】 於圖 9A 與 9B 中所示的另一實施例中，該記憶體元件可能包含一奈米線通道，由疊置在基板的一表面上方的半導體材料製成的薄膜所形成，用以連接該記憶體元件的源極與汲極。奈米線通道的意義為形成在由結晶矽材料製成的薄帶之中的導體通道，最大剖面維度為約 10·奈米(nm)或更小，且更佳的係，小於約 6nm。視情況，該通道會被形成相對於該通道之長軸具有<100>的表面結晶定向。

【0052】 參考圖 9A，記憶體元件 900 包含一水平奈米線通道 902，由位於基板 906 的一表面上或是疊置在基板 906 的一表面上方的半導體材料製成的薄膜或層所形成，並且連接該記憶體元件的源極 908 與汲極 910。於圖中所示的實施例中，該元件具有環繞式閘極(Gate-All-Around，GAA)結構，其中，該奈米線通道 902 的所有側邊都被該元件之閘極 912 圍住。閘極 912

的厚度(在從源極至汲極的方向中測得)決定該元件的有效通道長度。

【0053】 根據本發明，圖 9A 的非平面式多閘極記憶體元件 900 可能包含一分離電荷捕獲區。圖 9B 所示的係圖 9A 之非平面式記憶體元件之一部分的剖視圖，包含基板 906 的一部分、奈米線通道 902、以及閘極 912，用以圖解分離電荷捕獲區。參考圖 9B，閘極 912 包含一疊置在奈米線通道 902 上方的穿隧氧化物層 914、一分離電荷捕獲區、一阻隔介電質 916、以及一疊置在該阻隔層上方的閘極層 918，用以形成該記憶體元件 900 的控制閘極。該閘極層 918 可能包含金屬或是有摻雜的多晶矽。該多層式電荷儲存層包含：包含氮化物的至少一內電荷捕獲層 920，比較靠近該穿隧氧化物層 914；以及一疊置在該內電荷捕獲層上方的外電荷捕獲層 922。一般來說，外電荷捕獲層 922 包含一富矽貧氧的氮化物層並且包含分佈在多個電荷捕獲層中的大量電荷捕獲阱；而內電荷捕獲層 920 則包含一富氧的氮化物或氮氧化矽，而且相對於該外電荷捕獲層的富氧，以便減少其中的電荷捕獲阱的數量。

【0054】 於某些實施例中，例如圖中所示的實施例，該多層式電荷儲存層進一步包含至少一薄的、中間或抗穿隧層 924，其包含介電質(例如，氧化物)，用以分開外電荷捕獲層 922 與內電荷捕獲層 920。該抗穿隧層 924 顯著降低在程式化期間累積在該外電荷捕獲層 922 之邊界處的電子電荷穿隧至該內電荷捕獲層 920 的機率，從而導致較低的漏電流。

【0055】 如同上面所述實施例，該內電荷捕獲層 920 與該外電荷捕獲層 922 中的任一者或兩者可能包含氮化矽或氮氧化矽，並且舉例來說，可藉由包含 N_2O/NH_3 以及 DCS/NH_3 氣體混合物的 CVD 製程來形成，該等氣體

混合物的比例和流速經過設計，用以提供富矽且富氧的氮氧化物層。該多層電荷儲存結構中的第二氮化物層接著會被形成在該中間氧化物層上。該外電荷捕獲層 922 之由氧、氮、及/或矽製成的化學計量複合物不同於該內電荷捕獲層 920 之由氧、氮、及/或矽製成的化學計量複合物，並且同樣可藉由使用包含 DCS/NH₃ 以及 N₂O/NH₃ 氣體混合物之製程氣體的 CVD 製程來形成或沉積，該等氣體混合物的比例和流速經過設計，用以提供富矽貧氧的頂端氮化物層。

【0056】 於包含包含氧化物之中間或抗穿隧層 924 的實施例中，該抗穿隧層可藉由該內電荷捕獲層 920 之氧化來形成，利用基氧化形成至選定的深度。舉例來說，基氧化可以利用單晶圓治具在 1000 至 1100°C 的溫度中實施，或者，利用批次反應器治具在 800 至 900°C 的溫度中實施。H₂ 氣體與 O₂ 氣體之混合物可在 300 至 500 托的壓力下運用於批次製程，或是在 10 至 15 托的壓力下使用單氣相治具，使用單晶圓治具的持續時間為 1 至 2 分鐘，或者，使用批次製程的持續時間為 30 分鐘至 1 小時。

【0057】 最後，於包含包含氧化物之阻隔介電質 916 的實施例中，該氧化物可以藉由任何合宜的手段來形成或沉積。於其中一實施例中，阻隔介電質 916 的氧化物為在 HTO CVD 製程中所沉積的高溫氧化物。或者，該阻隔介電質 916 或阻隔氧化物層亦可被熱成長；然而，應該明白的係，於此實施例中，該外電荷捕獲層 922 的厚度可能需要調整或提高，因為該頂端氮化物的一部分會在熱成長該阻隔氧化物層的製程期間被有效地消耗或氧化。

【0058】 內電荷捕獲層 920 的合宜厚度可能從約 30Å 至約 80Å(允許

特定變異量，舉例來說， $\pm 10\text{\AA}$)，其中約 5 至 20\AA 可能被基氧化消耗，用以形成該抗穿隧層 924。外電荷捕獲層 922 的合宜厚度可能為至少 30\AA 。於特定的實施例中，該外電荷捕獲層 922 可能形成厚達 120\AA ，其中的 30 至 70\AA 可能被基氧化消耗，用以形成該阻隔介電質 916。於某些實施例中，內電荷捕獲層 920 和外電荷捕獲層 922 之間的厚度比約 1:1，不過，亦可採用其它比例。

【0059】 於其它實施例中，該外電荷捕獲層 922 與該阻隔介電質 916 中的任一者或兩者可能包含高 K 介電質。合宜的高 K 介電質包含基於鉻的材料(例如，HfSiON、HfSiO、或是 HfO)、基於鋯的材料(例如，ZrSiON、ZrSiO、或是 ZrO)、以及基於鈇的材料(例如， Y_2O_3)。

【0060】 於另一實施例中，該記憶體元件係或者包含非平面式元件，包含被形成在半導體材料中的垂直奈米線通道或是由半導體材料所形成的垂直奈米線通道，其突出在基板上數個導體層、半導體層之上或是從基板上數個導體層、半導體層處突出。於圖 10A 中剖面圖所示之此實施例的其中一種版本中，記憶體元件 1000 包含一垂直奈米線通道 1002，形成在半導體材料製成的圓柱中，用以連接該元件的源極 1004 與汲極 1006。通道 1002 被一穿隧氧化物層 1008、一多層式電荷儲存層 1010、一阻隔層 1012、以及一疊置在該阻隔層上方的閘極層 1014 包圍，用以形成該記憶體元件 1000 的控制閘極。該通道 1002 可能包含一位於由半導體材料製成之實質實心圓柱之外層中的環狀區，或者可能包含一被形成在由介電質填充材料製成之圓柱上方的環狀層。如同上面所述之水平奈米線，通道 1002 可能包含多晶矽或再結晶多晶矽，用以形成單晶通道。視情況，當通道 1002 包含結晶矽

時，該通道會被形成相對於該通道之長軸具有<100>的表面結晶定向。

【0061】 於某些實施例中，例如圖 10B 中所示的實施例，多層式電荷儲存層 1010 可能係一包含下面的多層式電荷儲存層：至少一第一或內電荷捕獲層 1016，最靠近穿隧氧化物層 1008；以及一第二或外電荷捕獲層 1018。視情況，該等第一與第二電荷捕獲層會被一中間氧化物或抗穿隧層 1020 分開。

【0062】 如同上面所述實施例，該第一電荷捕獲層 1016 與該第二電荷捕獲層 1018 中的任一者或兩者可能包含氮化矽或氮氧化矽，並且舉例來說，可藉由包含 N_2O/NH_3 以及 DCS/NH₃ 氣體混合物的 CVD 製程來形成，該等氣體混合物的比例和流速經過設計，用以提供富矽且富氧的氮氧化物層。

【0063】 最後，該第二電荷捕獲層 1018 與該阻隔層 1012 中的任一者或兩者可能包含高 K 介電質，例如，HfSiON、HfSiO、HfO、ZrSiON、ZrSiO、ZrO、或是 Y_2O_3 。

【0064】 第一電荷捕獲層 1016 的合宜厚度可能從約 30\AA 至約 80\AA (允許特定變異量，舉例來說， $\pm 10\text{\AA}$)，其中約 5 至 20\AA 可能被基氧化消耗，用以形成該抗穿隧層 1020。第二電荷捕獲層 1018 的合宜厚度可能為至少 30\AA ，而阻隔介電質 1012 的合宜厚度可能約 30 至 70\AA 。

【0065】 圖 10A 的記憶體元件 1000 可利用閘極優先(gate first)或閘極最後(gate last)之方案來製造。圖 11A 至 11F 所示的係用以製作圖 10A 之非平面式多閘極元件的閘極優先之方案。圖 12A 至 12F 所示的係用以製作圖 10A 之非平面式多閘極元件的閘極最後之方案。

【0066】 參考圖 11A，在閘極優先之方案中，第一或下方介電質層

1102(例如，阻隔氧化物)會被形成在基板 1106 中的第一、有摻雜的擴散區 1104(例如，源極或汲極)上方。一閘極層 1108 會被沉積在該第一介電質層 1102 上方，用以形成該元件的控制閘極，而第二或上方介電質層 1110 則被形成在其上方。如同上面所述實施例，該等第一介電質層 1102 和第二介電質層 1110 可藉由 CVD、基氧化來沉積，或者，可藉由氧化下方層或基板的一部分來形成。該閘極層 1108 可能包含藉由 CVD 所沉積的金屬或是有摻雜的多晶矽。一般來說，閘極層 1108 的厚度為約 40 至 50Å，而該等第一介電質層 1102 和第二介電質層 1110 的厚度為約 20 至 80Å。

【0067】 參考圖 11B，第一開口 1112 會被蝕穿該疊置閘極層 1108 以及該等第一介電質層 1102 和第二介電質層 1110，抵達基板 1106 中的擴散區 1104。接著，包含穿隧氧化物層 1114、多層式電荷儲存層 1116、以及阻隔介電質 1118 的各層會依序被沉積在該開口中和上方介電質層 1110 的該表面中，平坦化以產生圖 11C 中所示的中間結構。

【0068】 圖中雖然並未顯示；不過，應該瞭解的係，如同上面所述實施例中，多層式電荷儲存層 1116 可能包含一包含下面的多層式電荷儲存層：至少一下方或底部電荷捕獲層，比較靠近該穿隧氧化物層 1114；以及一疊置在該底部電荷捕獲層上方的上方或頂端電荷捕獲層。一般來說，該頂端電荷捕獲層包括一富矽貧氧的氮化物層並且包含分佈在多個電荷捕獲層中的大量電荷捕獲阱；而該底部電荷捕獲層則包含一富氧的氮化物或氮氧化矽，而且相對於該頂端電荷捕獲層的富氧，以便減少其中的電荷捕獲阱的數量。於某些實施例中，該多層式電荷儲存層 1116 進一步包含至少一薄的、中間或抗穿隧層，其包含介電質(例如，氧化物)，用以分開該頂端電

荷捕獲層與該底部電荷捕獲層。

【0069】 接著，一第二或通道開口 1120 會被非等向蝕穿穿隧氧化物層 1114、多層式電荷儲存層 1116、以及阻隔介電質 1118，圖 11D。參考圖 11E，半導體材料 1122 會被沉積在該通道開口之中，用以於其中形成一垂直通道 1124。垂直通道 1124 可能包含一位於由半導體材料製成之實質實心圓柱之外層中的環狀區，或者，如圖 11E 中所示，可能包含一由半導體材料 1122 製成的分開層，包圍介電質填充材料製成之圓柱 1126。

【0070】 參考圖 11F，上方介電質層 1110 的該表面會被平坦化，而且一半導體材料層 1128(其包含形成於其中的第二、有摻雜的擴散區 1130，例如，源極或汲極)會被沉積在該上方介電質層上方，用以形成圖中所示的元件。

【0071】 參考圖 12A，於閘極最後之方案中，一介電質層 1202(例如，氧化物)會被形成在基板 1206 之一表面上的一犧牲層 1204 的上方，一開口會被蝕穿該等介電質層與犧牲層，而且一垂直通道 1208 會被形成在該開口之中。如同上面所述實施例，垂直通道 1208 可能包含一位於由半導體材料(例如，多晶矽或單晶矽)製成之實質實心圓柱 1210 之外層中的環狀區，或者，可能包含一由半導體材料製成的分開層，包圍介電質填充材料製成之圓柱(圖中並未顯示)。介電質層 1202 可能包含任何合宜的介電質材料，例如，氧化矽，其能夠電氣隔離該記憶體元件 1000 中後續形成的閘極層和疊置電氣作用層或是另一記憶體元件。該犧牲層 1204 可能包含能夠以相對於該介電質層 1202、基板 1206、以及垂直通道 1208 之材料有高選擇性之方式被蝕刻或被移除的任何合宜材料。

【0072】 參考圖 12B，一第二開口 1212 會被蝕穿該等已被蝕穿的介電質層 1202 與犧牲層 1204，抵達基板 1206，而且該犧牲層 1204 會被蝕刻或是被移除。該犧牲層 1204 可能包含能夠以相對於該介電質層 1202、基板 1206、以及垂直通道 1208 之材料有高選擇性之方式被蝕刻或是被移除的任何合宜材料。於其中一實施例中，該犧牲層 1204 包含能夠被緩衝氧化物蝕刻(BOE 蝕刻)移除的二氧化矽。

【0073】 參考圖 12C 與 12D，由穿隧氧化物層 1214、多層式電荷儲存層 1216、以及阻隔介電質 1218 組成的各層會依序被沉積在該開口中和介電質層 1202 的該表面中，平坦化以產生圖 12C 與 12D 中所示的中間結構。於某些實施例中，例如圖 12D 中所示的實施例，多層式電荷儲存層 1216 可能係一包含下面的多層式電荷儲存層：至少一第一或內電荷捕獲層 1216a，最靠近穿隧氧化物層 1214；以及一第二或外電荷捕獲層 1216b。視情況，該等第一與第二電荷捕獲層會被一中間氧化物或抗穿隧層 1220 分開。

【0074】 接著，一閘極層 1222 會被沉積至該第二開口 1212 之中以及該上方介電質層 1202 的該表面，平坦化以產生圖 12E 中所示的中間結構。如同上面所述實施例，該閘極層 1222 可能包括經沉積的金屬或是有摻雜的多晶矽。最後，一開口 1224 會被蝕穿該閘極層 1222，用以形成多個不同記憶體元件 1226 的控制閘極。

【0075】 本文中所述之電荷保留元件的實施例可以運用在邏輯電路中，用以充當機器-記憶體。熟習本技術的人士便會明白，有各種邏輯施行方式可以具現已述結構，而且較佳的方式將會隨著該等製程被部署的背景而改變。舉例來說，倘若施行者決定速度和精確性為最重要的話，施行者

可能會選擇硬體及/或韌體方式；或者，倘若靈活性為最重要的話，施行者則可能會選擇僅有軟體的施行方式；又，或者，施行者可能會選擇硬體、軟體、及/或韌體的某種組合。所以，雖然有許多方式可以運用本文中所述的元件；但是，沒有任何一種方式本質上優於另一種方式，因為要被運用的任何方式係相依於該方式被部署的背景以及施行者的特定關切事物(舉例來說，速度、靈活性、或是可預期性)，任何一者皆可能改變。熟習本技術的人士便會理解，施行方式的可見態樣可能涉及可見導向的硬體、軟體、及/或韌體。

【0076】 上面雖然已顯示且說明僅有兩個氮氧化物層，也就是，一頂端層與一底部層；但是，本發明並不受限於此，而且該多層式電荷儲存層可以包含任何數量的(n 個)氮氧化物層，其中的任何或全部氮氧化物層可能具有不同之由氧、氮、及/或矽製成的化學計量複合物。明確地說，本發明已經生產且測試過具有高達五個氮氧化物層的多層式電荷儲存層，各具有不同化學計量複合物。然而，熟習本技術的人士便會明白，通常希望運用盡量較少的層來達成所希望的結果，減少用以生產該元件所需要的製程步驟，並且從而提供更簡單且更強健的製程。又，運用盡量較少的層還會導致較高的產量，因為控制該等較少層的化學計量複合物以及維度會比較簡單。

【0077】 進一步要明白的係，本文中雖然顯示且描述為記憶體元件中的矽-氧化物-氮氧化物-氧化物-矽堆疊的一部分；不過，本發明的結構與方法並不受限於此，而且該矽-氧化物-氮氧化物-氧化物-矽結構可以使用在任何半導體技術中或是配合任何半導體技術來使用，或者可以使用在需要電

荷儲存層或堆疊或是需要介電質層或堆疊的任何元件中，舉例來說，包含分離閘極快閃記憶體、TaNOS 堆疊、1T(電晶體) SONOS 型胞體、2T SONOS 型胞體、3T SONOS 型胞體、局部化 2 位元胞體、以及多位準程式化或胞體(or cell)、及/或 9T 或 12T 非揮發性半導體記憶體(Non-Volatile Semiconductor Memory，NVSM)胞體，其並不會脫離本發明的範疇。

【0078】 前面的詳細說明已經透過使用方塊圖、流程圖、及/或範例提出前述元件及/或製程的各種實施例。此等方塊圖、流程圖、及/或範例雖然含有一或更多項功能及/或操作；但是，本技術領域內的人士便很容易瞭解，此等方塊圖、流程圖、或是範例裡面的每一項功能及/或操作能夠藉由各式各樣的硬體、軟體、韌體、或是實際上它們的任何組合以個別及/或集體的方式來施行。

【0079】 本文中所述之結構的實施例可以運用在特定應用積體電路(Application Specific Integrated Circuit，ASIC)、可場程式化閘陣列(Field Programmable Gate Array，FPGA)、中央處理單元(Central Processing Unit，CPU)、數位訊號處理器(Digital Signal Processor，DSP)、或是其它積體形式之中。然而，熟習本技術的人士便會理解，本文中所揭示之實施例的某些態樣，全部或者部分，可以等效施行在專屬的記憶體電路中，用以達到將資料之數位資訊及/或在一或更多部電腦上運轉之程式(舉例來說，在一或更多個電腦系統上運轉之一或更多個程式)儲存成為在一或更多個處理器上運轉之一或更多個程式(舉例來說，儲存成為在一或更多個微處理器上運轉之一或更多個程式)、韌體、或是實際上它們之任何組合的目的。

【0080】 依照一般的意義，熟習本技術的人士便會理解，本文中所述

的各種結構可藉由各式各樣的電氣電路系統以個別及/或集體的方式來具現。如本文中的用法，「電氣電路系統」包含，但是並不受限於：具有至少一離散電氣電路的電氣電路系統；具有至少一積體電路的電氣電路系統；具有至少一特定應用積體電路的電氣電路系統；形成由電腦程式配置而成之一般用途計算元件(舉例來說，由至少部分實行本文中所述之製程及/或元件的電腦程式配置而成之一般用途電腦，或是由至少部分實行本文中所述之製程及/或元件的電腦程式配置而成之微處理器)的電氣電路系統；形成記憶體元件(舉例來說，各種形式的隨機存取記憶體)的電氣電路系統；及/或形成通訊元件(舉例來說，數據機、通訊交換機、或是光電設備)的電氣電路系統。

【0081】 熟習本技術的人士便會理解，在本技術裡常見以本文中提出的方式來說明元件及/或製程並且接著使用標準的工程手法將此等已述元件及/或製程整合至較大型系統之中。也就是，不需要過度數量的試驗便能夠將本文中所述元件及/或製程的至少一部分整合至網路處理系統之中。

【符號說明】

【0082】

- | | |
|-----|---------------|
| 100 | 半導體元件 |
| 102 | SONOS 閘極堆疊或基板 |
| 104 | 習知的 ONO 堆疊 |
| 106 | 表面 |
| 108 | 矽基板 |
| 110 | 擴散區 |

112	通道區
114	多晶矽(多晶)閘極層
116	下方氧化物層
118	氮化物或氮氧化物層
120	高溫氧化物(HTO)層
200	半導體記憶體元件
202	閘極結構或閘極堆疊
204	多層式電荷儲存層
206	表面
208	矽基板
210	擴散區
212	通道區
214	多晶矽或多晶閘極層
216	下方氧化物層或穿隧氧化物層
218	頂端或阻隔氧化物層
220A	頂端氮氧化物層
220B	底部氮氧化物層
300-308	方法
402-408	關係曲線或直線
500-506	方法
602	矽基板
604	穿隧氧化物層

606	均質氮化物或氮氧化物電荷儲存層
608	氧化物阻隔層
610	多晶矽控制閘極
702	矽基板
704	穿隧氧化物層
706	多層式電荷儲存層
706A	貧氧的氮氧化物層
706B	富氧的底部氮氧化物層
708	氧化物阻隔層
710	多晶矽控制閘極
800	非平面式多閘極記憶體元件
802	通道
804	表面
806	基板
808	源極
810	汲極
812	閘極
814	多層式電荷儲存層
816	穿隧氧化物層
818	阻隔介電質
820	金屬閘極層
822	絕緣層或介電質層

824	下方或底部電荷捕獲層
826	頂端電荷捕獲層
828	中間或抗穿隧層
900	記憶體元件
902	水平奈米線通道
906	基板
908	源極
910	汲極
912	閘極
914	穿隧氧化物層
916	阻隔介電質
918	閘極層
920	內電荷捕獲層
922	外電荷捕獲層
924	中間或抗穿隧層
1000	記憶體元件
1002	垂直奈米線通道
1004	源極
1006	汲極
1008	穿隧氧化物層
1010	多層式電荷儲存層
1012	阻隔層

1014	閘極層
1016	第一或內電荷捕獲層
1018	第二或外電荷捕獲層
1020	中間氧化物或抗穿隧層
1102	第一或下方介電質層
1104	第一、有摻雜的擴散區
1106	基板
1108	閘極層
1110	第二或上方介電質層
1112	第一開口
1114	穿隧氧化物層
1116	多層式電荷儲存層
1118	阻隔介電質
1120	第二或通道開口
1122	半導體材料
1124	垂直通道
1126	介電質填充材料製成之圓柱
1128	半導體材料層
1130	第二、有摻雜的擴散區
1202	介電質層
1204	犧牲層
1206	基板

1208	垂直通道
1210	半導體材料製成之實心圓柱
1212	第二開口
1214	穿隧氧化物層
1216	多層式電荷儲存層
1216a	第一或內電荷捕獲層
1216b	第二或外電荷捕獲層
1218	阻隔介電質
1220	中間氧化物或抗穿隧層
1222	閘極層
1224	開口
1226	記憶體元件

申請專利範圍

1. 一種記憶體元件，包括：

一通道，由疊置在一基板的一表面上方的一半導體材料所形成，用以連接該記憶體元件的一源極與一汲極；

一穿隧氧化物層，疊置在該通道上方；以及

一多層式電荷儲存層，其包含一位於該穿隧氧化物層上的一富氧、第一氮氧化物層以及一位於該第一氮氧化物層上的一貧氧、第二氮氧化物層，其中，該第一氮氧化物層的一化學計量複合物導致其為實質上無捕獲阱，且其中，該第二氮氧化物層的一化學計量複合物導致其為捕獲阱密集。

2. 根據申請專利範圍第 1 項的記憶體元件，其中，該通道包括多晶矽。

3. 根據申請專利範圍第 1 項的記憶體元件，其中，該通道包括再結晶多晶矽。

4. 根據申請專利範圍第 1 項的記憶體元件，其中，該通道包括一矽奈米線。

5. 根據申請專利範圍第 1 項的記憶體元件，其中，該記憶體元件包括一非平面式電晶體，其包含一具有鄰接該通道之多個表面的閘極，且其中，該閘極包括該穿隧氧化物層以及該多層式電荷儲存層。

6. 根據申請專利範圍第 5 項的記憶體元件，其中，該閘極進一步包括一疊置在該多層式電荷儲存層上方的阻隔介電質以及一疊置在該阻隔介電質層上方的金屬閘極層。

7. 根據申請專利範圍第 6 項的記憶體元件，其中，該阻隔介電質包括一高 K 介電質。

8. 根據申請專利範圍第 1 項的記憶體元件，其中，該第二氮氧化物層進一步包括經過選擇的碳濃度，以便提高其中的捕獲阱的數量。
9. 一種記憶體元件，包括：
 - 一導電通道，由疊置在一基板的一表面上方的一半導體材料所形成，用以連接該記憶體元件的一源極與一汲極；以及
 - 一具有鄰接該通道之多個表面的閘極，該閘極包括：
 - 一穿隧氧化物層，疊置在該通道上方；以及
 - 一多層式電荷儲存層，其包含一比較靠近該穿隧氧化物層的第一氮氧化物層以及一第二氮氧化物層，其中，該第一氮氧化物層會藉由一包括氧化物的抗穿隧層與該第二氮氧化物層分開，並且其中，該第一氮氧化物層係一實質上無捕獲阱、富氧、氮氧化物層；以及該第二氮氧化物層係一捕獲阱密集、貧氧、氮氧化物層，其進一步包括經過選擇的碳濃度，以便提高其中的捕獲阱的數量。
10. 根據申請專利範圍第 9 項的記憶體元件，其中，該通道包括一矽奈米線。
11. 根據申請專利範圍第 9 項的記憶體元件，其中，該元件包括一 finFET，且其中，該閘極進一步包括一疊置在該多層式電荷儲存層上方的阻隔介電質以及一疊置在該阻隔介電質層上方的金屬閘極層。
12. 根據申請專利範圍第 11 項的記憶體元件，其中，該阻隔介電質包括一高 K 介電質。
13. 根據申請專利範圍第 9 項的記憶體元件，其中，該抗穿隧層包括已經藉由基氧化被氧化的該第一氮氧化物層中的一部分。

。

14. 一種記憶體元件，包括：

一垂直通道，由從形成在一基板的一表面上之一第一擴散區延伸至形成在該基板的該表面上之一第二擴散區的半導體材料製成的薄突出部所形成，該垂直通道會將該第一擴散區電氣連接至該第二擴散區；

一鄰接該垂直通道的穿隧氧化物層；以及

一鄰接該穿隧氧化物層的多層式電荷儲存層，該多層式電荷儲存層包含一比較靠近該穿隧氧化物層之包括一富氧、氮化物的第一氮氧化物層以及一疊置在該第一氮氧化物層上方之包括一富矽、貧氧、氮化物的第二氮氧化物層，

其中，該第二氮氧化物層包括分佈在分離電荷捕獲區中的大量電荷捕獲阱。

15. 根據申請專利範圍第 14 項的記憶體元件，其中，該通道包括一垂直矽奈米線。

16. 根據申請專利範圍第 15 項的記憶體元件，其中，該多層式電荷儲存層進一步包括一氧化物抗穿隧層，用以分開該第一氮氧化物層與該第二氮氧化物層。

17. 根據申請專利範圍第 15 項的記憶體元件，進一步包括一疊置在該多層式電荷儲存層上方的一高 K 阻隔介電質。

18. 根據申請專利範圍第 17 項的記憶體元件，其中，該多層式電荷儲存層進一步包括一氧化物抗穿隧層，用以分開該第一氮氧化物層與該第二氮氧化物層。

19. 根據申請專利範圍第 14 項的記憶體元件，其中，該第二氮氧化物層進一

步包括經過選擇的碳濃度，以便提高其中的捕獲阱的數量。

圖式

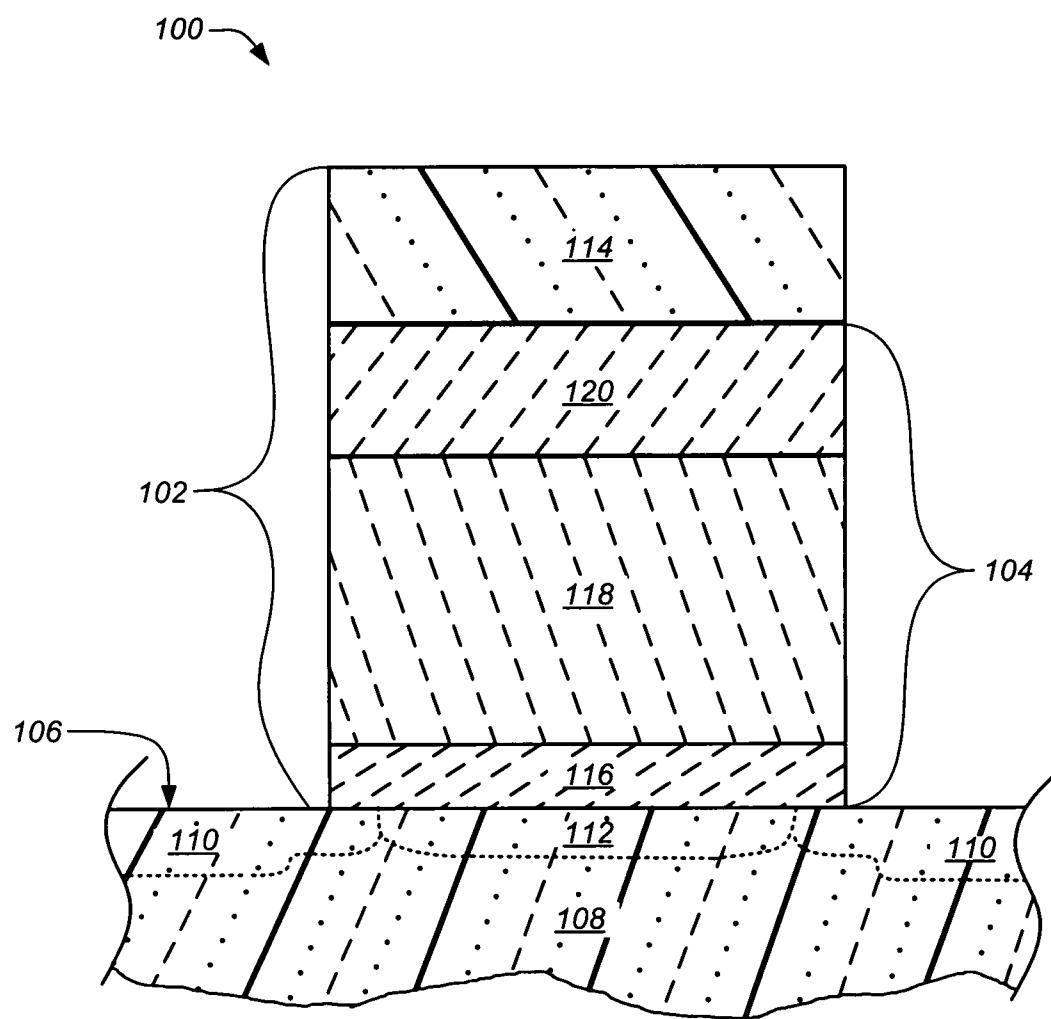


圖1

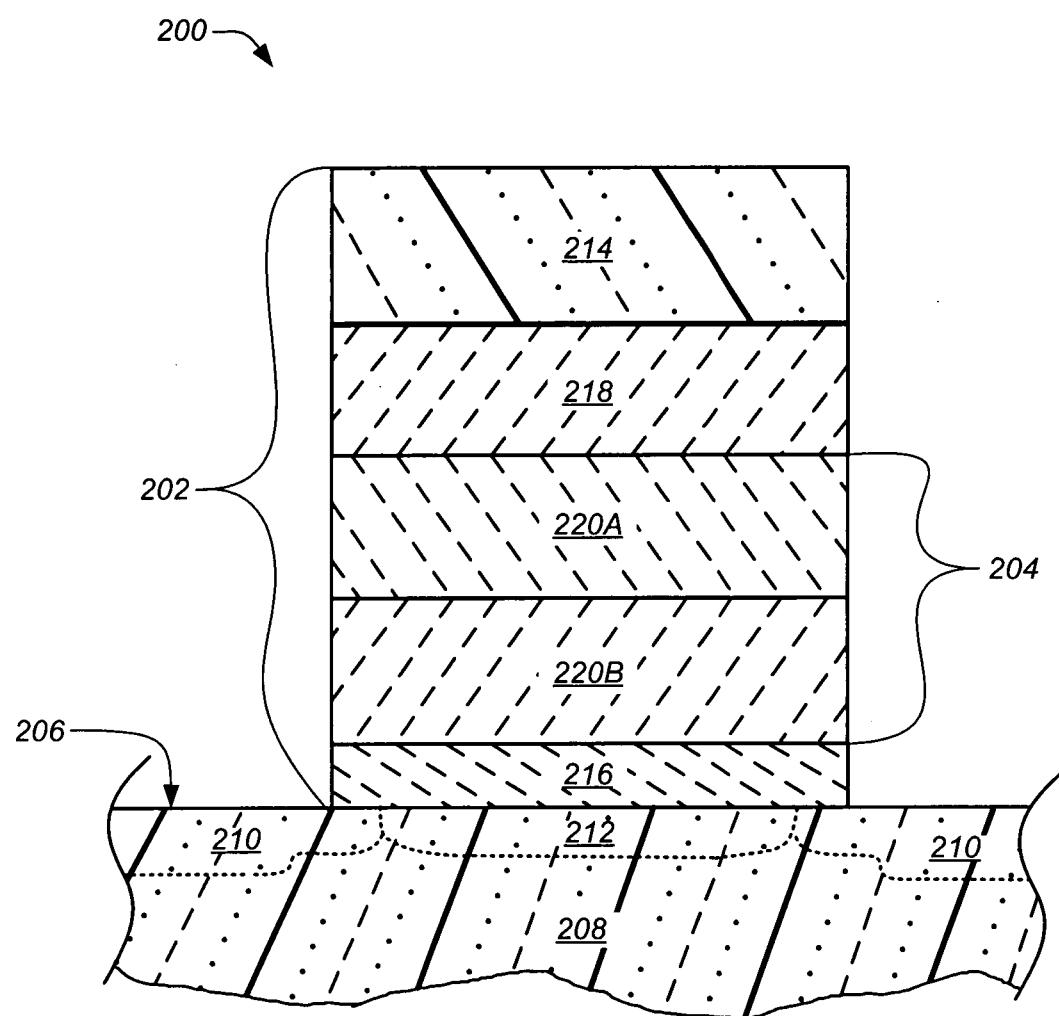


圖2

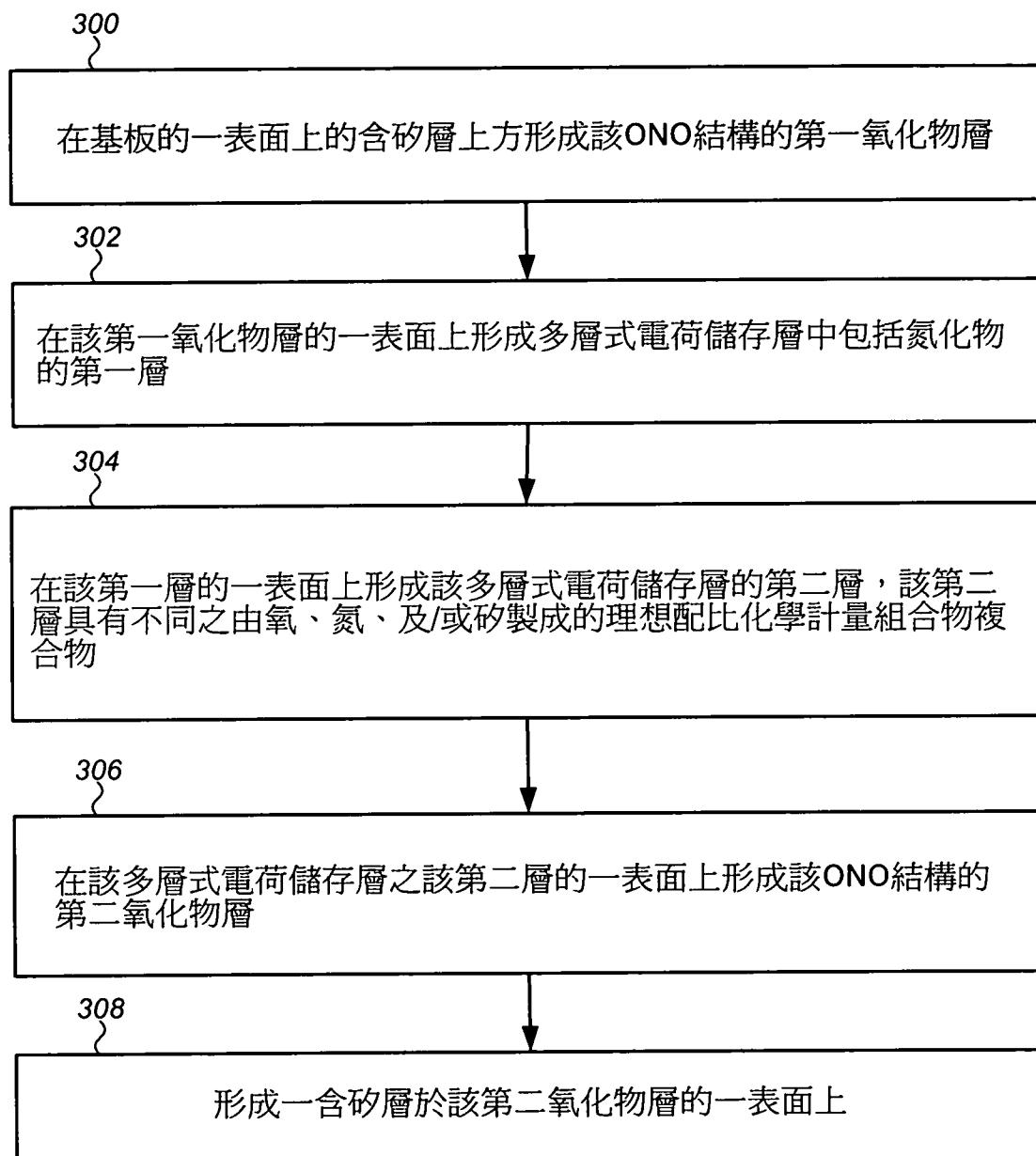
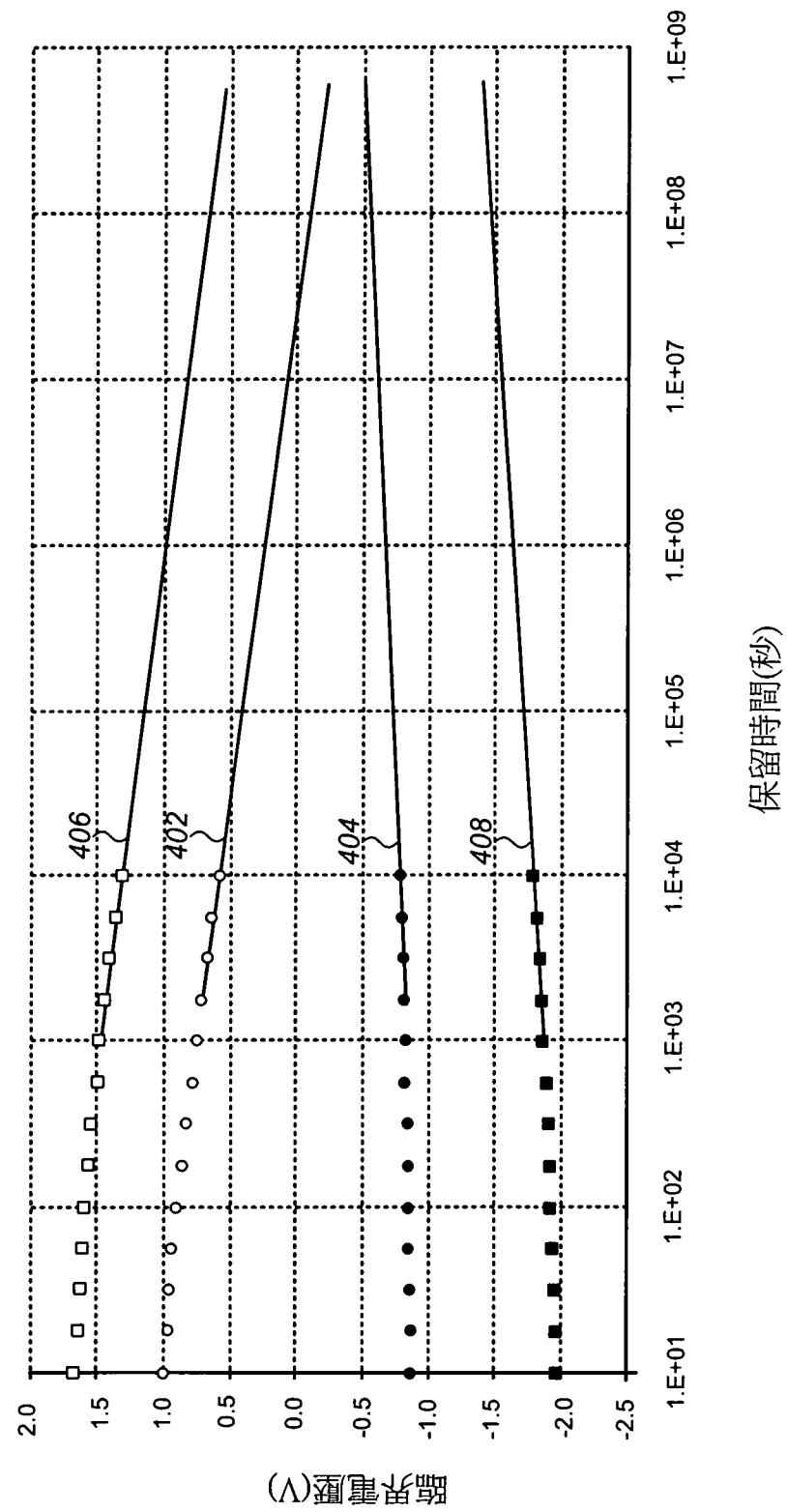


圖3



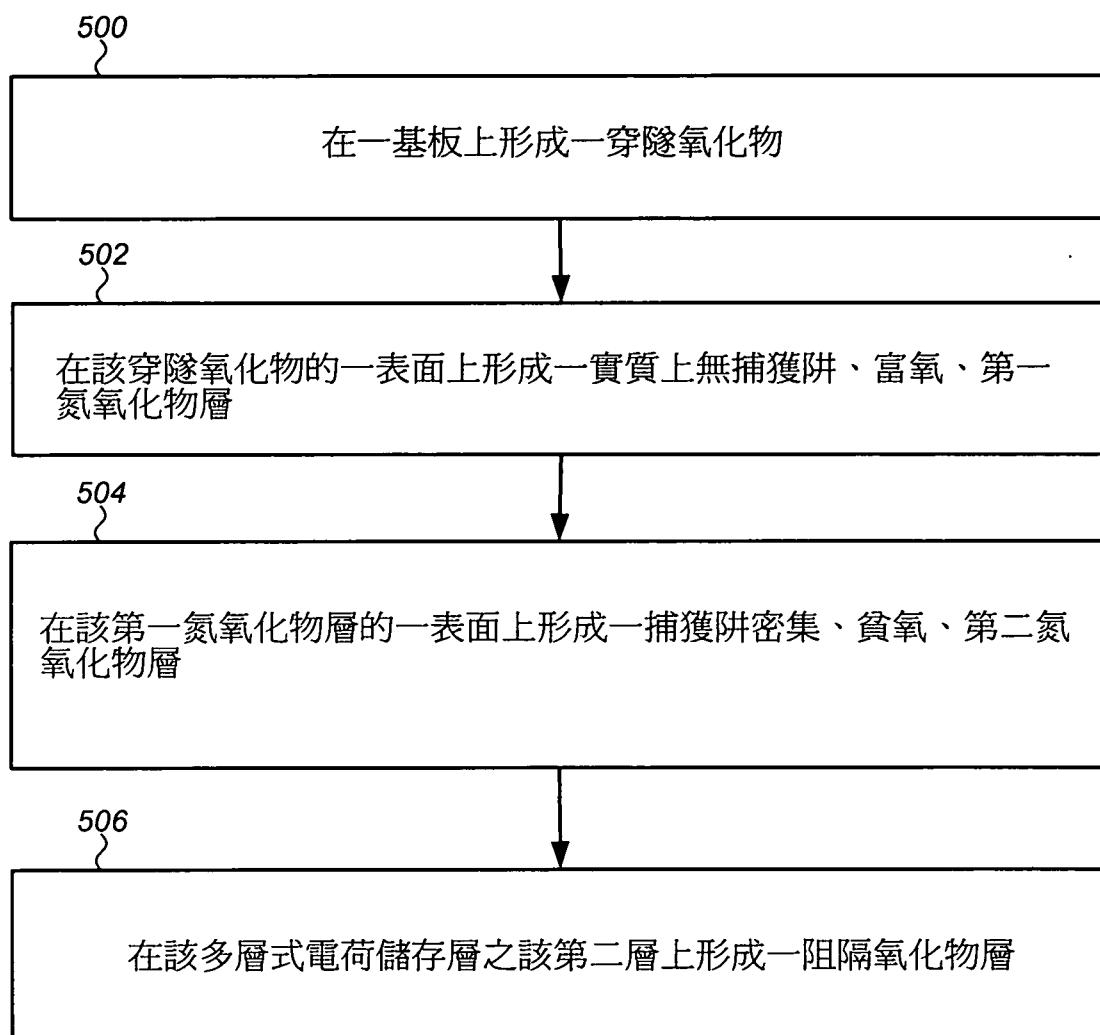


圖5

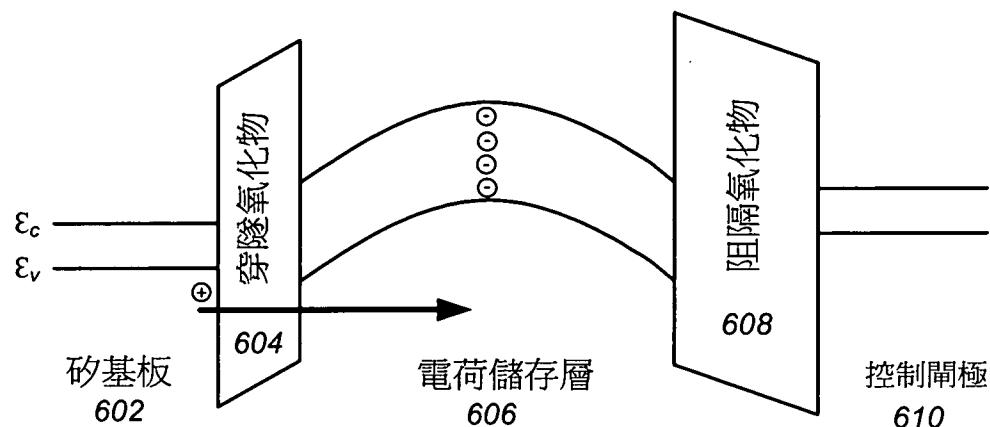


圖6

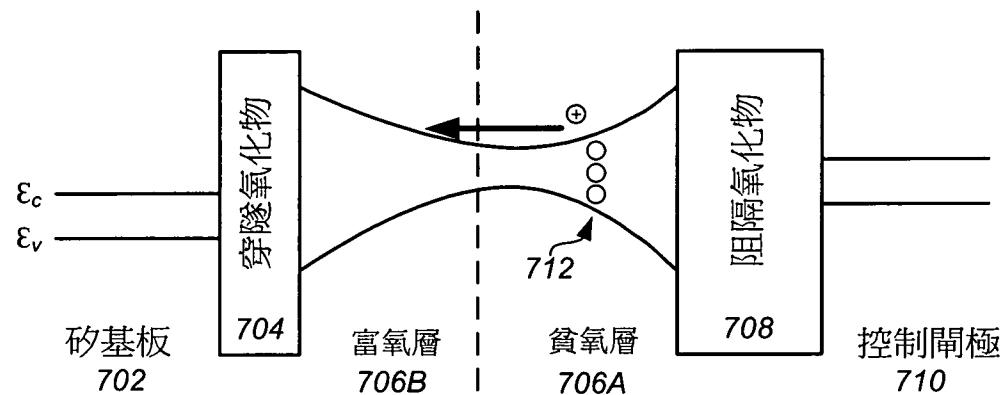


圖7A

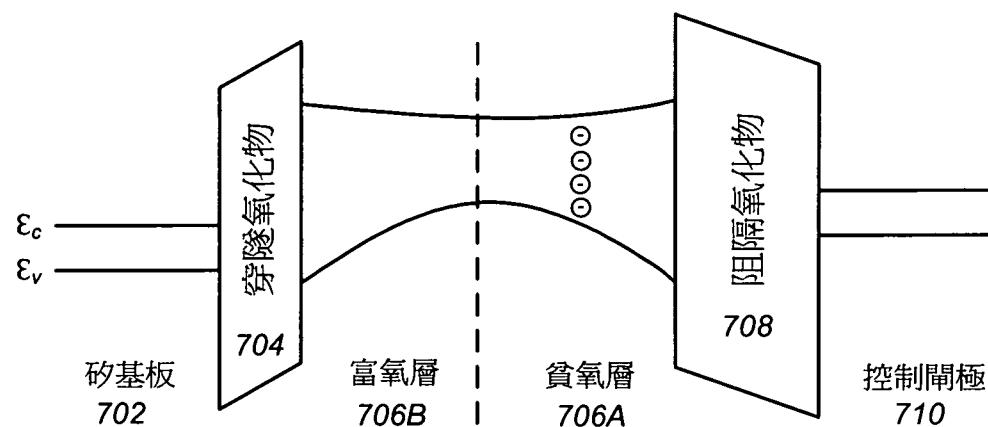


圖7B

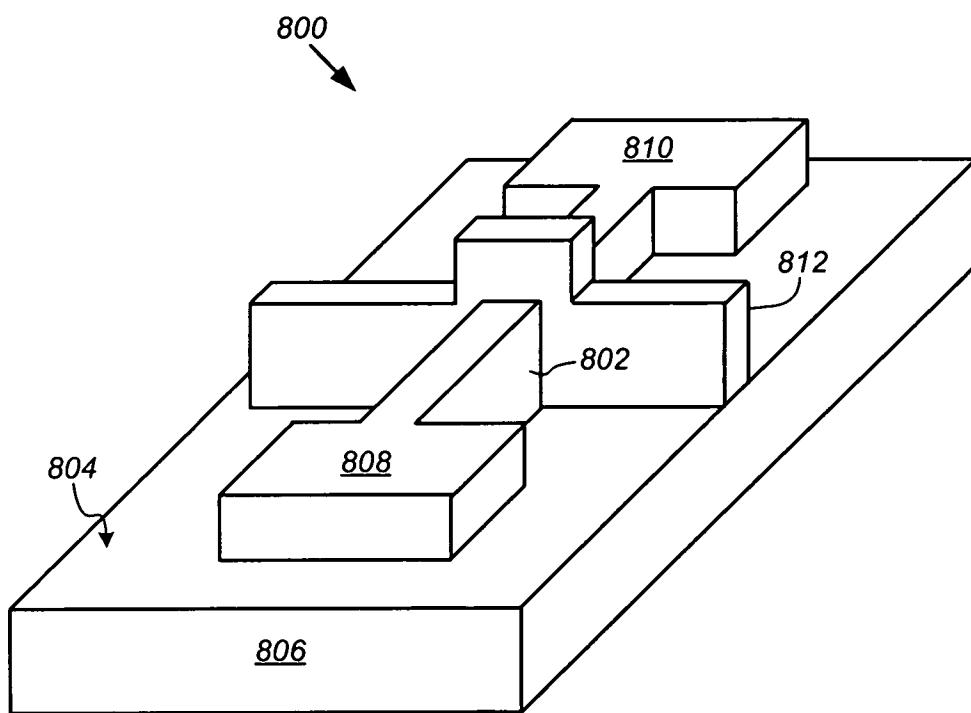


圖8A

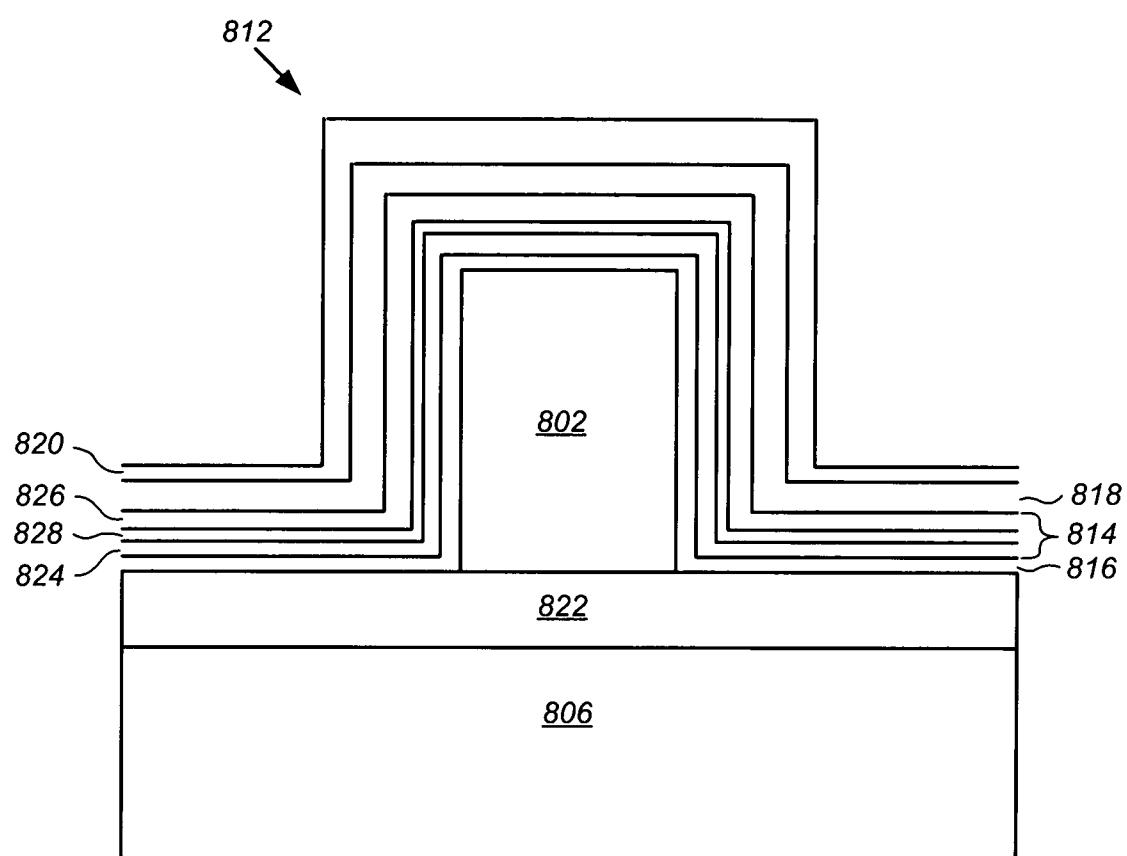


圖8B

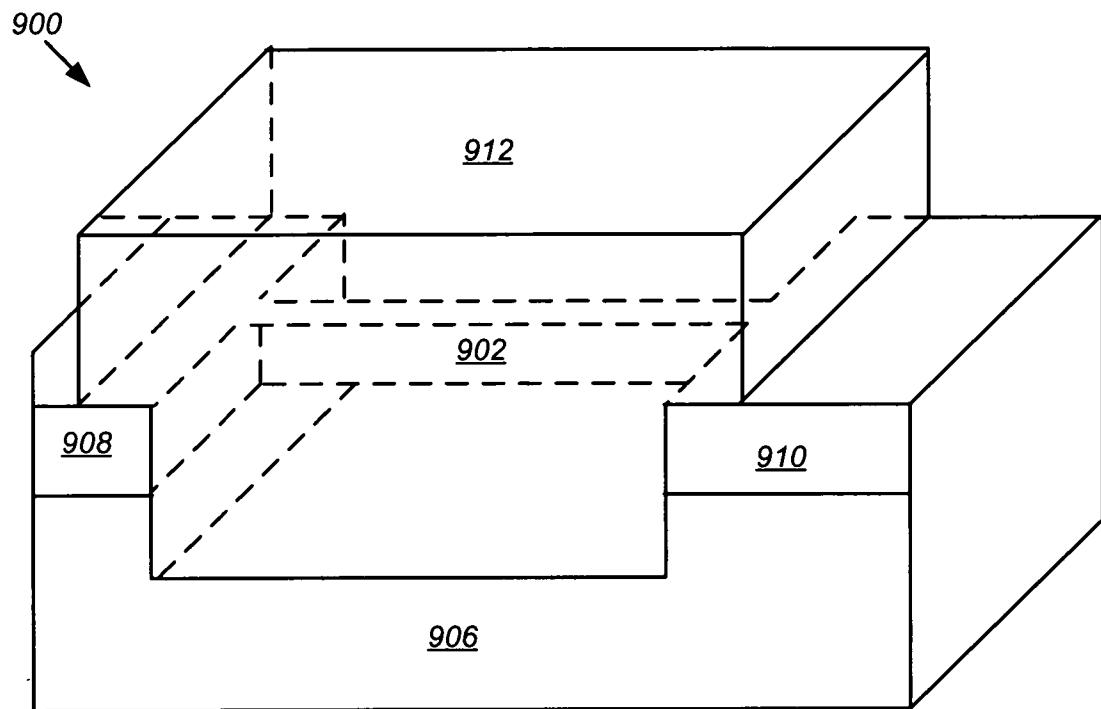


圖9A

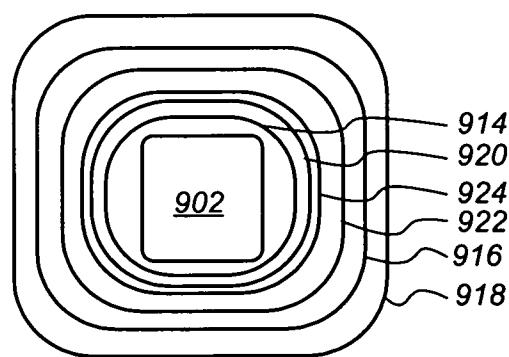


圖9B

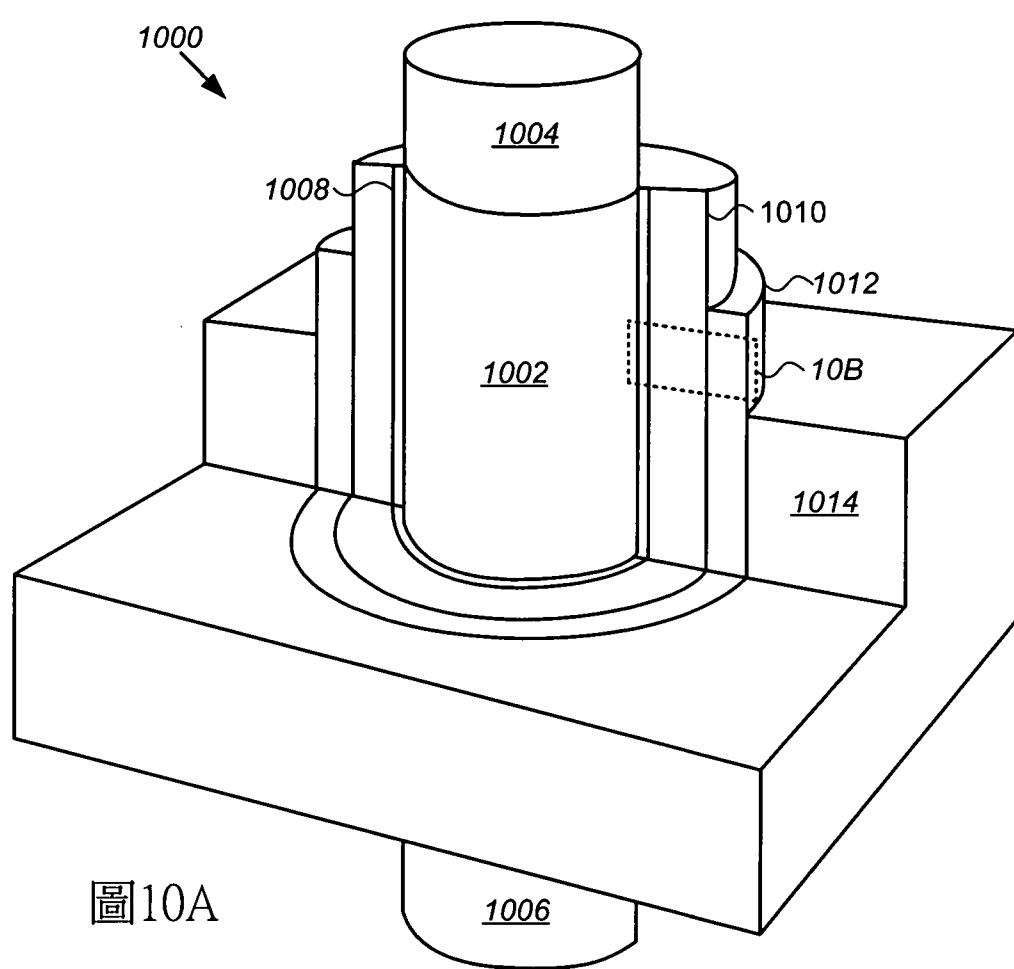


圖10A

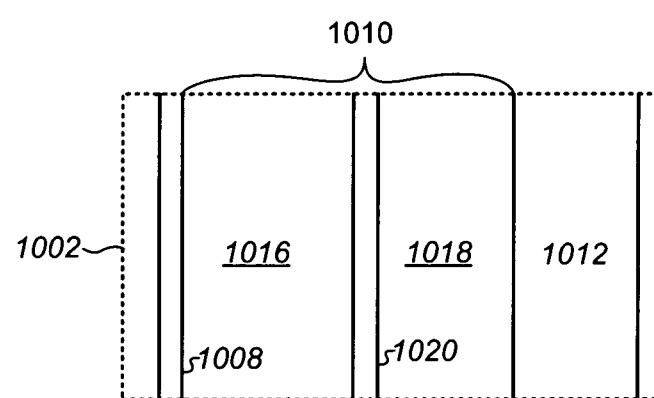


圖10B

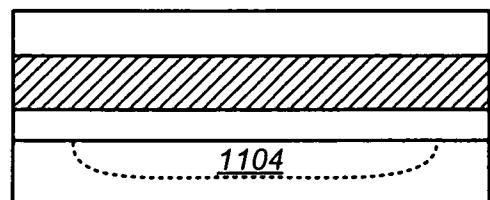


圖11A

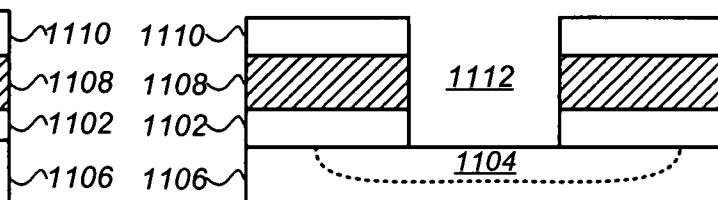


圖11B

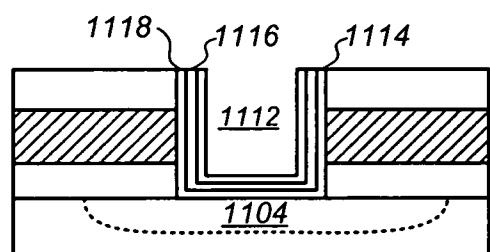


圖11C

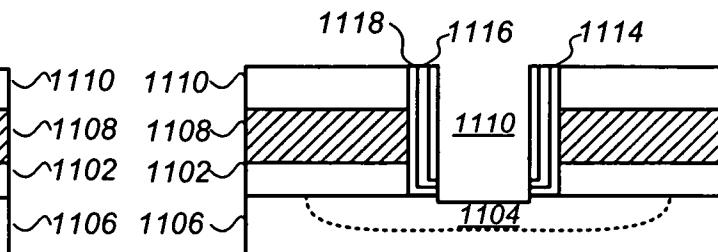


圖11D

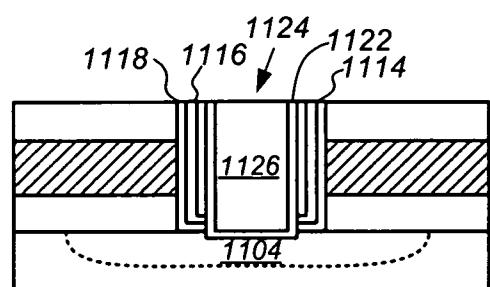


圖11E

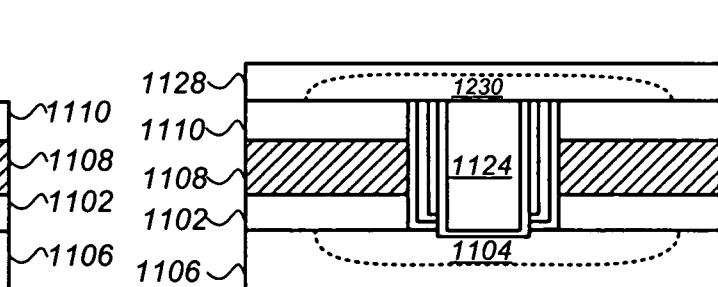


圖11F

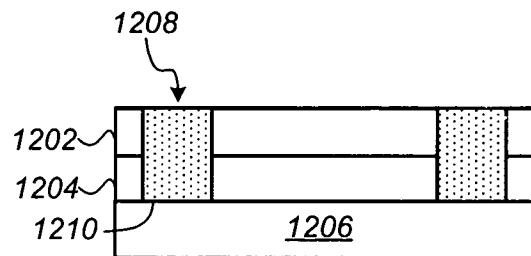


圖12A

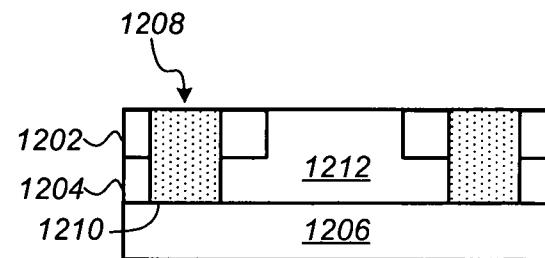


圖12B

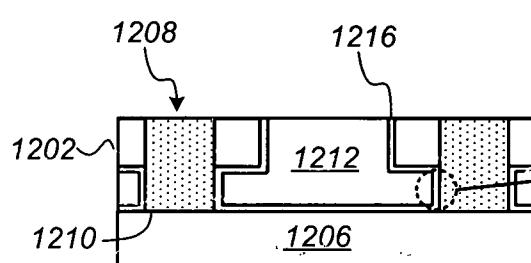


圖12C

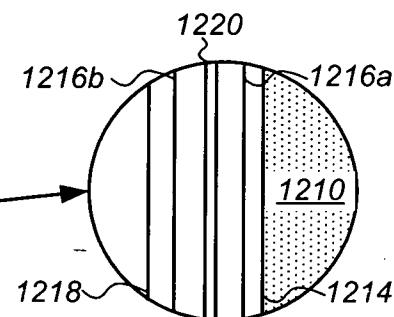


圖12D

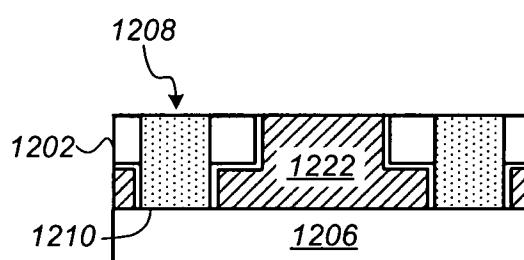


圖12E

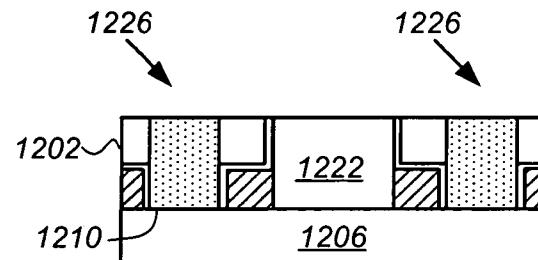


圖12F