

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 4 月 3 日(03.04.2014)

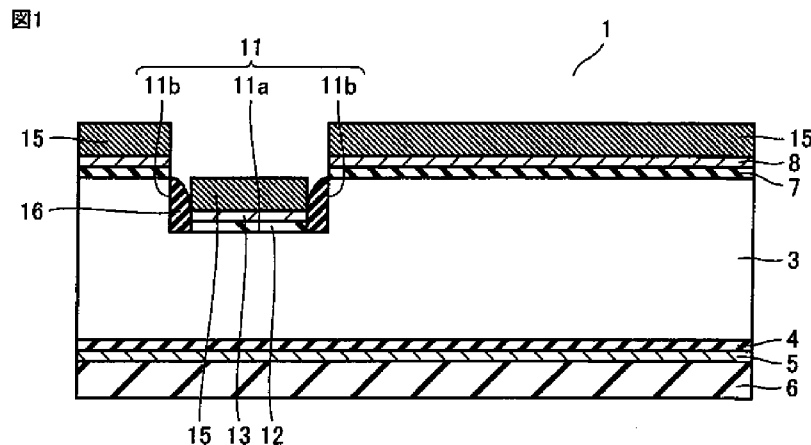


(10) 国際公開番号
WO 2014/050685 A1

- (51) 国際特許分類:
H01L 31/04 (2006.01)
- (21) 国際出願番号: PCT/JP2013/075262
- (22) 国際出願日: 2013 年 9 月 19 日(19.09.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-210904 2012 年 9 月 25 日(25.09.2012) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 原田 真臣(HARADA, Masatomi). 木本賢治(KIMOTO, Kenji). 小出 直城(KOIDE, Naoki). 山元 良高(YAMAMOTO, Yoshitaka). 中村 京太郎(NAKAMURA, Kyotaro).
- (74) 代理人: 特許業務法人深見特許事務所(FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島二丁目 2 番 7 号 中之島セントラルタワー Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: PHOTOELECTRIC CONVERSION ELEMENT

(54) 発明の名称: 光電変換素子



(57) Abstract: Provided is a photoelectric conversion element comprising: a first conductive-type semiconductor substrate; a first conductive-type first semiconductor film provided upon one surface of said semiconductor substrate; a second conductive-type second semiconductor film provided independently from the first semiconductor film, upon said surface; a dielectric film provided between said semiconductor substrate and the first semiconductor film and/or between the semiconductor substrate and the second semiconductor film. A metal compound layer is formed upon the first semiconductor film and the second semiconductor film.

(57) 要約: 第 1 導電型の半導体基板と、該半導体基板の一方の表面上に設けられた第 1 導電型の第 1 の半導体膜と、該表面上に該第 1 の半導体膜から独立して設けられた第 2 導電型の第 2 の半導体膜と、該半導体基板と該第 1 の半導体膜との間および/または該半導体基板と該第 2 の半導体膜との間に設けられた誘電体膜と、を備え、該第 1 の半導体膜上および該第 2 の半導体膜上に金属間化合物層が形成されている光電変換素子が提供される。

WO 2014/050685 A1

明 細 書

発明の名称：光電変換素子

技術分野

[0001] 本発明は光電変換素子および光電変換素子の製造方法に関する。

背景技術

[0002] 太陽光エネルギーを電気エネルギーに直接変換する太陽電池は、近年、特に、地球環境問題の観点から、次世代のエネルギー源としての期待が急激に高まっている。太陽電池には、化合物半導体または有機材料を用いたものなど様々な種類のものがあるが、現在、主流となっているのは、シリコン結晶を用いたものである。

[0003] 現在、最も多く製造および販売されている太陽電池は、太陽光が入射する側の面である受光面と、受光面の反対側である裏面とにそれぞれ電極が形成された構造のものである。

[0004] しかしながら、受光面に電極を形成した場合、電極における太陽光の反射および吸収によって、電極の面積分だけ入射する太陽光の量が減少してしまう。そこで、たとえば、特開 2010-80887 号公報（特許文献 1）に示されるような裏面のみに電極が形成された太陽電池の開発が進められている。

先行技術文献

特許文献

[0005] 特許文献 1：特開 2010-80887 号公報

発明の概要

発明が解決しようとする課題

[0006] 以下、図 28～図 44 の模式的断面図を参照して、裏面のみに電極が形成された太陽電池の製造方法の一例について説明する。まず、図 28 に示すように、受光面にテクスチャ構造（図示せず）が形成された n 型の単結晶シリコンからなる c-Si (n) 基板 901 の裏面上に、i 型の非晶質シリコン

膜と p 型の非晶質シリコン膜とがこの順序に積層された a-Si (i/p) 層 902 を形成する。

[0007] 次に、図 29 に示すように、c-Si (n) 基板 901 の受光面上に、i 型の非晶質シリコン膜と n 型の非晶質シリコン膜とがこの順序に積層された a-Si (i/n) 層 903 を形成する。

[0008] 次に、図 30 に示すように、a-Si (i/p) 層 902 の一部の裏面上にフォトレジスト膜 904 を形成する。ここで、フォトレジスト膜 904 は、a-Si (i/p) 層 902 の裏面の全面にフォトレジストを塗布した後に、フォトリソグラフィ技術およびエッチング技術によってフォトレジストをパターンニングすることによって形成される。

[0009] 次に、図 31 に示すように、フォトレジスト膜 904 をマスクとして、a-Si (i/p) 層 902 の一部をエッチングすることによって、c-Si (n) 基板 901 の裏面を露出させる。

[0010] 次に、図 32 に示すように、フォトレジスト膜 904 を除去した後に、図 33 に示すように、フォトレジスト膜 904 を除去して露出した a-Si (i/p) 層 902 の裏面およびエッチングにより露出した c-Si (n) 基板 901 の裏面を覆うように i 型の非晶質シリコン膜と n 型の非晶質シリコン膜とがこの順序に積層された a-Si (i/n) 層 905 を形成する。

[0011] 次に、図 34 に示すように、a-Si (i/n) 層 905 の一部の裏面上にフォトレジスト膜 906 を形成する。ここで、フォトレジスト膜 906 は、a-Si (i/n) 層 905 の裏面の全面にフォトレジストを塗布した後に、フォトリソグラフィ技術およびエッチング技術によってフォトレジストをパターンニングすることによって形成される。

[0012] 次に、図 35 に示すように、フォトレジスト膜 906 をマスクとして、a-Si (i/n) 層 905 の一部をエッチングすることによって、a-Si (i/p) 層 902 の裏面を露出させる。

[0013] 次に、図 36 に示すように、フォトレジスト膜 906 を除去した後に、図 37 に示すように、フォトレジスト膜 906 を除去して露出した a-Si (

i / n) 層 905 の裏面およびエッチングにより露出した a-Si (i / p) 層 902 の裏面を覆うように透明導電酸化膜 907 を形成する。

[0014] 次に、図 38 に示すように、透明導電酸化膜 907 の一部の裏面上にフォトレジスト膜 908 を形成する。ここで、フォトレジスト膜 908 は、透明導電酸化膜 907 の裏面の全面にフォトレジストを塗布した後に、フォトリソグラフィ技術およびエッチング技術によってフォトレジストをパターンニングすることによって形成される。

[0015] 次に、図 39 に示すように、フォトレジスト膜 908 をマスクとして、透明導電酸化膜 907 の一部をエッチングすることによって、a-Si (i / p) 層 902 および a-Si (i / n) 層 905 の裏面を露出させる。

[0016] 次に、図 40 に示すように、フォトレジスト膜 908 を除去した後に、図 41 に示すように、a-Si (i / p) 層 902 および a-Si (i / n) 層 905 の露出した裏面および透明導電酸化膜 907 の一部の裏面を覆うようにフォトレジスト膜 909 を形成する。ここで、フォトレジスト膜 909 は、a-Si (i / p) 層 902 および a-Si (i / n) 層 905 の露出した裏面および透明導電酸化膜 907 の裏面の全面にフォトレジストを塗布した後に、フォトリソグラフィ技術およびエッチング技術によってフォトレジストをパターンニングすることによって形成される。

[0017] 次に、図 42 に示すように、透明導電酸化膜 907 およびフォトレジスト膜 909 の裏面全面に裏面電極層 910 を形成する。

[0018] 次に、図 43 に示すように、透明導電酸化膜 907 の表面の一部のみに裏面電極層 910 を残すようにして、リフトオフによりフォトレジスト膜 909 および裏面電極層 910 を除去する。

[0019] 次に、図 44 に示すように、a-Si (i / n) 層 903 の表面上に反射防止膜 911 を形成する。

[0020] しかしながら、上記の太陽電池の製造方法においては、フォトレジストの塗布、ならびにフォトリソグラフィ技術およびエッチング技術によるフォトレジストの複雑なパターンニング工程を行なう必要があり、裏面のみに電

極が形成された太陽電池の製造工程が非常に煩雑であるという問題があった。また、裏面のみに電極が形成された太陽電池の変換効率の向上も要望されている。

[0021] 本発明は上記のような現状に鑑みなされたものであって、その目的とするところは、発電効率を向上させるとともに、簡易な製造工程で製造することができる光電変換素子を提供することにある。

課題を解決するための手段

[0022] 本発明の光電変換素子は、半導体基板の裏面に p 型および n 型の双方の半導体膜を備え、該半導体膜の上には金属間化合物層が形成されている。そして、p 型半導体膜の上に形成された金属間化合物層と n 型半導体膜の上に形成された金属間化合物層とは空間によって隔離されている。

[0023] すなわち、本発明の光電変換素子は、第 1 導電型の半導体基板と、該半導体基板の一方の表面上に設けられた第 1 導電型の第 1 の半導体膜と、該表面上に該第 1 の半導体膜から独立して設けられた第 2 導電型の第 2 の半導体膜と、該半導体基板と該第 1 の半導体膜との間および／または該半導体基板と該第 2 の半導体膜との間に設けられた誘電体膜と、を備え、該第 1 の半導体膜上および該第 2 の半導体膜上に金属間化合物層が形成されていることを特徴とする。

[0024] ここで、上記半導体基板の上記表面には溝が設けられており、該溝の底面に上記第 2 の半導体膜が設けられていることが好ましい。

[0025] さらに、上記溝の側壁の少なくとも一部が絶縁膜で覆われていることが好適である。

また、上記半導体基板の一方の表面上において、上記第 1 の半導体膜と上記第 2 の半導体膜とは離間して設けられており、該第 1 の半導体膜と該第 2 の半導体膜との間に絶縁膜が設けられていても良い。

[0026] また、上記金属間化合物層は、金属シリサイド層および／または金属ジャーマニド層であることが好ましい。ここで、該金属シリサイド層は、ニッケル、コバルトおよびチタンからなる群より選ばれた少なくとも 1 種の金属

とシリコンとからなる化合物層であることが好ましく、該金属ジャーマナイドは、ニッケル、コバルトおよびチタンからなる群より選ばれた少なくとも1種の金属とゲルマニウムとからなる化合物層であることが好適である。

[0027] また、上記絶縁膜は、熱酸化シリコン膜および／または窒化シリコン膜であることが好ましく、該絶縁膜が窒化シリコン膜である場合には、該窒化シリコン膜は、プラズマCVD法によって形成されていることが好適である。

[0028] また、本発明は、上記の光電変換素子の製造方法にも係わり、該製造方法は、第1導電型の半導体基板の一方の表面上に露出した第1導電型の第1の半導体膜と第2導電型の第2の半導体膜とを含む該表面側の全面に金属層を形成する工程と、熱処理によって該第1の半導体膜および該第2の半導体膜と該金属層とを反応させて金属間化合物層を形成する工程と、を含むことを特徴とする。

[0029] ここで、上記金属間化合物層を形成する工程は、金属シリサイド層を形成する工程であり、該金属シリサイド層を形成する工程の後に未反応の金属層を除去する工程をさらに含むことが好ましい。

[0030] また、上記金属間化合物層を形成する工程は、金属ジャーマナイド層を形成する工程であり、該金属ジャーマナイド層を形成する工程の後に未反応の金属層を除去する工程をさらに含んでも良い。

[0031] さらに、上記金属層は、ニッケル、コバルトおよびチタンからなる群より選ばれた少なくとも1種の金属からなる層であることが好ましい。

[0032] なお、本明細書において、第1導電型とはn型またはp型であることを示し、第2導電型とは第1導電型とは異なるp型またはn型であることを示す。

発明の効果

[0033] 本発明によれば、発電効率を向上させるとともに、簡易な製造工程で製造することができる光電変換素子を提供することができる。

図面の簡単な説明

[0034] [図1]第1の実施の形態の光電変換素子の模式的な断面図である。

[図2]第2の実施の形態の光電変換素子の模式的な断面図である。

[図3]第1の実施の形態の光電変換素子の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図4]第1の実施の形態の光電変換素子の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図5]第1の実施の形態の光電変換素子の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図6]第1の実施の形態の光電変換素子の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図7]第1の実施の形態の光電変換素子の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図8]第1の実施の形態の光電変換素子の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図9]第1の実施の形態の光電変換素子の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図10]第1の実施の形態の光電変換素子の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図11]第1の実施の形態の光電変換素子の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図12]第1の実施の形態の光電変換素子の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図13]第1の実施の形態の光電変換素子の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図14]第1の実施の形態の光電変換素子の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図15]第1の実施の形態の光電変換素子の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図16]第1の実施の形態の光電変換素子の製造方法の一例の製造工程の一部

について図解する模式的な断面図である。

[図17]第1の実施の形態の光電変換素子の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図18]第2の実施の形態の光電変換素子の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図19]第2の実施の形態の光電変換素子の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図20]第2の実施の形態の光電変換素子の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図21]第2の実施の形態の光電変換素子の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図22]第2の実施の形態の光電変換素子の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図23]第2の実施の形態の光電変換素子の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図24]第2の実施の形態の光電変換素子の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図25]第2の実施の形態の光電変換素子の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図26]第2の実施の形態の光電変換素子の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図27]第2の実施の形態の光電変換素子の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図28]裏面のみに電極が形成された太陽電池の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図29]裏面のみに電極が形成された太陽電池の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図30]裏面のみに電極が形成された太陽電池の製造方法の一例の製造工程の

一部について図解する模式的な断面図である。

[図31]裏面のみに電極が形成された太陽電池の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図32]裏面のみに電極が形成された太陽電池の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図33]裏面のみに電極が形成された太陽電池の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図34]裏面のみに電極が形成された太陽電池の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図35]裏面のみに電極が形成された太陽電池の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図36]裏面のみに電極が形成された太陽電池の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図37]裏面のみに電極が形成された太陽電池の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図38]裏面のみに電極が形成された太陽電池の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図39]裏面のみに電極が形成された太陽電池の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図40]裏面のみに電極が形成された太陽電池の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図41]裏面のみに電極が形成された太陽電池の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図42]裏面のみに電極が形成された太陽電池の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図43]裏面のみに電極が形成された太陽電池の製造方法の一例の製造工程の一部について図解する模式的な断面図である。

[図44]裏面のみに電極が形成された太陽電池の製造方法の一例の製造工程の

一部について図解する模式的な断面図である。

発明を実施するための形態

[0035] 以下、本発明の実施の形態について説明する。なお、本発明の図面において、同一の参照符号は、同一部分または相当部分を表わすものとする。

[0036] <実施の形態 1>

[光電変換素子]

《全体構成》

図 1 に、本発明の第 1 の実施の形態である光電変換素子 1 の模式的な断面図を示す。第 1 の実施の形態である光電変換素子 1 は、n 型単結晶シリコンからなる半導体基板 3 を有しており、半導体基板 3 の一方の面である裏面の一部には、底面 11a とその両側の側壁 11b とを備えた溝 11 が設けられている。ここで、溝 11 は、図 1 の紙面の法線方向に伸長している。

[0037] 半導体基板 3 の裏面の溝以外の領域上には、i 型のアモルファスシリコンからなる第 1 の誘電体膜 7 が設けられており、第 1 の誘電体膜 7 上には n 型のアモルファスシリコンからなる第 1 の半導体膜 8 が設けられている。そして、第 1 の半導体膜 8 の全裏面上には、金属間化合物層 15 が形成されている。

[0038] ここで、本明細書において、「半導体膜」とは、不純物をドーピングすることによって導電性を付与することができる材料からなる膜を示す。このような半導体膜としては、たとえば、シリコン膜、ゲルマニウム膜、ガリウム砒素膜などを挙げることができる。

[0039] また、「i 型」とは、n 型または p 型の不純物を意図的にドーピングしていないことを意味しており、たとえば、光電変換素子の作製後に n 型または p 型の不純物が不可避免的に拡散することなどによって n 型または p 型の導電型を示すこともあり得る。

[0040] また、「アモルファスシリコン」には、水素化アモルファスシリコンなどのシリコン原子の未結合手（ダングリングボンド）が水素で終端されたものも含まれるものとする。同様に、「アモルファスゲルマニウム」には、水素

化アモルファスゲルマニウムなどが含まれるものとする。

[0041] 半導体基板 3 の裏面の溝 1 1 の底面 1 1 a 上には、i 型のアモルファスシリコンからなる第 2 の誘電体膜 1 2 が設けられており、第 2 の誘電体膜 1 2 上には p 型のアモルファスシリコンからなる第 2 の半導体膜 1 3 が設けられている。そして、第 2 の半導体膜 1 3 の全裏面上には金属間化合物層 1 5 が形成されている。

[0042] 溝 1 1 の側壁 1 1 b の少なくとも一部には、絶縁膜 1 6 が設けられていても良い。この場合、第 2 の誘電体膜 1 2 および第 2 の半導体膜 1 3 と溝 1 1 の側壁 1 1 b との間には絶縁膜 1 6 が設けられているため、第 2 の誘電体膜 1 2 および第 2 の半導体膜 1 3 は側壁 1 1 b とは接していない。

[0043] また、半導体基板 3 の他方の面である受光面（裏面の反対側の面）の全面上には、i 型のアモルファスシリコンからなる第 3 の誘電体膜 4 が設けられており、第 3 の誘電体膜 4 の全面上には n 型のアモルファスシリコンからなる第 3 の半導体膜 5 が設けられている。さらに、第 3 の半導体膜 5 の全面上には反射防止膜 6 が設けられている。

[0044] 以上の構造を有する光電変換素子 1 においては、半導体基板 3 の裏面と第 1 の半導体膜 8 の裏面との間には第 1 の誘電体膜 7 が設けられており、溝 1 1 の底面 1 1 a と第 2 の半導体膜 1 3 の裏面との間には第 2 の誘電体膜 1 2 が設けられている。

[0045] したがって、光電変換素子 1 においては、半導体基板 3 の裏面と第 1 の半導体膜 8 の裏面との間、および溝 1 1 の底面 1 1 a と第 2 の半導体膜 1 3 の裏面との間のすべての領域に誘電体膜が設けられている。

[0046] また、光電変換素子 1 においては、第 1 の半導体膜 8 の全裏面上および第 2 の半導体膜 1 3 の全裏面上に金属間化合物層 1 5 が設けられていることから、第 1 の半導体膜 8 および第 2 の半導体膜 1 3 のすべてが金属間化合物層 1 5 によって覆われている。

[0047] なお、光電変換素子 1 においては、第 1 の半導体膜 8 が n 型であり、かつ第 2 の半導体膜 1 3 が p 型である構成を例示するが、第 1 の半導体膜が p 型

であり、かつ第2の半導体膜がn型であっても本発明の効果は示される。

[0048] また、光電変換素子1においては、受光面に第3の半導体膜5が設けられた構成を例示するが、第3の半導体膜5は必ずしも必須の要素ではなく、第3の半導体膜5を有しない構成であったとしても、本発明の効果は示されるものとする。

[0049] 以下、本実施の形態の光電変換素子を構成する各要素について説明する。

《半導体基板》

半導体基板3としては、典型的にはn型単結晶シリコンからなる基板を用いることができるが、材質はこれに限定されず、従来公知の材質を広く用いることができる。たとえば、ゲルマニウムやガリウム砒素化合物からなる基板を用いても良く、また、単結晶基板のみならず多結晶基板やアモルファス基板を用いても良い。また、たとえば、予め半導体基板3の受光面および／または裏面にテクスチャ構造（図示せず）が形成された半導体基板などであっても良い。

[0050] 半導体基板3の厚さは、 $50\mu\text{m}$ 以上 $300\mu\text{m}$ 以下であることが好ましい。半導体基板3の厚さが該範囲内であることにより、半導体基板3内で生成された電子・正孔ペアの再結合を防止し電力損失を低減することができる。ここで、半導体基板3の厚さとして、より好ましい範囲は、 $100\mu\text{m}$ 以上 $200\mu\text{m}$ 以下である。

[0051] また、半導体基板3の不純物濃度も特に限定されないが、たとえば 5×10^{14} 個/ cm^3 以上 2×10^{16} 個/ cm^3 以下とすることができる。半導体基板3に含まれる不純物としては、たとえば、リン、ボロンなどを用いることができる。

[0052] 《溝》

また、溝11の深さDは、特に限定されないが、たとえば $10\mu\text{m}$ 以下とすることができ、好ましくは $5\mu\text{m}$ 以下とすることができる。

[0053] 《絶縁膜》

絶縁膜16としては、抵抗率が $1\times 10^4\Omega\cdot\text{cm}$ 以上の絶縁性を有する膜

であれば特に限定されず、従来公知の絶縁膜を用いることができる。たとえば、酸化シリコン膜、窒化シリコン膜、窒化アルミニウム膜、酸化アルミニウム膜、酸化チタニウム膜またはこれらの併用などを挙げることができる。

[0054] これらのうち、熱酸化によって形成された酸化シリコン膜（本明細書において、熱酸化シリコン膜とも記す）が特に好適である。熱酸化シリコン膜は、 1000°C 程度の高温で形成されるため、太陽電池の製造工程における 250°C 程度の高温過程においてもその性質を変化させることなく良好なパッシベーション効果を示す。そして、より好ましくは、熱酸化シリコン膜に、熱酸化処理に加えて水素アニール処理が行なわれていることが好適である。水素アニール処理により、半導体基板3と熱酸化シリコン膜界面のダングリングボンドを水素で終端させることができる。

[0055] また、絶縁膜16が、プラズマCVD（Chemical Vapor Deposition）法によって形成された窒化シリコン膜であることも好ましい態様の一つである。プラズマCVD法によって窒化シリコン膜を形成する場合には、原料ガスにシランガス（ SiH_4 ）およびアンモニアガス（ NH_3 ）などからなる混合ガスが用いられ、該原料ガス由来の水素が形成後の絶縁膜中に残留する。

[0056] 上記のような絶縁膜中に残留する水素の存在は、不純物の観点から一般的には好ましくない。しかし、本発明者らは、本発明の構成を備えた光電変換素子において、光劣化などにより、アモルファスシリコン中の水素が脱離した場合、絶縁膜中に残留した水素がこの水素欠陥を補う機能を有することを新たに見出した。したがって、絶縁膜中に水素を含有させることで、光電変換素子の長寿命化を図ることができる。

[0057] ここで、絶縁膜中の水素含有量は、好ましくは $0.005\text{ at \%}$ 以上 $0.03\text{ at \%}$ 以下である。 $0.03\text{ at \%}$ を超過すると、絶縁膜形成後の太陽電池製造過程において、水素が脱離しやすく、絶縁膜に歪みや剥離が生じやすく好ましくない。また、 $0.005\text{ at \%}$ 未満であると、上記のような効果が十分に得られない場合があり好ましくない。

[0058] なお、水素含有量は、たとえばFT-IR法によって、N-HやSi-Hに由来する信号を積分することにより見積もることができる。また、「at %」とは、「atomic percentage」、すなわち原子個数濃度を示す。

[0059] また、絶縁膜16は、単層膜であって良く、積層膜であっても良い。すなわち、本発明の絶縁膜は、熱酸化シリコン膜および／または窒化シリコン膜であることが好ましい。

[0060] さらに、絶縁膜16は、溝11の側壁11bの少なくとも一部を覆うことが好ましく、より好ましくは絶縁膜16と溝11の側壁11bの接する長さが第2の誘電体膜12および第2の半導体膜13の厚さの総和よりも長く、最も好ましくは絶縁膜16が溝11の側壁11bの全面を覆うことが好適である。また、絶縁膜16は、半導体基板3の表面に対する任意の垂直断面において、溝11の底面11aと接する部分の長さが1nm以上500nm以下であることが好ましい。上記長さが1nm未満であると、p型電極とn型電極とを電氣的に分離する効果が十分得られない場合があり、500nmを超過するとエッチングの際に剥離するなどの不都合を生じる場合があり好ましくない。

[0061] 《半導体膜》

本発明において、第1の半導体膜、第2の半導体膜および第3の半導体膜は、非晶質膜であることが好ましく、典型的には、p型またはn型の導電性を示すアモルファスシリコンおよび／またはアモルファスゲルマニウムからなる膜である。以下、各半導体膜について説明する。

[0062] （第1の半導体膜）

第1の半導体膜8としてはn型のアモルファスシリコンからなる膜に限定されず、たとえば、従来から公知のn型のアモルファス半導体膜などを用いても良い。また、たとえば、n型のアモルファスゲルマニウムからなる膜を含んでいても良い。第1の半導体膜8の厚さは特に限定されないが、たとえば1nm以上20nm以下とすることができる。ここで、第1の半導体膜8

に含まれる n 型不純物としては、たとえばリンを用いることができ、第 1 の半導体膜 8 の n 型不純物濃度は、たとえば 5×10^{19} 個 / cm^3 程度とすることができる。

[0063] (第 2 の半導体膜)

第 2 の半導体膜 13 としては p 型のアモルファスシリコンからなる膜に限定されず、たとえば従来から公知の p 型のアモルファス半導体膜などを用いても良い。また、たとえば p 型のアモルファスゲルマニウムからなる膜を含んでいても良い。第 2 の半導体膜 13 の厚さは、特に限定されないが、たとえば 1 nm 以上 20 nm 以下とすることができる。ここで、第 2 の半導体膜 13 に含まれる p 型不純物としては、たとえばボロンを用いることができ、第 2 の半導体膜 13 の p 型不純物濃度は、たとえば 5×10^{19} 個 / cm^3 程度とすることができる。

[0064] (第 3 の半導体膜)

第 3 の半導体膜 5 は、透光性を示す膜であれば特に限定されず、たとえば従来から公知の n 型のアモルファス半導体膜などを用いても良い。第 3 の半導体膜 5 の厚さは特に限定されないが、たとえば 1 nm 以上 20 nm 以下とすることができる。第 3 の半導体膜 5 に含まれる n 型不純物としては、たとえばリンを用いることができ、第 3 の半導体膜 5 の n 型不純物濃度は、たとえば 5×10^{19} 個 / cm^3 程度とすることができる。

[0065] <<誘電体膜>>

本発明において、誘電体膜は、半導体基板と各半導体膜との間に形成され、半導体基板と各半導体膜との間の電気伝導を妨げず、半導体基板と各半導体膜との界面をパッシベーションする膜である。このような誘電体膜としては、i 型のノンドープ膜が好ましく、たとえば、i 型のアモルファスシリコンなどからなる膜を好適に用いることができる。以下、各誘電体膜について説明する。

[0066] (第 1 の誘電体膜)

第 1 の誘電体膜 7 は、半導体基板 3 と第 1 の半導体膜 8 との間に形成され

ている。第1の誘電体膜7としてはi型のアモルファスシリコンからなる膜に限定されず、たとえば従来から公知のi型のアモルファス半導体膜などを用いてもよい。第1の誘電体膜7の厚さは、特に限定されないが、たとえば1 nm以上20 nm以下とすることができる。

[0067] (第2の誘電体膜)

第2の誘電体膜12は、半導体基板3と第2の半導体膜13との間に形成されている。第2の誘電体膜12としてはi型のアモルファスシリコンからなる膜に限定されず、たとえば従来から公知のi型のアモルファス半導体膜などを用いてもよい。第2の誘電体膜12の厚さは、特に限定されないが、たとえば1 nm以上20 nm以下とすることができる。

[0068] (第3の誘電体膜)

第3の誘電体膜4は、半導体基板3と第3の半導体膜5との間に形成されている。第3の誘電体膜4としてはi型のアモルファスシリコンからなる膜に限定されず、たとえば従来から公知のi型のアモルファス半導体膜などを用いてもよい。第3の誘電体膜4の厚さは、特に限定されないが、たとえば1 nm以上20 nm以下とすることができる。

[0069] ≪金属間化合物層≫

本発明の金属間化合物層15は、p型電極またはn型電極としての機能を有する。金属間化合物層15としては、金属的な電気伝導性を示すものが好ましく、より好ましくは金属シリサイド層および／または金属ジャーマニド層であることが好適である。

[0070] ここで、金属シリサイドとしては、たとえば、ニッケルシリサイド(NiSi)、コバルトシリサイド(CoSi_2)、チタンシリサイド(TiSi_2)、モリブデンシリサイド(MoSi_2)、パラジウムシリサイド(PdSi)、白金シリサイド(PtSi)、マンガンシリサイド($\text{MnSi}_{1.7}$)、タンゲステンシリサイド(WSi_2)などを挙げることができる。そして、これらのうち、ニッケルシリサイド、コバルトシリサイド、チタンシリサイドおよびこれらの併用を好適に用いることができる。すなわち、本発明の金属シリサ

イド層は、ニッケル (Ni)、コバルト (Co) およびチタン (Ti) からなる群より選ばれた少なくとも1種の金属とシリコンとからなる化合物層であることが好ましい。

[0071] また、金属ジャーマナイドとしては、たとえば、ニッケルジャーマナイド (NiGe、NiGe₂)、コバルトジャーマナイド (CoGe₂)、チタンジャーマナイド (TiGe₂)、モリブデンジャーマナイド (MoGe₂)、パラジウムジャーマナイド、白金ジャーマナイド (PtGe)、マンガンジャーマナイド (Mn₅Ge₃)、タングステンジャーマナイド (WGe₂)などを挙げることができる。そして、これらのうち、ニッケルジャーマナイド、コバルトジャーマナイド、チタンジャーマナイドおよびこれらの併用を好適に用いることができる。すなわち、本発明の金属ジャーマナイド層は、ニッケル (Ni)、コバルト (Co) およびチタン (Ti) からなる群より選ばれた少なくとも1種の金属とゲルマニウムとからなる化合物層であることが好ましい。

[0072] なお、本発明の金属間化合物は、上記の化合物に対し、他の元素が微量にドーピングされたものであっても良い。また、これらの組成中、各原子比は上記一般式に倣うものとする。なお、本発明において上記のように化合物を化学式で表わす場合、原子比を特に限定しない場合は従来公知のあらゆる原子比を含むものとし、必ずしも化学量論的範囲のもののみ限定されるものではない。たとえば単に「NiSi」と記す場合、「Ni」と「Si」の原子比は50:50の場合のみに限られず、従来公知のあらゆる原子比が含まれるものとする。

[0073] さらに、金属間化合物層15は、単層であっても良く、積層されていても良い。また、シリコンジャーマナイド層を含んでも良い。

[0074] また、金属間化合物層15の厚さは、0.1 μm以上1.0 μm以下とすることができ、より好ましくは0.5 μm以上0.8 μm以下であることが好適である。

[0075] <<反射防止膜>>

反射防止膜 6 としては、たとえば、酸化シリコン膜、窒化シリコン膜などを用いることができ、反射防止膜 6 の厚さは、たとえば 10 nm 以上 200 nm 以下とすることができる。反射防止膜 6 の厚さが、10 nm 未満であると、反射防止膜としての効果が十分に得られない場合があり、200 nm を超過すると太陽光が透過し難くなるため好ましくない。

[0076] このような本実施の形態の光電変換素子は、以下のような製造方法によって製造される。換言すれば、以下のような製造方法によって製造される光電変換素子は、上記のような特性を示す。したがって、本実施の形態の光電変換素子は、発電効率を向上させるとともに、簡易な製造工程で製造することができる光電変換素子である。

[0077] [光電変換素子の製造方法]

以下、図 3～図 17 の模式的断面図を参照して、第 1 の実施の形態である光電変換素子 1 の製造方法の一例について説明する。なお、以下に示す例はあくまでも一例であり、各操作の順序は以下の例に限定されず、適宜変更することができる。

[0078] まず、図 3 に示すように、n 型単結晶シリコンからなる半導体基板 3 の受光面の反対側（すなわち、裏面）に、開口部 10 を備えた耐アルカリ性のレジスト膜 9 を形成する。

[0079] ここで、レジスト膜 9 は、特に限定されないが、たとえば、耐アルカリ性のレジストインクをインクジェット法により、開口部 10 の形成箇所以外の箇所に印刷し、それを乾燥させることにより形成したものなどを用いることができる。

[0080] 次に、図 4 に示すように、レジスト膜 9 の開口部 10 から露出している半導体基板 3 の裏面の一部を除去することによって、底面 11 a と、底面 11 a の両側から半導体基板 3 の厚さ方向に伸長する側壁 11 b とからなる溝 11 を形成する。ここでは、まずドライエッチングによって異方性をもったエッチングを行なった後、ウエットエッチングによって、ドライエッチングにより生成されたダメージ層を除去することが好ましい。

[0081] 次に、レジスト膜 9 を除去し、洗浄した後、図 5 に示すように、溝 11 の底面 11 a および側壁 11 b を含む、半導体基板 3 の裏面全体に、絶縁膜 16 を形成する。絶縁膜 16 の形成方法は特に限定されず、従来公知のいかなる方法も採用できる。

[0082] 絶縁膜 16 が酸化シリコン膜である場合、スチーム酸化、常圧 CVD 法などによっても形成することができるが、熱酸化法によって形成されることが好ましい。ここで、熱酸化法による処理温度は 800℃～1100℃であることが好ましい。熱酸化法による膜形成は、簡易な方法であり、他の製法に比べ、形成される酸化シリコン膜の性質がよく、緻密であり、かつパッシベーション効果が高く好適である。ここで、形成される絶縁膜 16 の厚さは、処理時間によって調製可能であり、たとえば 1 nm 以上 500 nm 以下とすることができる。また、熱酸化処理後に、水素アニール処理を行っても良い。ここで、水素アニール処理の処理温度は、たとえば 300℃～500℃とすることができる。

[0083] また、絶縁膜 16 が窒化シリコン膜である場合、蒸着法などによっても形成することができるが、プラズマ CVD 法によって形成されることが好ましい。プラズマ CVD 法によって、窒化シリコン膜を形成する場合、原料ガスとしてシラン (SiH_4) ガスとアンモニア (NH_3) ガスとからなる混合ガスなどを用いることができる。ここで、形成される絶縁膜 16 の厚さは、製膜時間や製膜圧力などによって調製可能であり、たとえば 1 nm 以上 500 nm 以下とすることができる。

[0084] 次に、図 6 に示すように、半導体基板 3 の裏面の平面部に形成された絶縁膜 16 を除去する。このようにすることで、溝 11 の側壁 11 b に絶縁膜 16 が形成された半導体基板 3 を得ることができる。ここで、絶縁膜 16 を除去する方法としては、特に限定されず、ドライエッチング、ウェットエッチングのいずれを用いても良い。

[0085] 次に、図 7 に示すように、n 型単結晶シリコンからなる半導体基板 3 の受光面の全面に、i 型のアモルファスシリコンからなる第 3 の誘電体膜 4 およ

び n 型のアモルファスシリコンからなる第 3 の半導体膜 5 を、この順序で、たとえばプラズマ CVD 法により積層する。

[0086] 次に、図 8 に示すように、第 3 の半導体膜 5 の全面に反射防止膜 6 をたとえばスパッタリング法、CVD 法、蒸着法などにより積層する。

[0087] 次に、図 9 に示すように、溝 11 の側壁 11b に絶縁膜 16 を有する半導体基板 3 の裏面全面に、i 型のアモルファスシリコンからなる第 2 の誘電体膜 12 および p 型のアモルファスシリコンからなる第 2 の半導体膜 13 を、この順序で、たとえばプラズマ CVD 法により積層する。ここで、第 2 の半導体膜 13 は、p 型のアモルファスシリコンからなる膜と p 型のアモルファスゲルマニウムからなる膜とが積層されていても良く、その場合には、p 型のアモルファスシリコンからなる膜の上に p 型のアモルファスゲルマニウムからなる膜を、たとえばプラズマ CVD 法により積層する。

[0088] 次に、図 10 に示すように、溝 11 の少なくとも一部にマスク材 14 を埋め込む。ここで、マスク材 14 による溝 11 の埋め込みは、たとえば、マスク材 14 を加熱して溶融状態とし、それをインクジェット法により、溝 11 を埋め込むように選択的に塗布して、冷却して固化状態とした後に乾燥させることにより行なうことができる。

[0089] ここで、マスク材 14 としては、第 2 の誘電体膜 12 および第 2 の半導体膜 13 のエッチングマスクとして機能するものであれば特に限定されないが、なかでもホットメルト接着剤を用いることが好ましい。なお、ホットメルト接着剤は、常温では固体状態であるが、加熱により溶融状態となり、塗布後の滲みが少ないという特性を有する。

[0090] 次に、図 11 に示すように、マスク材 14 によって被覆されていない第 2 の誘電体膜 12 および第 2 の半導体膜 13 を除去する。ここで、第 2 の誘電体膜 12 および第 2 の半導体膜 13 を除去する方法は特に限定されないが、ドライエッチングを用いることが好適である。

[0091] 次に、図 12 に示すように、マスク材 14 を除去し、その後洗浄する。ここで、マスク材 14 を除去する方法は、特に限定されないが、たとえばマス

ク材 14 がホットメルト接着剤からなる場合には、マスク材 14 を温水に浸漬して剥離する方法などが挙げられる。

[0092] 次に、図 13 に示すように、マスク材 14 を除去した後の半導体基板 3 の裏面の全面上に、i 型のアモルファスシリコンからなる第 1 の誘電体膜 7 および n 型のアモルファスシリコンからなる第 1 の半導体膜 8 を、この順序で、たとえばプラズマ CVD 法により積層する。ここで、第 1 の半導体膜 8 は、n 型のアモルファスシリコンからなる膜と n 型のアモルファスゲルマニウムからなる膜とが積層されていても良く、その場合には、n 型のアモルファスシリコンからなる膜の上に n 型のアモルファスゲルマニウムからなる膜を、たとえばプラズマ CVD 法により積層する。

[0093] 次に、図 14 に示すように、半導体基板 3 の裏面の開口部 10 以外の部分に、レジスト膜 17 を形成する。ここで、レジスト膜 17 は、特に限定されず、たとえば、上記で例示したものをを用いることができる。

[0094] 次に、図 15 に示すように、レジスト膜 17 の開口部 10 から露出している第 1 の誘電体膜 7 および第 1 の半導体膜 8 を除去し、溝 11 の中に形成された第 2 の半導体膜 13 を露出させる。ここで、第 1 の誘電体膜 7 および第 1 の半導体膜 8 を除去する方法としては、アルカリ溶液を用いたウエットエッチングを用いることが好ましい。すなわち、p 型の第 2 の半導体膜 13 は、アルカリ溶液を用いたウエットエッチングでは除去され難いため、第 2 の半導体膜 13 がエッチングストップ層として機能して、第 1 の誘電体膜 7 および第 1 の半導体膜 8 を確実に除去することができる。ここで、アルカリ溶液としては、特に限定されず、たとえば、上記で例示したものをを用いることができる。

[0095] 次に、レジスト膜 17 を除去し、その後洗浄する。次に、図 16 に示すように半導体基板 3 の裏面側の全面に金属層 20 を形成する。ここで、金属層 20 は、従来公知の方法で形成することができ、たとえば CVD 法、スパッタリング法、蒸着法などを好適に用いることができる。また、金属層 20 は、ニッケル (Ni)、コバルト (Co)、チタン (Ti) からなる群より選

ばれた少なくとも１種の金属からなることが好ましく、金属層２０の厚さは、たとえば０．１μm以上１．０μm以下とすることができる。

[0096] 次に、図１７に示すように、金属層２０を形成した後、熱処理を行なうことにより、金属層２０と第１の半導体膜８および第２の半導体膜１３とを反応させて、金属間化合物層１５を形成することができる。ここで、金属間化合物層１５が金属シリサイド層からなる場合には、熱処理温度は、２００℃以上６００℃以下であることがより好ましい。

[0097] 上記したように、第１の半導体膜８および第２の半導体膜１３が、アモルファスシリコンからなる膜の上にアモルファスゲルマニウムからなる膜が積層されている場合には、金属間化合物層１５を金属ジャーマナイド層とすることができる。金属間化合物層１５が金属ジャーマナイド層からなる場合には、熱処理温度は１００℃以上５００℃以下であることが好ましい。このように、金属ジャーマナイド層は、金属シリサイド層に比べて低温で形成が可能であり好適である。

[0098] この理由は、本実施の形態のように、半導体基板に溝が形成されている場合、６００℃を超える高温で熱処理を行なうと、該溝（すなわち、半導体基板の厚さが異なる部位）に起因して、半導体基板に反りなどの不具合が生じる可能性があるからである。したがって、そのような不具合の発生を抑制するためには、金属層と半導体膜とを反応させる温度は、６００℃以下であること要する。金属ジャーマナイド層は、５００℃以下で形成可能であり、半導体基板の反りなどの不具合の発生がなく、特に好適である。

[0099] なお、図１７に示すように、絶縁膜１６と金属層２０は熱処理によって反応しないため、絶縁膜１６上の金属層２０は未反応のまま残存する。

[0100] 次に、図１に示すように、未反応の金属層２０を除去する。ここで、未反応の金属層２０を除去する方法としては、酸性溶液を用いたウェットエッチングを用いることが好ましい。第１の半導体膜８および第２の半導体膜１３上に形成された金属間化合物層１５は耐食性を有するため、酸性溶液を用いることにより、絶縁膜１６上に残存した未反応の金属層２０を選択的に除去

することができる。未反応の金属層 20 を除去することにより、第 1 の半導体膜 8 上の金属間化合物層 15 と第 2 の半導体膜 13 上の金属間化合物層 15 とは、下地となる第 1 の半導体膜 8 および第 2 の半導体膜 13 の形状に従って分離される（すなわち、自己整合的に分離される）。これにより、金属間化合物層 15 は p 型電極と n 型電極とに分離される。

[0101] 本実施の形態によれば、図 44 に示す構造を有する太陽電池のように、透明導電酸化膜によって半導体膜と電極層とを接続する必要がないため、接触抵抗が低減され、光電変換素子の変換効率を高めることができる。

[0102] また、本実施の形態によれば、図 28～図 44 に示される方法のように、フォトレジストの塗布ならびにフォトリソグラフィ技術およびエッチング技術によるフォトレジストの複雑なパターンニング工程を行なう必要がないため、より簡易な製造工程で光電変換素子を製造することができる。

[0103] 特に、図 37～44 に示される方法のように、電極形成において複雑なパターンニング工程を行なう必要がなく、上記のように金属間化合物層からなる低抵抗電極が形成されるとともに、簡易かつ確実に p 型電極（第 2 の半導体膜 13 の上の電極）と n 型電極（第 1 の半導体膜 8 の上の電極）とを分離することができる。

[0104] また、本実施の形態においては、p 型電極および n 型電極を半導体基板の厚さ方向の異なる位置に形成しているため、半導体基板の裏面における p 型電極と n 型電極との間の隙間を小さくできるとともに、このような隙間の小さい p 型電極と n 型電極とを形成するための精密なパターンニングをする必要がない。ここで、アモルファス膜（第 1 の半導体膜 8 および第 2 の半導体膜 13）は水平方向（膜の面方向）には電流が流れにくいいため、半導体基板の裏面の p 型電極と n 型電極との間の隙間はできるだけ小さい方が高い変換効率を有する光電変換素子を得る観点からは好ましい。そして、本実施の形態においては、上記のように p 型電極と n 型電極とを、裏面に形成された溝および溝側壁に形成された絶縁膜によって、電氣的に分離するため、電氣的に分離が不十分な場合に生じる変換効率の低下が防止される。

[0105] さらに、本実施の形態においては、半導体基板の裏面の全平面を p 型電極と n 型電極とで覆うことができるため、半導体基板の受光面側から入射した光のうち吸収されずに半導体基板の裏面側に透過してきた光を p 型電極および n 型電極で反射することができる。また、溝側壁に形成された絶縁膜により、溝側壁に透過してきた光をも反射することができる。

[0106] またさらに、本実施の形態においては、半導体基板の溝の底面を含む、半導体基板の裏面の全平面が i 型の誘電体膜、n 型の半導体膜および p 型の半導体膜によってパッシベーションされており、加えて溝の底面の一部および側壁も絶縁膜によってパッシベーションされている。したがって、半導体基板の裏面全体において良好なパッシベーション特性を得ることができ、半導体基板の表面でのキャリア再結合を抑制することができる。

[0107] 以上の理由により、本実施の形態においては、図 4 4 に示す構造を有する太陽電池よりも高い変換効率を有する光電変換素子を得ることができる。また、本実施の形態においては、高い変換効率を有する光電変換素子を簡易な製造工程で製造することができる。

[0108] <実施の形態 2>

[光電変換素子]

《全体構成》

図 2 に、本発明の第 2 の実施の形態である光電変換素子 2 の模式的な断面図を示す。光電変換素子 2 は、半導体基板 103 の裏面に溝を有しておらず、半導体基板 103 の裏面の表面上に、i 型のアモルファスシリコンからなる第 1 の誘電体膜 107 と第 2 の誘電体膜 112 とが離間して設けられている。また、第 1 の誘電体膜 107 上には、n 型のアモルファスシリコンからなる第 1 の半導体膜 108 が設けられている。また、第 2 の誘電体膜 112 上には、p 型のアモルファスシリコンからなる第 2 の半導体膜 113 が設けられている。そして、第 1 の半導体膜 108 および第 2 の半導体膜 113 の裏面の全面上には、金属間化合物層 115 が設けられている。

[0109] また、第 1 の誘電体膜 107 と第 2 の誘電体膜 112 との間には、絶縁膜

１１６が設けられている。ここで、絶縁膜１１６は、第１の誘電体膜１０７の側面部および／または第２の誘電体膜１１２の側面部と接して形成されている。また、絶縁膜１１６は、第１の半導体膜１０８の側面部および／または第２の半導体膜１１３の側面部と接していても良い。

[0110] 光電変換素子２の受光面（裏面の反対側の面）には、光電変換素子１と同様に、第３の誘電体膜１０４、第３の半導体膜１０５および反射防止膜１０６が設けられている。ここで、光電変換素子２を構成する半導体基板、各膜、各層の材質および厚さは、たとえば、光電変換素子１の説明において、例示したものを用いることができる。

[0111] なお、光電変換素子２においては、第１の半導体膜１０８がｎ型であり、かつ第２の半導体膜１１３がｐ型である構成を例示するが、第１の半導体膜がｐ型であり、かつ第２の半導体膜がｎ型であっても本発明の効果は示される。

[0112] また、光電変換素子１においては、受光面に第３の半導体膜１０５が設けられた構成を例示するが、第３の半導体膜１０５は必ずしも必須の要素ではなく、第３の半導体膜１０５を有しない構成であったとしても、本発明の効果は示されるものとする。

[0113] このような本実施の形態の光電変換素子は、以下のような製造方法によって製造される。換言すれば、以下のような製造方法によって製造される光電変換素子は、上記のような特性を示す。したがって、本実施の形態の光電変換素子は、発電効率を向上させるとともに、簡易な製造工程で製造することができる光電変換素子である。

[0114] [光電変換素子の製造方法]

以下、図１８～図２７の模式的断面図を参照して、第２の実施の形態である光電変換素子２の製造方法の一例について説明する。なお、以下に示す例はあくまでも一例であり、各操作の順序は以下の例に限定されず、適宜変更することができる。

[0115] まず、図１８に示すように、ｎ型単結晶シリコンからなる半導体基板１０

3の受光面の全面に、i型のアモルファスシリコンからなる第3の誘電体膜104およびn型のアモルファスシリコンからなる第3の半導体膜105および反射防止膜106を、この順序で、たとえばプラズマCVD法により積層する。

[0116] 次に、図19に示すように、半導体基板103の裏面の全面上に、i型のアモルファスシリコンからなる第1の誘電体膜107およびn型のアモルファスシリコンからなる第1の半導体膜108を、この順序で、たとえばプラズマCVD法により積層する。ここで、第1の半導体膜108は、n型のアモルファスシリコンからなる膜とn型のアモルファスゲルマニウムからなる膜とが積層されていても良く、その場合には、n型のアモルファスシリコンからなる膜の上にn型のアモルファスゲルマニウムからなる膜を、たとえばプラズマCVD法により積層する。

[0117] 次に、図20に示すように、開口部110を備えたレジスト膜109を形成する。ここで、レジスト膜109は、特に限定されず、たとえば上記で耐アルカリ性のレジスト膜として例示したものをを用いることができる。

[0118] 次に、図21に示すように、レジスト膜109で被覆されていない第1の誘電体膜107および第1の誘電体膜108の一部を除去し、半導体基板103を露出させる。ここで、第1の誘電体膜107および第1の半導体膜108を除去する方法は特に限定されないが、アルカリ溶液を用いたウェットエッチングを用いることが好ましい。

[0119] 次に、レジスト膜109を除去して洗浄した後、図22に示すように、第1の半導体膜108の裏面全面上および半導体基板103の裏面全面上に、絶縁膜116を形成する。ここで、絶縁膜116を形成する方法は、たとえば、上記で例示した方法を用いることができる。また、絶縁膜116としては、熱酸化シリコン膜、窒化シリコン膜が好ましい。

[0120] 次に、図23に示すように、平面上に形成された絶縁膜116を除去することにより、第1の誘電体膜107および第1の半導体膜108の側面部に絶縁膜116を残存させる。絶縁膜116を除去する方法は特に限定されず

、ドライエッチング、ウエットエッチングのいずれを用いても良い。

[0121] 次に、図24に示すように、第1の半導体膜108の裏面全面上、半導体基板103の裏面全面上および絶縁膜116の残部上に、i型のアモルファスシリコンからなる第2の誘電体膜112およびp型のアモルファスシリコンからなる第2の半導体膜113を、この順序で、たとえばプラズマCVD法により積層する。ここで、第2の半導体膜113は、p型のアモルファスシリコンからなる膜とp型のアモルファスゲルマニウムからなる膜とが積層されていても良く、その場合には、p型のアモルファスシリコンからなる膜の上にp型のアモルファスゲルマニウムからなる膜を、たとえばプラズマCVD法により積層する。

[0122] 次に、図25に示すように、第1の半導体膜108上および絶縁膜116の残部上に形成された第2の誘電体膜112および第2の半導体膜113を除去する。ここで、第2の誘電体膜112および第2の半導体膜113を除去する方法としては、たとえば上記で例示したようにドライエッチングなどを用いることができる。

[0123] 次に、図26に示すように、第1の半導体膜108上、第2の半導体膜113上および絶縁膜116の残部上に、金属層120を形成する。ここで、金属層120を形成する方法としては、上記で例示したようにスパッタリング法などを用いることができ、金属層120は、ニッケル(Ni)、コバルト(Co)、チタン(Ti)からなる群より選ばれた少なくとも1種の金属からなることが好ましい。

[0124] 次に、図27に示すように、熱処理を行なうことにより、金属層120と第1の半導体膜108および第2の半導体膜113とを反応させて、金属間化合物層115を形成する。ここで、絶縁膜116と金属層120は熱処理によって反応しないため、絶縁膜116上の金属層120は未反応のまま残存する。

[0125] 次に、図2に示すように、絶縁膜116上の未反応の金属層120を除去することによって、金属間化合物層115はp型電極とn型電極とに自己整

合的に分離される。

[0126] 本実施の形態によれば、図44に示す構造を有する太陽電池のように、透明導電酸化膜によって半導体膜と電極層を接続する必要がないため、接触抵抗が低減され、光電変換素子の変換効率を高めることができる。

[0127] また、本実施の形態によれば、図37～44に示される方法のように、電極形成において複雑なパターニング工程を行なう必要がなく、上記のように金属間化合物層からなる低抵抗電極が形成されるとともに、簡易かつ確実にp型電極（第2の半導体膜113の上の電極）とn型電極（第1の半導体膜107の上の電極）とを分離することができる。

[0128] またさらに、本実施の形態においては、半導体基板の裏面の全平面がi型の誘電体膜、n型の半導体膜、p型の半導体膜および絶縁膜によってパッシベーションされており、半導体基板の裏面全体において良好なパッシベーション特性を得ることができ、半導体基板の表面でのキャリア再結合を抑制することができる。

[0129] 以上の理由により、本実施の形態においては、図44に示す構造を有する太陽電池よりも高い変換効率を有する光電変換素子を得ることができる。また、本実施の形態においては、高い変換効率を有する光電変換素子を簡易な製造工程で製造することができる。

[0130] 以上のように本発明の実施の形態について説明を行なったが、上述の各実施の形態の構成を適宜組み合わせることも当初から予定している。

[0131] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

産業上の利用可能性

[0132] 本発明は、光電変換素子および光電変換素子の製造方法に利用することができる。

符号の説明

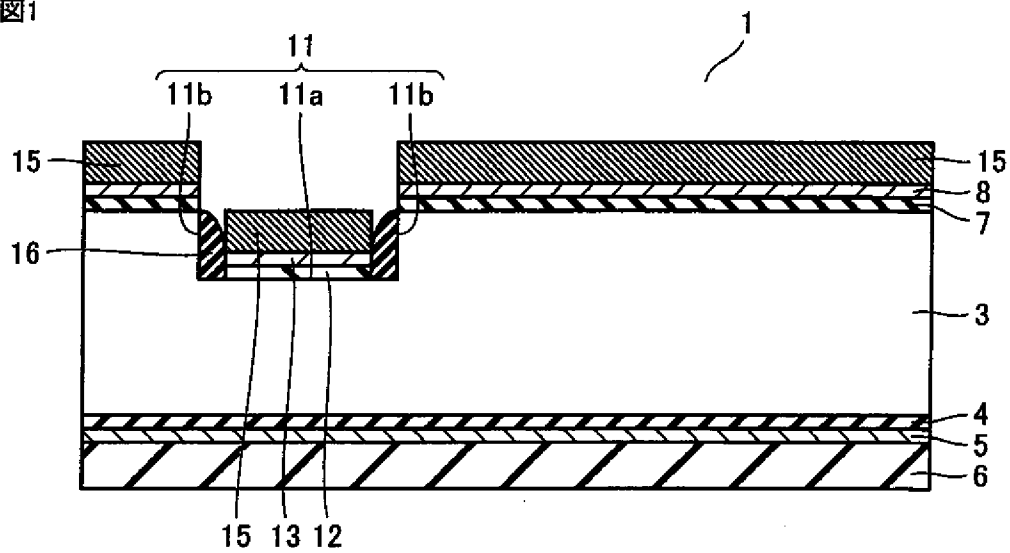
[0133] 1, 2 光電変換素子、3, 103 半導体基板、4, 104 第3の誘電体膜、5, 105 第3の半導体膜、6, 106 反射防止膜、7, 107 第1の誘電体膜、8, 108 第1の半導体膜、9, 17, 109 レジスト膜、10, 110 開口部、11 溝、11a 底面、11b 側壁、12, 112 第2の誘電体膜、13, 113 第2の半導体膜、14 マスク材、15, 115 金属間化合物層、16, 116 絶縁膜、20, 120 金属層、901 c-Si(n) 基板、902 a-Si(i/p) 層、903 a-Si(i/n) 層、904 フォトレジスト膜、905 a-Si(i/n) 層、906 フォトレジスト膜、907 透明導電酸化膜、908, 909 フォトレジスト膜、910 裏面電極層、911 反射防止膜。

請求の範囲

- [請求項1] 第1導電型の半導体基板と、
 前記半導体基板の一方の表面上に設けられた第1導電型の第1の半導体膜と、
 前記表面上に前記第1の半導体膜から独立して設けられた第2導電型の第2の半導体膜と、
 前記半導体基板と前記第1の半導体膜との間および前記半導体基板と前記第2の半導体膜との間の少なくともいずれかに設けられた誘電体膜と、を備え、
 前記第1の半導体膜上および前記第2の半導体膜上に金属間化合物層が形成されている、光電変換素子。
- [請求項2] 前記半導体基板の前記表面には溝が設けられており、
 前記溝の底面に前記第2の半導体膜が設けられている、請求項1に記載の光電変換素子。
- [請求項3] 前記半導体基板の一方の表面上において、前記第1の半導体膜と前記第2の半導体膜とは離間して設けられており、
 前記第1の半導体膜と前記第2の半導体膜との間に絶縁膜が設けられている、請求項1に記載の光電変換素子。
- [請求項4] 前記金属間化合物層は、金属シリサイド層および金属ゲルマナイド層の少なくともいずれかである、請求項1～請求項3のいずれか1項に記載の光電変換素子。
- [請求項5] 前記金属ゲルマナイド層は、ニッケル、コバルトおよびチタンからなる群より選ばれた少なくとも1種の金属とゲルマニウムとからなる化合物層である、請求項4に記載の光電変換素子。

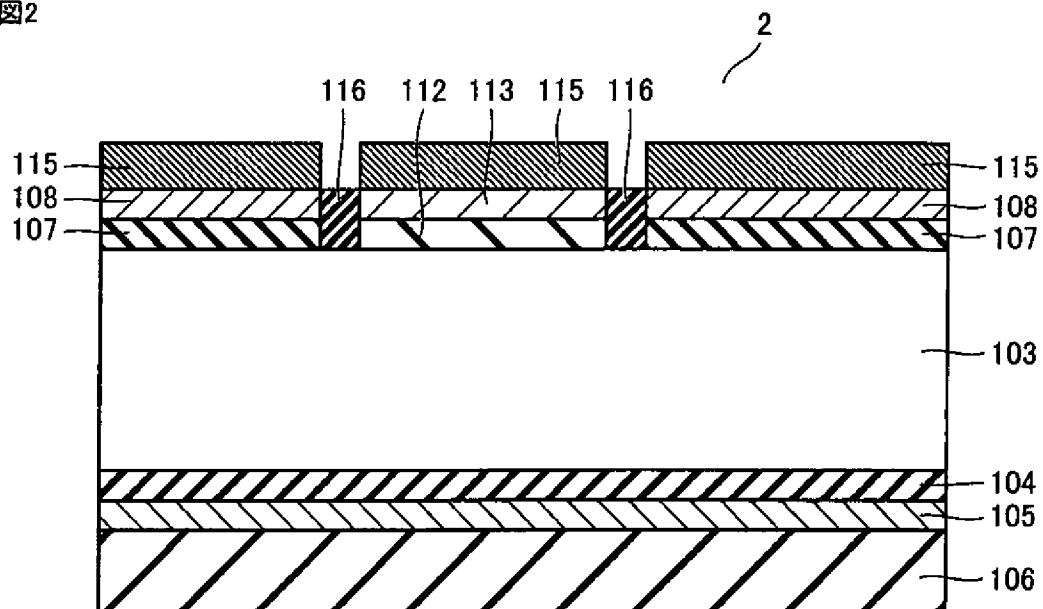
[図1]

図1



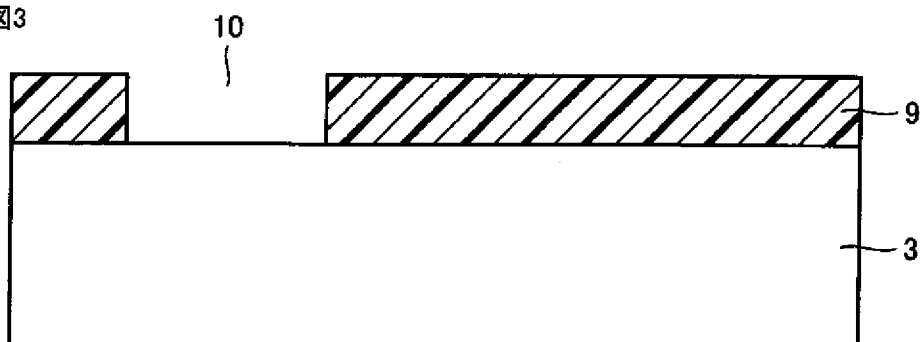
[図2]

図2

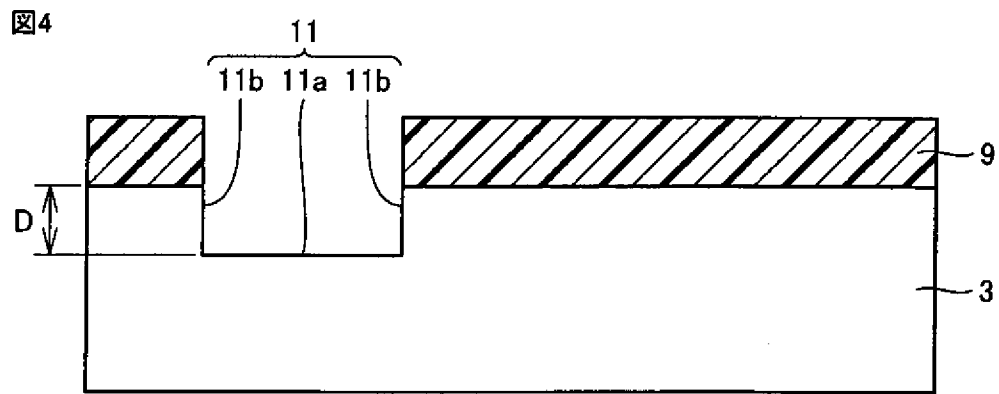


[図3]

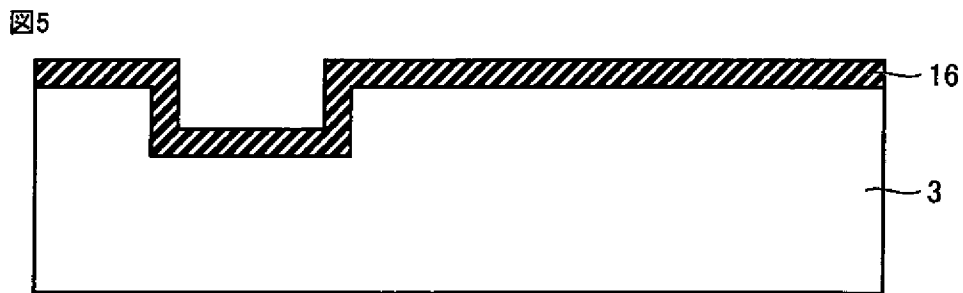
図3



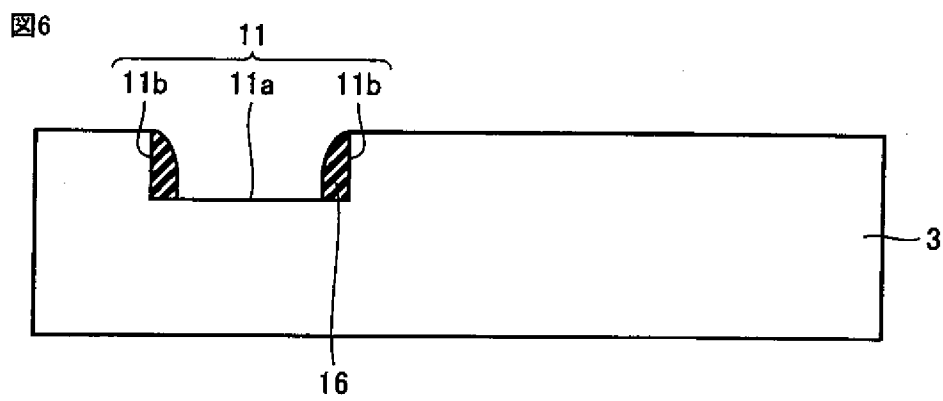
[図4]



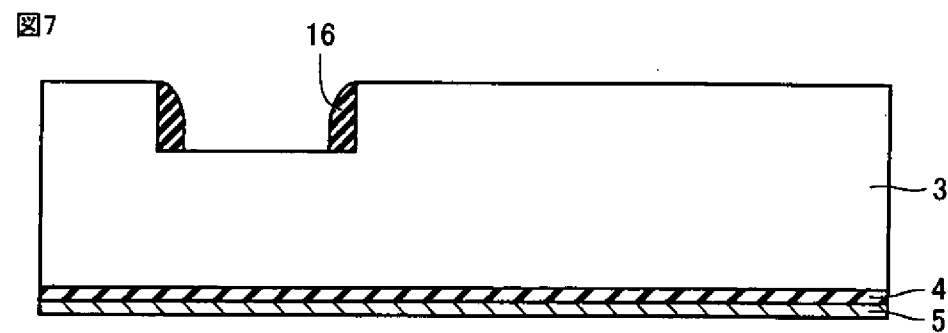
[図5]



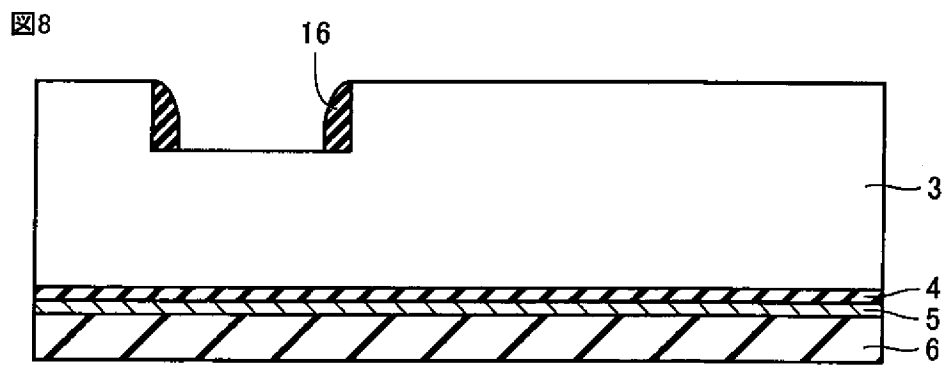
[図6]



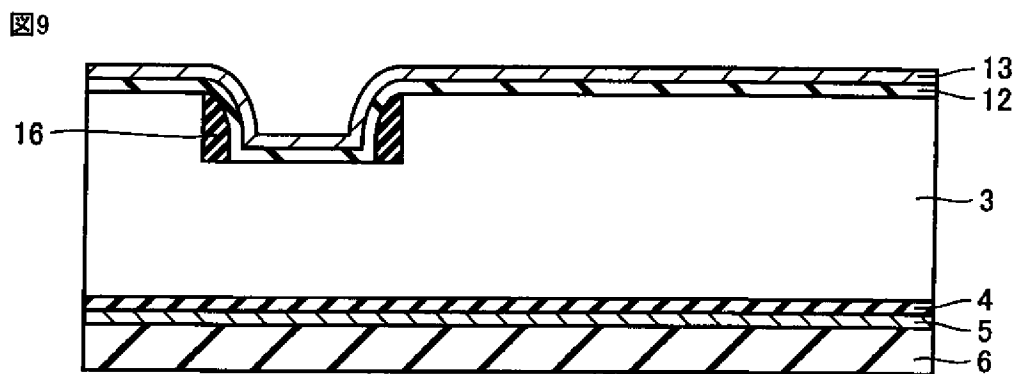
[図7]



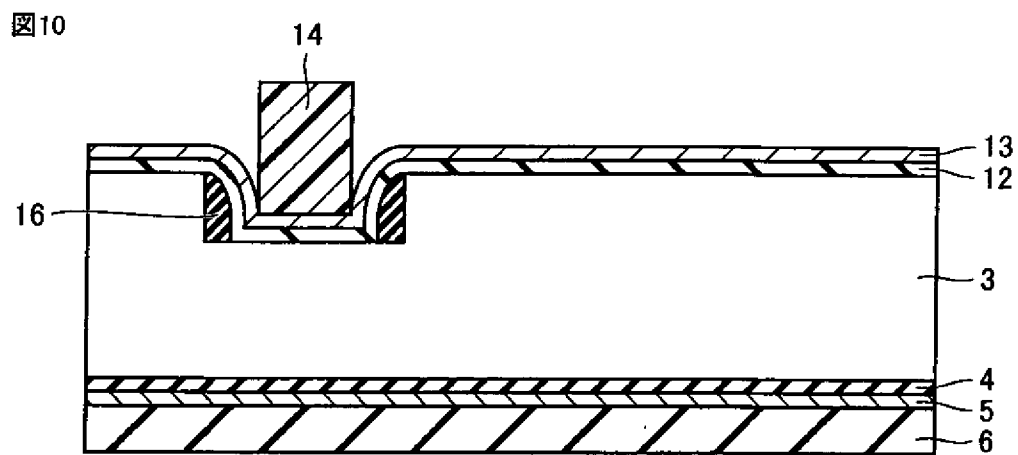
[図8]



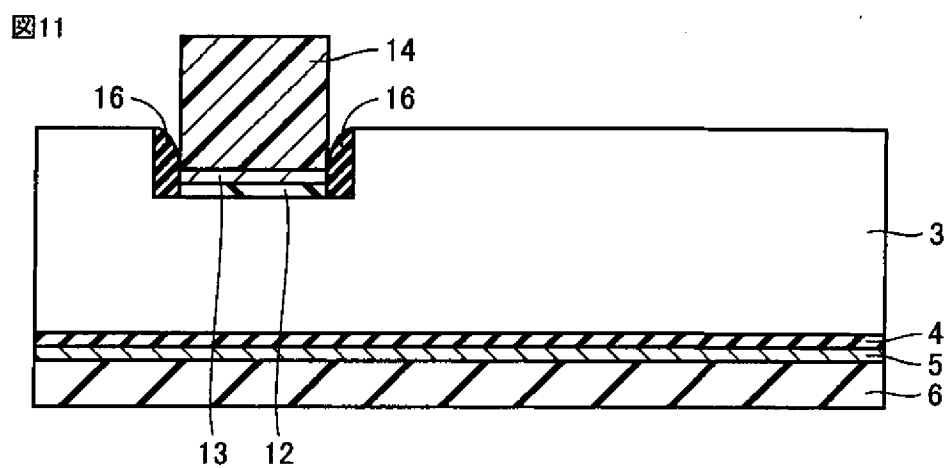
[図9]



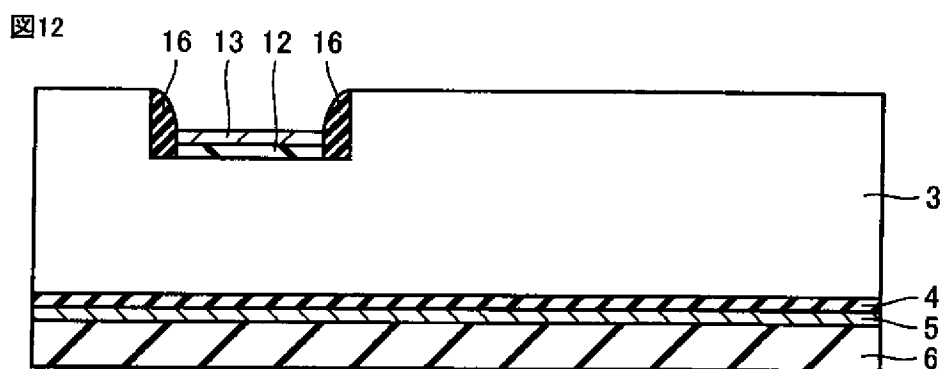
[図10]



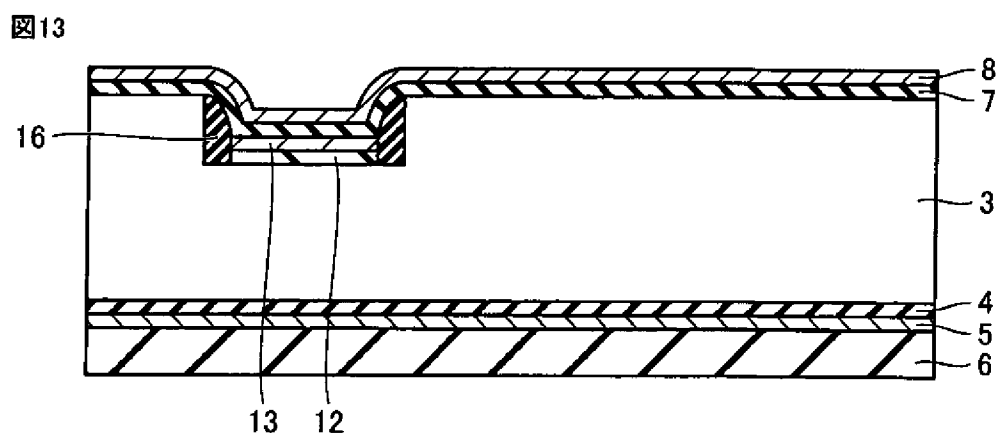
[図11]



[図12]

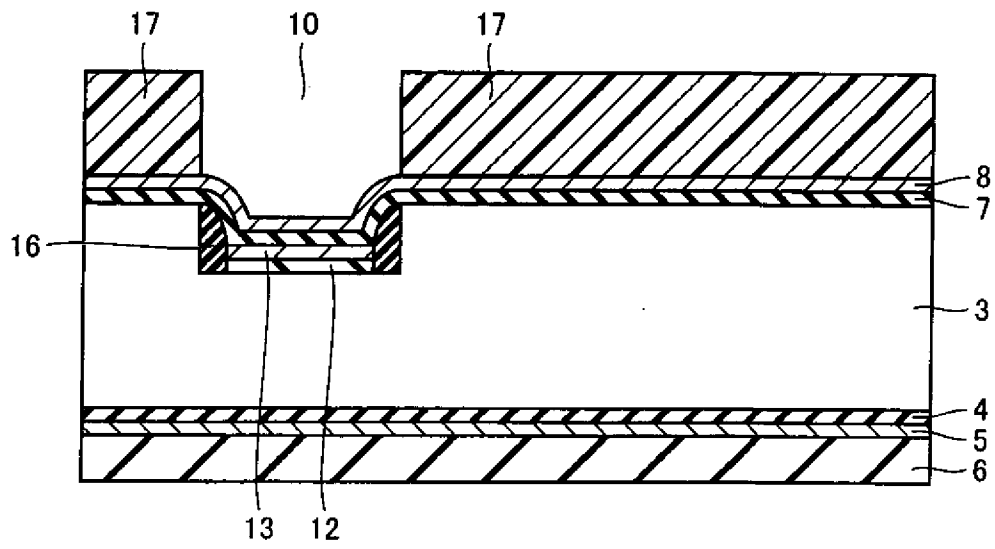


[図13]



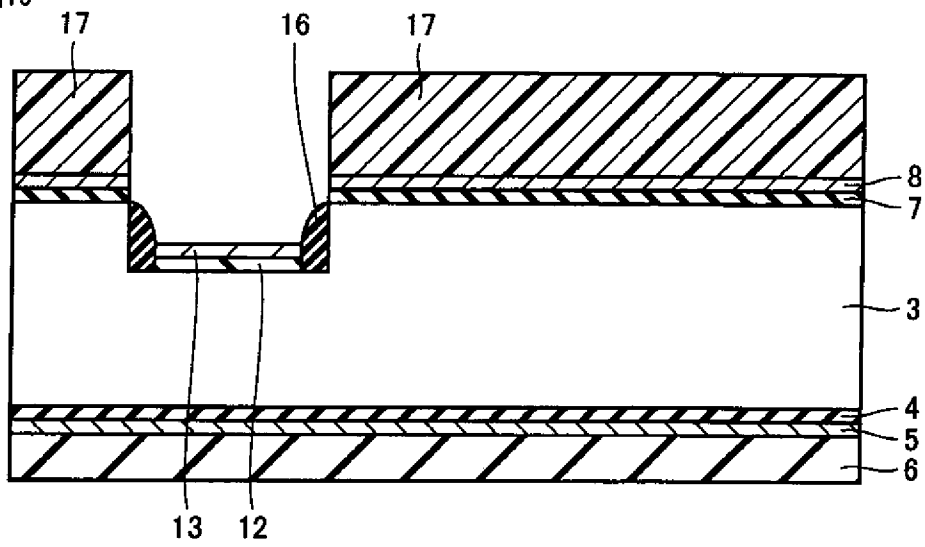
[図14]

図14



[図15]

図15



[図16]

図16

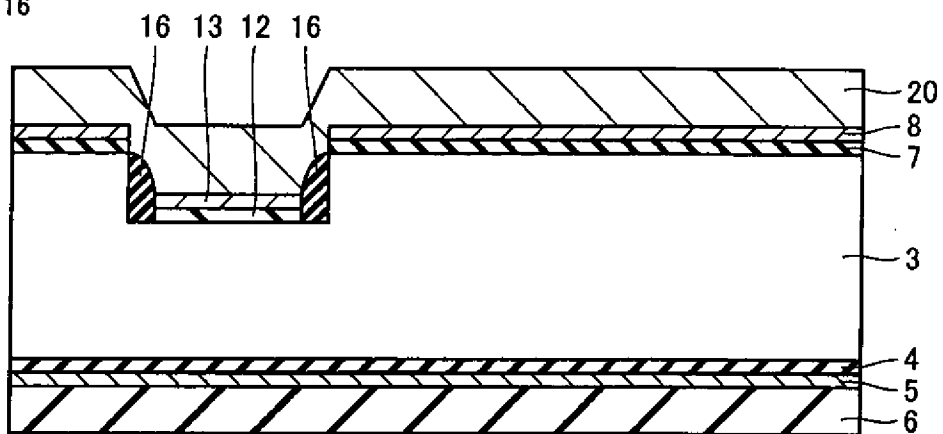


图17



图18

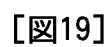
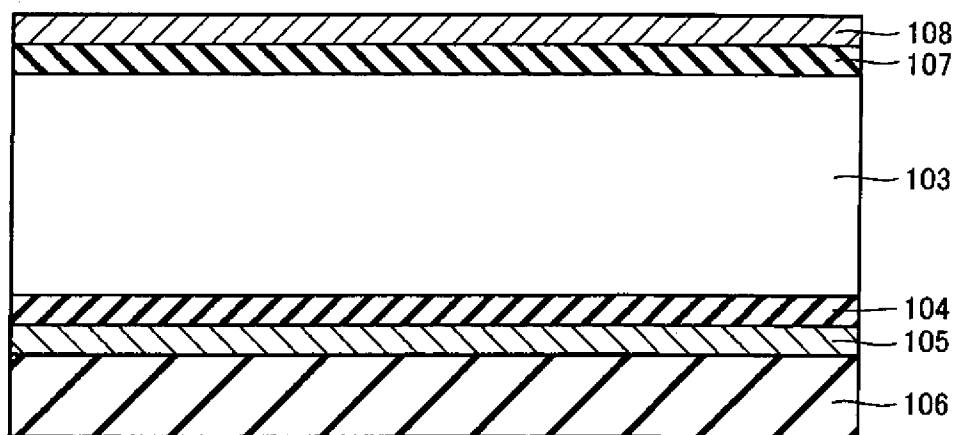
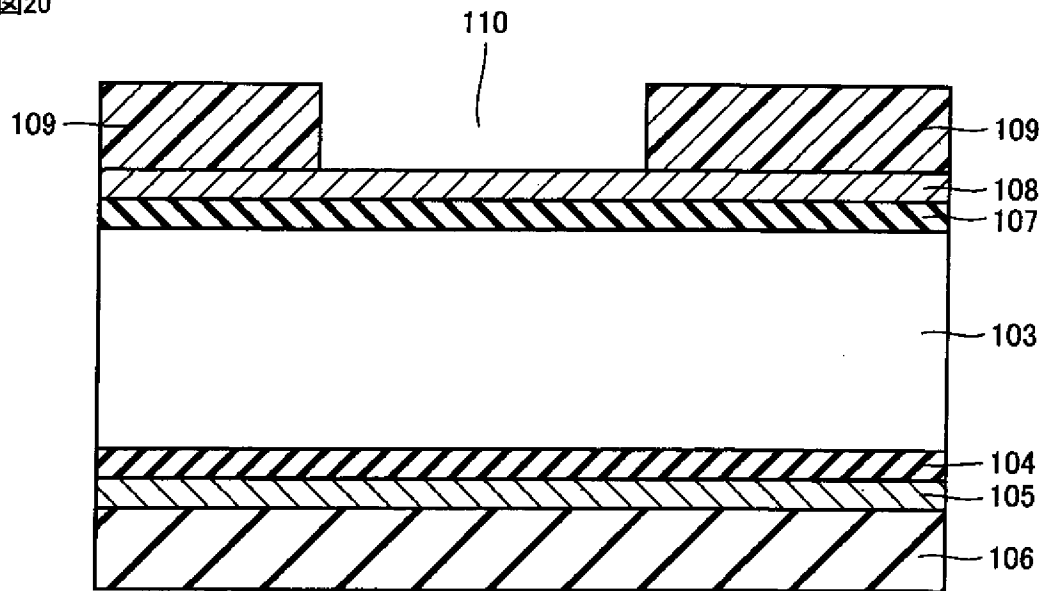


图19



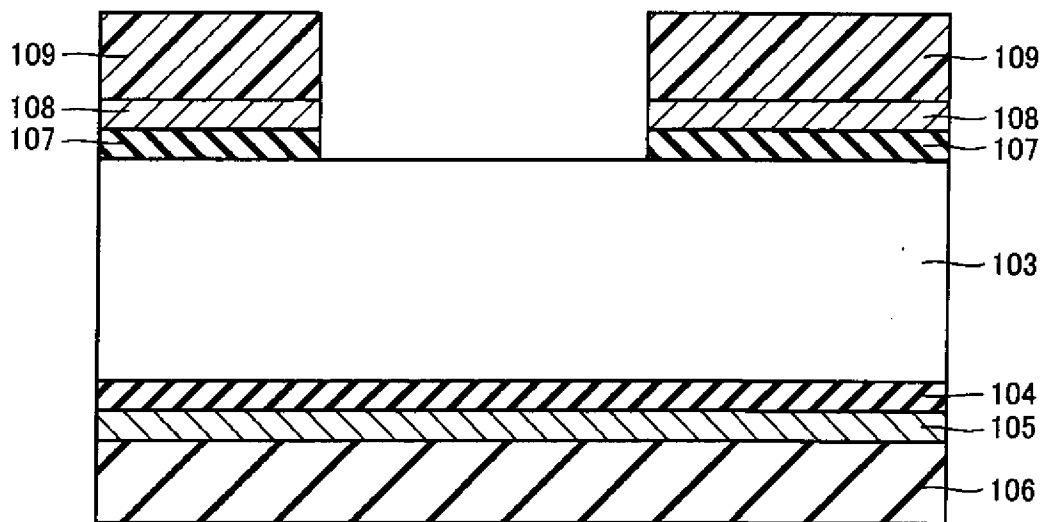
[図20]

図20

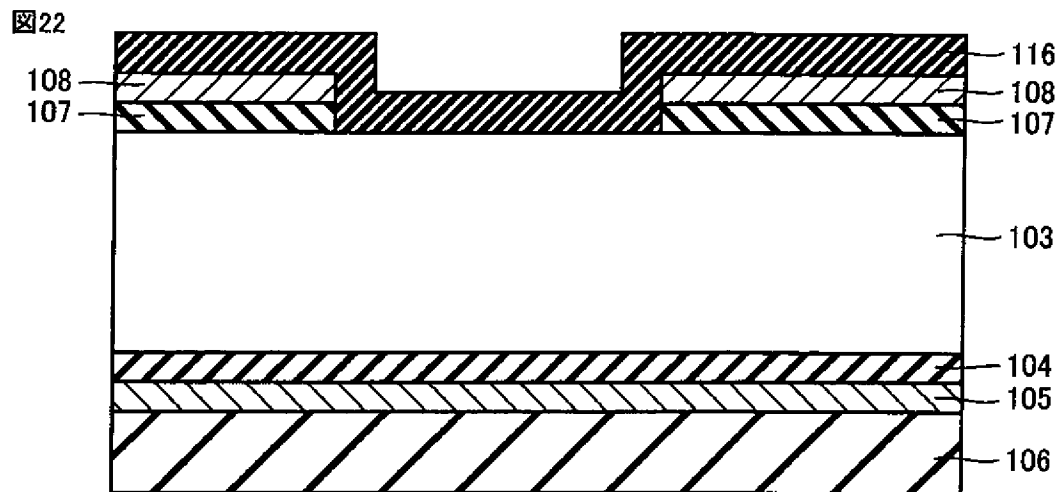


[図21]

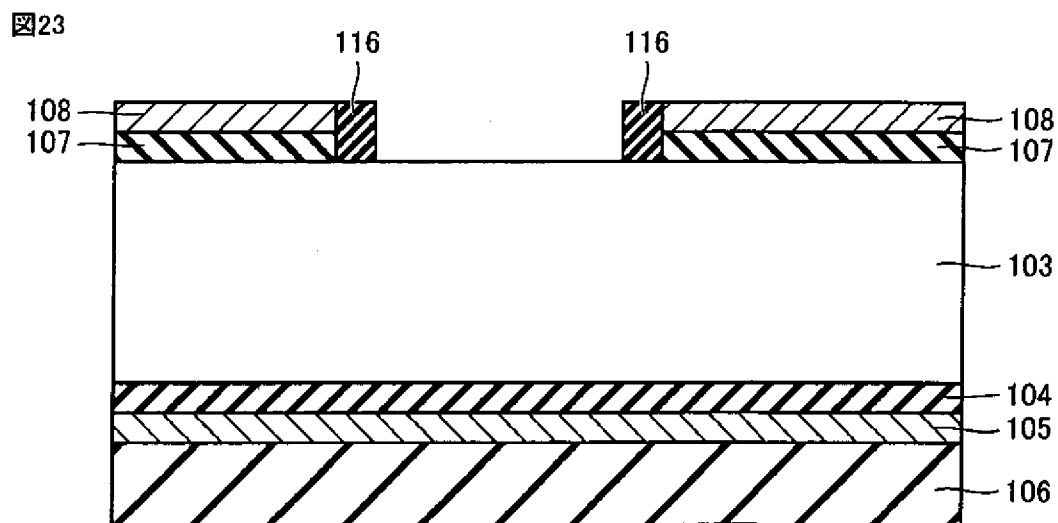
図21



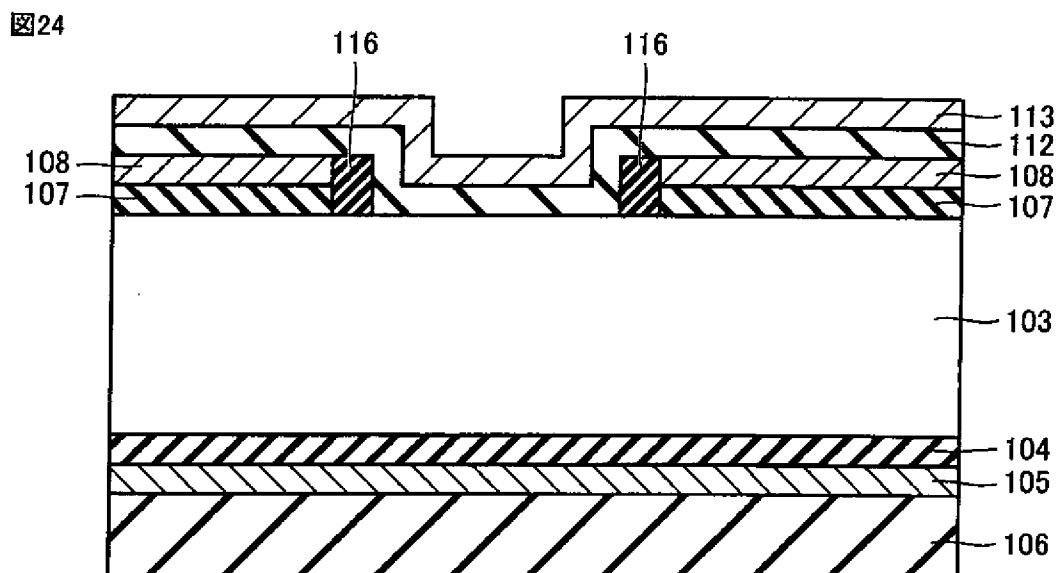
[図22]



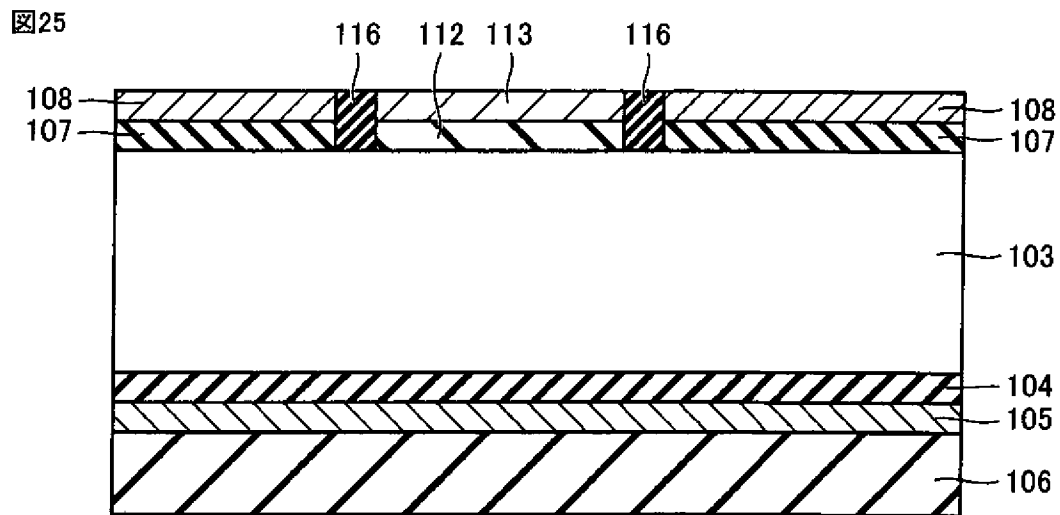
[図23]



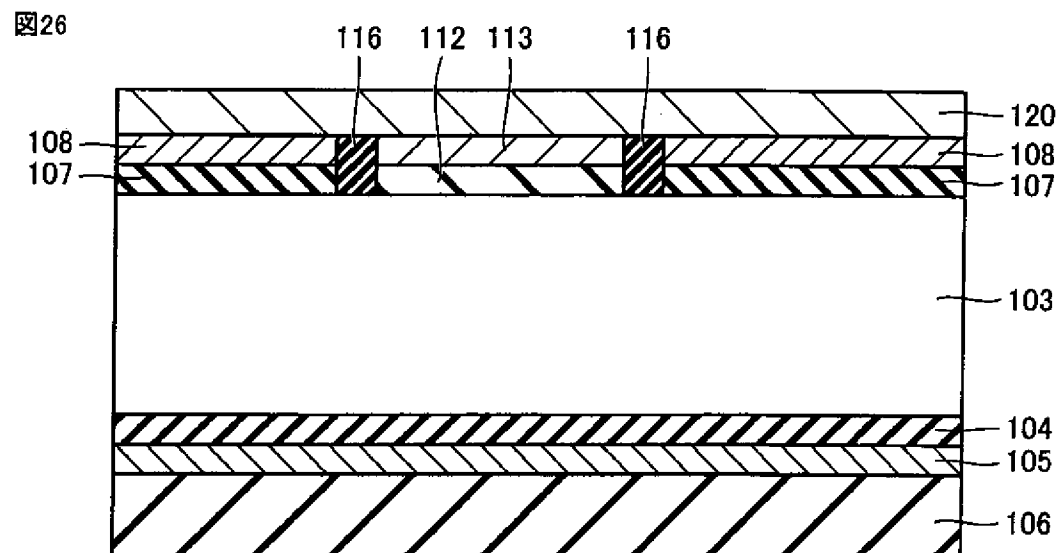
[図24]



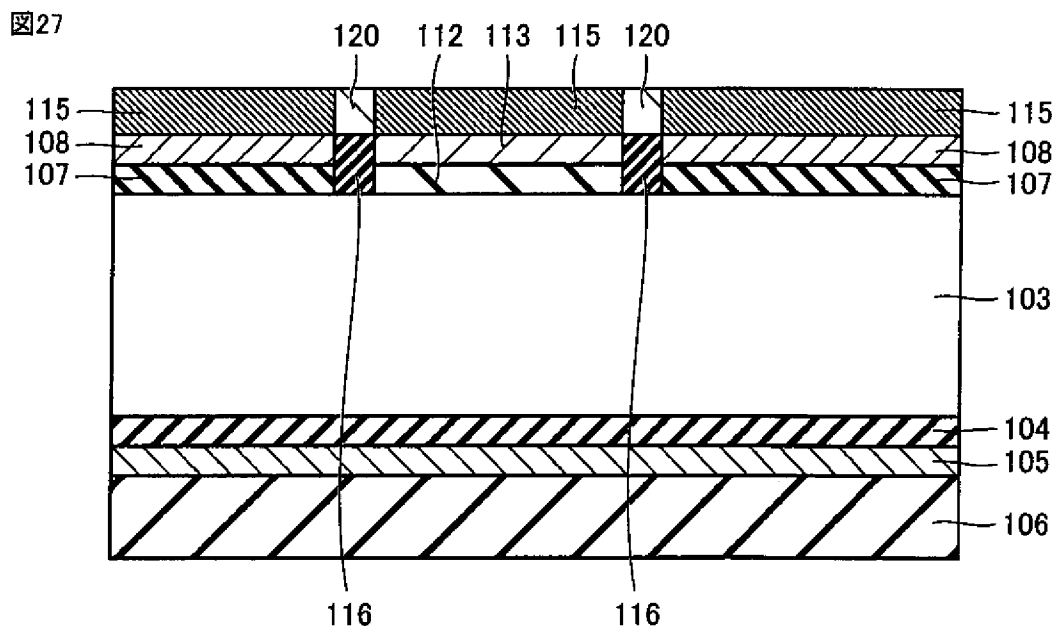
[図25]



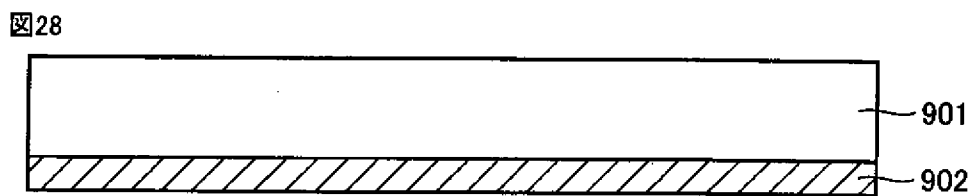
[図26]



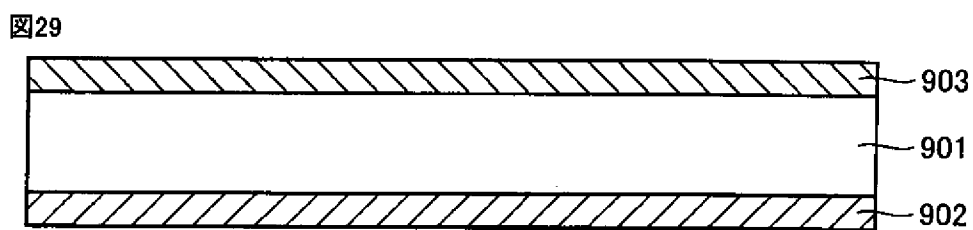
[図27]



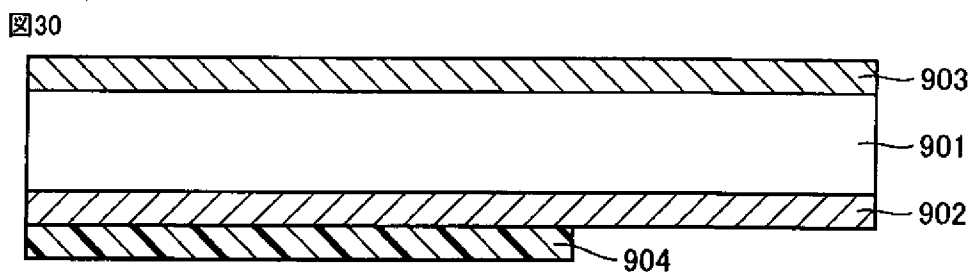
[図28]



[図29]

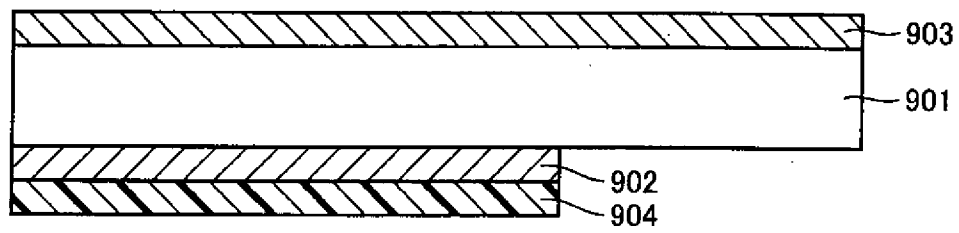


[図30]



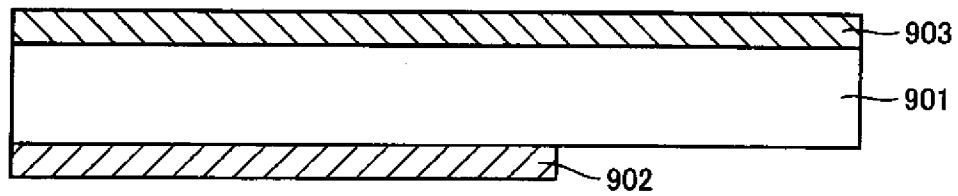
[図31]

図31



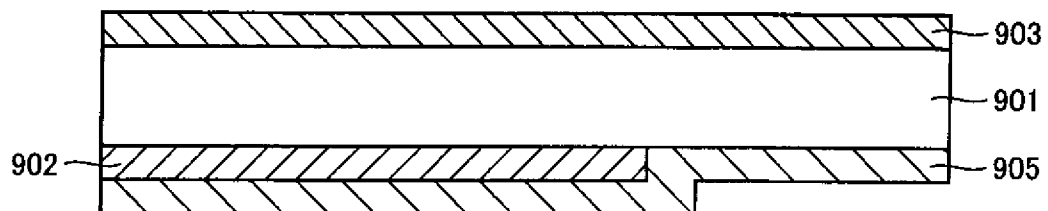
[図32]

図32



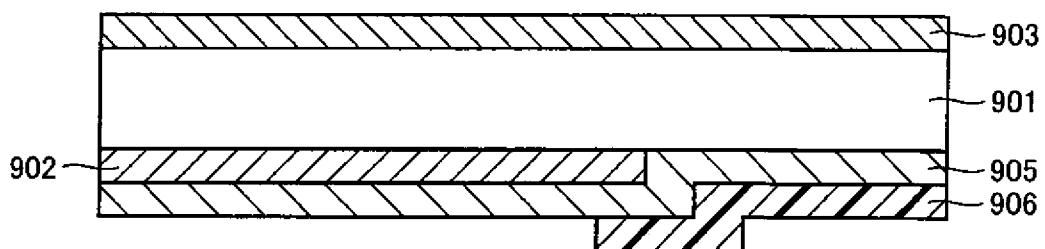
[図33]

図33



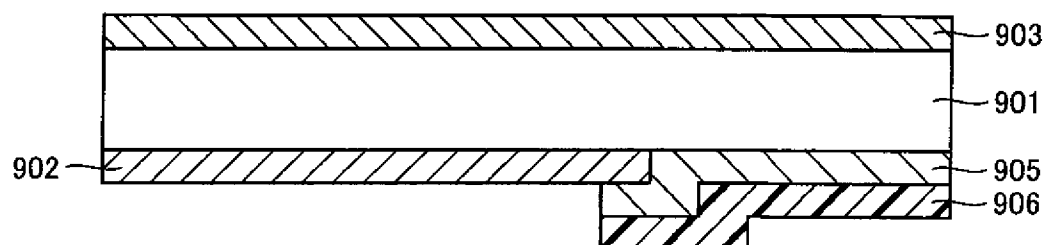
[図34]

図34

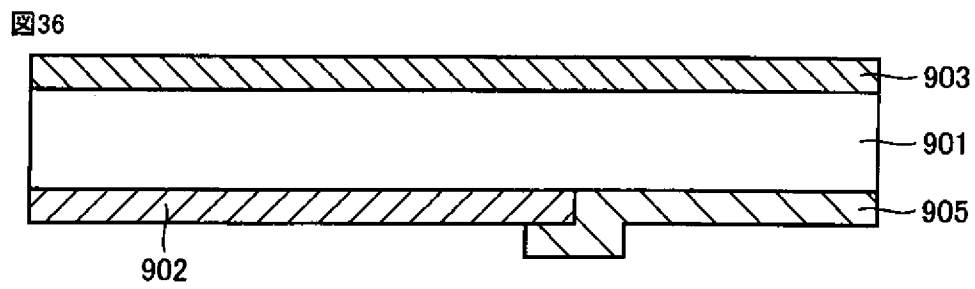


[図35]

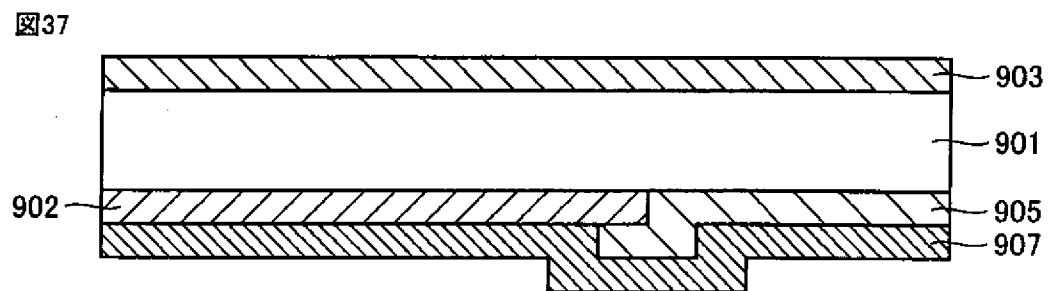
図35



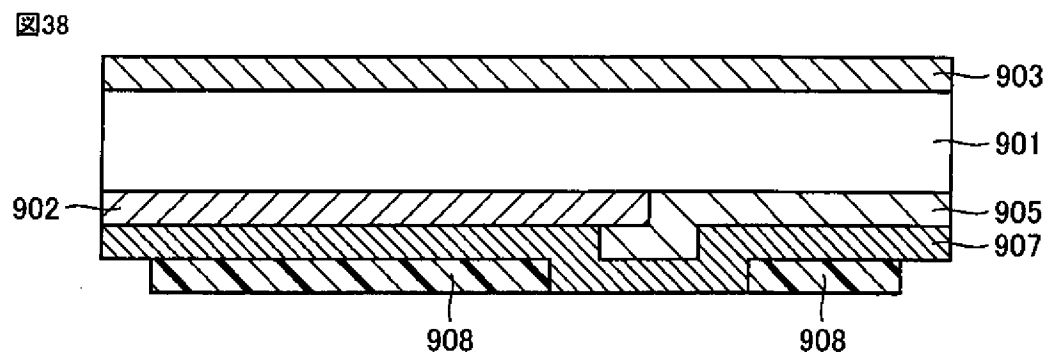
[図36]



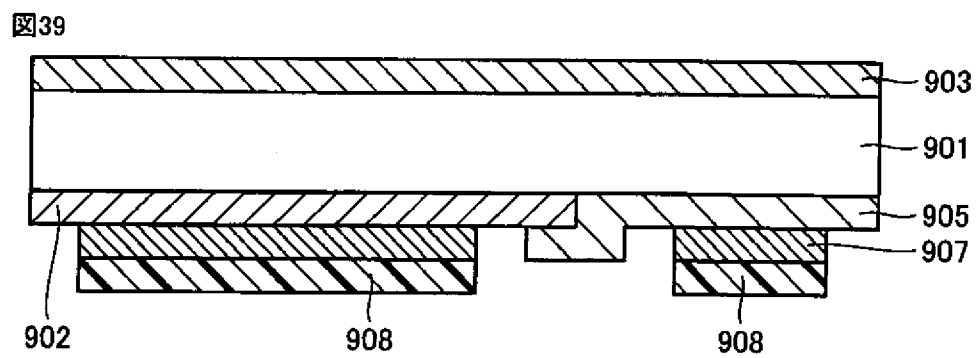
[図37]



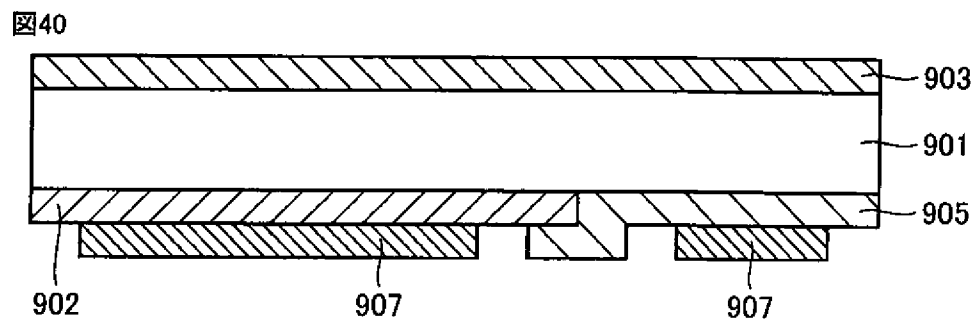
[図38]



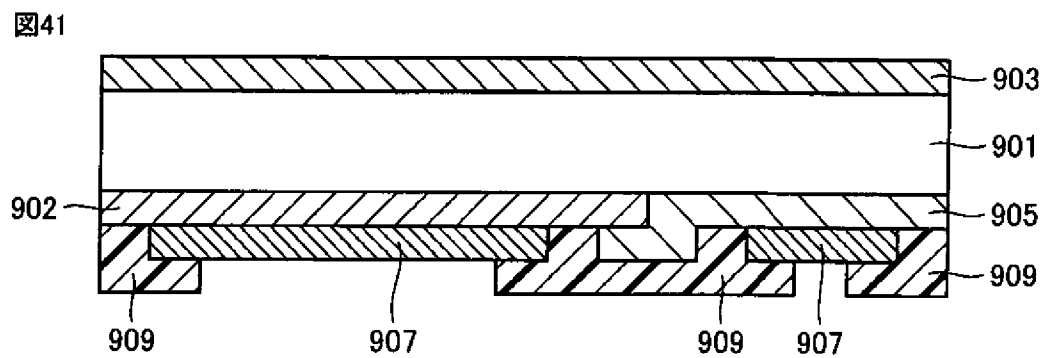
[図39]



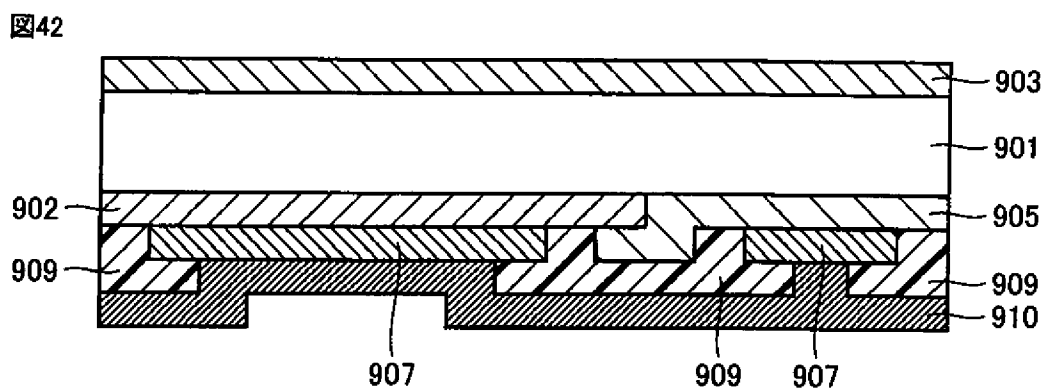
[図40]



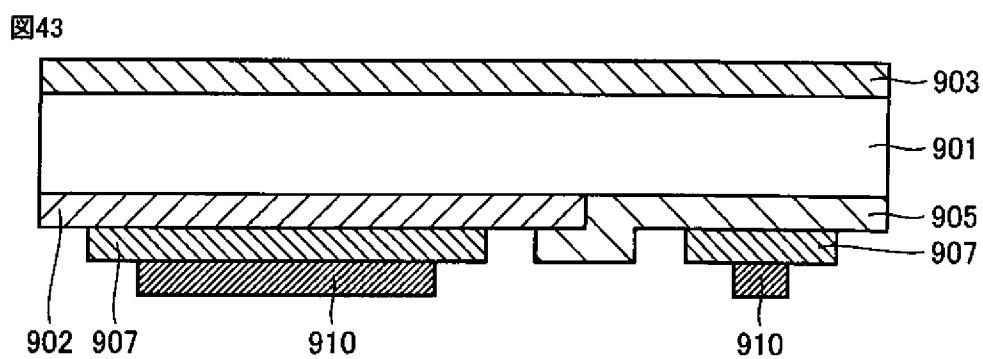
[図41]



[図42]

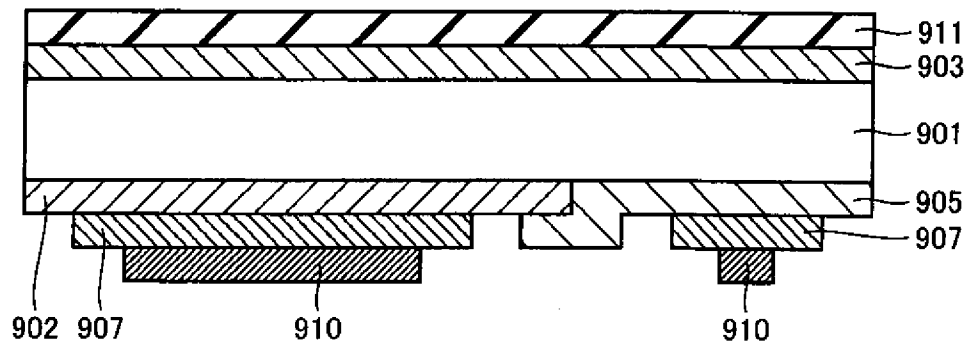


[図43]



[図44]

図44



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/075262

A. CLASSIFICATION OF SUBJECT MATTER

H01L31/04(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L31/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-266023 A (Sharp Corp.), 24 September 2004 (24.09.2004), entire text; all drawings (Family: none)	1-5
Y	JP 2011-61020 A (Sharp Corp.), 24 March 2011 (24.03.2011), entire text; all drawings (Family: none)	1-5
Y	WO 2011/093329 A1 (Sanyo Electric Co., Ltd.), 04 August 2011 (04.08.2011), paragraphs [0015] to [0041]; fig. 2 to 5 & US 2013/0186456 A & EP 2530729 A1 & CN 102725858 A	1, 2, 4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 October, 2013 (09.10.13)

Date of mailing of the international search report
29 October, 2013 (29.10.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/075262

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-101240 A (Sanyo Electric Co., Ltd.), 14 April 2005 (14.04.2005), paragraphs [0027] to [0033], [0074], [0075]; fig. 2, 8 & US 2005/0062041 A1 & EP 1519422 A2 & CN 1601759 A	1, 3, 4
Y	WO 2011/121776 A1 (Toshiba Corp.), 06 October 2011 (06.10.2011), paragraphs [0031], [0036] & US 2013/0023092 A1	5

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L31/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L31/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2004-266023 A（シャープ株式会社）2004.09.24, 全文、全図（ファミリーなし）	1-5
Y	JP 2011-61020 A（シャープ株式会社）2011.03.24, 全文、全図（ファミリーなし）	1-5
Y	WO 2011/093329 A1（三洋電機株式会社）2011.08.04, [0015]-[0041]、 図 2-5 & US 2013/0186456 A & EP 2530729 A1 & CN 102725858 A	1, 2, 4

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 9 . 1 0 . 2 0 1 3

国際調査報告の発送日

2 9 . 1 0 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

道祖土 新吾

2 K

9 8 1 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2005-101240 A (三洋電機株式会社) 2005.04.14, [0027]-[0033]、 [0074]、[0075]、図 2, 8 & US 2005/0062041 A1 & EP 1519422 A2 & CN 1601759 A	1, 3, 4
Y	WO 2011/121776 A1 (株式会社東芝) 2011.10.06, [0031]、[0036] & US 2013/0023092 A1	5