



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0007486
(43) 공개일자 2021년01월20일

(51) 국제특허분류(Int. Cl.)

H01L 29/66 (2006.01) H01L 21/02 (2006.01)
H01L 21/033 (2006.01) H01L 21/288 (2006.01)
H01L 21/3065 (2006.01) H01L 21/311 (2006.01)

(52) CPC특허분류

H01L 29/66462 (2013.01)
H01L 21/02266 (2013.01)

(21) 출원번호 10-2019-0084041

(22) 출원일자 2019년07월11일

심사청구일자 2019년07월11일

(71) 출원인

국방과학연구소

대전광역시 유성구 북유성대로488번길 160 (수남동)

(72) 발명자

권호상

대전광역시 유성구 북유성대로488번길 160 (수남동)

최준호

대전광역시 유성구 북유성대로488번길 160 (수남동)

(뒷면에 계속)

(74) 대리인

제일특허법인(유)

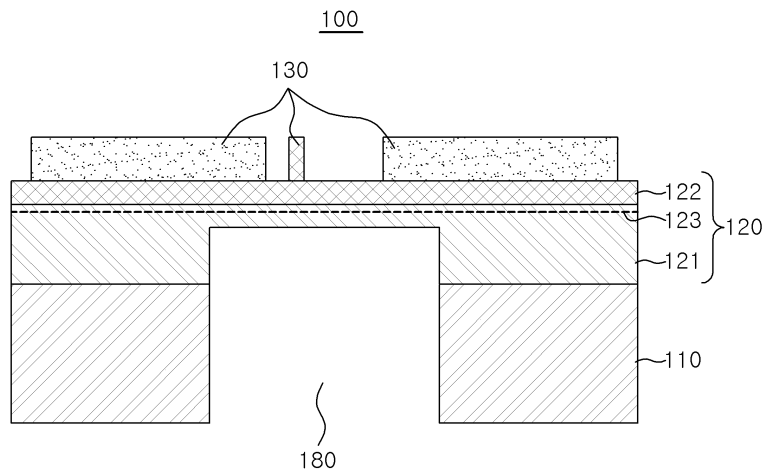
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 반도체소자 제조 방법

(57) 요약

일 실시예에 따른 반도체소자는, 반도체 기판과, 반도체 기판의 상부에 형성된 반도체층과, 반도체층의 상부에 형성된 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 트랜지스터를 포함하고, 적어도 소스 전극의 영역 경계부터 드레인 전극의 영역 경계까지 대응하는 크기의 트렌치(trench)가 반도체 기판의 전체 두께 및 반도체층의 하부 일부 두께까지 형성된다.

대표도 - 도8



(52) CPC특허분류

H01L 21/0337 (2013.01)

H01L 21/2885 (2013.01)

H01L 21/3065 (2013.01)

H01L 21/31144 (2013.01)

H01L 29/778 (2013.01)

(72) 발명자

양진모

대전광역시 유성구 북유성대로488번길 160 (수남동)

정현욱

대전광역시 유성구 가정로 218 (가정동)

임종원

대전광역시 유성구 가정로 218 (가정동)

이상홍

대전광역시 유성구 가정로 218 (가정동)

명세서

청구범위

청구항 1

반도체소자 제조 장치에서 수행하는 반도체소자 제조 방법으로서,
반도체 기판의 상부에 반도체층을 형성하는 단계와,
상기 반도체층의 상부에 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 트랜지스터를 형성하는 단계와,
상기 반도체 기판의 하부 중 적어도 상기 소스 전극의 영역 경계부터 상기 드레인 전극의 영역 경계까지 대응하는 크기의 개방 영역을 갖는 보호막을 형성하는 단계와,
상기 보호막을 식각 마스크로 이용하여 상기 개방 영역에 대하여 상기 반도체 기판의 전체 두께 및 상기 반도체층의 일부 두께까지 식각하여 트렌치(trench)를 형성하는 단계를 포함하는
반도체소자 제조 방법.

청구항 2

제 1 항에 있어서,
상기 개방 영역은, 상기 소스 전극의 일부 영역의 하부 또는 상기 드레인 전극의 일부 영역의 하부까지 포함하는 크기를 갖는
반도체소자 제조 방법.

청구항 3

제 1 항에 있어서,
상기 반도체층을 형성하는 단계에서, 이종의 하부 반도체층 및 상부 반도체층의 계면으로부터 미리 결정된 거리 내에 형성된 이차원 전자 가스층을 포함하는 이종접합구조의 반도체층을 상기 반도체 기판의 상부에 형성하고,
상기 트렌치를 형성하는 단계에서, 상기 하부 반도체층의 일부 두께까지 식각하는
반도체소자 제조 방법.

청구항 4

제 3 항에 있어서,
상기 트렌치를 형성하는 단계에서, 상기 하부 반도체층의 상기 이차원 전자 가스층이 존재하는 두께 이전까지 식각하는
반도체소자 제조 방법.

청구항 5

제 1 항에 있어서,
상기 트랜지스터를 형성한 후 상기 보호막을 형성하기 전에, 상기 트랜지스터 및 상기 반도체층의 상부에 캐리어 기판을 형성하는 단계와,
상기 캐리어 기판을 형성한 후 상기 보호막을 형성하기 전에, 상기 반도체 기판을 박형화하는 단계를 더 포함하는
반도체소자 제조 방법.

청구항 6

제 1 항에 있어서,
 상기 보호막을 형성하는 단계는,
 상기 반도체 기판의 하부에 시드막을 형성하는 단계와,
 상기 시드막의 하부에 적어도 상기 소스 전극의 영역 경계부터 상기 드레인 전극의 영역 경계까지 대응하는 크기의 마스크 패턴을 형성하는 단계와,
 상기 시드막의 하부 중 상기 마스크 패턴에 의해 노출된 영역에 금속막을 상기 보호막으로서 형성하는 단계를 포함하는
 반도체소자 제조 방법.

청구항 7

제 6 항에 있어서,
 상기 시드막을 형성하는 단계에서, 상기 시드막을 금속으로 단층 또는 다층으로 형성하는
 반도체소자 제조 방법.

청구항 8

제 6 항에 있어서,
 상기 시드막을 물리 증착법(Physical Vapor Deposition, PVD)을 통해 형성하는
 반도체소자 제조 방법.

청구항 9

제 6 항에 있어서,
 상기 금속막을 전기도금법을 통해 형성하는
 반도체소자 제조 방법.

청구항 10

제 6 항에 있어서,
 상기 금속막을 상기 마스크 패턴의 두께보다 더 얇게 형성하는
 반도체소자 제조 방법.

청구항 11

제 6 항에 있어서,
 상기 트렌치를 형성하는 단계는,
 상기 금속막을 식각 마스크로 사용하여 상기 개방 영역에 대하여 상기 시드막 및 상기 반도체 기판을 식각하는 단계와,
 상기 금속막을 제거하는 단계와,
 상기 반도체 기판을 식각 마스크로 사용하여 상기 개방 영역에 대하여 상기 반도체층의 일부 두께까지 식각하는 단계를 포함하는
 반도체소자 제조 방법.

청구항 12

제 11 항에 있어서,
 상기 시드막 및 상기 반도체 기판을 식각하는 단계는, 유도 결합 플라즈마(Inductive Coupled Plasma, ICP) 식

각법을 이용하는

반도체소자 제조 방법.

청구항 13

제 11 항에 있어서,

니켈(Ni)을 포함하여 상기 금속막을 형성하고, 질산을 이용하여 상기 금속막을 제거하는

반도체소자 제조 방법.

청구항 14

제 11 항에 있어서,

상기 반도체 기판을 식각 마스크로 사용하여 식각하는 단계는, 유도 결합 플라즈마(Inductive Coupled Plasma, ICP) 식각법을 이용하는

반도체소자 제조 방법.

청구항 15

제 11 항에 있어서,

상기 금속막을 제거한 후 상기 반도체층을 식각하기 전에, 상기 반도체 기판 및 상기 반도체층에 대하여 이물질 제거하는 단계를 더 포함하는

반도체소자 제조 방법.

청구항 16

제 15 항에 있어서,

상기 이물질을 제거하는 단계는, 디스컴(descum) 공정 또는 초음파(ultrasonic) 세척 공정을 통해 수행하는

반도체소자 제조 방법.

청구항 17

반도체 기판과,

상기 반도체 기판의 상부에 형성된 반도체층과,

상기 반도체층의 상부에 형성된 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 트랜지스터를 포함하고,

적어도 상기 소스 전극의 영역 경계부터 상기 드레인 전극의 영역 경계까지 대응하는 크기의 트렌치(trench)가 상기 반도체 기판의 전체 두께 및 상기 반도체층의 하부 일부 두께까지 형성된

반도체소자.

청구항 18

제 17 항에 있어서,

상기 트렌치는, 상기 소스 전극의 일부 영역의 하부 또는 상기 드레인 전극의 일부 영역의 하부까지 포함하는 크기를 갖는

반도체소자.

청구항 19

제 17 항에 있어서,

상기 반도체층은, 이종의 하부 반도체층 및 상부 반도체층의 계면으로부터 미리 결정된 거리 내에 형성된 이차원 전자 가스층을 포함하는 이종접합구조를 포함하고, 상기 하부 반도체층의 일부 두께까지 상기 트렌치가 형성

된

반도체소자.

청구항 20

제 19 항에 있어서,

상기 하부 반도체층 중 상기 트렌치가 형성된 영역의 두께는 10nm 이상의 두께를 갖는

반도체소자.

발명의 설명

기술 분야

[0001] 본 발명은 트랜지스터를 포함하는 반도체소자 및 이러한 반도체소자를 제조하는 방법에 관한 것이다.

배경 기술

[0002] 반도체소자의 고집적화 경향에 의하여 트랜지스터의 크기 또한 점점 감소되는 추세에 있고, 이러한 소형화에 따라 여러 가지의 문제점이 나타나고 있다. 이러한 문제점 중의 하나로서, 소스와 드레인 사이의 간격이 가까워짐에 따라 채널영역이 게이트 전압뿐만 아니라 드레인 전압에 의해서도 제어되어, 오프(OFF) 상태임에도 불구하고 소스와 드레인 사이로 전류가 흐르는 현상, 즉 단채널 효과(short channel effect)에 의한 누설 전류가 발생하는 문제가 있다.

[0003] 특히 이중의 반도체층 계면 주변에 이차원 전자 가스층(2 Dimensional-Electron-Gas Layer)을 포함하는 이중접합구조의 질화물계 반도체층을 포함하는 반도체소자, 예를 들어 고전자 이동도 트랜지스터를 포함하는 반도체소자는 반도체층과 반도체 기관간의 열팽창계수 및 격자상수의 차이로 인해 많은 전위결함(Threading dislocation)을 가지게 되고, 이로 인해 발생하는 누설 전류는 항복전압 특성을 저하시키게 된다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 한국공개특허공보 제10-2010-0057113호, 공개일자 2010년 05월 31일.

발명의 내용

해결하려는 과제

[0005] 일 실시예에 따른 해결하고자 하는 과제는, 트랜지스터의 누설 전류가 전달되는 경로가 최대한 차단된 반도체소자 및 그 제조 방법을 제공한다.

[0006] 해결하고자 하는 과제는 이상에서 언급한 것으로 제한되지 않으며, 언급되지 않은 또 다른 해결하고자 하는 과제는 아래의 기재로부터 본 발명이 속하는 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 제 1 관점에 따른 반도체소자 제조 장치에서 수행하는 반도체소자 제조 방법은, 반도체 기관의 상부에 반도체층을 형성하는 단계와, 상기 반도체층의 상부에 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 트랜지스터를 형성하는 단계와, 상기 반도체 기관의 하부 중 적어도 상기 소스 전극의 영역 경계부터 상기 드레인 전극의 영역 경계까지 대응하는 크기의 개방 영역을 갖는 보호막을 형성하는 단계와, 상기 보호막을 식각 마스크로 이용하여 상기 개방 영역에 대하여 상기 반도체 기관의 전체 두께 및 상기 반도체층의 일부 두께까지 식각하여 트렌치(trench)를 형성하는 단계를 포함할 수 있다.

[0008] 여기서, 상기 개방 영역은, 상기 소스 전극의 일부 영역의 하부 또는 상기 드레인 전극의 일부 영역의 하부까지 포함하는 크기를 가질 수 있다.

- [0009] 상기 반도체층을 형성하는 단계에서, 이종의 하부 반도체층 및 상부 반도체층의 계면으로부터 미리 결정된 거리 내에 형성된 이차원 전자 가스층을 포함하는 이중접합구조의 반도체층을 상기 반도체 기판의 상부에 형성하고, 상기 트렌치를 형성하는 단계에서, 상기 하부 반도체층의 일부 두께까지 식각할 수 있다.
- [0010] 상기 트렌치를 형성하는 단계에서, 상기 하부 반도체층의 상기 이차원 전자 가스층이 존재하는 두께까지 식각할 수 있다.
- [0011] 상기 트랜지스터를 형성한 후 상기 보호막을 형성하기 전에, 상기 트랜지스터의 상부에 캐리어 기판을 형성하는 단계와, 상기 캐리어 기판을 형성한 후 상기 보호막을 형성하기 전에, 상기 반도체 기판을 박형화하는 단계를 더 포함할 수 있다.
- [0012] 상기 보호막을 형성하는 단계는, 상기 반도체 기판의 하부에 시드막을 형성하는 단계와, 상기 시드막의 하부에 적어도 상기 소스 전극의 영역 경계부터 상기 드레인 전극의 영역 경계까지 대응하는 크기의 마스크 패턴을 형성하는 단계와, 상기 시드막의 하부 중 상기 마스크 패턴에 의해 노출된 영역에 금속막을 상기 보호막으로서 형성하는 단계를 포함할 수 있다.
- [0013] 상기 시드막을 형성하는 단계에서, 상기 시드막을 금속으로 단층 또는 다층으로 형성할 수 있다.
- [0014] 상기 시드막을 물리 증착법(Physical Vapor Deposition, PVD)을 통해 형성할 수 있다.
- [0015] 상기 금속막을 전기도금법을 통해 형성할 수 있다.
- [0016] 상기 금속막을 상기 마스크 패턴의 두께보다 더 얇게 형성할 수 있다.
- [0017] 상기 트렌치를 형성하는 단계는, 상기 금속막을 식각 마스크로 사용하여 상기 개방 영역에 대하여 상기 시드막 및 상기 반도체 기판을 식각하는 단계와, 상기 금속막을 제거하는 단계와, 상기 반도체 기판을 식각 마스크로 사용하여 상기 개방 영역에 대하여 상기 반도체층의 일부 두께까지 식각하는 단계를 포함할 수 있다.
- [0018] 상기 시드막 및 상기 반도체 기판을 식각하는 단계는, 유도 결합 플라즈마(Inductive Coupled Plasma, ICP) 식각법을 이용할 수 있다.
- [0019] 니켈(Ni)을 포함하여 상기 금속막을 형성하고, 질산을 이용하여 상기 금속막을 제거할 수 있다.
- [0020] 상기 반도체 기판을 식각 마스크로 사용하여 식각하는 단계는, 유도 결합 플라즈마(Inductive Coupled Plasma, ICP) 식각법을 이용할 수 있다.
- [0021] 상기 금속막을 제거한 후 상기 반도체층을 식각하기 전에, 상기 반도체 기판 및 상기 반도체층에 대하여 이물질을 제거하는 단계를 더 포함할 수 있다.
- [0022] 상기 이물질을 제거하는 단계는, 디스크럼(descum) 공정 또는 초음파(ultrasonic) 세척 공정을 통해 수행할 수 있다.
- [0023] 제 2 관점에 따른 반도체소자는, 반도체 기판과, 상기 반도체 기판의 상부에 형성된 반도체층과, 상기 반도체층의 상부에 형성된 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 트랜지스터를 포함하고, 적어도 상기 소스 전극의 영역 경계부터 상기 드레인 전극의 영역 경계까지 대응하는 크기의 트렌치(trench)가 상기 반도체 기판의 전체 두께 및 상기 반도체층의 하부 일부 두께까지 형성될 수 있다.
- [0024] 여기서, 상기 트렌치는, 상기 소스 전극의 영역 일부의 하부 또는 상기 드레인 전극의 영역 일부의 하부까지 포함하는 크기를 가질 수 있다.
- [0025] 상기 반도체층은, 이종의 하부 반도체층 및 상부 반도체층의 계면으로부터 미리 결정된 거리 내에 형성된 이차원 전자 가스층을 포함하는 이중접합구조를 포함하고, 상기 하부 반도체층의 일부 두께까지 상기 트렌치가 형성될 수 있다.
- [0026] 상기 하부 반도체층 중 상기 트렌치가 형성된 영역의 두께는 10nm 이상의 두께를 가질 수 있다.

발명의 효과

- [0027] 일 실시예에 따르면, 반도체소자에 포함된 트랜지스터의 누설 전류가 전달되는 경로가 최대한 차단되어, 누설 전류가 감소되고 항복전압 특성이 향상된다. 이로써, 반도체소자에 포함된 트랜지스터의 오프(OFF) 상태에서의 손실이 최소화됨과 아울러 고내압에서도 안정적인 동작을 하는 효과가 있다.

도면의 간단한 설명

[0028] 도 1 내지 도 8은 본 발명의 일 실시예에 따른 반도체소자 및 그 제조 방법을 설명하기 위한 소자 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0029] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명의 범주는 청구항에 의해 정의될 뿐이다.

[0030] 본 발명의 실시예들을 설명함에 있어서 공지 기능 또는 구성에 대한 구체적인 설명은 본 발명의 실시예들을 설명함에 있어 실제로 필요한 경우 외에는 생략될 것이다. 그리고 후술되는 용어들은 본 발명의 실시예에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

[0031] 본 명세서에서 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, '포함하다' 또는 '구성하다' 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0032] 또한, 본 발명의 실시예에서, 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적인 연결뿐 아니라, 다른 매체를 통한 간접적인 연결의 경우도 포함한다. 또한 어떤 부분이 어떤 구성 요소를 포함한다는 의미는, 특별히 반대되는 기재가 없는 한 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있다는 것을 의미한다.

[0033] 도 1 내지 도 8은 본 발명의 일 실시예에 따른 반도체소자 및 그 제조 방법을 설명하기 위한 소자 단면도들이다. 이 중 도 8을 참조하여 본 발명의 일 실시예에 따른 반도체소자(100)에 대해 살펴보기로 한다.

[0034] 일 실시예에 따른 반도체소자(100)는 반도체 기판(110)을 포함한다. 예를 들어, 반도체 기판(110)은 실리콘(Si), 실리콘 카바이드(SiC), 갈륨 나이트라이드(GaN), 다이아몬드(diamond) 등으로 이루어진 기판일 수 있다. 그러나, 반도체 기판(110)의 재료는 이에 한정되지 않는다.

[0035] 그리고, 반도체소자(100)는 반도체 기판(110)의 상부에 형성된 반도체층(120)을 더 포함한다. 예를 들어, 반도체층(120)은 이종의 하부 반도체층(121) 및 상부 반도체층(122)의 계면으로부터 미리 결정된 거리 내에 형성된 이차원 전자 가스층(123)을 포함하는 이중접합구조를 포함할 수 있다. 이러한 이중접합구조를 포함하는 반도체층(120)은 하부 반도체층(121)의 일부 두께까지 트렌치(180)가 형성될 수 있다. 예컨대, 하부 반도체층(121) 중 트렌치(180)가 형성된 영역의 두께는 10nm 이상의 두께는 가질 수 있다. 하부 반도체층(121)은 예를 들어, 알루미늄 나이트라이드(AlN), 인듐 나이트라이드(InN), 갈륨 나이트라이드(GaN), 알루미늄 갈륨 나이트라이드(AlGaInN), 인듐 갈륨 나이트라이드(InGaInN), 알루미늄 인듐 나이트라이드(AlInN), 알루미늄 갈륨 인듐 나이트라이드(AlGaInN) 등을 포함할 수 있다. 하부 반도체층(121)은 앞서 예시된 물질층으로 한정되는 것이 아니고, 그 내부에 이차원 전자 가스층(123)을 형성할 수 있는 물질이라면 이러한 물질을 포함하여 형성될 수 있다. 상부 반도체층(122)은 예를 들어, 알루미늄(Al), 갈륨(Ga), 인듐(In) 및 붕소(B) 중 적어도 하나를 포함하는 질화물들 중에서 선택된 하나 이상의 물질을 포함할 수 있고, 단층 또는 다층 구조를 가질 수 있다. 예를 들어, 상부 반도체층(122)은 알루미늄 갈륨 나이트라이드(AlGaInN), 알루미늄 인듐 나이트라이드(AlInN), 인듐 갈륨 나이트라이드(InGaInN), 알루미늄 나이트라이드(AlN), 알루미늄 인듐 갈륨 나이트라이드(AlInGaInN) 등으로 구성된 다양한 물질 중 적어도 하나를 포함할 수 있다.

[0036] 그리고, 반도체소자(100)는 반도체층(120)의 상부에 형성된 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 트랜지스터(130)를 더 포함한다. 여기서, 상부 반도체층(122)의 상부에 서로 이격된 소스 전극과 드레인 전극이 배치되고, 게이트 전극은 소스 전극과 드레인 전극의 사이에 배치된다. 예를 들어, 게이트 전극은 드레인 전극보다 소스 전극에 더 가깝게 형성되어 소자의 항복전압을 향상시킬 수 있다.

- [0037] 또한, 반도체기판(100)에는 적어도 트랜지스터(130)의 소스 전극의 영역 경계부터 드레인 전극의 영역 경계까지 대응하는 크기로 반도체 기판(110)의 전체 두께 및 반도체층(120)의 하부 일부 두께까지 트렌치(trench)(180)가 형성된다. 예를 들어, 트렌치(180)는 트랜지스터(130)의 소스 전극의 일부 영역의 하부 또는 드레인 전극의 일부 영역의 하부까지 포함하는 크기를 가질 수 있다. 예컨대, 트랜지스터(130)의 소스 전극의 일부 영역의 하부 및 드레인 전극의 일부 영역의 하부까지 포함하는 크기로 트렌치(180)가 형성될 수 있다.
- [0038] 이하, 도 1 내지 도 8을 참조하여 본 발명의 일 실시예에 따른 반도체소자의 제조 방법에 대하여 살펴보기로 한다.
- [0039] 도 1을 참조하면, 반도체 기판(110)을 준비한다. 예를 들어, 반도체 기판(110)은 실리콘(Si), 실리콘 카바이드(SiC), 갈륨 나이트라이드(GaN), 다이아몬드(diamond) 등으로 이루어진 기판일 수 있다. 그러나, 반도체 기판(110)의 재료는 이에 한정되지 않는다.
- [0040] 반도체 기판(110)의 상부에 반도체층(120)을 형성한다. 여기서, 반도체층(120)을 이중의 하부 반도체층(121) 및 상부 반도체층(122)의 계면으로부터 미리 결정된 거리 내에 형성된 이차원 전자 가스층(123)을 포함하는 이중접합구조로 형성할 수 있다.
- [0041] 하부 반도체층(121)은 예를 들어, 수 마이크로미터(μm)의 두께로 형성할 수 있고, 하부 반도체층(121)의 상부에 수십 나노미터(nm) 두께의 채널층(이차원 전자 가스층)이 형성될 수 있다. 또한, 하부 반도체층(121)은 예를 들어, 알루미늄 나이트라이드(AlN), 인듐 나이트라이드(InN), 갈륨 나이트라이드(GaN), 알루미늄 갈륨 나이트라이드(AlGaInN), 인듐 갈륨 나이트라이드(InGaInN), 알루미늄 인듐 나이트라이드(AlInN), 알루미늄 갈륨 인듐 나이트라이드(AlGaInN) 등을 포함할 수 있다. 하부 반도체층(121)은 앞서 예시된 물질층으로 한정되는 것이 아니고, 그 내부에 이차원 전자 가스층(123)을 형성할 수 있는 물질이라면 이러한 물질을 포함하여 형성될 수 있다. 또한, 하부 반도체층(121)은 소정의 불순물을 첨가하여 고저항성으로 만들 수 있다. 이러한 하부 반도체층(121)은 반도체 기판(110)과의 열팽창계수 및 격자상수의 차이로 인해 많은 전위결함(Threading dislocation)을 가질 수 있다.
- [0042] 상부 반도체층(122)은 예를 들어, 수십 나노미터(nm)의 두께로 형성할 수 있다. 예컨대, 상부 반도체층(122)의 두께는 약 30 나노미터(nm) 이하일 수 있다. 상부 반도체층(122)은 하부 반도체층(121)보다 넓은 밴드 갭을 가지며, 격자상수가 다른 반도체 물질을 포함할 수 있다. 상부 반도체층(121)은 예를 들어, 알루미늄(Al), 갈륨(Ga), 인듐(In) 및 붕소(B) 중 적어도 하나를 포함하는 질화물들 중에서 선택된 하나 이상의 물질을 포함할 수 있고, 단층 또는 다층 구조를 가질 수 있다. 예를 들어, 상부 반도체층(122)은 알루미늄 갈륨 나이트라이드(AlGaInN), 알루미늄 인듐 나이트라이드(AlInN), 인듐 갈륨 나이트라이드(InGaInN), 알루미늄 나이트라이드(AlN), 알루미늄 인듐 갈륨 나이트라이드(AlInGaInN) 등으로 구성된 다양한 물질 중 적어도 하나를 포함할 수 있다. 이러한 상부 반도체층(122)은 도핑 되지 않은 층일 수 있지만, 경우에 따라서는 소정의 불순물이 첨가될 수 있다.
- [0043] 하부 반도체층(121)과 상부 반도체층(122)의 이중접합구조에 의해 분극이 발생하여 하부 반도체층(121)과 상부 반도체층(122)의 계면으로부터 미리 결정된 거리 내의 하부 반도체층(121) 내부에 이차원 전자 가스층(123)이 생성될 수 있다. 이러한 이차원 전자 가스층(123)은 추후 형성될 수 있는 트랜지스터(130)의 채널로 사용될 수 있다.
- [0044] 도면상 도시되어 있지 않지만 반도체 기판(110)과 하부 반도체층(121) 사이에는 수백 나노미터(nm) 이하의 두께로 전이층이 제공될 수 있다. 전이층은 반도체 기판(110)과 하부 반도체층(121) 사이의 열팽창 계수 및 격자 상수 차이를 완화시킬 수 있다. 또한, 도면상 도시되어 있지 않지만 하부 반도체층(121)과 상부 반도체층(122) 사이에는 수 나노미터(nm) 두께의 알루미늄 나이트라이드(AlN)층이 형성될 수 있다. 알루미늄 나이트라이드층은 하부 반도체층(121)과 상부 반도체층(122) 사이의 계면 특성을 향상시켜 이차원 전자 가스층(123)의 이동도를 향상시킬 수 있다.
- [0045] 반도체층(120)의 상부에는 게이트 전극(131), 소스 전극(132) 및 드레인 전극(133)을 포함하는 트랜지스터(130)를 형성한다. 여기서, 상부 반도체층(122)의 상부에 서로 이격된 소스 전극(132)과 드레인 전극(133)이 배치되고, 게이트 전극(131)은 소스 전극(132)과 드레인 전극(133)의 사이에 배치된다. 예를 들어, 게이트 전극(131)은 드레인 전극(133)보다 소스 전극(132)에 더 가깝게 형성되어 소자의 항복전압을 향상시킬 수 있다.
- [0046] 도 1과 같이, 반도체 기판(110), 반도체층(120) 및 트랜지스터(130)를 포함하여 디바이스 기판이라 칭하기로 한다.

- [0047] 도 2를 참조하면, 디바이스 기판의 상부에 캐리어 기판(140)을 형성한다. 즉, 트랜지스터(130) 및 반도체층(120)의 노출면 상부에 캐리어 기판(140)을 형성한다. 예를 들어, 캐리어 기판(140)을 임시 가고정형 접착소재를 이용하여 디바이스 기판에 접착할 수 있다. 예컨대, 디바이스 기판 상면에 스피코팅을 이용하여 접착소재를 도포한 후, 접착소재 상에 캐리어 기판(140)을 접착할 수 있다. 디바이스 기판과 캐리어 기판(140)을 견고하게 접착시키기 위하여 가열 및 가압을 할 수 있다. 캐리어 기판(140)과 디바이스 기판의 접착을 위해 이용할 수 있는 임시 가고정형 접착소재는 고온/고진공 공정 시 디바이스 기판의 깨짐 혹은 파손을 방지하기 위해 고온 내열성이 요구될 수 있고, 세정 공정 시 사용되는 용제에 대해 내화학성을 가질 수 있다. 디바이스 기판의 상부에 캐리어 기판(140)을 접착함으로써, 후술되어질 얇아진 디바이스 기판의 핸들링을 용이하게 할 수 있다.
- [0048] 도시하지는 않았지만, 디바이스 기판의 하단부, 즉 반도체 기판(110)의 하부를 박형화할 수 있다. 예를 들어, 디바이스 기판의 박형화는 랩핑(lapping), 그라인딩(grinding) 또는 폴리싱(polishing) 공정을 통해 수행할 수 있다. 이러한 박형화 공정을 통해 디바이스 기판은 대략 100 마이크로미터(μm)의 두께를 가질 수 있다. 박형화 공정을 통해 얇아진 디바이스 기판은 후술되어질 식각 공정을 용이하게 할 수 있다.
- [0049] 앞서 도 8을 참조하여 설명한 바와 같이 본 발명의 일 실시예에 따른 반도체소자(100)는 적어도 소스 전극(132)의 영역 경계부터 드레인 전극(133)의 영역 경계까지 대응하는 크기의 트렌치(180)가 반도체 기판(110)의 전체 두께 및 반도체층(121)의 하부 일부 두께까지 형성된다. 이러한 트렌치(180)는 후술되어질 식각 공정을 통해 형성할 수 있으며, 이러한 식각 공정 중 소정의 식각 선택비로 반도체 기판(110)의 비식각 영역을 보호할 필요가 있으며, 이를 위해서 반도체 기판(110)의 하부에 보호막(도 5의 도면부호 170)을 형성할 필요가 있다.
- [0050] 도 3을 참조하면, 반도체 기판(110)의 하부에 보호막(도 5의 도면부호 170)을 형성하기 전에 반도체 기판(110)의 하부에 시드막(150)을 형성한다. 예를 들어, 시드막(150)은 물리 증착법(Physical Vapor Deposition, PVD)을 통해 수십 나노미터(nm)의 두께를 가지도록 단층 또는 다층으로 형성할 수 있다. 예컨대, 시드막(150)은 티타늄(Ti), 알루미늄(Al), 니켈(Ni), 금(Au), 구리(Cu), 텅스텐(W), 백금(Pt) 중 적어도 하나를 포함할 수 있다. 일 예로, 시드막(150)을 티타늄(Ti)/금(Au)의 2층 구조로 형성할 수 있고, 이때 티타늄(Ti)을 약 20 나노미터(nm)의 두께로 형성하고, 금(Au)을 약 100 나노미터(nm)의 두께로 형성할 수 있다.
- [0051] 도 4를 참조하면, 시드막(150)의 하부에 적어도 소스 전극(132)의 영역 경계부터 드레인 전극(133)의 영역 경계까지 대응하는 크기의 마스크 패턴(160)을 형성한다. 예를 들어, 시드막(150)에 포토레지스트를 약 5 마이크로미터(μm)의 두께로 스피코팅 한 후, 리소그래피 공정을 이용해 마스크 패턴(160)을 형성할 수 있다. 예를 들어, 마스크 패턴(160)은 소스 전극(132)의 일부 영역의 하부 또는 드레인 전극(133)의 일부 영역의 하부까지 포함하는 크기를 가질 수 있다. 예컨대, 소스 전극(132)의 일부 영역의 하부 및 드레인 전극(133)의 일부 영역의 하부까지 포함하는 크기로 마스크 패턴(160)을 형성할 수 있다. 일 예로, 소스 전극(132)과 드레인 전극(133)의 간격이 10 마이크로미터(μm)라면 마스크 패턴(160)의 길이는 10 마이크로미터(μm) 이상일 수 있다. 또한, 예컨대, 마스크 패턴(160)의 폭은 소스 전극(132) 및 드레인 전극(133)의 폭보다 클 수 있다. 일 예로, 소스 전극(132) 및 드레인 전극(133)의 폭이 50 마이크로미터(μm)라면 마스크 패턴(160)의 폭은 50 마이크로미터(μm) 이상일 수 있다.
- [0052] 도 5를 참조하면, 시드막(150)의 하부 중 마스크 패턴(160)에 의해 노출된 영역에 금속막(170)을 보호막으로서 형성한다. 예를 들어, 금속막(170)을 전기도금법을 통해 형성할 수 있다. 이때, 금속막(170)은 전기전도도를 가지는 시드막(150)에만 형성되고, 마스크 패턴(160)에는 형성되지 않는다. 예를 들어, 금속막(170)은 반도체 기판(110)과의 식각 선택비가 높고 마이크로 마스크잉(micro-masking) 현상을 최소화할 수 있는 금속이 사용될 수 있다. 일 예로, 니켈(Ni)을 사용하여 금속막(170)을 형성할 수 있다. 예를 들어, 금속막(170)을 마스크 패턴(160)의 두께보다 더 얇게 형성할 수 있다. 금속막(170)이 형성될 때에 마스크 패턴(160)이 제거될 수 있으며, 이를 통해 반도체 기판(110)을 식각하기 위한 식각 영역으로서 시드막(150)에 대한 개방 영역이 정의될 수 있다. 예를 들어, 적어도 소스 전극(132)의 영역 경계부터 드레인 전극(133)의 영역 경계까지 대응하는 크기의 개방 영역이 생성, 즉 식각 영역이 정의될 수 있다. 예컨대, 소스 전극(132)의 일부 영역의 하부 및 드레인 전극(133)의 일부 영역의 하부까지 포함하는 크기의 식각 영역이 정의될 수 있다.
- [0053] 도 6을 참조하면, 금속막(170)을 식각 마스크로 사용하여 식각 영역에 대하여 시드막(150) 및 반도체 기판(110)을 식각하여 트렌치(180)를 형성한다. 여기서, 식각 영역에 존재하는 시드막(150)은 식각 공정 동안 제거될 수 있다. 예를 들어, 반도체 기판(110)은 유도 결합 플라즈마(Inductive Coupled Plasma, ICP) 식각법을 이용하여 식각할 수 있다. 예컨대, 유도 결합 플라즈마 식각 중에 SF_6 를 반응기체로 이용할 수 있다.
- [0054] 도 7을 참조하면, 금속막(170) 및 시드막(150)을 제거한다. 예를 들어, 금속막(170)이 니켈(Ni)을 포함하는 경

우 질산을 이용하여 금속막(170)을 제거할 수 있다. 그리고, 필요에 따라 노출된 반도체층(120) 및 반도체 기판(110)에 대한 디스컴(descum) 공정 또는 초음파(ultrasonic) 세척 공정을 통해 이물질을 제거할 수 있다.

[0055] 이후, 반도체 기판(110)을 식각 마스크로 사용하여 반도체층(120)을 하부 일부 두께까지 식각하여 이미 형성되어 있는 트렌치(180)를 더 깊게 형성한다. 예를 들어, 트렌치(180)는 하부 반도체층(121) 내의 이차원 전자 가스층(123)이 존재하는 영역 전까지 식각될 수 있다. 예컨대, 하부 반도체층(121) 중 트렌치(180)가 형성된 영역의 두께는 10nm 이상의 두께를 가질 수 있다. 일 예로, 유도 결합 플라즈마(ICP) 식각법을 이용하여 하부 반도체층(121)을 식각할 수 있다. 이때, 유도 결합 플라즈마 식각 중에 염소(Cl_2)를 반응기체로 사용할 수 있다.

[0056] 도 8을 참조하면, 트렌치(180)가 형성된 디바이스 기판, 즉 반도체 기판(110)과 반도체층(120) 및 트랜지스터(130)로부터 캐리어 기판(140)을 제거한다. 예를 들어, 캐리어 기판(140)은 용매, 열, 레이저 등을 이용하거나 상온 등의 환경에서 디바이스 기판과 캐리어 기판(140) 사이의 접착제를 박리할 수 있다. 일 예로, 레이저 디본딩(Laser Debonding)이나 다이싱 공정(Dicing Process)에서의 디본딩을 이용할 수 있다. 이로써, 트랜지스터(130)의 누설 전류가 전달되는 경로가 트렌치(180)에 의하여 최대한 차단된 반도체소자(100)가 제작되었다.

[0057] 지금까지 설명한 바와 같이 본 발명의 일 실시예에 따르면, 반도체소자(100)에 포함된 트랜지스터(130)의 누설 전류가 전달되는 경로가 트렌치(180)에 의해 최대한 차단되어, 누설 전류가 감소되고 항복전압 특성이 향상된다. 이로써, 반도체소자(100)에 포함된 트랜지스터(130)의 오프(OFF) 상태에서의 손실이 최소화됨과 아울러 고내압에서도 안정적인 동작을 한다.

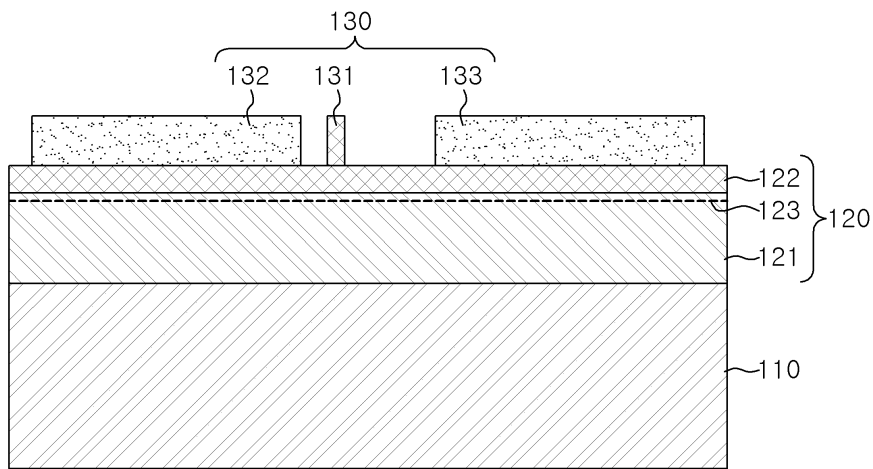
[0058] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

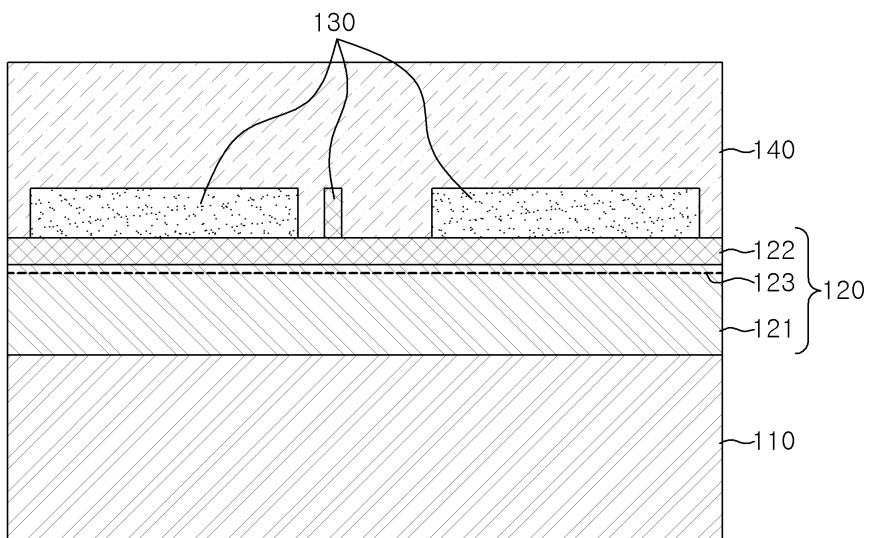
[0059]	100: 반도체소자	110: 반도체 기판
	120: 반도체층	121: 하부 반도체층
	122: 상부 반도체층	123: 이차원 전자 가스층
	130: 트랜지스터	131: 게이트 전극
	132: 소스 전극	133: 드레인 전극
	140: 캐리어 기판	150: 시드막
	160: 마스크 패턴	170: 금속막
	180: 트렌치	

도면

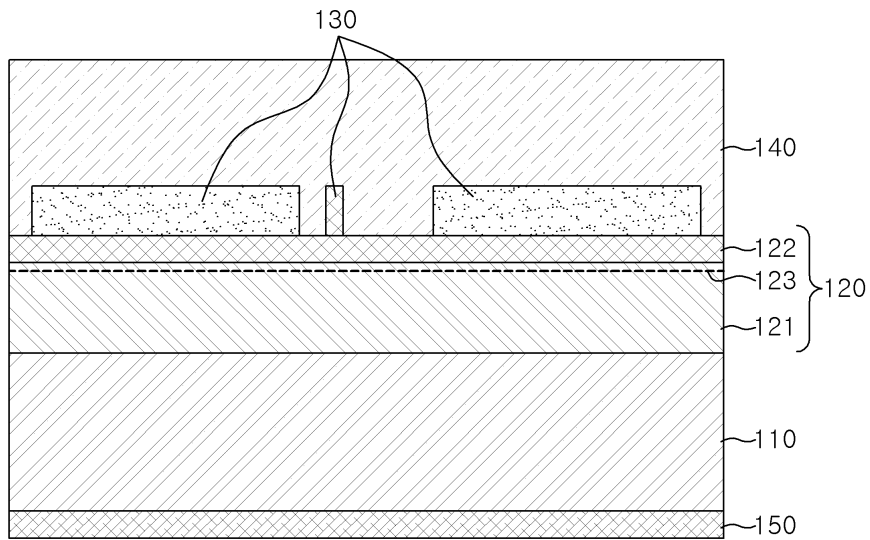
도면1



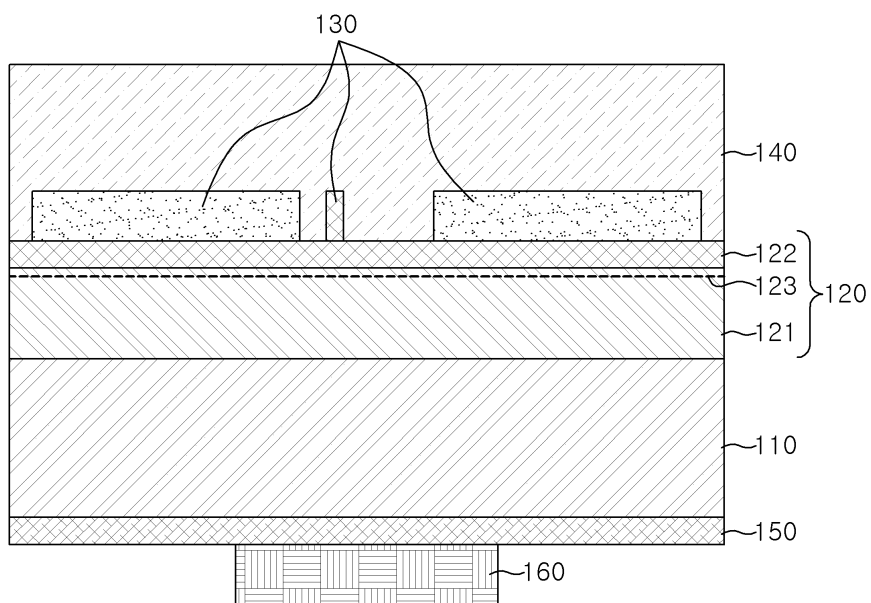
도면2



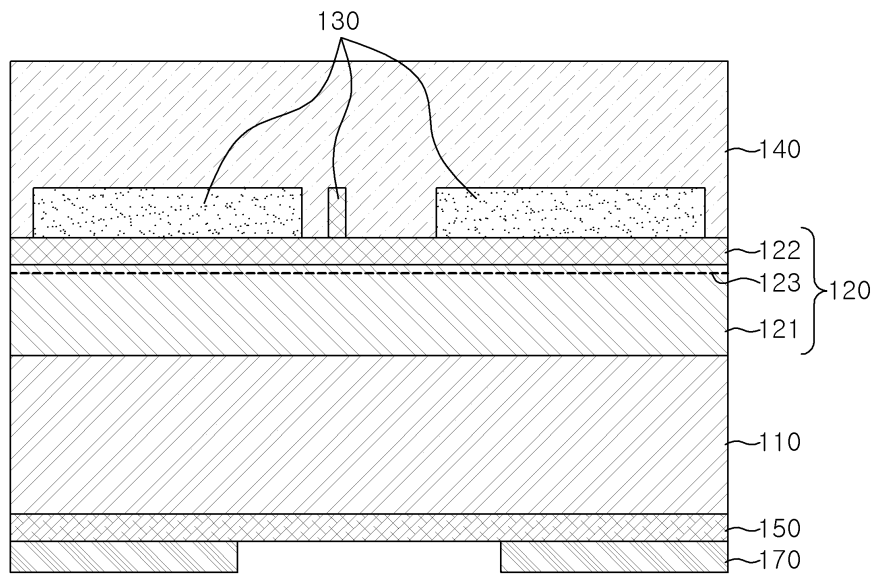
도면3



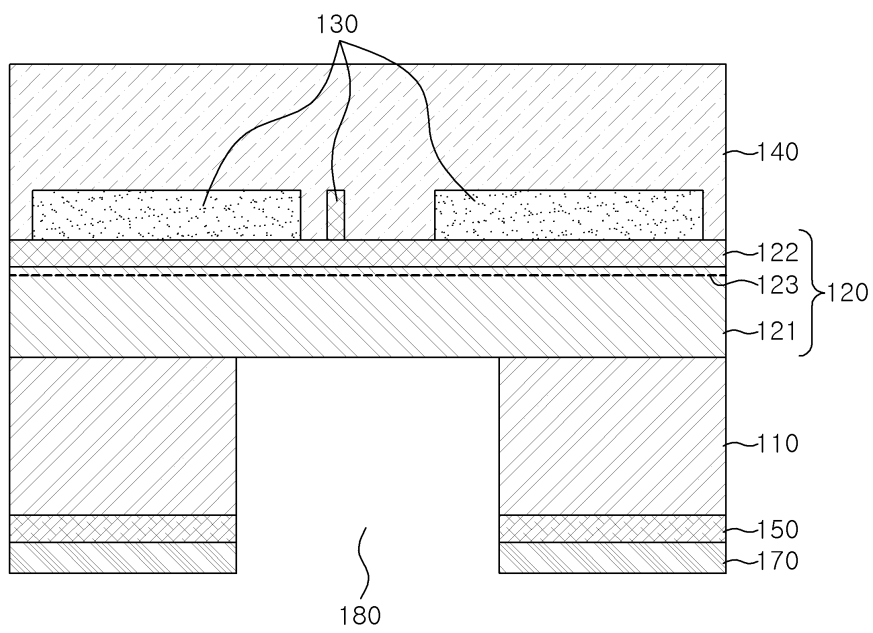
도면4



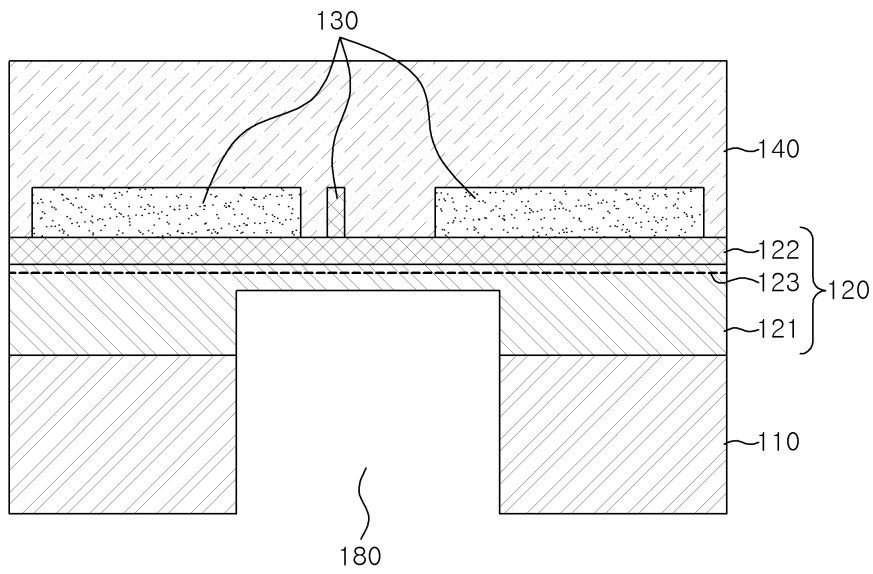
도면5



도면6



도면7



도면8

