

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 7 部門第 2 区分
【発行日】令和 6 年 9 月 24 日(2024.9.24)

【公開番号】特開 2023-163540(P2023-163540A)
【公開日】令和 5 年 11 月 10 日(2023.11.10)
【年通号数】公開公報(特許)2023-212
【出願番号】特願 2022-74506(P2022-74506)
【国際特許分類】

H 0 1 L 21/822(2006.01)

10

H 0 1 L 21/768(2006.01)

H 0 1 L 21/3213(2006.01)

【F I】

H 0 1 L 27/04 P

H 0 1 L 27/04 C

H 0 1 L 21/90 A

H 0 1 L 21/88 D

【手続補正書】

【提出日】令和 6 年 9 月 12 日(2024.9.12)

20

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

層間絶縁膜と、

前記層間絶縁膜内に配置されている抵抗膜、下部電極膜及び上部電極膜とを備え、

前記層間絶縁膜は、第 1 層と、第 2 層と、第 3 層とを有し、

30

前記抵抗膜及び前記下部電極膜は、前記第 1 層上に配置されており、

前記抵抗膜及び前記下部電極膜は、同一材料により形成されており、

前記上部電極膜は、前記第 2 層を介在させて前記下部電極膜と対向しており、

前記第 3 層は、前記抵抗膜、前記下部電極膜及び前記上部電極膜を覆っている、半導体装置。

【請求項 2】

前記第 2 層は、前記第 3 層と前記下部電極膜との間に介在されている、請求項 1 に記載の半導体装置。

【請求項 3】

前記抵抗膜と前記下部電極膜とは、互いに離間して配置されている、請求項 1 に記載の半導体装置。

40

【請求項 4】

第 1 配線層と、

第 2 配線層と、

第 1 ピアプラグと、

第 2 ピアプラグとをさらに備え、

前記第 1 層は、前記第 1 配線層を覆っており、

前記第 1 層中には、前記第 1 ピアプラグが形成されており、

前記下部電極膜は、前記第 1 ピアプラグにより前記第 1 配線層に電氣的に接続されており、

50

前記第 2 配線層は、前記第 3 層上に配置されており、
前記第 3 層中には、前記第 2 ピアプラグが形成されており、
前記上部電極膜は、前記第 2 ピアプラグにより前記第 2 配線層に電氣的に接続されている、請求項 1 に記載の半導体装置。

【請求項 5】

前記抵抗膜は、金属材料により形成されている、請求項 1 に記載の半導体装置。

【請求項 6】

前記金属材料は、シリコンクロム、炭素が導入されているシリコンクロム、ニクロム及び窒化タンタルからなる群から選択される少なくとも 1 つを含有している、請求項 5 に記載の半導体装置。

10

【請求項 7】

前記上部電極膜は、窒化チタンにより形成されている、請求項 1 に記載の半導体装置。

【請求項 8】

前記層間絶縁膜は、シリコン酸化物により形成されている、請求項 1 に記載の半導体装置。

【請求項 9】

前記第 1 配線層及び前記第 2 配線層は、アルミニウム又はアルミニウム合金により形成されている、請求項 4 に記載の半導体装置。

【請求項 10】

前記抵抗膜の厚さは、前記下部電極膜の厚さと同じである、請求項 1 に記載の半導体装置。

20

【請求項 11】

前記第 2 層の厚さは、前記第 1 層の厚さ及び前記第 3 層の厚さよりも小さい、請求項 1 に記載の半導体装置。

【請求項 12】

前記層間絶縁膜の厚さは、650nm 以上である、請求項 1 に記載の半導体装置。

【請求項 13】

前記下部電極膜、前記上部電極膜及び前記第 2 層は、MIM 容量を構成する、請求項 1 に記載の半導体装置。

【請求項 14】

層間絶縁膜の第 1 層を形成する工程と、
前記第 1 層上に第 1 膜を形成する工程と、
前記第 1 層上に前記層間絶縁膜の第 2 層を形成する工程と、
前記第 2 層上に第 2 膜を形成する工程と、
前記第 2 膜をパターンニングして上部電極膜を形成する工程と、
前記第 1 膜をパターンニングして抵抗膜及び下部電極膜を形成する工程と、
前記抵抗膜、前記下部電極膜及び前記上部電極膜を覆うように前記層間絶縁膜の第 3 層を形成する工程とを備え、

30

前記下部電極膜及び前記上部電極膜は、前記第 2 層を介在させて互いに対向している、半導体装置の製造方法。

40

【請求項 15】

前記第 1 膜のパターンニングには、ドライエッチングが用いられる、請求項 14 に記載の半導体装置の製造方法。