

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5607420号
(P5607420)

(45) 発行日 平成26年10月15日 (2014. 10. 15)

(24) 登録日 平成26年9月5日 (2014. 9. 5)

(51) Int. Cl.

F I

H O 1 L 29/786 (2006. 01)

H O 1 L 29/78 6 1 3 A

H O 1 L 21/336 (2006. 01)

H O 1 L 29/78 6 1 8 C

H O 1 L 27/08 (2006. 01)

H O 1 L 29/78 6 1 7 K

H O 1 L 21/8238 (2006. 01)

H O 1 L 29/78 6 1 8 A

H O 1 L 27/092 (2006. 01)

H O 1 L 27/08 3 3 1 E

請求項の数 20 (全 17 頁) 最終頁に続く

(21) 出願番号 特願2010-108180 (P2010-108180)
 (22) 出願日 平成22年5月10日 (2010. 5. 10)
 (65) 公開番号 特開2010-272859 (P2010-272859A)
 (43) 公開日 平成22年12月2日 (2010. 12. 2)
 審査請求日 平成25年1月15日 (2013. 1. 15)
 (31) 優先権主張番号 12/470128
 (32) 優先日 平成21年5月21日 (2009. 5. 21)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 390009531
 インターナショナル・ビジネス・マシー
 ズ・コーポレーション
 INTERNATIONAL BUSIN
 ESS MACHINES CORPOR
 ATION
 アメリカ合衆国10504 ニューヨーク
 州 アーモンク ニュー オーチャード
 ロード
 (74) 代理人 100108501
 弁理士 上野 剛史
 (74) 代理人 100112690
 弁理士 太佐 種一
 (74) 代理人 100091568
 弁理士 市位 嘉宏

最終頁に続く

(54) 【発明の名称】 電界効果トランジスタ (F E T) インバータとその製造方法 (単一ゲート・インバータのナノワ
 イヤ・メッシュ)

(57) 【特許請求の範囲】

【請求項 1】

スタック内で垂直方向に配置され、各々がソース領域、ドレイン領域、及び前記ソース
 領域と前記ドレイン領域を接続する複数のナノワイヤ・チャンネルを有する、複数のデバイ
 ス層であって、1つ又は複数の前記デバイス層の前記ソース及びドレイン領域はn型ドー
 パントでドーピングされ、1つ又は複数の他の前記デバイス層の前記ソース及びドレイン領域
 はp型ドーパントでドーピングされる、前記複数のデバイス層と、

前記ナノワイヤ・チャンネルを取り囲む、前記デバイス層の各々に共通のゲートと、

n型ドーパントでドーピングされた前記1つ又は複数のデバイス層の前記ソース領域への第
 1のコンタクトと、

p型ドーパントでドーピングされた前記1つ又は複数の他のデバイス層の前記ソース領域へ
 の第2のコンタクトと、

前記デバイス層の各々の前記ドレイン領域への共通の第3のコンタクトとを備え、

前記デバイス層の任意の所与の1つにおける前記ナノワイヤ・チャンネルは、10nmか
 ら200nmまでのピッチを有し、

前記デバイス層は、前記スタック内においてドーピングされた犠牲層によって上下に分離さ
 れ、当該ドーピングされた犠牲層は、前記スタック内において、前記ソース領域及び前記ドレ
 イン領域の間に存在し、かつ前記ナノワイヤ・チャンネルの間には存在しない、電界効果ト
 ランジスタ (F E T) インバータ。

【請求項 2】

前記デバイス層の任意の所与の1つにおける前記ナノワイヤ・チャネルは、40 nm から50 nmまでのピッチを有する、請求項1に記載のFETインバータ。

【請求項3】

前記スタック内の隣接するデバイス層の前記ナノワイヤ・チャネルは、5 nmから20 nmまでの間隙により互いに分離される、請求項1に記載のFETインバータ。

【請求項4】

前記n型ドーパントはリン及びヒ素のうちの1つ又は複数を含み、

前記p型ドーパントはホウ素を含む、請求項1に記載のFETインバータ。

【請求項5】

前記ゲートは前記ナノワイヤ・チャネルから誘電体によって分離される、請求項1に記載のFETインバータ。

【請求項6】

前記デバイス層の前記ソース及びドレイン領域と前記ゲートとの間のスペーサをさらに備える、請求項1に記載のFETインバータ。

【請求項7】

前記ゲートはポリシリコン及び金属のうちの1つ又は複数を含む、請求項1に記載のFETインバータ。

【請求項8】

前記第1のコンタクトはインバータの接地コンタクトとして働き、前記第2のコンタクトは前記インバータの電源コンタクトとして働き、前記ゲートは前記インバータの入力コンタクトとして働き、前記第3のコンタクトは前記インバータの出力コンタクトとして働く、請求項1に記載のFETインバータ。

【請求項9】

前記第3のコンタクトは前記デバイス層の各々の前記ドレイン領域を短絡する、請求項1に記載のFETインバータ。

【請求項10】

前記n型ドーパントでドーピングされた前記1つ又は複数のデバイス層の前記ソース及びドレイン領域と、前記p型ドーパントでドーピングされた前記1つ又は複数のデバイス層の前記ソース及びドレイン領域とを分離する電氣的絶縁層をさらに備える、請求項1に記載のFETインバータ。

【請求項11】

前記n型ドーパントでドーピングされた前記1つ又は複数のデバイス層は前記電氣的絶縁層の下にあり、前記p型ドーパントでドーピングされた前記1つ又は複数のデバイス層は前記電氣的絶縁層の上にある、請求項10に記載のFETインバータ。

【請求項12】

前記ナノワイヤ・チャネルはドーピングされていない、請求項1に記載のFETインバータ。

【請求項13】

FETインバータを製造する方法であって、

スタック内で垂直に配置され、各々がソース領域、ドレイン領域、及び前記ソース領域と前記ドレイン領域を接続する複数のナノワイヤ・チャネルを有する、複数のデバイス層を形成するステップと、

1つ又は複数の前記デバイス層の前記ソース及びドレイン領域にn型ドーパントを導入するステップと、

1つ又は複数の他の前記デバイス層の前記ソース及びドレイン領域にp型ドーパントを導入するステップと、

1つ又は複数の前記デバイス層の前記ソース及びドレイン領域に導入された前記n型ドーパントを活性化するステップと、

1つ又は複数の他の前記デバイス層の前記ソース及びドレイン領域に導入された前記p型ドーパントを活性化するステップと、

10

20

30

40

50

前記ナノワイヤ・チャネルを取り囲む、前記デバイス層の各々に共通のゲートを形成するステップと、

前記 n 型ドーパントでドーブされた前記 1 つ又は複数のデバイス層の前記ソース領域への第 1 のコンタクトを形成するステップと、

前記 p 型ドーパントでドーブされた前記 1 つ又は複数の他のデバイス層の前記ソース領域への第 2 のコンタクトを形成するステップと、

前記デバイス層の各々の前記ドレイン領域への共通の第 3 のコンタクトを形成するステップとを含む、

前記デバイス層の各々の前記ソース領域及び前記ドレイン領域は前記ゲートに自己整合し、前記 n 型ドーパントを活性化するステップと前記 p 型ドーパントを活性化するステップは、前記ゲートを形成するステップの前に実行される、方法。

10

【請求項 1 4】

前記デバイス層を前記形成するステップは、

シリコン・オン・インシュレータ (SOI) ウェハを準備するステップと、

前記ウェハの上にシリコン層及び犠牲層の交互配列を形成するステップと、

前記シリコン層及び犠牲層をエッチングしてナノワイヤ・フィンのスタックを形成するステップと、

前記ナノワイヤ・フィンのスタックから前記犠牲層を除去するステップと、をさらに含む、請求項 1 3 に記載の方法。

【請求項 1 5】

20

前記シリコン層及び犠牲層の交互配列は、前記ウェハ上にエピタキシャルに成長させる、請求項 1 4 に記載の方法。

【請求項 1 6】

前記シリコン層及び犠牲層の上にナノワイヤ・ハードマスクを形成するステップをさらに含む、請求項 1 4 に記載の方法。

【請求項 1 7】

前記ナノワイヤ・ハードマスクは、酸化物部分と該酸化物部分の上の窒化物部分とを有する 2 重ハードマスク構造体を含む、請求項 1 6 に記載の方法。

【請求項 1 8】

1 つ又は複数の前記犠牲層は n 型ドーパントでドーブされ、

30

1 つ又は複数の前記デバイス層の前記ソース及びドレイン領域に n 型ドーパントを前記導入するステップは、前記 n 型ドーパントでドーブされた前記 1 つ又は複数の犠牲層から前記 n 型ドーパントを 1 つ又は複数の前記シリコン層の全域に拡散させるステップをさらに含む、請求項 1 4 に記載の方法。

【請求項 1 9】

1 つ又は複数の前記犠牲層は p 型ドーパントでドーブされ、

1 つ又は複数の他の前記デバイス層の前記ソース及びドレイン領域に p 型ドーパントを前記導入するステップは、前記 p 型ドーパントでドーブされた前記 1 つ又は複数の犠牲層から前記 p 型ドーパントを 1 つ又は複数の前記シリコン層の全域に拡散させるステップをさらに含む、請求項 1 4 に記載の方法。

40

【請求項 2 0】

前記ゲートを形成するステップの前に、前記ナノワイヤ・チャネルの上に誘電体を形成するステップをさらに含む、請求項 1 3 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明はナノワイヤ・ベースのデバイスに関し、より具体的には電界効果トランジスタ (FET) 論理インバータに関する。

【背景技術】

【0 0 0 2】

50

基本的な形態において、電界効果トランジスタ（FET）はソース領域、ドレイン領域、及びソース領域とドレイン領域の間のチャネルを含む。ゲートはソース領域とドレイン領域の間のチャネルを通る電子の流れを制御する。

【0003】

FETは、様々なタイプの相補型金属酸化膜半導体（CMOS）回路の基本構成要素として用いられる。例えば、論理ゲート・インバータは多くの集積回路設計の共通のコンポーネントであり、n型チャネル電界効果トランジスタ（NFET）及びp型チャネル電界効果トランジスタ（PFET）デバイスの1つ又は複数の相補的対を用いて形成することができる。典型的なNFET/PFETインバータは、NFETのソース領域がPFETのドレインに接続され、デバイスのゲートが互いに接続されるように構成される。

10

【0004】

この標準的なインバータのレイアウトは2つのFETのサイズの占有領域（フットプリント）を有する。殆どの回路設計におけるインバータの普及のゆえに、インバータのレイアウト占有領域を縮小することで、殆どの回路設計を実装するのに必要なレイアウト面積を著しく縮小することができる。

【発明の概要】

【発明が解決しようとする課題】

【0005】

従って、縮小可能なFETインバータ及びその製造技術が望まれる。

【課題を解決するための手段】

20

【0006】

本発明はナノワイヤ・ベースのデバイスを提供する。本発明の一態様において電界効果トランジスタ（FET）インバータを提供する。このFETインバータはスタック（積層）内で垂直方向に配置した複数のデバイス層を含み、各デバイス層はソース領域、ドレイン領域、及びソース領域とドレイン領域を接続する複数のナノワイヤ・チャネルを有し、ここで1つ又は複数のデバイス層のソース及びドレイン領域はn型ドーパントでドーブされ、1つ又は複数の他のデバイス層のソース及びドレイン領域はp型ドーパントでドーブされ、FETインバータはさらに、ナノワイヤ・チャネルを取り囲む、デバイス層の各々に共通のゲートと、n型ドーパントでドーブされた1つ又は複数のデバイス層のソース領域への第1のコンタクトと、p型ドーパントでドーブされた1つ又は複数のデバイス層のソース領域への第2のコンタクトと、各デバイス層のドレイン領域への共通の第3のコンタクトとを含む。

30

【0007】

本発明の別の態様において、FETインバータを製造する方法を提供する。この方法は以下のステップを含む。スタック内で垂直方向に配置した複数のデバイス層を形成し、ここで各デバイス層はソース領域、ドレイン領域、及びソース領域とドレイン領域を接続する複数のナノワイヤ・チャネルを有する。1つ又は複数のデバイス層のソース及びドレイン領域にn型ドーパントを導入する。1つ又は複数のデバイス層のソース及びドレイン領域にp型ドーパントを導入する。ナノワイヤ・チャネルを取り囲む、デバイス層の各々に共通のゲートを形成する。n型ドーパントでドーブされた1つ又は複数のデバイス層のソース領域への第1のコンタクトを形成する。p型ドーパントでドーブされた1つ又は複数のデバイス層のソース領域への第2のコンタクトを形成する。各々のデバイス層のドレイン領域への共通の第3のコンタクトを形成する。

40

【0008】

本発明、並びに本発明の更に別の特徴及び利点のより完全な理解は、以下の詳細な説明及び図面を参照することにより得られるであろう。

【図面の簡単な説明】

【0009】

【図1】本発明の一実施形態による、電界効果トランジスタ（FET）インバータの製造の出発構造体を示す断面図である。

50

【図 2】本発明の一実施形態による、複数のナノワイヤ・ハードマスクを示す断面図である。

【図 3】本発明の一実施形態による、インバータのアクティブ領域の上に形成されたダミー・ゲートを示す断面図である。

【図 4】本発明の一実施形態による、ダミー・ゲートの周りで切り整えられたナノワイヤ・ハードマスクを示す断面図である。

【図 5】本発明の一実施形態による、ダミー・ゲートの周りに堆積させたフィラー層を示す断面図である。

【図 6】本発明の一実施形態による、ダミー・ゲートが除去されてフィラー層内にトレンチが形成された状態を示す断面図である。

10

【図 7】本発明の一実施形態による、フィン・スタックを示す断面図である。

【図 8】本発明の一実施形態による、ナノワイヤ・ハードマスクの露出窒化物部分が除去された状態を示す断面図である。

【図 9】本発明の一実施形態による、トレンチ内に形成されたスペーサを示す断面図である。

【図 10】本発明の一実施形態による、フィン・スタックから犠牲層が除去された状態を示す断面図である。

【図 11】本発明の一実施形態による、FET インバータ内に形成された別個の n 型ドープ層及び p 型ドープ層を示す断面図である。

【図 12】本発明の一実施形態による、トレンチ内に形成された置換ゲートを示す断面図である。

20

【図 13】本発明の一実施形態による、フィラー層が除去された状態を示す断面図である。

【図 14】本発明の一実施形態による、ドレイン領域コンタクトを示す断面図である。

【図 15】本発明の一実施形態による、ソース領域絶縁を示す断面図である。

【図 16】本発明の一実施形態による、ソース領域コンタクトを示す断面図である。

【発明を実施するための形態】

【0010】

図 1 乃至図 16 は、ゲート・オールアラウンド (GAA) ナノワイヤ・ベースの電界効果トランジスタ (FET) インバータを製造するための例示的な方法を示す図である。以下で詳細に説明するように、本発明の技術はダマシン・ゲート・プロセスを用いて、ゲートに自己整合するソース/ドレイン領域を構築するものである。

30

【0011】

図 1 は、FET インバータ製造プロセスの出発構造体 100 を示す断面図である。構造体 100 を形成するために、浅いトレンチ分離 (STI) を用いてシリコン・オン・インシュレータ (SOI) ウェハ内のアクティブ領域を画定する。即ち、ウェハ 102 は埋め込み酸化物 (BOX) 層 106 上の SOI 層 104 を有するように準備される。SOI ウェハはまた一般に、この図には示さない基板のような他の層を含む。BOX 層 106 は、それに限定されないが、二酸化シリコン (SiO_2) のような誘電体材料を含む、任意の適切な絶縁体材料を含むことができる。図 1 は単一のアクティブ領域の形成を示すが、複数のアクティブ領域を単一のウェハ内に形成できることを理解されたい。

40

【0012】

次に、シリコン (Si) 層と犠牲層の交互配列を、SOI 層 104 を配列内の第 1 の Si 層として、ウェハ上に積み重ねて形成する。具体的には、SOI 層 104 から出発して上方に進み、犠牲層 107 を SOI 層 104 の上にエピタキシャル成長させる。

【0013】

犠牲層 107 は、シリコン・ゲルマニウム (SiGe) のような、Si に対して選択的にエッチングすることができる結晶材料を含む。犠牲層 107 は高濃度のドーパントを含み、このドーパントは Si 層に導入される (例えば、プロセス中で後に実行されるアニールによる) とき n 型又は p 型 Si を生ずる。例えば、リン (P) 又はヒ素 (As) は典型

50

的なn型ドーパントであり、ホウ素(B)は典型的なp型ドーパントである。約 1×10^{19} 原子数毎立法センチメートル(atoms/cm³)から約 1×10^{22} atoms/cm³までのドーパント濃度を用いることができる。ドーピングはイン・サイチュ(即ち、犠牲層107の成長中に組み込まれる)で、又はエックス・サイチュ(即ち、犠牲層107の成長後にイオン注入のような技術を用いて)で実行することができるが、同じ層内に隣接するNFETとPFETを形成するように隣接するn型ドーブ領域とp型ドーブ領域が必要な場合にはエックス・サイチュのドーピングが好ましい。

【0014】

随意的な非ドーブ結晶Si層108を犠牲層107の上にエピタキシャル成長させることができる。さらに、随意的に、1つ又は複数の付加的な犠牲層及び/又は結晶Si層をSi層108の上に交互型にエピタキシャル成長させることができ、この場合、付加的な犠牲層の特性は犠牲層107と同じになり、付加的な結晶Si層の特性は結晶Si層108と同じになる。例示の目的及び描画の容易さのために、1つの付加的な犠牲層109及び1つの付加的なSi層110をSi層108の上に示す。しかし、これらの層は随意的なものであり、本明細書においてはこれらの層が存在しない場合の実施形態を想定する。さらに、これらの層は図示したより多く又はより少なく存在してもよい。例示的な実施形態によれば、犠牲層107及び109は互いに同じくドーピングされる。

【0015】

次に、電氣的絶縁層111をスタックの上に堆積させる。図1に示す例示的な構成において、絶縁層111はSi層110の上に堆積させる。絶縁層111は、化学気相堆積(CVD)、プラズマ強化CVD(PECVD)又はSi層110の物理的又は化学的变化を引き起さない任意の適切な誘電体堆積技術を用いて堆積させることができる。例示的な実施形態によれば、絶縁層111は、ダイヤモンドのような結晶電気絶縁材料、又はSiO₂のような非晶質電気絶縁材料を含む。

【0016】

次に、結晶Si層112を絶縁層111の上に形成する。絶縁層111が結晶電気絶縁材料を含むとき、Si層112は絶縁層111の上にエピタキシャル成長させることができる。絶縁層111が非晶質電気絶縁材料を含むとき、Si層112は、例えば結晶シリコン層112をハンドル・ウェハから移動させるウェハ・ボンディング技術により、絶縁層111の上に導入することができる。

【0017】

1つ又は複数の付加的犠牲層及び/又は結晶Si層は、随意的に、Si層112の上に交互型にエピタキシャル成長させることができる。例示の目的及び描画の容易さのために、1つの犠牲層113及び1つのSi層114をSi層112の上に示す。しかし、これらの層は随意的なものであり、本明細書においてはこれらの層が存在しない場合の実施形態を想定する。さらに、これらの層は図示したより多く又はより少なく存在してもよい。

【0018】

絶縁層111の上の犠牲層は、存在する場合には、絶縁層111の下に犠牲層(例えば、犠牲層107及び109)と同じ特性を有する。しかし、絶縁層111の上の犠牲層内のドーピング(存在する場合)の極性は絶縁層111の下に犠牲層内のドーピングとは逆にする。例えば、絶縁層111の下に犠牲層内のドーピングがn型である場合、絶縁層111の上の犠牲層内のドーピングはp型とし、逆も同様である。絶縁層111の下に犠牲層とは異なり、絶縁層111の上の犠牲層は随意的に非ドーブのままにすることができる。結晶Si層112をウェハ・ボンディングによりハンドル・ウェハから移動させる場合、絶縁層111の上の交互の犠牲層及び/又は結晶Si層は、存在する場合、結晶Si層112の成長の前にハンドル・ウェハ上に成長させ、結晶Si層112を移動させるのと同時に出発基板に移動させることができる。

【0019】

次に第1のハードマスク116をスタック上に堆積させる。図1に示す例示的な構成において、ハードマスク116はSi層114の上に堆積させる。ハードマスク116は絶

10

20

30

40

50

縁層 1 1 1 と同じ組成物 (SiO_2) を有することができ、同じ方法で堆積させることができる。例示的な実施形態によれば、ハードマスク 1 1 6 は約 15 ナノメートル (nm) から約 20 nm まで、例えば約 20 nm の厚さを有する。

【0020】

上述のように、各犠牲層はエピタキシャル成長プロセスで堆積させることができる。従って、各犠牲層は単結晶材料を含む。例示的な実施形態によれば、各犠牲層は約 5 nm から約 20 nm までの厚さを有する。しかし、寄生容量を最小にするために、各犠牲層の厚さは可能な限り小さくすると同時にゲート誘電体 / ゲートが、プロセス中に後に犠牲層が除去されて形成される間隙に適合 (フィット) するように十分な余地を残す必要がある。同様に上述の各 Si 層はエピタキシャル成長プロセスによる堆積させることができる。従

10

【0021】

Si 層及び / 又は犠牲層を形成するのに用いるエピタキシャル成長プロセスは、摂氏約 800 度 () 未満、例えば約 650 未満の温度で実施することができる。このプロセスは各層の成長の間で真空を破らずに実行することができ、又は代替的に、層の間で真空を破り、追加処理、例えば特定の層のエキス・サイチュ・ドーピングを可能にすることができる。層の間で真空を破るか破らないかに関わらず、各連続する層形成の間にパージ・ステップを実施することが好ましい。Si 層及び犠牲層の各々を形成するのに用いる成長圧力は、約 100 torr 未満、例えば 50 torr 未満である。これらの例示的なエ

20

【0022】

STI は Si / 犠牲層スタックをウェハのアクティブ領域に対して平坦化し且つ絶縁するように用いる。STI は、当業者には周知の通常のリソグラフィ及びエッチング・プロセスを必要とするので、本明細書において更には説明しない。STI は一般にナノメートル構造サイズの範囲の処理技術で用いられる。窒化物ライナ 1 1 8 は、CVD, PECVD 又は原子層堆積 (ALD) のような堆積プロセスを用いてスタックの 1 つ又は複数の側

30

【0023】

次に、第 2 のハードマスク 1 2 0 をスタックの上に堆積させる。例示的な実施形態によれば、ハードマスク 1 2 0 は窒化物層を含み、低圧化学気相堆積 (LPCVD) を用いて約 15 nm から約 20 nm まで、例えば約 20 nm の厚さに堆積させる。以下で詳細に説明するように、ハードマスク 1 1 6 及びハードマスク 1 2 0 は複数の個別のナノワイヤ・ハードマスクにパターン化される (ナノワイヤの x 方向における所望に位置に従って) こ

40

【0024】

図 2 は、複数の個別のナノワイヤ・ハードマスク 1 2 2 にパターン化された第 1 及び第 2 のハードマスクを示す断面図である。上で強調したように、ハードマスクのパターン化はナノワイヤの所望の位置に整合する。例示的な実施形態によれば、レジスト膜 (図示せず) をハードマスクの上に堆積させ、ナノワイヤ・ハードマスクの各々の占有領域及び位置によりパターン化される。一実施例において、反応性イオン・エッチング (RIE) を用いてナノワイヤ・ハードマスクを形成し、それゆえにレジスト膜は水素シルセスキオキサン (HSQ) のようなレジスト材料を含み、電子ビーム (e ビーム) リソグラフィを用いてパターン化され炭素ベースのレジストに転写される。

【0025】

50

次にハードマスクの開口段階を、第1のハードマスクが酸化物を含み、一方第2のハードマスクは窒化物を含むという事実に基づいて、一連の選択的R I Eステップを用いて実行する。例えば、レジスト膜（図示せず）をマスクとして用いる窒化物選択的R I Eを初めに用いて、ハードマスク120のレジスト膜の直下部分を除く全てを除去して、ナノワイヤ・ハードマスクの窒化物部分122aを画定する。ハードマスク116は酸化物を含み、窒化物選択的R I Eのエッチング停止層として機能する。窒化物選択的R I Eはまた同時に窒化物ライナ118をエッチングすることができ、ここでSi層がエッチング停止層として機能する。

【0026】

次にマスクの窒化物部分を用い、酸化物選択的R I Eによりハードマスク116の窒化物マスクの直下部分を除く全てを除去して、ナノワイヤ・ハードマスクの酸化物部分122bを画定する。Si層114が酸化物選択的R I Eのエッチング停止層として機能する。この例において、ナノワイヤ・ハードマスクの窒化物部分122a及び酸化物部分122bの各々は、約15nmから約20nmまで、例えば約20nmの厚さを有する。

【0027】

窒化物部分122a及び酸化物部分122bは2重ナノワイヤ・ハードマスク構造体を形成する。2重ナノワイヤ・ハードマスク構造体を用いると、より正確で均一なナノワイヤをSi層内に形成することが可能になる。即ち、2重ハードマスク構造体を用いると、窒化物部分122aはダミー・ゲート画定の間（以下に説明する図3を参照）酸化物部分122bの完全性（integrity）を保護し、酸化物部分122bはスペーサの（窒化物選択的）エッチングの間ナノワイヤを保護する（以下の説明を参照）。ナノワイヤ・ハードマスクの良好な完全性を維持することは、ナノワイヤの寸法の変動を最小にするために重要である。デバイスのサイズが小さくなるに連れて、好ましくない寸法変動の影響がより顕著になる。

【0028】

この実施例において、ナノワイヤ・ハードマスク122は、約200nm未満、例えば約10nmから約200nmまで、例えば約40nmから約50nmまでのピッチ、即ち空間周波数を有するように構成される。レイアウト密度を最大にし、寄生容量を最小にするためには、ピッチはパターン化及び処理限界内で可能な限り小さくする必要がある。直接的リソグラフィにより画定できるものよりも小さいピッチを達成するために、側壁画像転写のようなピッチ二重化技術又は二重パターン化／二重エッチングを用いることができる。各ナノワイヤ・ハードマスク122の幅123は約40nm未満、例えば約5nmから約40nmまで、例えば約5nmから約10nmまでである。各ナノワイヤ・ハードマスク122のピッチ／幅は各ナノワイヤのピッチ／幅を定めることになる。

【0029】

図3は、アクティブ領域の上に形成されたダミー・ゲート126を示す断面図である。図3に示すように、酸化物停止層、即ち酸化物層124がSi層114の上に形成される。例示的な実施形態によれば、熱酸化を用いて酸化物層124を成長させ、約4nmまで、例えば約2nmまでの厚さにする。Si層114の一部分はこの熱酸化プロセス中に消費される。従って、Si層の厚さは、例えば約2nmだけ、例えば約1nmだけ減少する。

【0030】

ダマシン・ゲート・プロセスを開始するために、ダミー・ゲート構造体126を形成する。以下の説明から明らかになるように、ダミー・ゲート構造体126はナノワイヤのy方向の位置、及び最終デバイス構造体のゲートの位置を定める。例示的な実施形態によれば、ダミー・ゲート構造体は多結晶Si（ポリシリコン）を含む。

【0031】

ダミー・ゲート構造体126は以下のプロセスによって形成することができる。初めに、ポリシリコン層を酸化物層124／ナノワイヤ・ハードマスク122の上に、LPCVDを用いて堆積させ、約100nmから約150nmまで、例えば約140nmの厚さに

10

20

30

40

50

する。ポリシリコン層の厚さは、ダミー・ゲートの高さを定めることになるので、堆積後、化学機械研磨（CMP）を用いて所望の厚さ／高さにすることができる。レジスト膜（図示せず）をポリシリコン層の上に堆積させ、ダミー・ゲート（インバータのナノワイヤ・チャネルになるものの上）の占有領域及び位置によりマスクされ、パターン化される。次に、ポリシリコン選択的RIEを用いて、ポリシリコン層の、ナノワイヤ・ハードマスクの上に位置する（即ち、ナノワイヤ・ハードマスクのy方向上に中心を有する）一部分を除く全てを除去し、これがダミー・ゲート126になる。例示的な実施形態によれば、ダミー・ゲート126は、約100nmから約150nmまでの、例えば約140nmの高さ128を有し、約30nmから約50nmまでの、例えば約45nmの長さ130を有する。

10

【0032】

矢印132で示すように、随意にトップ・ダウン注入を用いて、絶縁層111の上の1つ又は複数の結晶Si層にドーピングすることができる。このトップ・ダウン注入のドーピングの極性は、絶縁層111の下層の犠牲層内のドーピングとは逆にする必要がある。例えば、絶縁層111の下層の犠牲層（即ち、犠牲層107及び、存在すれば随意の犠牲層のいずれか1つ）内のドーピングがn型である場合、絶縁層111の上の1つ又は複数の結晶Si層内のドーピングはp型とし、逆も同様である。このトップ・ダウン注入ステップは、絶縁層111の上に犠牲層がない場合、或いは絶縁層111の上に存在する犠牲層が以前のステップで既にドーピングされていない場合にのみ必要である。トップ・ダウン注入の深さは、絶縁層111の上層に影響を及ぼし、しかし絶縁層111の下層には影響しないように選択される。この注入の条件は当業者には周知のものであり、用いるドーパント種のタイプに応じて変えることができる。例示的な実施形態によれば、この注入を用いてスタック内の最上部Si層、即ちSi層114にドーピングする。

20

【0033】

図4は、ダミー・ゲートの周りで切り整えられたナノワイヤ・ハードマスクを示す断面図である。下部ダミー・ゲート126から外に延びたナノワイヤ・ハードマスク122の部分は、ダミー・ゲート材料に対して選択的な異方性エッチング（即ち、ダミー・ゲートをエッチングしない）を用いて除去する。矢印134で示すように、上で図3の説明に関して説明したトップ・ダウン注入は、代りにプロセスのこの時点で、即ち、下部ダミー・ゲート126から外に延びたナノワイヤ・ハードマスク122の部分の除去前ではなく除去後に、実施することができる。

30

【0034】

図5は、ダミー・ゲート126の周りに堆積させた（犠牲）フィラー層136を示す断面図である。フィラー層136は、SiO₂のような誘電体材料を含む任意の適切なフィラー材料を含むことができる。例示的な実施形態によれば、フィラー層136はダミー・ゲート126の周りに高密度プラズマ（HDP）を用いて堆積させることができる。次に、ダミー・ゲートをエッチング停止層として用い、CMPを用いてフィラー材料を平坦化する。従って、フィラー層136はダミー・ゲートの高さに等しい厚さ、例えば、約30nmから約150nmまでの、約100nmから約150nmまでの、例えば約140nmの厚さを有することになる。

40

【0035】

図6は、ダミー・ゲートが除去された状態を示す断面図である。ダミー・ゲート126は化学エッチング・プロセス、例えば、化学ダウン・ストリーム又は水酸化カリウム（KOH）エッチング、又はRIEを用いて除去することができる。図6に示すように、ダミー・ゲート126の除去により、フィラー層136の中にトレンチ138が形成される。トレンチ138はダミー・ゲート126のネガ・パターンであるので、トレンチ138もまたナノワイヤ・ハードマスク122上の中央に（即ち、y方向に）位置する。例示的な実施形態によれば、トレンチ138はデバイスの（ナノワイヤ）チャネル領域をデバイスのソース及びドレイン領域から区別する。

【0036】

50

エッチングはまたフィラー層 136 にも作用してその部分を除去する可能性がある。例えば、ダミー・ゲート 126 を除去するエッチング・プロセスの後、フィラー層 136 の厚さ 139 は、約 30 nm 乃至約 125 nm まで、例えば約 80 nm まで減少する可能性がある。

【0037】

ダミー・ゲートの使用は、本発明の技術の重要な特徴である。即ち、ダミー・ゲートは、フィラー層の前にナノワイヤ・ハードマスクを配置して、ダミー・ゲートが除去されるとき現れるナノワイヤ・ハードマスクが既にトレンチ内に存在するようにすることを可能にする。ナノワイヤ・ハードマスクは、アクティブ領域内により正確且つ均一にナノワイヤを形成するために重要である。

10

【0038】

図 7 は Si / 犠牲層内にエッチング形成されたフィン・スタック 140 を示す断面図である。フィンは Si 層内に形成され、後述のように、ひとたび犠牲層から解放されるとインバータのナノワイヤ・チャネルとなる。例示的な実施形態によれば、Si 選択的 RIE を用いて、トレンチ 138 内の Si / 犠牲層の、ナノワイヤ・ハードマスク 122 によりマスクされない部分を除去する。BOX 層 106 はフィン・エッチングのエッチング停止層として機能する。このようにパターン化されたフィン・スタック 140 は、鋭い明確な縁部を有することになる。上述のように、これは、ナノワイヤをパターン化するのに 2 重 (窒化物 / 酸化物) ハードマスクを用いた結果である。

【0039】

20

本発明の教示の利点は、フィンがトレンチ 138 内だけでエッチングされ、フィラー層 136 の下のデバイスのソース / ドレイン領域はそのまま残ることである。さらに、このようにして形成されたソース / ドレイン領域は、トレンチ 138 に対して、従ってトレンチ 138 内に形成されることになるデバイス・ゲートに対して自己整合することになる (下記を参照)。ナノワイヤ・ハードマスク 122 のピッチ及び幅に基づいて、形成されたフィン (インバータのナノワイヤ・チャネルになることになる、Si 層内に形成されたものを含む) は、約 200 nm 未満、例えば約 10 nm から約 200 nm まで、例えば約 40 nm から約 50 nm までのピッチ、即ち空間周波数を有し、約 40 nm 未満、例えば約 5 nm から約 40 nm まで、例えば約 5 nm から約 10 nm までの幅を有する。

【0040】

30

図 8 は、ナノワイヤ・ハードマスクの露出された窒化物部分 122a (即ちトレンチ 138 内の部分) が除去された状態を示す断面図である。ナノワイヤ・ハードマスクの酸化物部分に対して窒化物部分を選択的に除去する任意のエッチング・プロセスを用いることができる。しかし理想的には、窒化物部分の厚さは、大部分が前のフィン・エッチング中に消費されるように選択するべきであり、この時点ではハードマスク構造体上にあまり残らないようにするべきである。ハードマスクの酸化物部分 122b は、理想的にはスペーサ・エッチング中 (以下で説明する図 9 を参照) に完全に消費されるように設計される (以下で説明する図 9 を参照)。スペーサ・エッチング後に残るいずれの酸化物ハードマスクも、ゲート・スタック堆積の前の洗浄中に除去されるように十分に薄くなければならない。ゲート・スタック前洗浄は、有機汚染物質、金属汚染物質及び Si 表面上のあらゆる自然酸化物を除去する標準的なプロセスである。自然酸化物は、酸化物を除去するためのウェット又はドライ化学エッチング・プロセスを用いて除去することができる。一例は 100 : 1 の希釈フッ化水素酸 (HF) によるエッチング・プロセスである。

40

【0041】

図 9 は、トレンチ 138 内に形成されたスペーサ 142 を示す断面図である。このステップは随意的なものである。ソース / ドレイン領域とゲート (トレンチ 138 内に形成されるもので、以下で説明する図 12 を参照) になる領域間にスペーサを配置することは、完成デバイスにおける寄生容量を最小にする助けとなるが、隆起 (raised) ソース / ドレイン (RSD) エピタキシャル成長又はシリサイド化の間、即ち典型的な FET フローにおけるような、ゲートからソース / ドレインへの短絡を防止する助けには必ずしもならな

50

い。スペーサ 142 はソース/ドレイン領域からゲートをある距離だけずらす（オフセットする）働きをする。

【0042】

例示的な実施形態によれば、スペーサ 142 は初めに窒化物層をトレンチ 138 内に堆積させることにより形成する。次に、レジスト膜（図示せず）を窒化物層の上に堆積させ、スペーサの位置及び占有領域によりマスクレパターン化する。次に窒化物の選択的 RIE を用いて窒化物層内のスペーサ 142 を画定する。フィン・スタック 140 の側壁を除去して、スペーサ 142 がトレンチ 138 の側壁に沿ってのみ存在し、フィン・スタック 140 上には存在しないようにするのに、時間を掛けたオーバーエッチングが必要となる。従って、スペーサ 142 の最小の引下げ（pulldown）はフィン・スタック及び残留（酸化物部分 122b）ナノワイヤ・ハードマスクの高さになる。例えば、オーバーエッチングの量は全窒化物層の除去に必要なエッチング時間の約 50% と約 80% の間である。例示的な実施形態によれば、スペーサ 142 は約 5 nm から約 25 nm までの長さ 144 を有する。スペーサ 142 の最大の高さはトレンチ 138 の厚さ 139 からスペーサ引下げの高さ 146 を差し引いた差となる。スペーサ 142 の最小の高さは、フィン・スタック 140 の高さ 148 である。ハードマスクの酸化物部分 122b は、窒化物層を除去するのに必要な長いオーバーエッチングの間露出するので、このステップ中に、窒化物層を除去するのに用いる窒化物エッチング剤の不完全な選択性により浸食される可能性が高い。理想的には、ハードマスクの酸化物部分 122b は、このステップ中に完全に浸食されるのに十分な厚さに設計される。

【0043】

図 10 は、ナノワイヤ・フィン・スタック内の Si 層の間から犠牲層が除去された状態を示す断面図である。ここで解放された、SOI 層 104 の部分 104a、108a、110a、112a 及び 114a、並びに Si 層 108、110、112 及び 114 は、それぞれ、デバイスのナノワイヤ・チャネルである。これらの複層のナノワイヤ・チャネルはまた、本明細書ではナノワイヤ・“メッシュ”と呼ぶ。

【0044】

犠牲層は、フィン・スタックから以下のように除去することができる。Si 層に比べて犠牲層のより低い酸化電位を利用する化学エッチング剤を用いることができる。そのようなエッチング剤の例には、それらに限定されないが、HF：過酸化水素（ H_2O_2 ）：酢酸（ CH_3COOH ）の 1：2：3 混合物、又は硫酸（ H_2SO_4 ）と H_2O_2 の混合物がある。代替的に、犠牲層は、酸素（ O_2 ）プラズマ・エッチングのようなドライ・エッチング・プロセスを用いて、又はエッチングに用いられる典型的なプラズマ化学作用を用いて選択的に除去することができる。電気的絶縁層は、電気的絶縁層が酸化物である場合、HF： H_2O_2 ： CH_3COOH を用いて除去することができる。ストレート DHF エッチングを用いることもできる。電気的絶縁層が結晶性誘電体である場合、例えば Si に選択的なエッチング剤を用いる別のエッチングが必要となる。

【0045】

図 11 は、FET インバータ内に形成された n 型ドープ層及び p 型ドープ層を示す断面図である。製造プロセスのこの時点で、FET インバータの別個の層が識別できる。これらの層はまた、本明細書ではデバイス層と言うが、何故なら各層はソース領域及びドレイン領域（例えば、フィラー層 136 の下の SOI 層の部分並びに Si 層 108、110、112 及び 114）並びにソース領域とドレイン領域を接続する複数のナノワイヤ・チャネル（即ち、SOI 層 104 の部分 104a、108a、110a、112a 及び 114a、並びにそれぞれ Si 層 108、110、112 及び 114）を含むからである。これらのデバイス層の例示的な構成は、n 型ドープ・デバイス層に「NFET 層」とラベル付けし、p 型ドープ・デバイス層に「PFET 層」とラベル付けして図 11 に示す。以下で詳細に説明するように、デバイス層は共通ゲートを共有する。2つの所与のデバイス層が、間隙により、又は他の層によって分離される場合にも、これら 2つのデバイス層は、デバイス層スタックの説明の目的で、隣接するデバイス層と見なす。例えば、図 11 に示す

3つのNFE Tデバイス層は、それらがソース及びドレイン領域内の犠牲層によって分離され得る場合にも、互いに隣接する層と見なす。

【0046】

例示的な実施形態によれば、電氣的絶縁層111の下にn型ドーパントでドーブされた1つ又は複数の犠牲層があり、電氣的絶縁層111の上にp型ドーパントでドーブされた1つ又は複数の犠牲層がある。次にアニール処理を実行し、NFE Tデバイス層のソース/ドレイン領域全域で電氣的絶縁層111の下に犠牲層（現在はソース及びドレイン領域にのみ存在）からn型ドーパントを拡散/活性化し、PFETデバイス層のソース/ドレイン領域全域で電氣的絶縁層111の上に犠牲層（現在はソース及びドレイン領域にのみ存在）からp型ドーパントを拡散/活性化する。このアニール処理の温度は約1000から約1100まで変化させることができ、アニール処理の継続時間は、数ミリ秒（ms）例えば5msから、数秒例えば5秒まで変化させることができる。ナノワイヤ・チャネルは非ドーブのままであり、このことは、ナノワイヤFETのような細いチャネルの完全に空乏化したデバイスの利点である。ゲートを配置する前に（下記参照）、フィラー層136を、例えばCMPを用いてスペーサ142に至るまで削り下ろし、ウェット化学洗浄を行って表面汚染物質及び自然酸化物を除去し、ゲート誘電体をナノワイヤ・チャネルの上に形成する。

10

【0047】

例示的な実施形態によれば、差動化学酸化を用いて、ソース/ドレイン領域内の犠牲材料のスペーサで覆われない領域を優先的に酸化する。犠牲材料のこれらの領域を優先的に酸化して露出されたSiナノワイヤ・チャネル領域にすることができる。次に、誘電体、例えばSiO₂、又は酸化ハフニウム（HfO₂）のような高kゲート誘電体をナノワイヤ・チャネルの上に形成する。これはゲート誘電体（ゲートをナノワイヤ・チャネルから分離することになる）である。次に、図12の断面図に示すように、ナノワイヤ・チャネルを取り囲むトレンチ138内に、トレンチ138をゲート材料で充填することにより、置換ゲート150を形成する。トレンチ138内にゲート材料を充填した後、CMPを用いて、フィラー層136をエッチング停止層として機能させて、ゲートを平坦化する。適切なゲート材料には、それらに限定されないが、1つ又は複数のポリシリコン、堆積金属、又は金属ポリシリコンのような複数材料の複合スタックが含まれる。

20

【0048】

図13は、フィラー層136が除去された状態を示す断面図である。例示的な実施形態によれば、フィラー層136はSiO₂を含み、酸化物の選択的RIEのような酸化物選択的エッチング・プロセスを用いて除去する。酸化物層124もまた、このエッチング・プロセスで除去される。フィラー層136及び酸化物層124を除去すると、下記のように、種々のデバイス層のソース/ドレイン領域内のコンタクト形成が可能になる。

30

【0049】

図14は、デバイス層のドレイン領域内に形成されたコンタクト152を示す断面図である。図14に示す配置において、デバイス層のゲートの左側の部分は、任意にソース領域として示され、デバイス層のゲートの右側の部分は、ドレイン領域として示されている。

40

【0050】

例示的な実施形態によれば、コンタクト152は、初めにハードマスク（図示せず）をブランケット堆積させ、ハードマスクをコンタクト152の位置及び占有領域によりパターン化することにより形成する。次に、リセス（陥凹）エッチング（又はエッチング・ステップの組合せ）を、パターン化されたハードマスクを通して行い、デバイス層のドレイン領域全域に及ぶトレンチを形成する。次いでハードマスクを除去する。

【0051】

シリサイド層をトレンチ内に、当業者には周知の標準的方法を用いて形成する。例えば、ニッケル（Ni）のような金属を含む層を、約5nmから約30nmまでの厚さ、例えば15nmの厚さに堆積させる。次にウェハを、約350から約500までの温度、

50

例えば450 において、数ms 例えば5ms から、数秒例えば5秒までの間、アニール処理を行い、その結果、露出されたSiがNiと反応してニッケルシリサイドを形成する。次に、王水（硝酸及び硫酸を含む）のような、シリサイドに対して選択的な金属エッチング剤を用いて、未反応Niを除去する。残留するシリサイドの厚さは、堆積させた金属層の厚さ並びにアニール処理の時間及び温度によって決定される。シリサイド形成中の体積膨張のために、電氣的絶縁層111の上及び下でのシリサイド形成は融合することになり、電氣的絶縁層111の上及び下のSi層内の上部ドレイン領域と下部ドレイン領域の間に電氣的短絡を形成する。従って、コンタクト152を構成するシリサイド層は、デバイス層の各々のドレイン領域に共通となり、NFET及びPFETデバイス層をドレイン領域側で短絡するように機能する。

10

【0052】

図15は、ソース領域の分離を示す断面図である。具体的には、デバイス層のソース領域内のコンタクト形成に対する前駆体として（以下で説明する図16を参照）、NFET及びPFETデバイス層はソース側において互いに分離させる必要がある。例示的な実施形態によれば、この分離は、初めに、ソース領域内の電氣的絶縁層111の上の全Si及び犠牲層の、例えば半分の部分（即ち、Si層114、犠牲層113及びSi層112）を除去することにより実現する。そうするために、ハードマスク（図示せず）をブランケット堆積させ、除去するSi層の部分の位置及び占有領域によりパターン化する。パターン化されたハードマスクを通してエッチングを実行し、次いでハードマスクを除去する。

【0053】

20

次に、スペーサ154を用いてパターン化領域及び非パターン化領域を分離する。スペーサ154は窒化物材料を含むことができる。スペーサ形成技術は、例えば、前記の図9の説明に関連して説明した。

【0054】

図16は、NFET及びPFETデバイス層のソース領域内に、それぞれ形成されたコンタクト156及び158を示す断面図である。例示的な実施形態によれば、コンタクト156及び158は、前述の図14の説明に関連して説明したシリサイド・プロセスを繰り返すことにより形成する。しかし、この場合には、電氣的絶縁層111の下のSi層内の下部ソース領域は、電氣的絶縁層111の上のSi層内の上部ソース領域とは、それらを絶縁したままに保持するスペーサ154のために短絡しない。

30

【0055】

コンタクト156及び158を構成するシリサイドを形成する。図16に示すように、NFETソース・コンタクトはインバータの接地（「GND」ラベル付き）コンタクトとして働きし、PFETソース・コンタクトはインバータの電源（「VDD」ラベル付き）コンタクトとして働きし、ゲート150はインバータの入力（「VIN」ラベル付き）コンタクトとして働き、NFET/PFETドレイン・コンタクト152はインバータの出力（「VOUT」ラベル付き）コンタクトとして働く。有利なことに、本発明のFETインバータは単一GAAゲートを有するように構成され、これは瞬時にスタックされるナノワイヤ・チャネル設計と組み合わせるとき、レイアウト面積を最大にするのに役立つ。

【0056】

40

本発明の例証的な実施形態を本明細書で説明したが、本発明はそれらの正確な実施形態に限定されないこと、及び当業者であれば本発明の範囲から逸脱せずに様々な他の変更及び修正を行うことができることを理解されたい。

【符号の説明】

【0057】

100：FETインバータ製造プロセスの出発構造体

102：ウェハ

104：SOI層

104a、108a、110a、112a、114a：SOI層104の部分

106：埋め込み酸化物（BOX）層

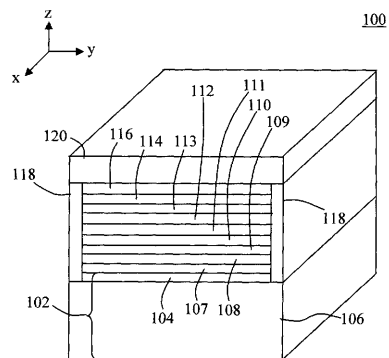
50

- 107、109、113：犠牲層
 108、110、112、114：Si層
 111：絶縁層
 116、120：ハードマスク
 118：窒化物ライナ
 122：ナノワイヤ・ハードマスク
 122a：ナノワイヤ・ハードマスクの窒化物部分
 122b：ナノワイヤ・ハードマスクの酸化部分
 123：ナノワイヤ・ハードマスクの幅
 124：酸化物層
 126：ダミー・ゲート構造体
 128：ダミー・ゲートの高さ
 130：ダミー・ゲートの長さ
 132：矢印
 136：フィラー層
 138：トレンチ
 139：フィラー層の厚さ
 140：フィン・スタック
 142、154：スペーサ
 144：スペーサの長さ
 146：スペーサ引下げの長さ
 148：フィン・スタックの高さ
 150：置換ゲート
 152、156、158：コンタクト

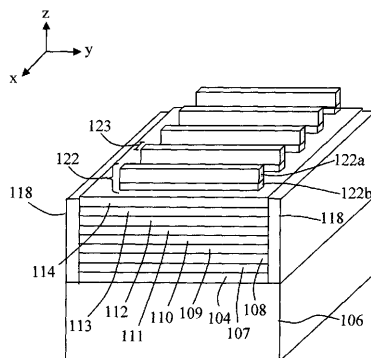
10

20

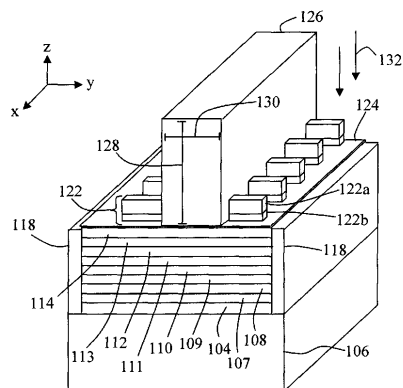
【図1】



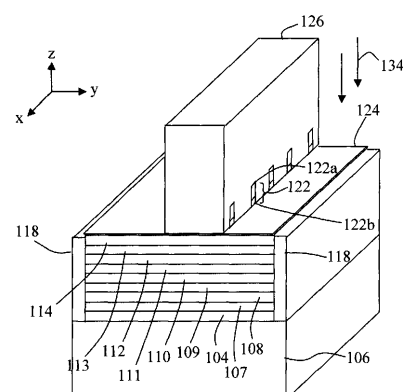
【図2】



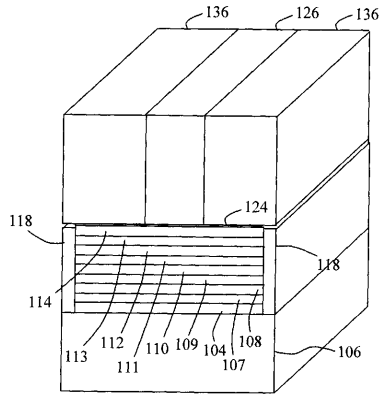
【図3】



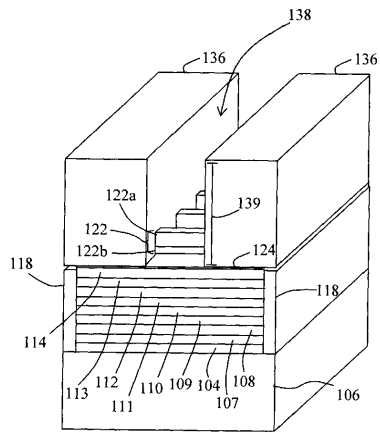
【図4】



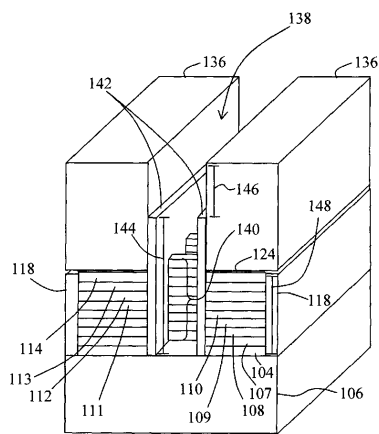
【図 5】



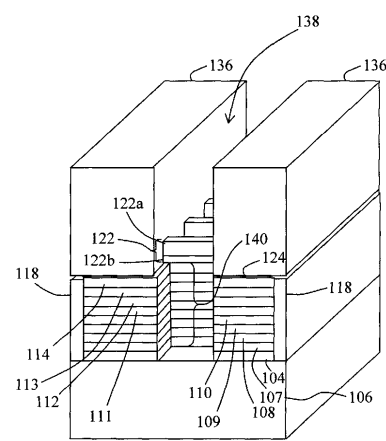
【図 6】



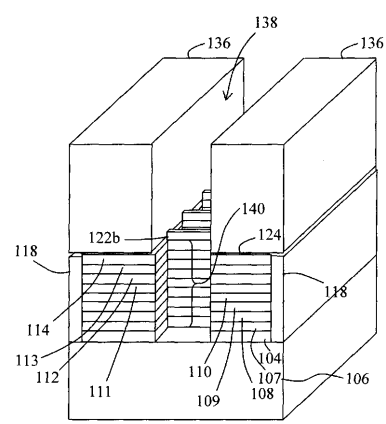
【図 9】



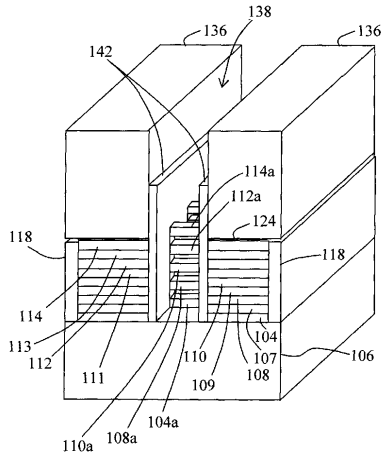
【図 7】



【図 8】



【図 10】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 27/08 3 2 1 D

H 0 1 L 27/08 3 2 1 A

H 0 1 L 27/08 3 2 1 C

H 0 1 L 27/08 3 2 1 F

(72)発明者 ジョセフィーヌ・ビー・チャン

アメリカ合衆国 1 0 5 9 8 ニューヨーク州 ヨークタウン・ハイツ ルート134 キッチャ
ワンロード 1 1 0 1 私書箱 2 1 8

(72)発明者 マイケル・エー・ギルローン

アメリカ合衆国 1 0 5 9 8 ニューヨーク州 ヨークタウン・ハイツ ルート134 キッチャ
ワンロード 1 1 0 1 私書箱 2 1 8

(72)発明者 ジェフリー・ダブリュー・スライト

アメリカ合衆国 1 0 5 9 8 ニューヨーク州 ヨークタウン・ハイツ ルート134 キッチャ
ワンロード 1 1 0 1 私書箱 2 1 8

(72)発明者 ポール・チャン

アメリカ合衆国 1 2 5 3 3 - 6 6 8 3 ニューヨーク州 ホーブウェル・ジャンクション ルー
ト52 2 0 7 0

審査官 大橋 達也

(56)参考文献 特開2005-340810(JP,A)

米国特許出願公開第2008/0135935(US,A1)

韓国公開特許第10-2006-0033232(KR,A)

特開2005-354023(JP,A)

特開2006-270107(JP,A)

米国特許出願公開第2007/0029586(US,A1)

特開2006-080519(JP,A)

特開2007-311762(JP,A)

特開2004-193526(JP,A)

特開2009-094229(JP,A)

特開2006-352125(JP,A)

特開2005-354065(JP,A)

特開2008-147366(JP,A)

特開平06-291269(JP,A)

特開2002-184993(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 7 8 6

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 1 / 8 2 3 8

H 0 1 L 2 7 / 0 8

H 0 1 L 2 7 / 0 9 2