

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-142502

(P2012-142502A)

(43) 公開日 平成24年7月26日(2012.7.26)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/04 (2006.01)	HO 1 L 27/04 H	5 F 0 3 8
HO 1 L 21/822 (2006.01)	HO 1 L 27/06 3 1 1 B	5 F 0 4 8
HO 1 L 27/06 (2006.01)	HO 1 L 27/06 3 1 1 C	
HO 1 L 27/088 (2006.01)	HO 1 L 27/08 1 0 2 F	
HO 1 L 21/8234 (2006.01)		

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21) 出願番号 特願2011-806 (P2011-806)
 (22) 出願日 平成23年1月5日 (2011.1.5)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 110000925
 特許業務法人信友国際特許事務所
 (72) 発明者 巽 孝明
 東京都港区港南1丁目7番1号 ソニー株式会社内
 Fターム(参考) 5F038 BH02 BH04 BH07 BH13 DF08
 EZ10 EZ14 EZ20
 5F048 AA02 CC01 CC06 CC08 CC09
 CC15 CC18

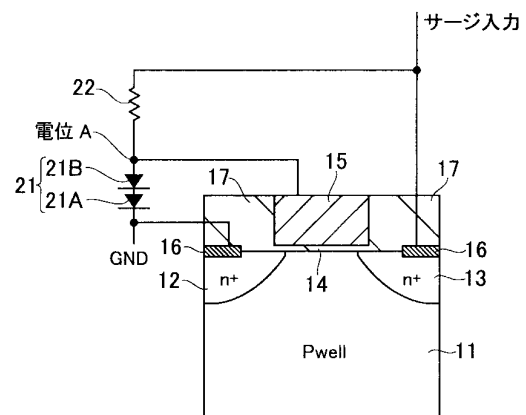
(54) 【発明の名称】 保護素子及び保護素子を備えた半導体装置

(57) 【要約】

【課題】比較的簡易な構成であり、かつ、 V_{t1} を3つ以上の多くの電圧値に設定することを可能にする、ESD（静電気放電）対策用の保護素子を提供する。

【解決手段】半導体層に形成された、ソース領域12及びドレイン領域13と、半導体層上にゲート絶縁膜14を介して形成されたゲート15と、ソース領域12の表面に接続され、グラウンドに電氣的に接続されたソース電極と、ドレイン領域13の表面に接続され、サージ入力が入力されるドレイン電極と、ソース電極とゲート15との間に接続されたダイオード21（21A、21B）とを含んで、回路素子を保護するための保護素子を構成する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

回路素子を保護するための保護素子であって、
半導体層に形成された、ソース領域及びドレイン領域と、
前記半導体層上にゲート絶縁膜を介して形成されたゲートと、
前記ソース領域の表面に接続され、グラウンドに電氣的に接続されたソース電極と、
前記ドレイン領域の表面に接続され、サージ入力が入力されるドレイン電極と、
前記ソース電極と前記ゲートとの間に接続されたダイオードとを含む
保護素子。

【請求項 2】

10

前記ダイオードは、複数個のダイオードが順方向を同じ方向として直列に接続されている、請求項 1 に記載の保護素子。

【請求項 3】

前記ゲートと前記ドレイン電極との間に接続されている、抵抗をさらに含む、請求項 1 に記載の保護素子。

【請求項 4】

前記ダイオードに並列に接続された第 2 の抵抗と、前記抵抗と直列に接続された第 2 のダイオードとを、さらに含む請求項 3 に記載の保護素子。

【請求項 5】

20

複数個の前記ゲート及び前記ソース電極の組に対して、前記ダイオードが共通に接続されている、請求項 1 に記載の保護素子。

【請求項 6】

回路素子と、

前記回路素子に接続され、半導体層に形成された、ソース領域及びドレイン領域と、前記半導体層上にゲート絶縁膜を介して形成されたゲートと、前記ソース領域の表面に接続され、グラウンドに電氣的に接続されたソース電極と、前記ドレイン領域の表面に接続され、サージ入力が入力されるドレイン電極と、前記ソース電極と前記ゲートとの間に接続されたダイオードとを含み、前記回路素子を保護するための保護素子とを備えた
半導体装置。

【請求項 7】

30

前記保護素子は、前記ゲートと前記ドレイン電極との間に接続されている、抵抗をさらに含む、請求項 6 に記載の半導体装置。

【請求項 8】

前記保護素子は、前記ダイオードに並列に接続された第 2 の抵抗と、前記抵抗と直列に接続された第 2 のダイオードとを、さらに含む請求項 7 に記載の半導体装置の製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

40

本発明は、ESD（静電気放電）対策用の保護素子、並びに、この保護素子を備えた半導体装置に係わる。

【背景技術】**【0002】**

ESD（静電気放電）対策用の保護素子として、GGMOS (Gate Grounded MOS)、サイリスタ、RC タイマ等が知られている。

これらの保護素子は、それぞれ用途によって使い分けされているが、GGMOS は構造が単純で、最も以前から使われている。

【0003】

ここで、GGMOS の構造例を図 7 に示す。

図 7 は、NMOS 型の GGMOS であり、PWell 領域 51、ソース領域 52、ドレイン領域 53、ゲート絶縁膜 54、ゲート 55 からなる。

50

GGMOS構造とは、図7に示すように、通常のMOSトランジスタと同じ構造に対して、ゲート55とソース領域52とを短絡して、グラウンド（接地電位）GNDに落とす構造である。

【0004】

ここで、ドレインから入るサージ入力に対しては、図8に示すように、ある電圧（ V_{t1} ）までは動作せず（電流が流れず）、 V_{t1} に達すると、バイポーラ動作を始めて電圧は下がり、大量に電流が流れるようになる。

【0005】

しかし、従来のGGMOS構造を用いたESD保護素子では、ゲート長や各領域（Well、ソース・ドレイン）の不純物濃度等の構成から、電圧 V_{t1} が特定の値に決まってしまう。

そのため、用途に応じて、所望の値に電圧 V_{t1} を制御するためには、保護素子の構成を変更する必要がある。

【0006】

V_{t1} を上げる方法としては、ゲート長を長くする等、比較的簡易な方法がある。

V_{t1} を下げる方法としては、（1）耐圧の低い不純物構成に変える方法、（2）Well領域の電位をフローティング電位にする方法、（3）ゲート電圧を制御する回路を設ける方法（例えば、非特許文献1参照。）、が知られている。

【0007】

非特許文献1では、図9に示すように、ゲート電圧によって V_{t1} が変化することを利用して、ゲート電圧を制御する回路を入力段に設けて、この回路でサージ電流を感知して、保護素子のゲート電圧がドレイン電圧と同じ電圧になるように制御している。

これにより、図9において $V_{gs} = V_{ds}$ となるので、従来構成の $V_{gs} = 0V$ の場合と比較して、 V_{t1} を下げることができる。

【先行技術文献】

【非特許文献】

【0008】

【非特許文献1】M. G. Khazhinsky et al., "Engineering Single NMOS and PMOS Output Buffers for Maximum Failure Voltage in Advanced CMOS technologies", EOS/ESD Symposium 2004

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、前述した V_{t1} を下げるそれぞれの方法には、以下に説明する問題点がある。

【0010】

まず、（1）の耐圧の低い不純物構成に変える方法では、保護素子の部分の製造工程の変更を伴う。

また、PWell領域の不純物濃度が、保護素子と回路素子とで異なっていると、それぞれ別々の工程でPWell領域を作製する必要が生じて、工程数が増大する。

【0011】

次に、（2）のWell領域の電位をフローティング電位にする方法では、従来の V_{t1} と、フローティング電位にした場合の V_{t1} との2つの V_{t1} しか得られない。即ち、 V_{t1} は、高い電圧と低い電圧の特定の2つの電圧値しか実現できない。

【0012】

次に、（3）ゲート電圧を制御する方法では、入力段に設ける制御用の回路構成が複雑となり、その分大きい面積を必要とする。

また、前述した非特許文献1に記載された方法では、ゲート電圧をドレイン電圧と同じ電圧にするので、やはり V_{t1} は高い電圧と低い電圧の特定の2つの電圧値しか実現でき

10

20

30

40

50

ない。

【0013】

上述した問題の解決のために、本発明においては、比較的簡易な構成であり、かつ、 V_{t1} を3つ以上の多くの電圧値に設定することを可能にする、ESD（静電気放電）対策用の保護素子を提供するものである。また、この保護素子を備えた半導体装置を提供するものである。

【課題を解決するための手段】

【0014】

本発明の保護素子は、回路素子を保護するための保護素子である。

そして、半導体層に形成された、ソース領域及びドレイン領域と、半導体層上にゲート絶縁膜を介して形成されたゲートとを含む。 10

また、ソース領域の表面に接続され、グラウンドに電氣的に接続されたソース電極と、ドレイン領域の表面に接続され、サージ入力が入力されるドレイン電極とを含む。

さらに、ソース電極とゲートとの間に接続されたダイオードを含む。

【0015】

本発明の半導体装置は、回路素子と、この回路素子に接続され、上記本発明の保護素子の構成である保護素子とを備えたものである。

【0016】

上述の本発明の保護素子の構成によれば、グラウンドに電氣的に接続されたソース電極と、ゲートとの間に、ダイオードが接続されているので、ゲートの電位を、グラウンドからシフトさせることができ、前述した V_{t1} の値を変えることができる。 20

そして、ソース電極とゲートとの間に接続されたダイオードの個数によって、ゲートの電位を変えることができるので、これに対応して V_{t1} の値を変えることができる。

【0017】

上述の本発明の半導体装置の構成によれば、回路素子に本発明の保護素子を接続しているので、保護素子において、ソース電極とゲートとの間に接続されたダイオードの個数によって、ゲートの電位を変えて、 V_{t1} の値を変えることができる。

【発明の効果】

【0018】

上述の本発明によれば、ソース電極とゲートとの間に接続されたダイオードの個数によって V_{t1} を変えることが可能であるため、ダイオードの個数に応じて V_{t1} を3つ以上の多くの電圧値に設定することが可能になる。 30

そして、従来のGGMOS構造の保護素子と比較して、低い値の V_{t1} の保護素子を作製することも可能になる。

【0019】

また、本発明の保護素子は、MOS構造にダイオードを設けた構成であるが、ダイオードはMOS構造を作製する際に作りこむことができるので、追加工程を必要とせず、一般的なMOS構造作成工程で容易に作製することができる。

【図面の簡単な説明】

【0020】

【図1】本発明の第1の実施の形態の保護素子の概略構成図（断面図）である。 40

【図2】図1の構成において、ダイオードの数を変えたときのドレイン電圧と電流との関係をTCADによって計算した結果を示す図である。

【図3】本発明の第2の実施の形態の保護素子の概略構成図（断面図）である。

【図4】本発明の第3の実施の形態の保護素子の概略構成図（断面図）である。

【図5】図4の構成において、ダイオードの数を変えたときのドレイン電圧と電流との関係をTCADによって計算した結果を示す図である。

【図6】本発明の第4の実施の形態の保護素子の概略構成図（断面図）である。

【図7】従来のGGMOS構造の保護素子の断面図である。

【図8】GGMOS構造における、サージ入力電圧とリーク電流との関係を示した図であ 50

る。

【図 9】 G G M O S 構造において、ゲート電圧を変えたときの、それぞれのゲート電圧における、サージ入力電圧とリーク電流との関係を示した図である。

【発明を実施するための形態】

【 0 0 2 1 】

以下、発明を実施するための最良の形態（以下、実施の形態とする）について説明する。

なお、説明は以下の順序で行う。

1. 第 1 の実施の形態
2. 第 2 の実施の形態
3. 第 3 の実施の形態
4. 第 4 の実施の形態
5. 変形例

10

【 0 0 2 2 】

< 1. 第 1 の実施の形態 >

本発明の第 1 の実施の形態の保護素子の概略構成図（断面図）を、図 1 に示す。

本実施の形態の保護素子は、図 7 に示した G G M O S 構造の保護素子と同じく、E S D（静電気放電）対策用の保護素子となるものである。

図 1 に示すように、半導体層（半導体基板やエピタキシャル層等）に形成された P W e 1 1 領域 1 1 の表面部に、 n^+ の不純物領域によって、ソース領域 1 2 及びドレイン領域 1 3 が形成されている。そして、ソース領域 1 2 及びドレイン領域 1 3 の間の半導体層の上に、ゲート絶縁膜 1 4 を介して、ゲート 1 5 が形成されている。

20

即ち、通常の N M O S トランジスタと同様の、N M O S 構造を有している。

ソース領域 1 2 及びドレイン領域 1 3 には、それぞれ半導体層の表面で、電極 1 6 が接続されている。また、電極 1 6 の上やゲート 1 5 以外の部分は、絶縁層 1 7 で覆われている。

【 0 0 2 3 】

本実施の形態の保護素子においては、特に、ゲート 1 5 とソース領域 1 2 に接続された電極（ソース電極）1 6 とを、図 7 に示した構成のように直接電氣的に接続するのではなく、間に 2 個のダイオード 2 1（2 1 A，2 1 B）を介して接続している。

30

2 個のダイオード 2 1 A，2 1 B は、いずれも順方向がゲート 1 5 からグラウンド（接地電位）G N D に向かう向きであり、かつ、直列に接続されている。

なお、ソース領域 1 2 に接続された電極（ソース電極）1 6 は、図 7 に示した構成と同様に、グラウンド（接地電位）G N D に直接接続されている。

【 0 0 2 4 】

これにより、ゲート 1 5 の電位（図 1 の電位 A と等しい）を、グラウンド（接地電位）G N D から、ダイオード 2 1 A，2 1 B にかかる電圧の分だけ、正電位にシフトさせることができる。

このようにゲートの電位を接地電位から正電位にシフトさせることにより、先に示した図 9 からわかるように、 V_{t1} を低減することができる。

40

【 0 0 2 5 】

さらに、本実施の形態の保護素子においては、サージ入力が入るドレイン領域 1 3 の電極（ドレイン電極）1 6 と、ゲート 1 5 との間を、抵抗 2 2 を介して、電氣的に接続している。

ドレイン電極とゲート 1 5 との間を電氣的に接続していることにより、サージ入力ゲート 1 5 の側にも入ることになる。

また、ドレイン電極とゲート 1 5 との間は、抵抗 2 2 を介して接続していることにより、抵抗 2 2 が無い場合と比較して、抵抗 2 2 による電圧降下を生じる分、サージ入力の電圧に対してゲート 1 5 の電位（電位 A）を下げるができる。

なお、抵抗 2 2 が無い場合には、ダイオード 2 1（2 1 A，2 1 B）の側の抵抗が小さ

50

くなって、ほとんどの電流が流れてしまい、ドレイン領域13とソース領域12との間に電流が流れず、snapback動作をしなくなってしまう。ダイオードの数を多くして電流の流れにくくすれば、snapback動作させることが可能となるが、抵抗22がないと、ゲート15とドレイン領域13とが同じ電位になるので、図9からわかるように、 V_{t1} が決まった値にしかならない。

【0026】

ダイオードは、P領域とN領域の組み合わせによる単純な構造をしており、一般に、MOS構造を作る場合に、ダイオードも同時に作りこまれる。

抵抗も、MOS構造を作る場合に、同時に作りこまれるのが一般的である。

即ち、本実施の形態の保護素子において、ダイオード21(21A, 21B)及び抵抗22は、NMOS構造のWell領域11・ソース領域12・ドレイン領域13が形成されている半導体層の別の部分に形成することができる。

そのため、この保護素子のNMOS構造の部分や保護素子が設けられる回路素子の製造工程において、特別な工程を追加することなく、ダイオード21(21A, 21B)及び抵抗22を作製することが可能である。

特に、ダイオード21(21A, 21B)のP領域とN領域の不純物濃度を、回路素子の不純物領域やこの保護素子のWell領域11やソース領域12・ドレイン領域13等の不純物領域のいずれかと同じ濃度とすれば、同時に形成することが可能である。

【0027】

次に、本実施の形態の保護素子の動作について説明する。

まず、サージ入力として、高い電圧が入ってくると、NMOS構造のドレイン領域13及び抵抗22に高い電圧がかかる。これにより、ダイオード21A, 21Bにもその閾値電圧(半導体層がシリコンの場合は0.7V程度)以上の電圧がかかり、ダイオード21A, 21Bが導通状態となる。

このとき、図1の電位Aは、ダイオード21A, 21Bによる電位上昇分、即ち $0.7V \times$ (ダイオードの個数)となる。例えば、ダイオードが1個なら電位Aは0.7Vになり、図1に示すようにダイオードが2個なら1.4Vに保たれる。

先に説明した図9からもわかるように、ゲート電位0Vからゲート電位を上げていくと、 V_{t1} は一旦下がり、もっとゲート電位が上げると逆に V_{t1} は上昇するが、ゲート電位0Vのときよりは V_{t1} が小さくなる。

【0028】

このように、ゲート15とグラウンドGNDとの間に接続するダイオードの個数によって、 V_{t1} をコントロールすることができる。

単純にゲートをドレインと短絡すると、 V_{t1} はGGMOSより下がるが、 V_{t1} の値はひとつに決まり、本発明のように V_{t1} の値を制御することができない。

なお、抵抗22の値は、ダイオード21A, 21Bが導通していないときの抵抗(非常に高い)より低く、かつ、ドレイン領域13とソース領域12との間にも電流が流れる最低限の抵抗値より高ければ、値は自由に決めて構わない。

【0029】

ここで、TCAD(テクノロジーCAD)シミュレーションを用いて、本実施の形態の保護素子において、サージ入力があったときの動作予測を行った。

具体的には、図1に示すようにゲートとソースの間にダイオードを2個設けた構造と、ダイオードを1個設けた構造とで、それぞれ動作予測を行った。また、比較対象として、従来のGGMOS構造に対しても同様の動作予測を行った。

【0030】

動作予測の結果として、それぞれの構造における、ドレイン電圧と電流(ドレイン-ソース間の電流)との関係を、図2に示す。

図2より、従来のGGMOS構造では $V_{t1} = 8.8V$ であったものが、本実施の形態の構造でダイオード1個なら $V_{t1} = 5.7V$ に下がり、2個なら $V_{t1} = 4.8V$ に下がるのがわかる。

10

20

30

40

50

即ち、ダイオードの個数によって V_{t1} の値を制御できることが確認された。

【0031】

上述の本実施の形態の保護素子の構成によれば、ゲート15とソース領域12に接続された電極（ソース電極）16とを、間に2個のダイオード21（21A, 21B）を介して接続している。

これにより、ゲート15の電位（電位A）を、グラウンド（接地電位）GNDから正電位にシフトさせることができ、 V_{t1} を低減することができる。

【0032】

そして、ダイオードの個数は、図1の2個に限らず、1個又は3個以上とすることも可能であり、ダイオードの個数によってゲート15の電位を変えて、 V_{t1} を変えることが可能である。

このように、ダイオードの個数によって V_{t1} を変えることが可能であるため、ダイオードの個数に応じて V_{t1} を3つ以上の多くの電圧値（例えば、図2の8.8Vと5.7Vと4.8V）に設定することが可能になる。

【0033】

また、本実施の形態の保護素子の構成によれば、サージ入力が入るドレイン領域13の電極（ドレイン電極）16と、ゲート15との間を、抵抗22を介して、電氣的に接続している。

これにより、抵抗22による電圧降下を生じる分、サージ入力の電圧に対してゲート15の電位（電位A）を下げるができる。

【0034】

本実施の形態の保護素子は、NMOS構造にダイオード21及び抵抗22を追加するだけであり、ダイオード21及び抵抗22は、MOS構造を作製する際に作りこむことができる。

即ち、本実施の形態の保護素子は、追加工程を必要とせず、一般的なMOS構造作成工程で容易に作製することができる。

【0035】

そして、本実施の形態の保護素子を用いて、保護素子を備えた半導体装置を構成することができる。

例えば、半導体装置を構成する回路素子の周囲に、本実施の形態の保護素子を配置して、サージ入力保護素子に入力されるように構成する。

【0036】

< 2. 第2の実施の形態 >

図1に示した、第1の実施の形態の構成では、通常の動作状態、即ちドレイン領域13に V_{dd} （1.8V～5V）程度の電圧がかかっている状態では、ダイオード21が導通して、図1の電位Aが $0.7V \times$ （ダイオードの個数）となる。

このとき、MOSのチャネルが開いて、電流がドレイン領域13からソース領域12にリークするため、その分の電力が消費される。

このリーク電流を防ぐための構成を、第2の実施の形態として以下に示す。

【0037】

本発明の第2の実施の形態の保護素子の概略構成図（断面図）を、図3に示す。

本実施の形態においては、特に、図1の構成のダイオード21及び抵抗22に、さらに、ダイオード23と抵抗24とを加えた構成となっている。

【0038】

ダイオード23は、順方向がダイオード21の2個のダイオード21A, 21Bと同じ方向であり、かつ直列に接続された、4個のダイオード23A, 23B, 23C, 23Dから成り、抵抗22とドレインとの間に設けられている。

抵抗24は、ゲート15とソース領域12に接続されたソース電極16との間に、ダイオード21と並列に接続されている。

【0039】

10

20

30

40

50

なお、図3では、ダイオード21が2個のダイオード21A, 21Bから成り、ダイオード23が4個のダイオード23A, 23B, 23C, 23Dから成る構成となっているが、これらのダイオードの個数は、必要に応じて、他の個数とすることも可能である。

また、図3では、ダイオード23が抵抗22よりもサージ入力側に設けられているが、抵抗22がダイオード23よりもサージ入力側に設けられた構成とすることも可能である。

【0040】

次に、本実施の形態の保護素子の動作について説明する。

通常の動作状態において、ドレイン電圧が $V_{dd} = 2.7V$ である場合には、ダイオード23の閾値電圧($0.7V \times 4個 = 2.8V$)よりもドレイン電圧が小さいため、ダイオード23は導通しない。このとき、ゲート電位は $0V$ であるため、チャンネルは閉じており、リーク電流は流れない。

10

【0041】

これに対して、ドレイン電流がさらに上がって、ダイオード23が導通すると、電流はダイオード23、抵抗22、抵抗24、グラウンドGNDのルートで流れる。このとき、電流値を I とし、抵抗24の抵抗値を R_2 とすると、ゲート電圧は $I \times R_2$ に上昇する。

【0042】

電流値 I がさらに増えると、ゲート電圧 $I \times R_2$ がダイオード21を導通させる。

このときのゲート電位は、ダイオード21を導通させる電圧、即ち図3の場合には $0.7V \times 2個 = 1.4V$ となる。

20

なお、ドレイン電圧がさらに上昇しても、ゲート電位は $1.4V$ に保たれる。

【0043】

動作電圧が $2.7V$ 以外の電圧である場合でも、ダイオード23の閾値電圧が動作電圧よりも大きくなるように、ダイオード23を必要な個数のダイオードで構成すればよい。

【0044】

このように、ドレインとゲート15との間に接続したダイオード23により、ドレイン電圧がダイオード23の導通する電圧未満の状態では、ゲート電位が $0V$ となる。従って、この状態においては、ドレイン領域13とソース領域12との間のリーク電流が流れないようにすることができる。

【0045】

30

その他の構成は、図1に示した第1の実施の形態と同様であるので、同一符号を付して重複説明を省略する。

【0046】

上述の本実施の形態の保護素子の構成によれば、ゲート15とソース領域12に接続された電極(ソース電極)16とを、間に2個のダイオード21(21A, 21B)と抵抗24とを介して接続している。

これにより、第1の実施の形態と同様に、ゲート15の電位(電位A)を、グラウンド(接地電位)GNDから正電位にシフトさせることができ、 V_{t1} を低減することができる。

【0047】

40

そして、ダイオードの個数は、図2のダイオード21の2個に限らず、1個又は3個以上とすることも可能であり、ダイオードの個数によってゲート15の電位を変えて、 V_{t1} を変えることが可能である。

このように、ダイオードの個数によって V_{t1} を変えることが可能であるため、ダイオードの個数に応じて V_{t1} を3つ以上の多くの電圧値に設定することが可能になる。

【0048】

また、本実施の形態の保護素子の構成によれば、サージ入力が入るドレイン領域13の電極(ドレイン電極)16と、ゲート15との間を、抵抗22及びダイオード23(23A, 23B, 23C, 23D)を介して、電氣的に接続している。

これにより、サージ入力の電圧に対してゲート15の電位(電位A)を下げることで

50

きる。

【0049】

本実施の形態の保護素子は、NMOS構造に、ダイオード21, 23及び抵抗22, 24を追加するだけであり、ダイオード21, 23及び抵抗22, 24は、MOS構造を作製する際に作りこむことができる。

即ち、本実施の形態の保護素子は、追加工程を必要とせず、一般的なMOS構造作成工程で容易に作製することができる。

【0050】

さらに、本実施の形態の保護素子の構成によれば、抵抗22とサージ入力との間にダイオード23を接続し、かつ、ダイオード21に並列に抵抗24を接続したことにより、ダイオード23の閾値電圧以下の電圧では、ゲート15の電位が0Vのままである。

これにより、ドレイン領域13からソース領域12との間のリーク電流を防いで、リーク電流による電力消費を防ぐことができる。

【0051】

そして、本実施の形態の保護素子を用いて、保護素子を備えた半導体装置を構成することができる。

例えば、半導体装置を構成する回路素子の周囲に、本実施の形態の保護素子を配置して、サージ入力保護素子に保護素子が入力されるように構成する。

【0052】

< 3. 第3の実施の形態 >

本発明の第3の実施の形態の保護素子の概略構成図(断面図)を、図4に示す。

一般に、MOSのドレインに高電圧がかかった場合には、ゲートの電圧も一緒に上昇する。

本実施の形態では、このことを利用して、図4に示すように、ゲート15をドレインとは電氣的に接続せず、ダイオード21(21A, 21B)を介して、グラウンド(接地電位)GNDに接続しているだけである。

この構成としたことにより、ドレインにサージが入った場合に、ゲート15の電位は上昇するが、ダイオード21(21A, 21B)によって、ゲート15の電位がクランプされ、それ以上の上昇が抑えられる。

【0053】

その他の構成は、図1に示した第1の実施の形態と同様であるので、同一符号を付して重複説明を省略する。

【0054】

ここで、TCAD(テクノロジーCAD)シミュレーションを用いて、本実施の形態の保護素子において、サージ入力があったときの動作予測を行った。

具体的には、図4に示すようにゲートとソースの間にダイオードを2個設けた構造と、ダイオードを1個設けた構造と、ダイオードの個数を非常に多くして実質的にゲートオープンの状態とした構造とについて、それぞれ動作予測を行った。

【0055】

動作予測の結果として、それぞれの構造における、ドレイン電圧と電流(ドレイン-ソース間の電流)との関係を、図5に示す。

図5に示すように、ダイオードの個数によって V_{t1} は変化する。そして、図2に示したようにGGMOS構造の $V_{t1} = 8.5V$ に対して、ダイオード1個では $6.8V$ に下がり、ダイオード2個では $6.2V$ に下がり、ゲートオープン状態($V_{t1} = 5.3V$)に近づく。

【0056】

本実施の形態の構成は、図1に示した第1の実施の形態や図3に示した第2の実施の形態の各構成と比較して、ダイオードの個数の変化による V_{t1} の制御量は小さくなるが、同様の回路で、リーク電流が発生しないことが利点である。また、ダイオードの個数の変化による V_{t1} の制御量が小さくなるため、 V_{t1} を細かく制御するのにより適している

10

20

30

40

50

と言える。

【0057】

上述の本実施の形態の保護素子の構成によれば、ゲート15とソース領域12に接続された電極（ソース電極）16とを、間に2個のダイオード21（21A, 21B）を介して接続している。

これにより、第1の実施の形態と同様に、ゲート15の電位（電位A）を、グラウンド（接地電位）GNDから正電位にシフトさせることができ、 V_{t1} を低減することができる。

【0058】

そして、ダイオードの個数は、図4のダイオード21の2個に限らず、1個又は3個以上とすることも可能であり、ダイオードの個数によってゲート15の電位を変えて、 V_{t1} を変えることが可能である。

このように、ダイオードの個数によって V_{t1} を変えることが可能であるため、ダイオードの個数に応じて V_{t1} を3つ以上の多くの電圧値に設定することが可能になる。

【0059】

また、本実施の形態の保護素子の構成によれば、サージ入力が入るドレイン領域13の電極（ドレイン電極）16と、ゲート15との間は電氣的に接続していない。

これにより、サージ入力の電圧の上昇に対応してゲート15の電位（電位A）が上昇するが、ダイオード21によりクランプされて、ゲート15の電位がある程度以上には上昇しない。

【0060】

本実施の形態の保護素子は、NMOS構造に、ダイオード21を追加するだけであり、ダイオード21は、MOS構造を作製する際に作りこむことができる。

即ち、本実施の形態の保護素子は、追加工程を必要とせず、一般的なMOS構造作成工程で容易に作製することができる。

【0061】

そして、本実施の形態の保護素子を用いて、保護素子を備えた半導体装置を構成することができる。

例えば、半導体装置を構成する回路素子の周囲に、本実施の形態の保護素子を配置して、サージ入力保護素子に入力されるように構成する。

【0062】

< 4. 第4の実施の形態 >

本発明の第4の実施の形態の保護素子の概略構成図（断面図）を、図6に示す。

本実施の形態では、図6に示すように、図1に示したと同じNMOS構造を2個設けて、この2個のNMOS構造に対して共通に、ダイオード21及び抵抗22を設けている。

このように、ダイオード21及び抵抗22が一組あれば、複数のMOSゲートを制御することができる。これにより、複数個の保護素子のゲートに対してそれぞれダイオード21及び抵抗22の組を設けた構成と比較して、構成を簡略化できる。

【0063】

なお、図6では、2個のMOSゲートを一組のダイオード21及び抵抗22で制御する構成を示しているが、一組のダイオード21及び抵抗22で制御するMOSゲートの個数は3個以上とすることも可能である。

【0064】

その他の構成は、図1に示した第1の実施の形態と同様であるので、同一符号を付して重複説明を省略する。

【0065】

上述の本実施の形態の保護素子の構成によれば、ゲート15とソース領域12に接続された電極（ソース電極）16とを、間に2個のダイオード21（21A, 21B）を介して接続している。

これにより、第1の実施の形態と同様に、ゲート15の電位（電位A）を、グラウンド

10

20

30

40

50

(接地電位) GND から正電位にシフトさせることができ、 V_{t1} を低減することができる。

【0066】

そして、ダイオードの個数は、図6のダイオード21の2個に限らず、1個又は3個以上とすることも可能であり、ダイオードの個数によってゲート15の電位を変えて、 V_{t1} を変えることが可能である。

このように、ダイオードの個数によって V_{t1} を変えることが可能であるため、ダイオードの個数に応じて V_{t1} を3つ以上の多くの電圧値に設定することが可能になる。

【0067】

また、本実施の形態の保護素子の構成によれば、サージ入力が入るドレイン領域13の電極(ドレイン電極)16と、ゲート15との間を、抵抗22を介して、電氣的に接続している。

これにより、第1の実施の形態と同様に、サージ入力の電圧に対してゲート15の電位(電位A)を下げるができる。

【0068】

本実施の形態の保護素子は、NMOS構造に、ダイオード21及び抵抗22を追加するだけであり、ダイオード21及び抵抗22は、MOS構造を作製する際に作りこむことができる。

即ち、本実施の形態の保護素子は、追加工程を必要とせず、一般的なMOS構造作成工程で容易に作製することができる。

【0069】

そして、本実施の形態の保護素子を用いて、保護素子を備えた半導体装置を構成することができる。

例えば、半導体装置を構成する回路素子の周囲に、本実施の形態の保護素子を配置して、サージ入力保護素子に入力されるように構成する。

【0070】

図6では、ダイオード21及び抵抗22を、図1に示した第1の実施の形態と同様の構成としている。

これに対して、ダイオード及び抵抗を、図3に示した第2の実施の形態や図4に示した第3の実施の形態と同様の構成として、複数個のMOSゲートを制御することも可能である。

【0071】

<5. 変形例>

上述の各実施の形態では、いずれもNMOS構造に本発明を適用していたが、本発明は、PMOS構造にも適用することも可能である。

PMOS構造に適用する場合には、ゲートとソース領域との間にダイオードを設ける点は、NMOS構造と同じである。ただし、PMOS構造では、ゲートに負電圧を加える構成であるため、ゲートとソース領域との間に設けるダイオードについて、その順方向の向きをNMOS構造の場合とは逆向き(グラウンドからゲートに向かう向き)にする。

【0072】

また、回路素子に対して保護素子を接続した半導体装置において、保護素子を複数個設けて、複数個の保護素子が、互いに V_{t1} の異なる2個以上の保護素子を含む構成とすることも可能である。

この場合、 V_{t1} の異なる2個以上の保護素子は、ダイオードの個数を変えることによって作製することが可能であり、工程の追加によって V_{t1} の異なるMOS構造を別々に作製する必要はない。そのため、時間と費用を削減することが可能である。

【0073】

なお、上述の各実施の形態の保護素子を用いて半導体装置を構成するときに、保護素子と半導体装置の回路素子との接続は、従来のGGMOS構造の保護素子と回路素子との接続と同様に行うことができる。例えば、サージ入力が入る配線の回路素子の手前に、保護

10

20

30

40

50

素子のドレイン側を接続すればよい。

【 0 0 7 4 】

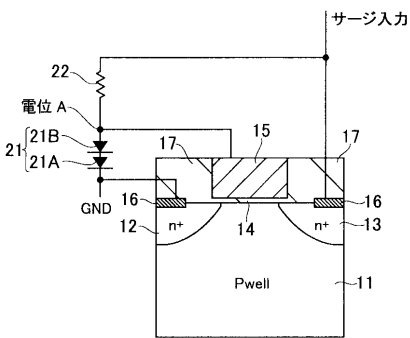
本発明は、上述の実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲でその他様々な構成が取り得る。

【 符号の説明 】

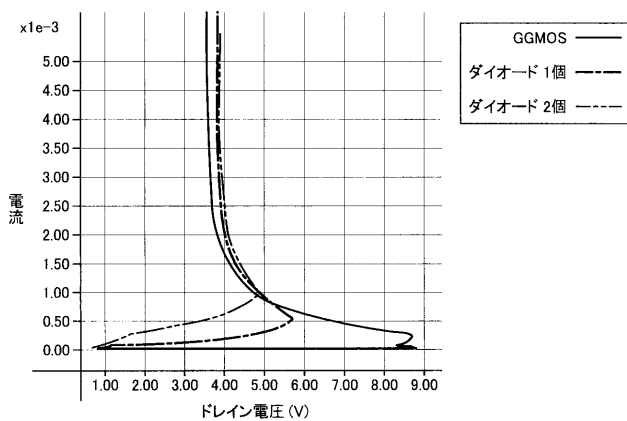
【 0 0 7 5 】

1 1 PWell領域、1 2 ソース領域、1 3 ドレイン領域、1 4 ゲート絶縁膜、1 5 ゲート、1 6 電極、1 7 絶縁層、2 1, 2 1 A, 2 1 B, 2 3, 2 3 A, 2 3 B, 2 3 C, 2 3 D ダイオード、2 2, 2 4 抵抗

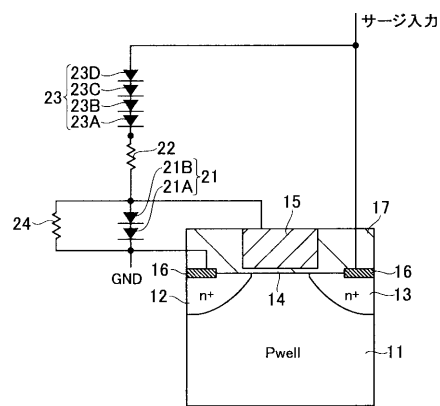
【 図 1 】



【 図 2 】



【 図 3 】



【 図 4 】

