公告本

300997

961-2873A

申請日期	96.2.15
案號	96105891
類別	G11C 7/14

Int.·Cl[6]

A4
C4

300997

（以上各欄由本局填註）

發明 ~~新型~~ 專利說明書

一、發明 新型 名稱	中文	具備完全回授控制之偏壓控制裝置
	英文	BIAS VOLTAGE CONTROLLING APPARATUS WITH COMPLETE FEEDBACK CONTROL
二、發明 創作 人	姓名	塚田修一
	國籍	日本
	住、居所	東京都港區芝五丁目7番1號 日本電氣株式會社內
三、申請人	姓名（名稱）	日本電氣股份有限公司 （日本電氣株式會社）
	國籍	日本
	住、居所（事務所）	東京都港區芝五丁目7番1號
	代表人姓名	金子尚志

裝 訂 線

經濟部中央標準局員工消費合作社印製

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，□有　□無主張優先權

日本　　1995年2月15日 特願平7-25749

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 1 ）

發明背景

發明領域

本發明有關於基體偏壓及升壓電壓（或靴帶式啓動電壓）之一偏壓控制裝置。

已往技術說明

比方說在如動態隨機存取記憶體（DRAM）元件之半導體元件中，一負的基體偏壓加至一半導體基體使一臨限電壓接近一最佳值。亦即臨限電壓愈低，次臨限漏電流愈大。反之臨限電壓愈高，接面漏電流愈大。所以當臨限電壓自最佳值偏離時，記憶晶胞（Cell）之保持特性就惡化了。

第一種已往技術之基體偏壓控制裝置包括一將偏壓與一參考電壓比較之偏壓比較器電路，及一偏壓降低電路，包含一泵電路當偏壓高於參考電壓時，用以降低偏壓。此將詳述於後。

附帶提出，在DRAM元件中，為了要在更新（refrsh）模式不需高速作業時之電力消耗減小，電源電壓V_{cc}自3.3V（伏）減小至2.0V。當一所謂之電壓衝擊之大電源電壓波動發生時，該基體偏壓亦減小。但在上述第一種已往技術之基體偏壓控制裝置中，由於並未設置升高基體偏壓之裝置，故接面漏電流增加，因而使記憶胞之保持特性惡化。請注意降低之基體偏壓能藉更新作業而得以補償；但是其需要一長久時間。

為了要迅速的升高基體偏壓，第二種已往技術之基體

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（２）

偏壓控制裝置包括一在偏壓比較器電路內之電流漏洩路徑。此電流漏洩路徑徑自一電源端導引電源電壓至一待施加基體偏壓之基體（見日本專利JP-A-63-4491）。此亦將詳述於後。

但是在第二種已往技術之基體偏壓控制裝置中，不論基體偏壓是低或是高，皆有一電流隨時流經電流漏洩路徑，因而增加了電力消耗。

發明總述

本發明之一目的在提供一基體偏壓控制裝置，當基體偏壓高於參考電壓時，且當基體偏壓低於參考電壓時，能使基體偏壓接近參考電壓。

本發明之另一目的在提供一升壓電壓控制裝置，當升壓電壓高於參考電壓時，且當升壓電壓低於參考電壓時，能使升壓電壓接近參考電壓。

根據本發明，在一偏壓控制裝置中，一偏壓比較器電路將偏壓與一參考電壓比較。當偏壓高於參考電壓時，一偏壓降低電路降低此偏壓。當此偏壓並不高於參考電壓時，一偏壓升高電路升高此偏壓。於是，此偏壓藉完全回授控制而接近參考電壓。

圖示簡單說明

本發明由下面的說明，與已往技術比較，並參考附圖，將更能清楚瞭解。

第1A圖是說明一習知DRAM晶包之橫剖面圖；

第1B圖是第1圖之DRAM晶胞之等效電路圖；

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 7 ）

第 2 圖為示出第一圖之DRAM晶胞之基體偏壓對臨限電壓之特性圖；

第 3 圖是說明第一種已往技術之偏壓控制裝置之電路圖；

第 4 圖是解釋第 3 圖之裝置作業的時序圖；

第 5 圖是說明第二種已往技術之偏壓控制裝置之電路圖；

第 6 圖是說明根據本發明之偏壓控制裝置之第一實例之電路圖；

第 7 圖是解釋第 6 圖之裝置作業之時序圖；

第 8 圖是說明根據本發明之偏壓控制裝置之第二實例之電路圖；以及

第 9 圖是解釋第 8 圖之裝置作業之時序圖。

優選實例說明

在說明最佳實施例之前將以前將以參考圖1A，1B，2，3，4及圖5 解說已往技術之偏壓控制裝置。

在圖1A說明之習知堆疊電容器型之DRAM晶胞中，參考數字101指出其中有N^+ 型雜質區102和103形成之一P^- 型單晶矽基體，同樣提供有一第一多晶矽層104作為一字元線，一第二多晶矽層105是連接至N^+ 型雜質區103，及一第三多晶矽層106作為一晶胞片（Cell plate）。此外提供一鋁層107作為一位元線並連接至N^+ 型雜質區102。多晶矽層104，105，和106以及鋁層107皆是藉其間之絕緣層有電性隔離。通常在多晶矽層（晶胞片）106之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（4）

電壓是作成V_{CC}／2。以減輕在多晶矽層105與106間之絕緣層內之電場。同樣鋁層（位元線）107之電壓在大部份時間中亦是$V_{CC}/2$。一基體偏壓V_{BB}是由一基體偏壓控制裝置提供至基體101。

如圖1B所示，接面電容C_1，在N^+型雜質區102與基體101之間約為0.5fF（塵法拉二10^{-15} Farad），而在N^+型雜質區103與基體101之間則約為1fF。同時在多晶矽層106與107間之電路C_3約為30fF。每一晶胞之電容C_0為：

$$C_0 = C_1 + C_2 \cdot C_3 / (C_2 + C_3)$$

$$\fallingdotseq 1.5fF$$

所以若此DRAM是64Mbit（百萬位元）型，全部電容即為：

$$1.5 \times 64 \times 10^6 \fallingdotseq 100nF$$（奈法拉 $= 10^{-9}$ Farad）

應注意窘迫電路亦有電容，但其電容與記憶晶胞部分相比較是能忽視的。

在圖1A之DRAM晶胞中，資料是藉在多晶矽層106與107間之電容中儲存之電荷所保持。但是此電荷經流經由元件101至104形成之晶胞電晶體之一基體（sub）臨限漏電流及經流經由於晶格（lattice）缺陷形成在N^+型雜質區103與基體101之間之PN接面之一接面漏電流而漏洩。所以為要改良其保留特性，此基體臨限漏電流及此接近漏電流皆應儘可能的小。

基體臨限漏電流及接面漏電流皆依賴基體偏壓V_{BB}而定。即是如圖2所示，基體偏壓V_{BB}愈高則臨限電壓V_{thn}愈低。所以當基體偏壓V_{BB}為高時，基體臨限漏電流被增加至惡化保留特性。反之基體偏壓V_{BB}降低，臨限電壓V_{thn}增加。所以當基體偏壓V_{BB}為低時，接

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 5 ）

面漏電流亦增加至惡化保持特性。有鑒於此，基體偏壓 V_{BB} 中有一最佳值。

在圖3之舉例說明第一已往技術之基體偏壓控制裝置中，參考數字1指出一基體偏壓比較器電路，而數字2則指出一基體電壓降低電路。同樣參考數字3指出有關於一半導體基體在DRAM元件中形成之一電容器。例如電容器3之電容量約為100nF。

基體偏壓比較器電路1包括在電源電壓端 V_{CC} 與接地電壓端GND之間相串聯之P通道（正通道）MOS（金氧半導體）電晶體11和12。同樣基體偏壓比較器電路1包括兩個反相器13和14。在此情況中，P通道電晶體11之閘極被接地，因此此P通道電晶體11作為一電阻組件。同樣P通道電晶體12之閘極接受基體偏壓 V_{BB}。所以基體偏壓比較器電路1將基體偏壓 V_{BB} 與一參考電壓 V_{BBR} 比較，此參考電壓係由下式決定。

$$V_{BBR} = V_{CC} - V_{11} - |V_{thp}|$$

式中 V_{11} 是電晶體11在通路狀態時之電壓降；而 V_{thp} 是電晶體12之臨限電壓。

當 $V_{BB} > V_{BBR}$ 時，基體偏壓比較器電路1之輸出信號S1是高的，如此致能基體偏壓降低電路2。反之當 $V_{BB} \leq V_{BBR}$ 時，基體偏壓比較器電路1之輸出信號 S_1 是低的，如此除能基體偏壓降低電路2。

基體偏壓降低電路2包括一反及（NAND）電路21及兩個反相器22和23以形成一環式振盪器。同樣基體偏壓降低

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ b ）

電路2包括一電容器24，一汲極與閘極連接之N通道MOS電晶體26作為一個二極體之用。電晶體25和26是在基體與接地電壓端GND之間串聯連接。所以當基體偏壓比較器電路1之輸出信號S_1為高時，環式振盪器（21,22,23）被觸動（activated），致使一電流自基體（V_{BB}）流經電晶體25和26之路徑至接地電壓端GND。因而基體偏壓V_{BB}被減小。反之當基體偏壓比較器電路1之輸出信號S1為低時，環式振盪器（21,22,23）被解動（deactivated）。致使並無電流流經電晶體25和26之路徑。故基體偏壓V_{BB}得以維持。

近來安裝在攜帶式個人電腦上之DRAM元件中，電力消耗之降低是不可避免的。特別是由於更新（refresh）模式之時間是相當長，在更新模式時之電力消耗降低是必需的。一種方式是加長新模式作業間之期間；但是在此情況中改良記憶晶胞之保持特性需予嚴格要求。另一種方式是減小電源電壓V_{CC}。例如在存取模式時，電源電壓V_{CC}被定為3.3V以增加作業速度，而在更新模式時，電源電壓V_{CC}則定為2.0V以減小作業速度。

在圖3之基體偏壓控制裝置中，當上述之電壓衝擊（bump）發生時，基體偏壓V_{BB}可能顯著的較參考電壓V_{BBR}減小。即是如圖4所示，當電源電壓V_{CC}自3.3V減小至2.0時，電壓$V_{CC}/2$跟隨電源電壓V_{CC}減小。同時基體偏壓V_{BB}由於電容耦合而跟隨電壓$V_{CC}/2$減小。另一方面，因為流經電晶體11之電流已減少致使電壓降V_{11}被減

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（7）

少，參考電壓V_{BBR}被增大。所以此基體參考電壓V_{BB}是顯著的較參考電壓V_{BBR}為低。其結果接面漏電流增加至惡化記憶晶胞之保持特性。同樣臨限電壓被升高，致使作業速度波動，如此在作業中引起時滯（Skew），即一錯誤作業。因為沒有提供升高基體偏壓V_{BB}之裝置。此錯誤不能補償。

應注意基體偏壓V_{BB}可藉供應電流至基體之更新作業而升高。但是因為有關於基體偏壓V_{BB}之寄生電容非常之大，需要很多次的更新作業作以升高基體偏壓V_{BB}，其是對電力消耗不利的。

同樣，應注意在尋常作業中可能復生如0.6V之電壓衝擊。

在圖5之舉例說明之第二已往技術之基體偏壓控制裝置（見日本專利JP-A-63-4491）中，基體偏壓比較器電路1'包括在電源端V_{CC}與施加有基體偏壓V_{BB}之基體之間之P通道MOS電晶體11'和12'及N通道MOS電晶體13'，14'和15'。在此情況中因為電晶體11'，12'和13'之閘極皆被接地，電晶體11'，12'和13'乃供作為電阻，又電晶體14'和15'則供作為二極體。同樣基體偏壓比較器電路1'包括與電晶體12'並聯連接之P通道MOSM1電晶體16'及反相器17'和18'，如此提供一滯後（hysteresis）特性。

圖5之基體偏壓比較器電路1'之作業除用在電源端V_{CC}與基體間之電流漏洩路徑是提供作升高基體偏壓V_{BB}外，根本是與圖3之基體偏壓比壓器比較器1相同。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（8）

但是在圖5之基體偏壓控制裝置中，類如100μA(微安＝10^{-6} Amp)之大電流隨時流經該電流漏洩路徑而與基體偏壓V_{BB}無關。此增加電力之消耗。

在圖6與例說明之本發明第一實施例中，一基體偏壓升高電路4加入至圖3之組件中。此基體偏壓升高電路4包括一在接地電壓端GND與基體間之P通道加強型MOS電晶體41，一在電源端V_{CC}與電晶體41之閘極間之電容氣42，及一在電晶體41之閘極與接近地電壓端GND間之N通道加強型MOS電晶體43。

電晶體41是根據在電容器42與電晶體43間之一節點上之一信號S2而開啓及關閉。詳言之，當Sa<-$|V_{thp}|$時，式中V_{thp}是電晶體41之臨限電壓，該電晶體41被開啓。不然該電晶體41則被關閉。

同樣，電晶體43是根據基體偏壓比較器電路1之輸出信號S1通過一電路44而被開啓及關閉。電路44是藉一反相器441，一P型MOS電晶體442及一電阻器443而形成。即是當基體偏壓比較器電路1之輸出信號S1是低時，反相器441之輸出信號則是高的以關閉電晶體442。其結果，電晶體43之閘極電壓是V_{BB}，致使電晶體43被關閉，反之，當基體偏壓比較器電路1之輸出信號S1高時，反相器441之輸出信號則是低的以開啓電晶體442。其結果，電晶體43之閘極電壓是V_{CC}，致使電晶體43被開啓。

圖6之基體偏壓控制裝置之作業將參考圖7解說於次，其中之電源電壓V_{CC}是自3.3V減小至2.0V。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 9 ）

在時間t1之前，基體偏壓V_{BB}是在最佳值。所以基體偏壓比較器電路1之輸出信號S1是低的。在此狀態中，電晶體43是關閉及信號S2是0V(伏)。

在時間t1時，當電源電壓V_{CC}及電壓$V_{CC}/2$開始減小，基體偏壓，V_{BB}由於接面電容之電容耦合亦開始減小。同時因為電晶體43被關閉，信號S2之電壓由於電容器42之電容耦合而開始減小。在此狀態中電晶體41仍是關閉的。

在時間t2時，當信號S2之電壓達到$|V_{thp}|$時，電晶體41被開啓。其結果，一電流自接地電壓端GND流至基體，所以基體偏壓V_{BB}開始增大。應注意基體偏壓V_{BB}之增大速度是由電晶體41之大小而調整。

在時間t3時，當基體偏壓V_{BB}達到參考電壓V_{BBR}時，基體偏壓比較器電路1之輸出信號S1在有一延遲時時間td之時間t4時自低改變至高。所以電晶體43被開啓，致使信號S2之電壓成為0伏以關閉電晶體41。

如此，在時間t4後，基體偏壓降低電路2代替基體偏壓升高電路4作業。最後在時間t5時，基體偏壓V_{BB}收斂至參考電壓V_{BBR}。

如此即使當電源電壓V_{CC}自3.3V改變至2.0V時，其體偏壓V_{BB}由於完全的回授控制被迅速的導至接近參考電壓V_{BBR}。

本發明係施用於一升壓控制裝置。一般言之，在一DRAM元件中需要一高於電源電壓V_{CC}之偏壓以驅動字元線。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（10）

此高偏壓稱為靴帶（或啓動）電壓V_{BOOST}之升壓電壓。為了要控制此升壓電壓V_{BOOST}，一升壓電壓控制裝置即是合併於DRAM元件中。相同之基體偏壓V_{BB}之問題發生於升壓電壓V_{BOOST}中。即是當升壓電壓V_{BOOST}太高時，施加至字元線的雜音增大以惡化記憶器晶胞之保持特性。同樣作業速度波動以招致在作業中之時滯（skew），即是一錯誤作業。所以在一升高控制裝置中導致升壓V_{BOOST}至參考電壓之迅速控制是不可缺少的。

在圖8之舉例說明本發明之第二實施例中，舉例說明一升壓電壓控制裝置。在圖8中參考數字5指出一升壓電壓比較器電路，參考數字6指出一升壓電壓升高電路。同樣參考數字7指出形成在DRAM元件中有關升壓電壓V_{BOOST}之一電容器，此外參考數字8指出一升壓電壓降低電路。

升壓電壓比較器電路5包括N通道MOS51和52及在施加有升壓電壓V_{BOOST}之部分其與接地電壓端GND間串聯配置之電阻器53。電晶體51和52之汲極皆連接至其閘極，乃因此電晶體51,52和53作用如下一用於升壓電壓V_{BOOST}之電壓分壓器。同樣升壓電壓比較器電路5包括一用於將升壓電壓V_{BOOST}。α與V_{CC}比較之電壓比較器54。在此情況中，係數α是藉下式決定。

$$\alpha = R_3 / (R_1 + R_2 + R_3)$$

式中R_1，R_2和R_3分別是電阻器51，52和53之電阻值。所以升壓電壓比較器電路5將升壓電壓V_{BOOST}與

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 〃 ）

參考電壓 V_{BOOST} （$= V_{CC} / \alpha$）比較。

當 $V_{BOOST} < V_{BOOSTR}$ 時，升壓電壓比較器電路5之輸出信號S3是高的，如此致能升壓電壓升高電路6及除升壓電壓降低電路8。反之當 $V_{BOOST} \geqq V_{BOOSTR}$ 時，升壓電壓比較電路5之輸出信號S3是低的，如此致能升壓電壓降低電路8及除能升壓電壓電路6。

升壓電壓升高電路6包括一反及(NAND)電路61及二個反相器62和63以形成一環形振盪器。同樣升壓電壓升高電路6包括一電容器64，一汲極閘極相連接之N通道MOS電晶體65作為如一個二極體，以及一汲極閘極相連接之N通道MOS電晶體66作為如一個二極體。電晶體65和66在電源端 V_{CC} 與部分（V_{BOOST}）間以串聯連接。所以當升壓電壓比較器電路5之輸出信號S3是高時，環形振盪器(61,62,63)被激動(activaed)，致使一電流自電源端 V_{CC} 經電晶體65和66之路徑流至部分（V_{BOOST}）。如此升壓電壓 V_{BOOST} 被增大。反之當升壓電電壓比較器電路6之輸出信號S3是低時，環形振盪器(61,62,63)被解動(deactivated)，致使電流不流經電晶體65和66之路徑。

升壓電壓降低電路8包括一在電源電壓端 V_{CC} 與部分（V_{BOOST}）間之N通道加強型MOS電晶體81，一在接地電壓端GND與電晶體81之閘極間之電容器82，及一在電晶體81之閘極與電源端 V_{CC} 間之P通道加強型MOS電晶體83。

電晶體41係根據在電容器82與電晶體83間之一節點上之信號S4而開啓及關閉。詳言之，當 $S4 > V_{thn}$ 時，此

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（12）

V_{thn} 是電晶體81之臨限電壓，則電晶體81被開啓。不然電晶體81被關閉。

同樣電晶體83是根據升壓電壓比較器電路5之輸出信號S3經過電路84而開啓及關閉。電路84是藉一正反器形成。即是當升壓電壓比較器電路5之輸出信號S3是低時，電路84之輸出是高。其結果電晶體83之閘極電壓是 V_{BOOST} ，致使電晶體83被關閉。反之當升壓電壓比較器電路5之輸出信號S3是高時，電路84之輸出是低。其結果電晶體83之閘極電壓是0V，致使電晶體83被開啓。

圖8之升壓電壓控制裝置之作業將參考圖9而解說，其中電源電壓 V_{CC} 是自3.3V減小至2.0V。

在時間t1之前，升壓電壓 V_{BOOST} 是在一最佳值。所以升壓電壓比較器電路5之輸出信號S3是低的。在此狀態中，因為電晶體是關閉，信號S4是3.3V。

在時間t1時，當電源電壓 V_{CC} 開始減小，參考電壓 V_{BOOSTR} 由於 $V_{BOOST} = V_{CC} / \alpha$ 之關係亦開始減小。在此情況中，因為電晶體83是關閉，信號S4之電壓被維持。同樣升高電壓 V_{BOOST} 被維持。在此狀態，電晶體81仍是關閉的。

在時間t2時，當電源電壓 V_{CC} 達到 $3.3-V_{thn}$ 時，電晶體81被開啓。其結果，電流自部分（V_{BOOST}）流至電源端 V_{CC} ，所以升壓電壓 V_{BOOST} 開始減小。應注意升壓電壓 V_{BOOST} 之減小速度是藉電晶體81之大小而調整。

在時間t3時，當升壓電壓 V_{BOOST} 達到參考電壓 V_{BOOSTR}

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（13）

時，升壓電壓比較器電路6之輸出信號S3是自低改變至時間t4之高並有一延遲時間td。所以電晶體83被開啓，致使信號S4之電壓成為V_{CC}以關閉電晶體81。

如此在時間t4之後，升壓電壓升高電路6代替升壓電壓降低電路8而作業。最後在時間t5，升壓電壓V_{BOOST}收斂至參考電壓V_{BOOSTR}。

如此即使當電源電壓V_{CC}是自3.3V，升壓電壓V_{BOOST}由於完全回授控制是迅速的導至接近參考電壓V_{BOOSTR}。

如前述所解說根據本發明即使當電源電壓是變動時，類如基體偏壓之偏壓或升壓電壓皆能迅速的收斂至其參考電壓。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

A5
B5

四、中文發明摘要（發明之名稱：具備完全回授控制之偏壓控制裝置）

在一種偏壓控制裝置中，一偏壓比較器電路（1，5）將一偏壓（V_{BB}，V_{BOOST}）與一參考電壓（V_{BBR}，V_{BOOSTR}）比較。當偏壓高於參考電壓時，一偏壓降低電路（2，8）降低此偏壓。當偏壓不高於參考電壓時，一偏壓升高電路（4，6）升高此偏壓。

英文發明摘要（發明之名稱：）

BIAS VOLTAGE CONTROLLING APPARATUS WITH COMPLETE FEEDBACK CONTROL

In a bias voltage controlling apparatus, a bias voltage comparator circuit (1, 5) compares a bias voltage (V_{BB}, V_{BOOST}) with a reference voltage (V_{BBR}, V_{BOOSTR}). When the bias voltage is higher than the reference voltage, a bias voltage lowering circuit (2, 8) lowers the bias voltage. When the bias voltage is not higher than the reference voltage, a bias voltage lowering circuit (4, 6) raises the bias voltage.

（請先閱讀背面之注意事項再填寫本頁各欄）

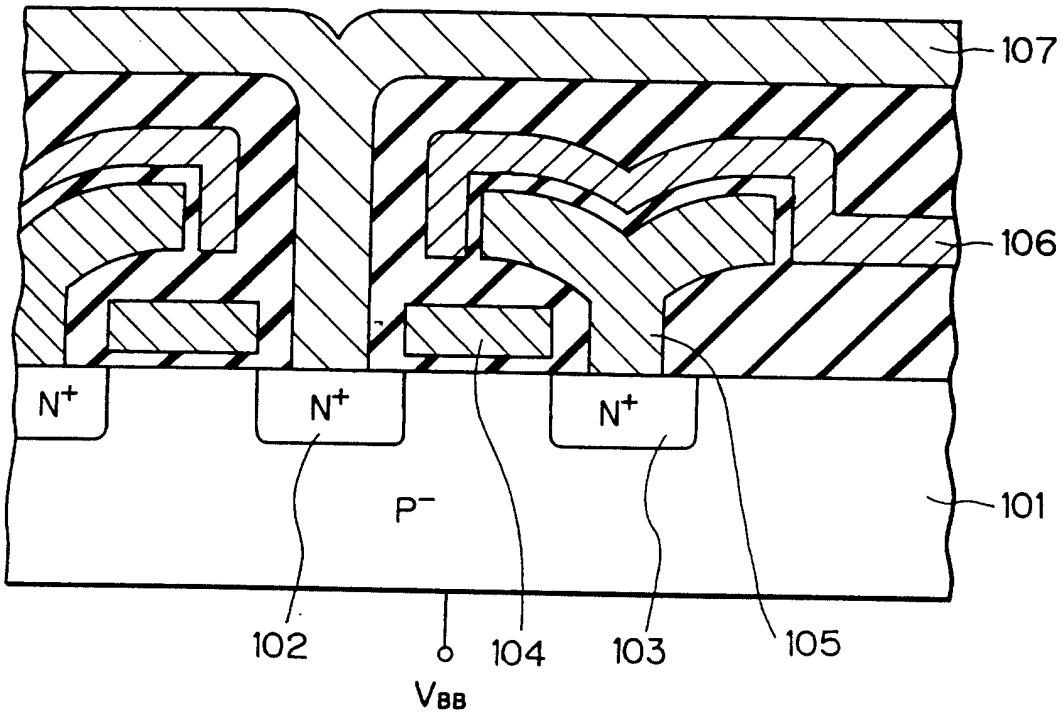
裝 訂 線

經濟部中央標準局員工消費合作社印製

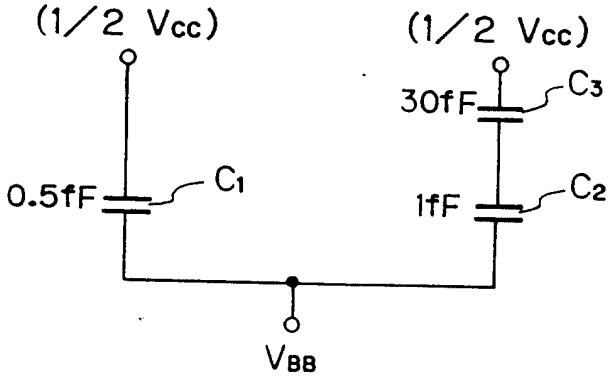
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

961-2873A

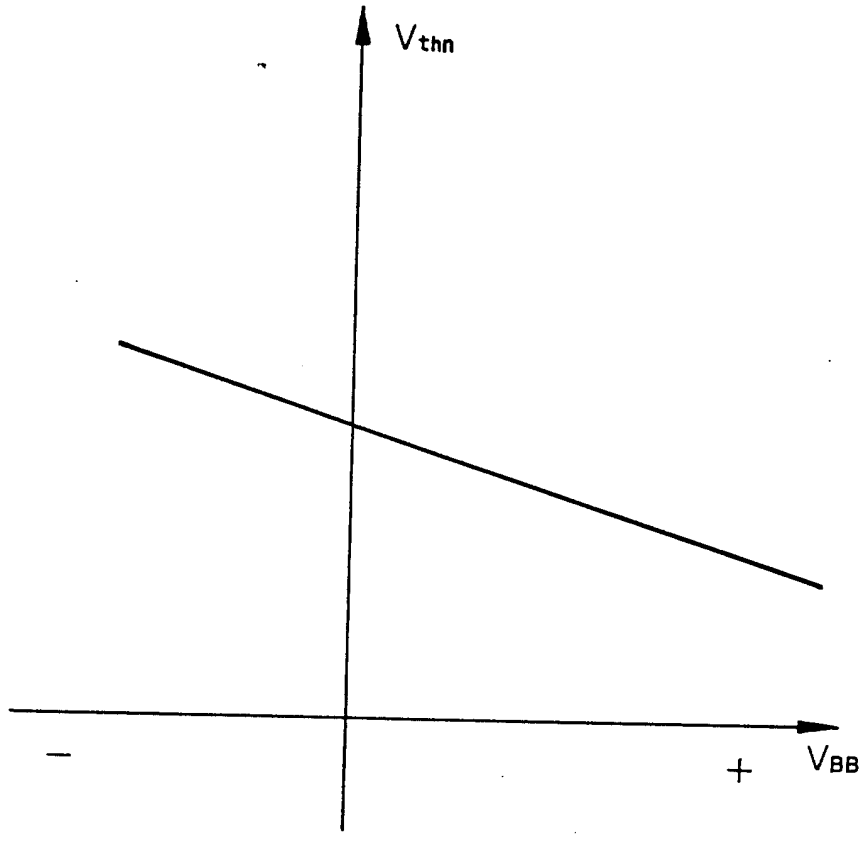
第1圖 A



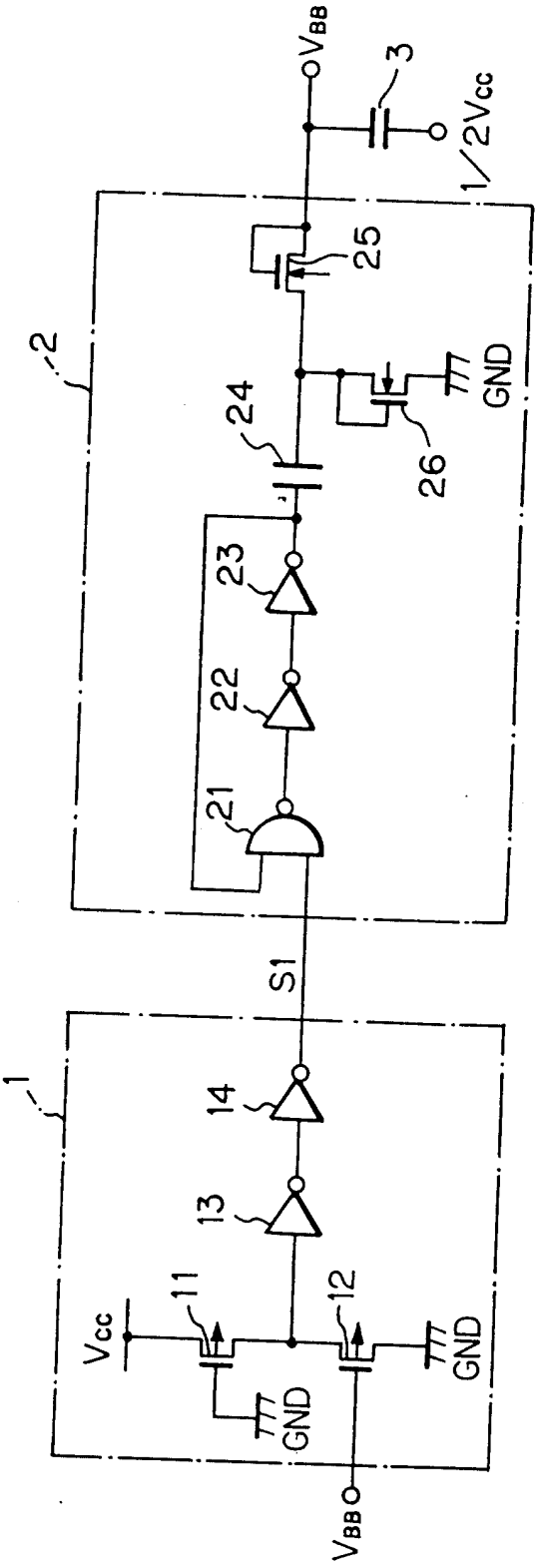
第1圖 B



第2圖



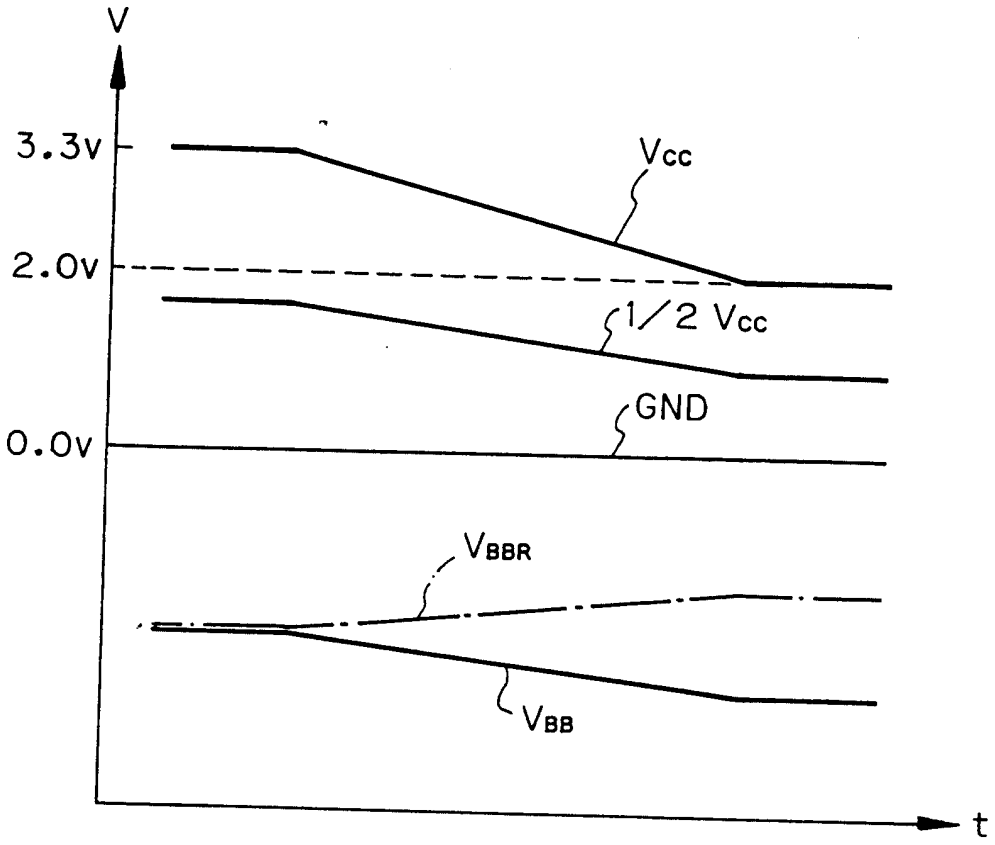
第3圖



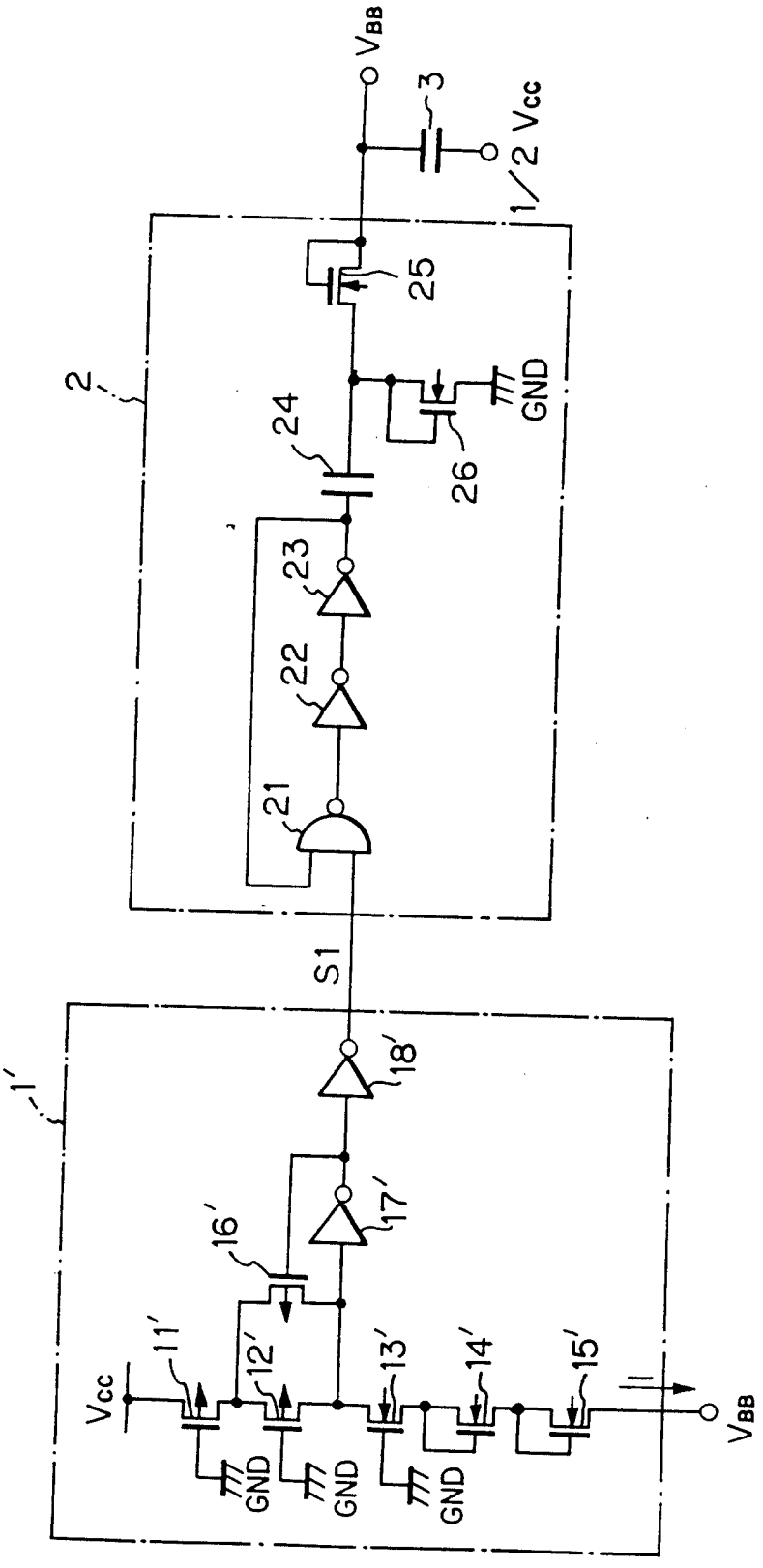
P 通道 MOS電晶體

N 通道 MOS電晶體

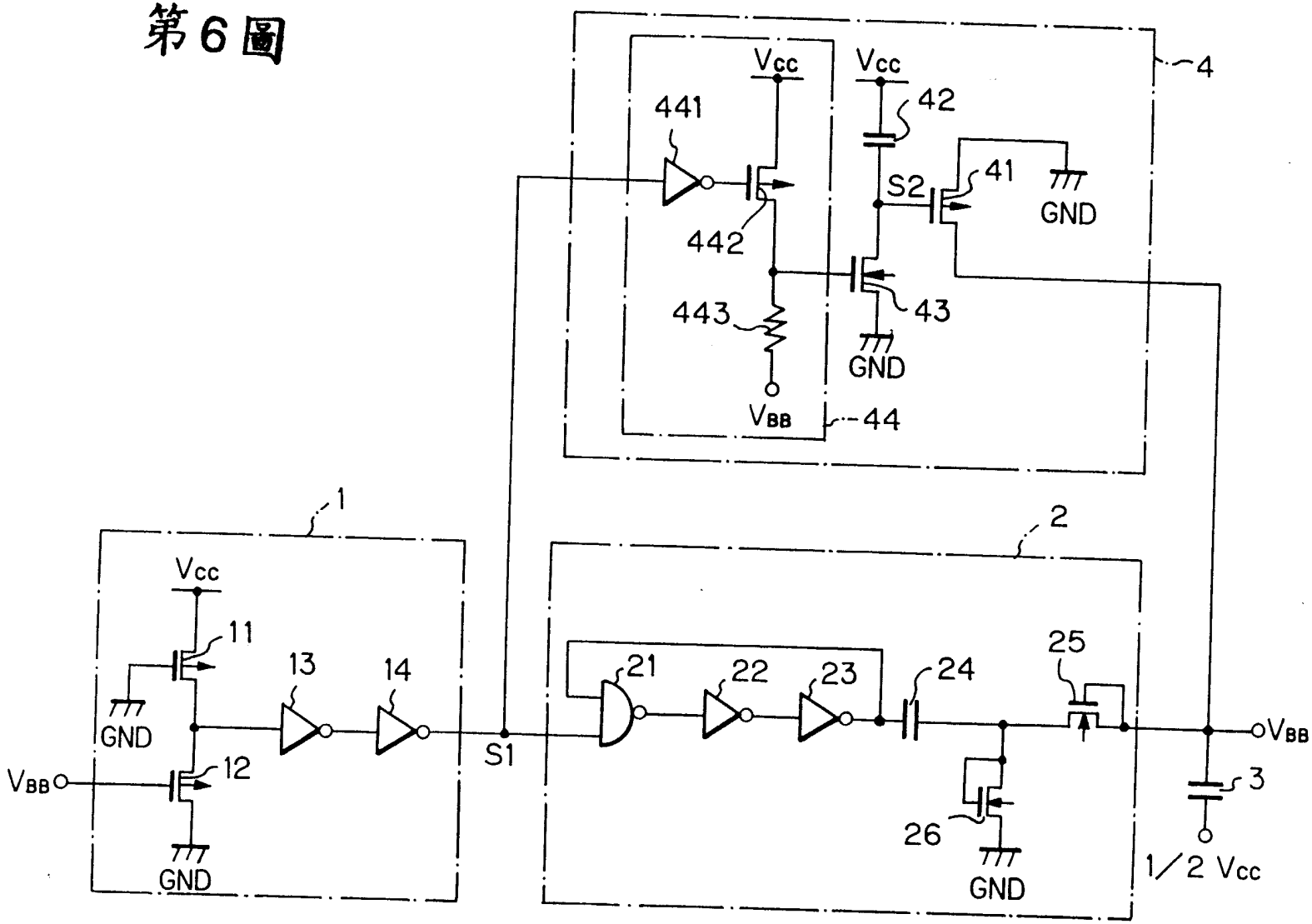
第4圖



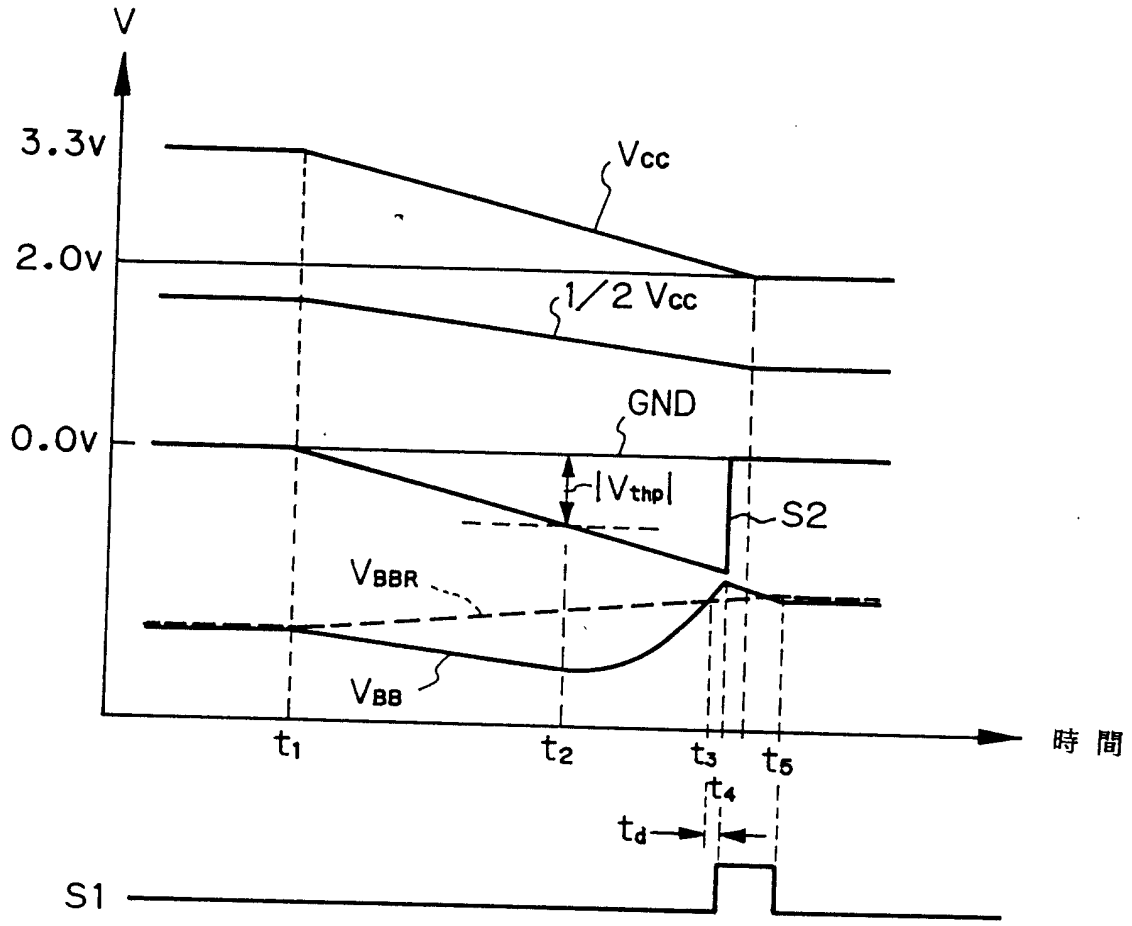
第5図

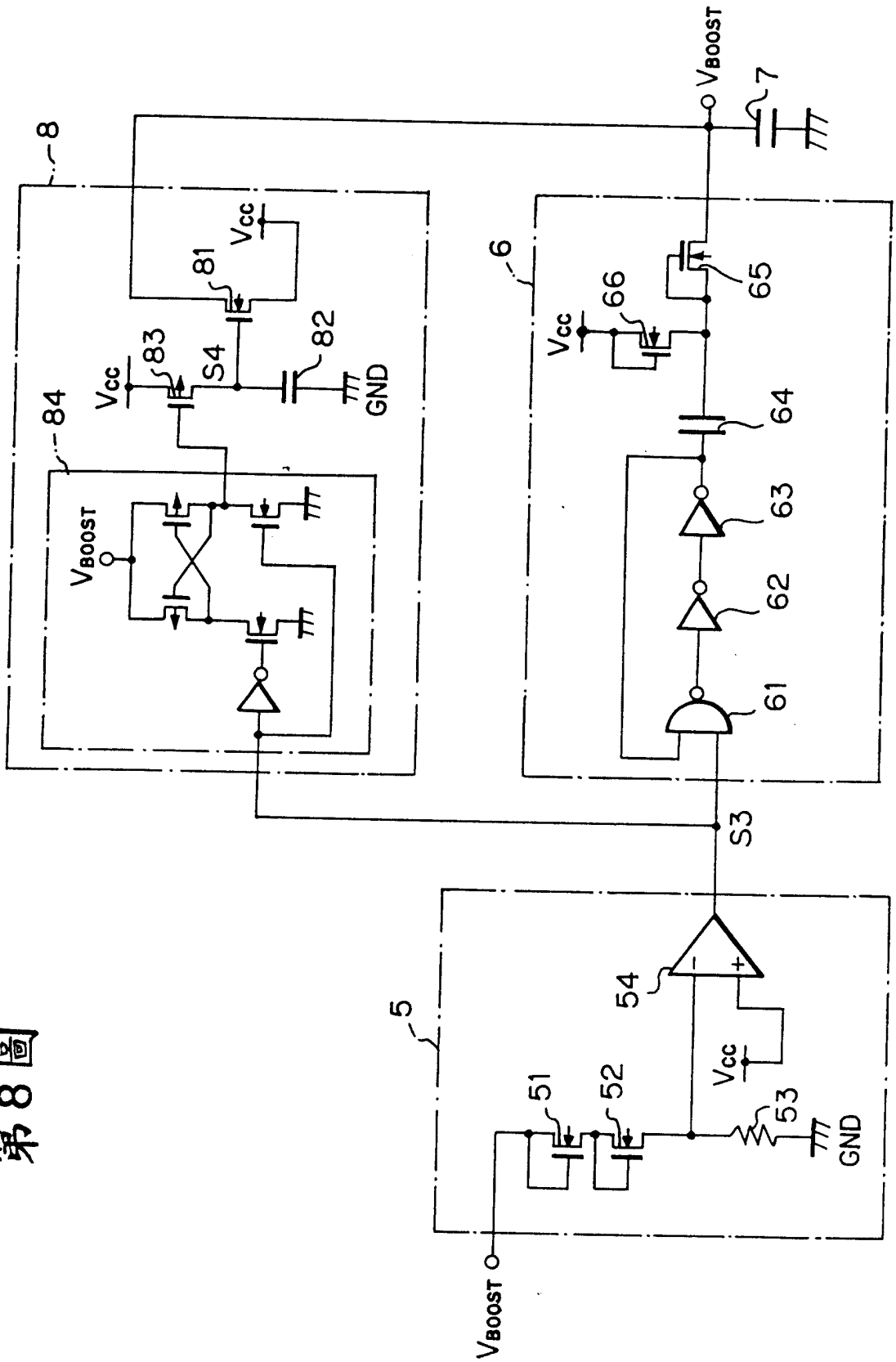

VBB
3
1/2 Vcc
25
2
24
GND
26
23
22
21
S1
1'
18'
17'
16'
Vcc
11'
12'
13'
14'
15'
GND
GND
GND
VBB

第6圖


4
Vcc
Vcc
441
42
S2
41
GND
442
443
43
GND
VBB
44
1
2
Vcc
11
13
14
GND
VBB
12
GND
S1
21
22
23
24
25
VBB
3
26
GND
1/2 Vcc

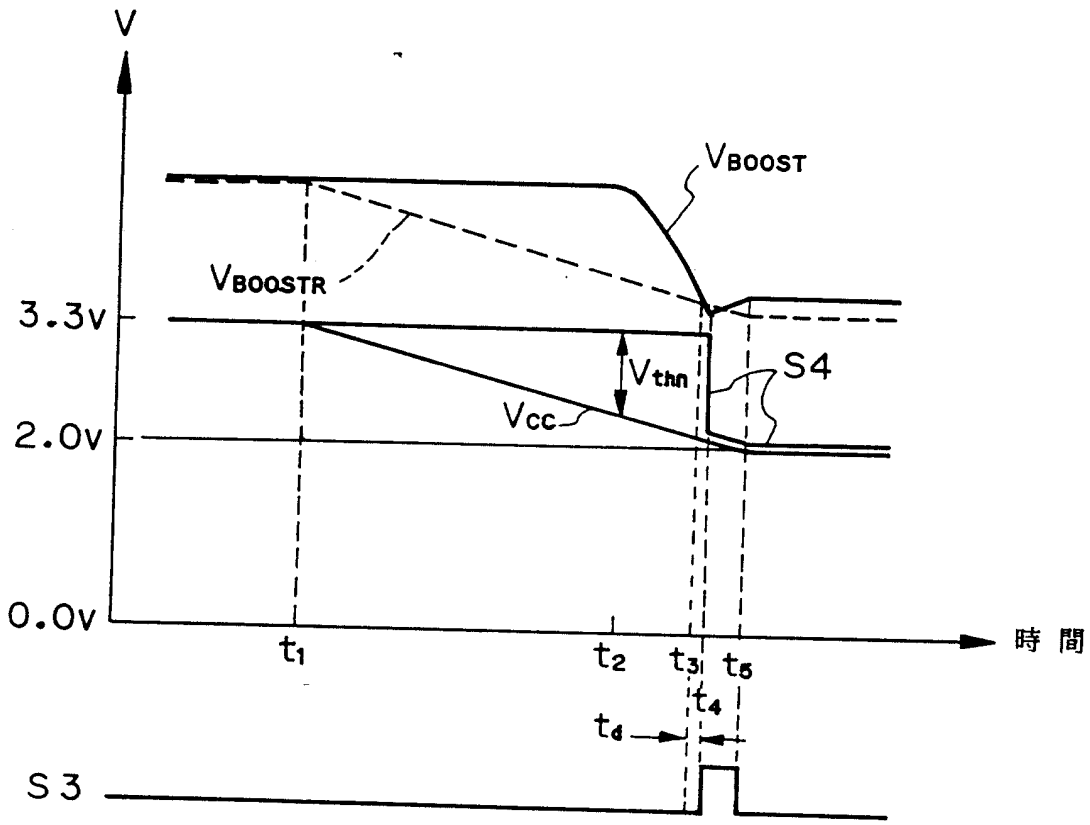
第7圖


V
3.3v
2.0v
0.0v
Vcc
1/2 Vcc
GND
|Vthp|
S2
VBBR
VBB
t1
t2
t3
t4
t5
td
時 間
S1



第8図

第9圖



第85101891號「具備完全回授控制之偏壓控制裝置」專利案
（85年9月25日修正）

六、申請專利範圍：

1. 一種偏壓控制裝置，包含：

將一偏壓（V_{BB}，V_{BOOST}）與一參考電壓，（V_{BER}，V_{BOOSTR}）比較之裝置；

當該偏壓高於該參考電壓時降低該偏壓之裝置；及

當該偏壓不高於該參考電壓時升高該偏壓之裝置，使該偏壓接近該參考電壓。

2. 一種偏壓控制裝置，包含；

一第一電源電壓裝置，用以接收第一電源電壓（V_{CC}）；

一第二電源電壓裝置，用以接收一低於該第一電源電壓之第二電源電壓（GND）；

一偏壓裝置，用以接收一低於該第二電源電壓之偏壓（V_{BB}）；

一偏壓比較器電路（1），連接至該偏壓裝置，用以將該偏壓與一參考電壓比較；

一偏壓降低電路（2），連接在該偏壓比較器電路與該偏壓裝置之間，當該偏壓高於該參考電壓時用以降低該偏壓；及

一偏壓升高電路（4），連接在該偏壓比較器電路與該偏壓裝置之間，當該偏壓不高於該參考電壓時用以升高該偏壓。

3. 如申請專利範圍第2項之裝置，其中該偏壓降低電路包含一電荷泵電路。

4. 如申請專利範圍第2項之裝置，其中該偏壓升高電路包含：

（請先閱讀背面之注意事項再填寫本頁）
表
訂
泉
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

一第一開關組件（41），連接在該第二電源電壓裝置與該偏壓裝置之間；

一電容器（42），連接在該第一電源電壓裝置與該第一開關組件之控制端之間；及

一第二開關組件（43），連接在該第一開關組件之控制端與該第二電源電壓裝置之間；

當該參考電壓比較器電路指示該偏壓高於該參考電壓時，該第二開關組件導通，

當該偏壓比較器電路指示該偏壓不高於該參考電壓時，該第二開關組件斷路。

5.如申請專利範圍第4項之裝置，其中該第一開關組件包含一P通道加強型MOS電晶體。

6.如申請專利範圍第4項之裝置，其中該第二開關組件包含一N通道加強型MOS電晶體。

7.如申請專利範圍第2項之裝置，其中該偏壓比較器電路包含：

一電阻裝置（11），連接至該第一電源電壓裝置；及

一P通道加強型MOS電晶體（12），連接在該電阻裝置與該第二電源電壓裝置之間，該P通道加強型MOS電晶體之閘極連接至該偏壓裝置。

8.一種偏壓控制裝置，包含；

一第一電源電壓裝置，用以接收第一電源電壓（V_{CC}）；

一第二電源電壓裝置，用以接收一低於該第一電源電壓之第二電源電壓（GND）；

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

一偏壓裝置，用以接收一高於該第一電源電壓之偏壓（V_{BOOST}）；

一偏壓比較器電路（5），連接至該偏壓裝置，用以將該偏壓與一參考電壓（V_{BOOSTR}）比較；

一偏壓升高電路（6），連接在該偏壓比較器電路與該偏壓裝置之間，當該偏壓電壓低於該參考電壓時用以升高該偏壓；及

一偏壓降低電路（8），連接在該偏壓比較器電路與該偏壓裝置之間，當該偏壓電壓不低於該參考電壓時用以降低該偏壓。

9.如申請專利範圍第8項之裝置，其中該偏壓升高電路包含一電源泵電路。

10.如申請專利範圍第8項之裝置，其中該偏壓降低電路包含：

一第一開關組件（81），連接在該第一電源電壓裝置與該偏壓裝置之間；

一電容器（82），連接在該第二電源電壓裝置與該第一開關組件之一控制端之間；及

一第二開關組件（83），連接在該第一開關組件之控制端與該第一電源電壓裝置之間，

當該偏壓比較器電路指示該偏壓低於該參考電壓時，該第二開關組件導通，

當該偏壓比較器電路指示該偏壓不低於該參考電壓時，該第二開關組件斷路。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

11.如申請專利範圍第10項之裝置，其中該第一開關組件包含一N通道加強型MOS電晶體。

12.如申請專利範圍第10項之裝置，其中該第二開關組件包含一P通道加強型MOS電晶體。

13.如申請專利範圍第8項之裝置，其中該偏壓比較器電路包含：

一電壓分壓器(51-53)，連接在該偏壓裝置與該第二電源電壓裝置之間；及

一電壓比較器(54)，連接至該電壓分壓器及該第一電源電壓裝置，用以將該電壓分壓器之一輸出電壓與該第一電源電壓比較。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）