

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年10月24日(24.10.2024)



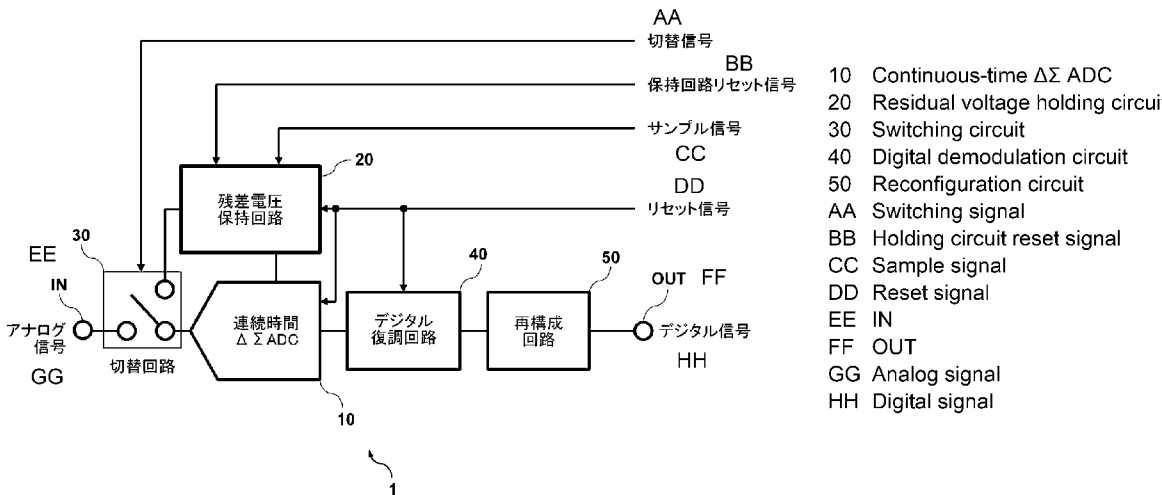
(10) 国際公開番号

WO 2024/219331 A1

- (51) 国際特許分類:
H03M 1/12 (2006.01) H03M 1/40 (2006.01)
H03M 1/14 (2006.01) H03M 3/02 (2006.01)
- (21) 国際出願番号: PCT/JP2024/014820
- (22) 国際出願日: 2024年4月12日(12.04.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-067376 2023年4月17日(17.04.2023) JP
特願 2023-161706 2023年9月25日(25.09.2023) JP
特願 2024-009601 2024年1月25日(25.01.2024) JP
- (71) 出願人: キヤノン株式会社 (CANON KABUSHIKI KAISHA) [JP/JP]; 〒1468501 東京都大田区下丸子3丁目30番2号 Tokyo (JP).
- (72) 発明者: 古田 雅則 (FURUTA, Masanori); 〒1468501 東京都大田区下丸子3丁目30番2号キヤノン株式会社内 Tokyo (JP).
- (74) 代理人: 弁理士法人大塚国際特許事務所 (OHTSUKA PATENT OFFICE, P.C.); 〒1020094 東京都千代田区紀尾井町3番6号紀尾井町パークビル7F Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,

(54) Title: AD CONVERSION CIRCUIT, PHOTOELECTRIC CONVERSION DEVICE, IMAGING DEVICE, AND MOBILE OBJECT

(54) 発明の名称: AD変換回路、光電変換装置、撮像装置および移動体



(57) Abstract: An AD conversion circuit for converting an analog signal provided to an input terminal into a digital signal comprises: a continuous-time $\Delta\Sigma$ type AD converter that includes an integration circuit for integrating a differential signal; and a switching circuit that, during a first period, provides the analog signal provided to the input terminal to the continuous-time $\Delta\Sigma$ type AD converter, and, during a second period after the first period, provides a voltage signal corresponding to a voltage outputted from the integration circuit at the end of the first period to the continuous-time $\Delta\Sigma$ type AD converter.

(57) 要約: 入力端子に与えられるアナログ信号をデジタル信号に変換するAD変換回路は、差分信号を積分する積分回路を含む連続時間 $\Delta\Sigma$ 型AD変換器と、第1期間中は、前記入力端子に与えられるアナログ信号を前記連続時間 $\Delta\Sigma$ 型AD変換器に与え、前記第1期間の後の第2期間中は、前記第1期間の終了時に前記積分回路から出力された電圧に応じた電圧信号を前記連続時間 $\Delta\Sigma$ 型AD変換器に与える切替回路と、を備える。

[続葉有]

HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：

A D 変換回路、光電変換装置、撮像装置および移動体

技術分野

[0001] 本発明は、A D 変換回路、光電変換装置、撮像装置および移動体に関する。

背景技術

[0002] 固体撮像装置における画素出力のアナログ信号をデジタル信号に変換するアナログデジタル変換器（A D C）が知られている。特許文献 1 には、スイッチトキャパシタ積分回路と比較器とで構成された離散時間 $\Delta \Sigma$ 型 A D C が開示されている。特許文献 2 には、離散時間型 $\Delta \Sigma$ A D C の A D 変換速度を高速化する回路技術として、離散時間型の $\Delta \Sigma$ A D C とスロープ型 A D C とで構成された 2 段 A D C が開示されている。この 2 段 A D C では、 $\Delta \Sigma$ A D C が上位ビット列に相当する A D 変換を行い、上位ビット列に相当する A D C の残差電圧をスロープ型 A D C の入力として、スロープ型 A D C が下位ビット列に相当する A D 変換を行う。離散時間 $\Delta \Sigma$ 型 A D C では、A D 変換速度の高速化を実現する一方で、A D C の構成要素であるキャパシタを画素出力のアナログ信号によって頻繁に充電する必要があるため、画素出力の駆動回路の消費電力が増加する。特許文献 3 には、画素出力の駆動回路の低消費電力化を図る技術として、2 次連続時間 $\Delta \Sigma$ 型 A D C が開示されている。この 2 次連続時間 $\Delta \Sigma$ 型 A D C は、電圧電流変換回路、カレントステアリング型デジタルアナログ変換回路およびキャパシタで構成される積分回路と、比較器と、を含む。非特許文献 1 には、2 次連続時間 $\Delta \Sigma$ 型 A D C を高速化する技術として、2 段連続時間 $\Delta \Sigma$ 型 A D C が開示されている。この 2 段連続時間 $\Delta \Sigma$ 型 A D C では、上位ビット列に相当する A D 変換を行う A D C と、上位ビットに相当する A D C の残差電圧を入力しとして下位ビット列に相当する A D 変換を行う A D C とを縦続接続されている。

[0003] 2段連続時間 $\Delta\Sigma$ 型ADCは、画素出力の駆動負荷を低減しながらA/D変換速度の高速化を実現する技術として有用である。一方で、上位ビット列に相当するA/D変換を行うADCと下位ビット列に相当するA/D変換を行うADCとが必要となるため、回路の実装面積が大きいことが課題である。

先行技術文献

特許文献

[0004] 特許文献1：米国特許出願公開第2013/0162857号

特許文献2：米国特許出願公開第2009/0261998号

特許文献3：国際出願公開第2018/163679号

非特許文献

[0005] 非特許文献1：“A Power-Efficient Continuous-Time Incremental Sigma-Delta ADC for Neural Recording Systems,” IEEE Transactions on Circuits and Systems I: Regular Papers (Volume: 62, Issue: 6, June 2015)

非特許文献2：“A Micro-Power Two-Step Incremental Analog-to-Digital Converter,” IEEE Journal of Solid-State Circuits (Volume: 50, Issue: 8, August 2015)

発明の概要

[0006] 本発明は、連続時間 $\Delta\Sigma$ 型AD変換回路の回路規模の縮小に有利な技術を提供する。

[0007] 本発明の1つの側面は、入力端子に与えられるアナログ信号をデジタル信号に変換するAD変換回路に係り、前記AD変換回路は、差分信号を積分す

る積分回路を含む連続時間 $\Delta\Sigma$ 型AD変換器と、第1期間中は、前記入力端子に与えられるアナログ信号を前記連続時間 $\Delta\Sigma$ 型AD変換器に与え、前記第1期間の後の第2期間中は、前記第1期間の終了時に前記積分回路から出力された電圧に応じた電圧信号を前記連続時間 $\Delta\Sigma$ 型AD変換器に与える切替回路と、を備える。

図面の簡単な説明

- [0008] [図1]第1実施形態の2段連続時間 $\Delta\Sigma$ 型AD変換回路の構成を示す図。
- [図2]第1実施形態の2段連続時間 $\Delta\Sigma$ 型AD変換回路の動作タイミング図。
- [図3]第1実施形態の2段連続時間 $\Delta\Sigma$ 型変換回路における連続時間 $\Delta\Sigma$ 型変換器の第1構成例を示す図。
- [図4]第1実施形態の2段連続時間 $\Delta\Sigma$ 型変換回路における連続時間 $\Delta\Sigma$ 型変換器の第2構成例を示す図。
- [図5]第1実施形態における積分器の他の構成例を示す図。
- [図6]第1実施形態の2段連続時間 $\Delta\Sigma$ 型変換回路における比較回路の構成例を示す図。
- [図7A]第1実施形態の2段連続時間 $\Delta\Sigma$ 型変換回路における残差電圧保持回路の構成例を示す図。
- [図7B]第1実施形態の2段連続時間 $\Delta\Sigma$ 型変換回路における残差電圧保持回路の動作例を示す図。
- [図8]第2実施形態の2段連続時間 $\Delta\Sigma$ 型AD変換回路の構成を示す図。
- [図9]第2実施形態の2段連続時間 $\Delta\Sigma$ 型変換回路における連続時間 $\Delta\Sigma$ 型変換器の第1構成例を示す図。
- [図10]第2実施形態の2段連続時間 $\Delta\Sigma$ 型変換回路における連続時間 $\Delta\Sigma$ 型変換器の第2構成例を示す図。
- [図11]第2実施形態の2段連続時間 $\Delta\Sigma$ 型変換回路における連続時間 $\Delta\Sigma$ 型変換器の第3構成例を示す図。
- [図12]図11に示される第3構成例の動作を示す図。
- [図13]第3実施形態の2段連続時間 $\Delta\Sigma$ 型AD変換回路の構成を示す図。

[図14]第3実施形態の2段連続時間 $\Delta\Sigma$ 型AD変換回路の構成を示す図。

[図15]第7実施形態の光電変換装置の構成を示す図。

[図16]一実施形態の光電変換システムの構成例を示す図。

[図17A]他の実施形態の光電変換システムあるいは移動体の構成を示す図。

[図17B]他の実施形態の光電変換システムあるいは移動体の構成を示す図。

[図18]第4実施形態の2段連続時間 $\Delta\Sigma$ 型変換回路におけるアナログ回路部の構成を示す図。

[図19]第4実施形態の2段連続時間 $\Delta\Sigma$ 型変換回路におけるアナログ回路部の構成例を示す図。

[図20A]第4実施形態の2段連続時間 $\Delta\Sigma$ 型変換回路における切替回路およびバッファ回路の第1構成例を示す図。

[図20B]第4実施形態の2段連続時間 $\Delta\Sigma$ 型変換回路における切替回路およびバッファ回路の第1構成例の動作を示す図。

[図21A]第4実施形態の2段連続時間 $\Delta\Sigma$ 型変換回路における切替回路およびバッファ回路の第2構成例を示す図。

[図21B]第4実施形態の2段連続時間 $\Delta\Sigma$ 型変換回路における切替回路およびバッファ回路の第2構成例の動作を示す図。

[図21C]第4実施形態の2段連続時間 $\Delta\Sigma$ 型変換回路における切替回路およびバッファ回路の第2構成例の動作を示す図。

[図22]第5実施形態の2段連続時間 $\Delta\Sigma$ 型変換回路におけるアナログ回路部の構成例を示す図。

[図23A]第5実施形態の2段連続時間 $\Delta\Sigma$ 型変換回路における切替回路およびバッファ回路の構成例を示す図。

[図23B]第5実施形態の2段連続時間 $\Delta\Sigma$ 型変換回路における切替回路およびバッファ回路の第2構成例の動作を示す図。

[図23C]第5実施形態の2段連続時間 $\Delta\Sigma$ 型変換回路における切替回路およびバッファ回路の動作を示す図。

[図24]第6実施形態の2段連続時間 $\Delta\Sigma$ 型AD変換回路の構成を示す図。

[図25]第6実施形態の2段連続時間 $\Delta\Sigma$ 型変換回路における連続時間 $\Delta\Sigma$ 型変換器の第1構成例を示す図。

[図26]第6実施形態の2段連続時間 $\Delta\Sigma$ 型変換回路における連続時間 $\Delta\Sigma$ 型変換器の第2構成例を示す図。

[図27]内部電圧調整回路の構成例を示す図。

発明を実施するための形態

[0009] 以下、添付図面を参照して実施形態を詳しく説明する。なお、以下の実施形態は特許請求の範囲に係る発明を限定するものではない。実施形態には複数の特徴が記載されているが、これらの複数の特徴の全てが発明に必須のものとは限らず、また、複数の特徴は任意に組み合わせられてもよい。さらに、添付図面においては、同一若しくは同様の構成に同一の参照番号を付し、重複した説明は省略する。

[0010] 図1には、本開示の第1実施形態のAD変換回路1の構成が示されている。AD変換回路1は、2段の連続時間 $\Delta\Sigma$ 型AD変換回路として構成されている。AD変換回路1は、入力端子INに与えられるアナログ信号をデジタル信号に変換し出力端子OUTから出力する。AD変換回路1は、連続時間 $\Delta\Sigma$ 型AD変換器10、および、切替回路30を備えうる。また、AD変換回路1は、残差電圧保持回路20、デジタル復調回路40、および、再構成回路50を備えうる。連続時間 $\Delta\Sigma$ 型AD変換器10は、差分信号を積分する積分回路を含みうる。切替回路30は、第1期間中は、入力端子INに与えられるアナログ信号を連続時間 $\Delta\Sigma$ 型AD変換器10に与える。また、切替回路30は、第1期間の後の第2期間中は、第1期間の終了時に連続時間 $\Delta\Sigma$ 型AD変換器10の積分回路から出力された電圧に応じた電圧信号を連続時間 $\Delta\Sigma$ 型AD変換器10に与える。第1期間は、入力端子INに与えられるアナログ信号に対応するデジタル信号の上位ビット列を生成するためのAD変換を行う期間である。第2期間は、入力端子INに与えられるアナログ信号に対応するデジタル信号の下位ビット列を生成するためのAD変換を行う期間である。上位ビット列は、複数ビットで構成されうる。また、下位

ビット列は、複数ビットで構成されうる。

[0011] 残差電圧保持回路 20 は、第 1 期間の終了時において連続時間 $\Delta\Sigma$ 型 AD 変換器 10 から出力される残差電圧に応じた電圧信号を保持（サンプル）し、第 2 期間において、その電圧信号を切替回路 30 に供給する。残差電圧保持回路 20 は、例えば、保持回路リセット信号およびサンプル信号により制御されうる。

[0012] 第 1 期間において、連続時間 $\Delta\Sigma$ 型 AD 変換器 10 は、上位ビット列に相当する A/D 変換を行い、第 1 期間の終了時に残差電圧保持回路 20 によって保持されていた残差電圧に応じた電圧信号は、切替回路 30 により、連続時間 $\Delta\Sigma$ 型 AD 変換器 10 に提供される。その後、第 2 期間において、連続時間 $\Delta\Sigma$ 型 AD 変換器 10 は、下位ビット列に相当する A/D 変換を行う。第 1 期間において連続時間 $\Delta\Sigma$ 型 AD 変換器 10 から出力される時系列の $\Delta\Sigma$ 変調信号（上位ビット列）は、デジタル復調回路 40 で複数ビットのデジタル信号に復調される。また、第 2 期間において連続時間 $\Delta\Sigma$ 型 AD 変換器 10 から出力される時系列の $\Delta\Sigma$ 変調信号（下位ビット列）は、デジタル復調回路 40 で複数ビットのデジタル信号に復調される。再構成回路 50 は、デジタル復調回路 40 によって復調された上位ビット列のデジタル信号と下位ビット列のデジタル信号とに基づいて、出力デジタル信号を生成する。連続時間 $\Delta\Sigma$ 型 AD 変換器 10 の内部信号、デジタル復調回路 40 の内部信号は、リセット信号に従って、第 1 期間の開始前、および、第 2 期間の開始前にリセットされる。本構成により、1 つの連続時間 $\Delta\Sigma$ 型 AD 変換器 10 と残差電圧保持回路 20 とを用いることで、2 段の連続時間 $\Delta\Sigma$ 型 AD 変換回路としての AD 変換回路 1 を実現することができる。

[0013] 図 2 には、図 1 に示された AD 変換回路 1 の動作タイミング図が示されている。ここで、AD 変換回路 1 の動作例として、再構成回路 50 が最終 AD 変換結果（最終 ADC 結果）（0）を出力する処理を説明する。時刻 $t_1 \sim t_2$ の期間において、リセット信号がハイの状態において、連続時間 $\Delta\Sigma$ 型 AD 変換器 10 およびデジタル復調回路 40 がリセットされる。同時に、保

持回路リセット信号がハイの状態において、残差電圧保持回路20がリセットされる。時刻 $t_2 \sim t_3$ の期間が第1期間である。時刻 t_2 で、リセット信号がロー状態となった時点から、連続時間 $\Delta\Sigma$ 型AD変換器10が上位ビット列に相当するA/D変換を開始し、残差電圧保持回路20が残差電圧（に応じた電圧信号）のサンプルを開始する。また、時刻 t_2 で、デジタル復調回路40が上位ビット列の復調処理を開始する。時刻 t_3 で、上位ビット列に相当するA/D変換が終了する。時刻 t_3 で、残差電圧保持回路20が、第1期間の終了時における連続時間 $\Delta\Sigma$ 型AD変換器10の出力電圧である残差電圧（に応じた電圧信号）の保持を開始すると同時に、再構成回路50が上位ビット列に相当する複数ビット復調信号を取得する。

[0014] その後、時刻 $t_3 \sim t_4$ の期間において、リセット信号は再びハイ状態となり、連続時間 $\Delta\Sigma$ 型AD変換器10とデジタル復調回路40がリセットされる。時刻 $t_4 \sim t_5$ が第2期間である。時刻 t_4 でリセット信号がロー状態となった時点から、連続時間 $\Delta\Sigma$ 型AD変換器10が下位ビット列に相当するA/D変換を開始し、また、デジタル復調回路40が下位ビット列の復調処理を開始する。時刻 t_5 で下位ビット列に相当するA/D変換が終了する。これに応じて、再構成回路50が下位ビット列に相当する複数ビット復調信号を取得する。その後、再構成回路50が下位ビット列の相当する複数ビット復調信号を取得し、前述の上位ビット列に相当する複数ビット復調信号を用いて再構成処理を行うことで、出力デジタル信号に相当する最終ADC結果を出力する。

[0015] AD変換回路1は、以上のA/D変換を繰返し行うことで、任意の入力アナログ信号に対してA/D変換を行う。なお、前述の上位ビット列に相当するA/D変換期間における入力アナログ信号は、一定であることを仮定している。

[0016] 図3には、連続時間 $\Delta\Sigma$ 型AD変換器10の第1構成例として、2次の連続時間 $\Delta\Sigma$ 型AD変換器の構成が示されている。第1構成例の連続時間 $\Delta\Sigma$ 型AD変換器10は、第1積分器110と、第2積分器120と、比較器1

８０と、デジタルアナログ変換器（ＤＡ変換器）１９０とを含みうる。第１積分器１１０は、例えば、抵抗１０１、１０５、キャパシタ１０２、スイッチ１０３および増幅器１０４を含みうる。第２積分器１２０は、例えば、抵抗１１１、１１５、キャパシタ１１２、スイッチ１１３および増幅器１１４を含みうる。

[0017] 第１積分器１１０の入力端子には、切替回路３０の出力がＡＤＣ入力信号として供給される。第１積分器１１０の出力は、第２積分器１２０に供給され、第２積分器１２０の出力は、比較器１８０に供給される。また、比較器１８０の出力は、ＤＡ変換器１９０に供給され、ＤＡ変換器１９０の出力は、第１積分器１１０における抵抗１０５、第２積分器１２０における抵抗１１５に供給される。第２積分器１２０の出力は、連続時間ΔΣ型ＡＤ変換器１０の残差電圧として出力される。

[0018] 連続時間ΔΣ型ＡＤ変換器１０において、リセット信号がハイ状態のとき、キャパシタ１０２、１１２がそれぞれリセットされる。リセット信号がロー状態のとき、第１積分器１１０は、ＡＤＣ入力信号とＤＡ変換器１９０の出力との差分信号を積分する。第２積分器１２０は、第１積分器１１０の出力電圧とＤＡ変換器１９０の出力との差分信号を積分する。比較器１８０は、第２積分器１２０の出力電圧と基準信号との差分信号を受けて、不図示のクロック信号を用いて比較動作を行う。ＤＡ変換器１９０は、比較器１８０の出力信号に応じてアナログ電圧を出力する。ＤＡ変換器１９０は、例えば、式（１）で示される１ビットの伝達関数に従って入力信号に応じたアナログ電圧を出力するように構成されうる。

[0019] [数１]

$$DACout(DACin) = \begin{cases} V_r, & (DACin = 1) \\ 0, & (DACin = 0) \end{cases}$$

・・・（１）

[0020] ここで、DACinは比較器１８０の出力信号、Vrは連続時間ΔΣ型Ａ

D変換器10における不図示の基準信号、DACoutはDA変換器190の出力信号であり、基準信号は0である。図3のAD変換回路1は、リセット信号がロー状態からハイ状態になるまでの期間において、積分動作、比較動作およびデジタルアナログ変換を繰り返し行う。

[0021] 図3の例では、AD変換回路1は、2次の連続時間 $\Delta\Sigma$ 型AD変換回路として構成されている。また、図3の例では、AD変換回路1は、比較器180、DA変換器190が共に1ビットの構成を有する。しかし、比較器180およびDA変換器190を複数ビットとし、第1積分器110の抵抗105と第2積分器120の抵抗115を比較器180およびDA変換器190の分解能に応じて増加し、並列接続してもよい。比較器180とDA変換器190を複数ビットで構成することで、連続時間 $\Delta\Sigma$ 型AD変換器10のAD変換速度を高速化できる。また、第2積分器120と比較器180との間に1以上の積分器を追加することで、3次以上の連続時間 $\Delta\Sigma$ 型AD変換器を構成してもよい。積分器の個数を増やすことで、連続時間 $\Delta\Sigma$ 型AD変換器10のAD変換速度を高速化できる。

[0022] 図4には、連続時間 $\Delta\Sigma$ 型AD変換器10の第2構成例として、フィードフォワード経路を有する2次の連続時間 $\Delta\Sigma$ 型AD変換器の構成が示されている。第2構成例の連続時間 $\Delta\Sigma$ 型AD変換器10は、第1積分器110と、第2積分器130と、4入力比較器181と、デジタルアナログ変換器（DA変換器）190とを含みうる。第1積分器110は、例えば、抵抗101、105、キャパシタ102、スイッチ103および増幅器104を含みうる。第2積分器130は、抵抗111、キャパシタ112、スイッチ113、および増幅器114を含みうる。

[0023] 第1積分器110の入力端子には、切替回路30の出力がADC入力信号として供給される。第1積分器110の出力は、第2積分器130に供給され、第2積分器130の出力は、4入力比較器181に供給される。また、4入力比較器181の出力は、DA変換器190に供給され、DA変換器190の出力は、第1積分器110における抵抗105に供給される。

[0024] 図4に示される第2構成例の動作は、図3に示される第1構成例の動作と同様である。第2構成例では、切替回路30からADC入力信号として供給される信号が4入力比較器181に供給される。また、第1積分器110の出力および第2積分器130の出力が4入力比較器181に供給される。このような構成によれば、第1積分器110および第2積分器130から出力される信号の振幅を抑制可能であり、増幅器104および114の非線形性の影響を抑えることができる。これにより、連続時間 $\Delta\Sigma$ 型AD変換器10の非直線性ひずみ特性を改善できる。

[0025] 図4の例では、AD変換回路1は、2次の連続時間 $\Delta\Sigma$ 型ADCとして構成されている。また、図4の例では、AD変換回路1は、4入力比較器181およびDA変換器190が共に1ビットの構成を有する。しかし、4入力比較器181およびDA変換器190を複数ビットとし、第1積分器110の抵抗105を4入力比較器181およびDA変換器190の分解能に応じて増加し、並列接続してもよい。また、第2積分器130と4入力比較器181との間に1以上の積分器を追加することで、3次以上の連続時間 $\Delta\Sigma$ 型AD変換器を構成してもよい。比較器とDA変換器の複数ビット化、積分器の個数の増加により、連続時間 $\Delta\Sigma$ 型AD変換器10のAD変換速度を高速化できる。

[0026] 図5には、連続時間 $\Delta\Sigma$ 型AD変換器10における積分器の他の構成例としてのgm-C型の積分器140の構成が示されている。積分器140は、スイッチ1401、1402、キャパシタ1403、トランスコンダクタンス1404、およびインバータ1405を含みうる。スイッチ1401は、リセット信号によって制御され、スイッチ1402は、インバータ1405によって反転されたリセット信号で制御される。リセット信号がハイ状態のとき、キャパシタ1403がリセットされる。リセット信号がロー状態のとき、入力信号に応じてトランスコンダクタンス1404で生成される電流とDA変換器190の出力信号電流との差電流と、キャパシタ1403により積分動作が行われる。gm-C型の積分器140を第1積分器110として

用いる場合、DA変換器190の出力は、トランスコンダクタンス1404の出力に接続される。本構成においては、抵抗とキャパシタと増幅器で構成される積分器と同様の機能を実現しながら、消費電力が低減できる。

[0027] 図6には、4入力比較器181の構成例が示されている。4入力比較器181は、ラッチ型比較器650と、SRフリップフロップ660とを含みうる。ラッチ型比較器650は、例えば、PMOS型トランジスタ601、602、603、604、NMOS型トランジスタ610、611、612、613、入力トランジスタ620、621、622、630、631、632を含みうる。SRフリップフロップ660は、NANDゲート640、641で構成されうる。図6に示された構成例では、4入力比較器181は、クロック信号がロー状態のとき、ラッチ型比較器650はリセット状態となり、出力信号である比較結果1と比較結果2はハイ状態となると共に、SRフリップフロップ660は保持状態となる。クロック信号がハイ状態のとき、ラッチ型比較器650は、3入力信号それぞれに対して基準信号との差電圧に相当する内部信号を生成し、それら内部信号に応じた結果を比較結果1、2として出力する。SRフリップフロップ660は、比較結果1、2に対応する信号を出力する。4入力比較器181においては、入力信号1－基準電圧、入力信号2－基準電圧、および、入力信号3－基準電圧、の加算電圧が、例えば正の電圧であれば、比較結果1はロー状態、比較結果2はハイ状態となり、出力信号はハイ状態となる。

[0028] 図6の構成例では、4入力の比較器が示されているが、入力トランジスタ数を増加させることで、3次以上の連続時間 $\Delta\Sigma$ 型AD変換器に対応した構成とすることができる。

[0029] 図7Aには、残差電圧保持回路20の構成例が示されている。図7Bには、残差電圧保持回路20の動作に関するタイミングチャートが示されている。残差電圧保持回路20は、例えば、スイッチ701、702、703、710、711、720、増幅器730、サンプルキャパシタ740を含む。スイッチ701、702は、切替信号によって制御される。スイッチ703

は、サンプル信号によって制御される。スイッチ 710、711 は、反転された切替信号によって制御される。スイッチ 720 は、保持回路リセット信号によって制御される。切替信号がハイ状態、保持回路リセット信号がハイ状態、サンプル信号がロー状態のとき、サンプルキャパシタ 740 がリセットされる。切替信号がハイ状態、保持回路リセット信号がロー状態、サンプル信号がハイ状態のとき、入力信号（連続時間 $\Delta\Sigma$ 型 AD 変換器 10 の出力）に応じた電圧信号がサンプルキャパシタ 740 によってサンプリングされる。この時にサンプリングされる電圧信号は、上位ビット列に相当する AD 変換後の残差電圧となる。切替信号がロー状態、保持回路リセット信号がロー状態、サンプル信号がロー状態のとき、サンプルキャパシタ 740 にサンプリングされた電圧信号が保持される。本構成においては、入力信号のサンプリング動作とサンプリングした入力信号の保持を 1 つの増幅器 730 で実現することで、低消費電力化と実装面積の削減が可能である。なお、ここでは、切替信号が上位ビット列の AD 変換期間（第 1 期間）中はハイ状態である動作例を示したが、上位ビット列の AD 変換の終了までの任意の時間においてハイ状態とすることで、残差電圧保持回路 20 の動作期間を削減でき、消費電力が低減できる。

[0030] 図 1 に示されたデジタル復調回路 40 は、連続時間 $\Delta\Sigma$ 型 AD 変換器 10 の上位ビット列に相当する 1 ビット時系列の $\Delta\Sigma$ 変調信号に対して式 (2) に従うデジタル信号処理を行うことで、複数ビット復調信号を出力する。

[0031] [数 2]

$$\text{上位ビット復調信号} = \frac{2}{M(M+1)} \sum_{K=1}^M \sum_{i=1}^K DACin[i]$$

・・・ (2)

[0032] ここで、M は、連続時間 $\Delta\Sigma$ 型 AD 変換器 10 における上位ビット列に相当する AD 変換におけるオーバーサンプル比を示し、i は時系列で出力される比較結果の時間インデックスを示す。デジタル復調回路 40 は、連続時間

ΔΣ型AD変換器10における下位ビット列に相当する1ビット時系列のΔΣ変調信号に対して式(3)に従うデジタル信号処理を行うことで、複数ビット復調信号を出力する。

[0033] [数3]

$$\begin{aligned} \text{下位ビット復調信号} &= \frac{2}{N(N+1)} \sum_{K=1}^N \sum_{i=1}^K DACin[i] \\ &\dots (3) \end{aligned}$$

[0034] ここで、Nは、連続時間ΔΣ型AD変換器10における、下位ビット列に相当するAD変換におけるオーバーサンプル比を示し、iは時系列に出力される比較結果の時間インデックスを示す。

[0035] 図1に示された再構成回路50は、上位ビット復調信号と下位ビット復調信号に対して式(4)に従う再構成処理を行う。この再構成処理は、上位ビット復調信号と下位ビット復調信号を組み合わせた信号を仮に10進数とした場合（実際には2進数の信号である）、10進数における最大値が1となるように正規化される。例えば、仮に10進数とした場合に15の値となる信号が生成された場合には、この再構成処理は上位ビット復調信号および下位ビット復調信号を1/15倍とする。このようにして、仮に10進数に置き換えた場合の値の最大値を1として正規化されたM+Lビット分の最終A/D変換結果である最終デジタル信号を得る。

[0036] [数4]

$$\begin{aligned} &\text{最終デジタル信号} \\ &= \text{上位ビット復調信号} + \frac{2}{M(M+1)} \text{下位ビット復調信号} \\ &\dots (4) \end{aligned}$$

[0037] なお、MとNとは、同一であってもよいし、互いに異なってもよい。

[0038] 図8には、本開示の第2実施形態のAD変換回路1の構成が示されている。AD変換回路1は、2段の連続時間ΔΣ型AD変換回路として構成されて

いる。A/D変換回路1は、入力端子I_Nに与えられるアナログ信号をデジタル信号に変換し出力端子O_{UT}から出力する。A/D変換回路1は、連続時間 $\Delta\Sigma$ 型A/D変換器11、および、切替回路30を備えうる。また、A/D変換回路1は、デジタル復調回路40、および、再構成回路50を備えうる。連続時間 $\Delta\Sigma$ 型A/D変換器11は、差分信号を積分する積分回路を含みうる。切替回路30は、第1期間中は、入力端子I_Nに与えられるアナログ信号を連続時間 $\Delta\Sigma$ 型A/D変換器10に与える。また、切替回路30は、第1期間の後の第2期間中は、第1期間の終了時に連続時間 $\Delta\Sigma$ 型A/D変換器11の積分回路から出力された電圧に応じた電圧信号を連続時間 $\Delta\Sigma$ 型A/D変換器11に与える。第1期間は、入力端子I_Nに与えられるアナログ信号に対応するデジタル信号の上位ビット列を生成するためのA/D変換を行う期間である。第2期間は、入力端子I_Nに与えられるアナログ信号に対応するデジタル信号の下位ビット列を生成するためのA/D変換を行う期間である。上位ビット列は、複数ビットで構成されうる。また、下位ビット列は、複数ビットで構成されうる。

[0039] 連続時間 $\Delta\Sigma$ 型A/D変換器11は、第1期間の終了時において連続時間 $\Delta\Sigma$ 型A/D変換器11から出力される残差電圧に応じた電圧信号を保持（サンプル）し、第2期間において、その電圧信号を切替回路30に供給する。

[0040] 第1期間において、連続時間 $\Delta\Sigma$ 型A/D変換器11は、上位ビット列に相当するA/D変換を行う。また、第1期間の終了時に連続時間 $\Delta\Sigma$ 型A/D変換器11が保持（サンプル）した残差電圧に応じた電圧信号は、切替回路30を介して連続時間 $\Delta\Sigma$ 型A/D変換器11の入力端子に提供される。その後、第2期間において、連続時間 $\Delta\Sigma$ 型A/D変換器11は、下位ビット列に相当するA/D変換を行う。第1期間において連続時間 $\Delta\Sigma$ 型A/D変換器11から出力される時系列の $\Delta\Sigma$ 変調信号（上位ビット列）は、デジタル復調回路40でそれぞれ複数ビットのデジタル信号に復調される。また、第2期間において連続時間 $\Delta\Sigma$ 型A/D変換器10から出力される時系列の $\Delta\Sigma$ 変調信号（下位ビット列）は、デジタル復調回路40でそれぞれ複数ビットのデジ

タル信号に復調される。再構成回路50は、デジタル復調回路40によって復調された上位ビット列のデジタル信号と下位ビット列のデジタル信号とに基づいて、出力デジタル信号を生成する。連続時間 $\Delta\Sigma$ 型AD変換器11の内部信号、デジタル復調回路40の内部信号は、リセット信号に従って、第1期間の開始前、および、第2期間の開始前にリセットされる。本構成により、連続時間 $\Delta\Sigma$ 型AD変換器11において第1期間の終了時における残差電圧に応じた電圧信号が保持されることによって、2段の連続時間 $\Delta\Sigma$ 型AD変換回路としてのAD変換回路1を実現することができる。

[0041] 図9には、連続時間 $\Delta\Sigma$ 型AD変換器11の第1構成例として、2次の連続時間 $\Delta\Sigma$ 型AD変換器の構成が示されている。第1構成例の連続時間 $\Delta\Sigma$ 型AD変換器11は、第1積分器110と、第2積分器121と、比較器180と、デジタルアナログ変換器(DA変換器)190と、インバータ195とを含みうる。第1積分器110は、例えば、抵抗101、105、キャパシタ102、スイッチ103および増幅器104を含みうる。第2積分器121は、例えば、抵抗111、115、キャパシタ112、141、スイッチ113、131、132、133、134、142、増幅器114、143を含みうる。

[0042] 第1積分器110の入力端子には、切替回路30の出力がADC入力信号として供給される。第1積分器110の出力は、第2積分器121に供給され、第2積分器121の出力は、比較器180に供給される。また、比較器180の出力は、DA変換器190に供給され、DA変換器190の出力は、第1積分器110における抵抗105、第2積分器121における抵抗115に供給される。第2積分器121の出力は、連続時間 $\Delta\Sigma$ 型AD変換器11の残差電圧として出力される。

[0043] 切替信号がハイ状態のとき、抵抗111、115と、スイッチ113、131、133、キャパシタ112、増幅器114で構成される積分器が前述の上位ビット列に相当するA/D変換における積分動作を行う。上位ビット列に相当するA/D変換終了後、切替信号がロー状態となり、キャパシタ1

12 および増幅器 114 により残差電圧に応じた電圧信号が保持される。切替信号がロー状態のとき、抵抗 111、115 と、スイッチ 132、134、142、キャパシタ 141、増幅器 143 で構成される積分器が下位ビット列に相当する A/D 変換における積分動作を行う。本構成においては、第 2 積分器 121 で残差電圧保持回路を実現することで、制御信号を削減し、またスイッチの個数を削減することで実装面積を削減できる。

[0044] 図 9 の例では、AD 変換回路 1 は、2 次の連続時間 $\Delta\Sigma$ 型 AD 回路として構成されている。また、図 9 の例では、AD 変換回路 1 は、比較器 180、DA 変換器 190 が共に 1 ビットの構成を有する。しかし、比較器 180 および DA 変換器 190 を複数ビットとし、第 1 積分器 110 の抵抗 105 と第 2 の積分器 121 の抵抗 115 を比較器 180 および DA 変換器 190 の分解能に応じて増加し、並列接続してもよい。また、第 2 積分器 121 と比較器 180 との間に 1 以上の積分器を追加することで、3 次以上の連続時間 $\Delta\Sigma$ 型 AD 変換器を構成してもよい。積分器の個数を増やすことで、連続時間 $\Delta\Sigma$ 型 AD 変換器 10 の AD 変換速度を高速化できる。

[0045] 図 10 には、連続時間 $\Delta\Sigma$ 型 AD 変換器 11 の第 2 構成例として、フィードフォワード経路を有する 2 次の連続時間 $\Delta\Sigma$ 型 AD 変換器の構成が示されている。第 2 構成例の連続時間 $\Delta\Sigma$ 型 AD 変換器 11 は、第 1 積分器 110 と、第 2 積分器 122 と、4 入力比較器 181 と、デジタルアナログ変換器（DA 変換器）190 と、インバータ 195 とを含みうる。第 1 積分器 110 は、例えば、抵抗 101、105、キャパシタ 102、スイッチ 103 および増幅器 104 を含みうる。第 2 積分器 122 は、例えば、抵抗 111、キャパシタ 112、141、スイッチ 113、131、132、133、134、142 および増幅器 114、143 を含みうる。図 10 に示された第 2 構成例の連続時間 $\Delta\Sigma$ 型 AD 変換器 11 の動作は、図 9 に示された第 1 構成例の連続時間 $\Delta\Sigma$ 型 AD 変換器 11 の動作と同様であり、また、第 1 実施形態の第 2 構成例（図 4）で説明したメリットがある。

[0046] 図 10 の例では、AD 変換回路 1 は、2 次の連続時間 $\Delta\Sigma$ 型 AD 回路とし

て構成されている。また、図10の例では、AD変換回路1は、4入力比較器181およびDA変換器190が共に1ビットの構成を有する。しかし、4入力比較器181およびDA変換器190を複数ビットとし、第1積分器110の抵抗105を4入力比較器181およびDA変換器190の分解能に応じて増加し、並列接続してもよい。また、第2積分器131と4入力比較器181との間に1以上の積分器を追加することで、3次以上の連続時間 $\Delta\Sigma$ 型AD変換器を構成してもよい。

[0047] 図11には、連続時間 $\Delta\Sigma$ 型AD変換器11の第3構成例として、フィードフォワード経路を有する2次の連続時間 $\Delta\Sigma$ 型AD変換器の構成が示されている。第3構成例の連続時間 $\Delta\Sigma$ 型AD変換器11は、第1積分器110と、第2積分器123と、4入力比較器181と、DA変換器190と、インバータ195と、スイッチ200、210と、インバータ195、196とを含みうる。第1積分器110は、例えば、抵抗101、105、キャパシタ102、スイッチ103および増幅器104を含みうる。第2積分器123は、例えば、キャパシタ112、154と、スイッチ113、131、151、152、153、155、156と、増幅器114、157とを含みうる。

[0048] 図12には、図11の第3構成例の連続時間 $\Delta\Sigma$ 型AD変換器11の動作が示されている。第3構成例の連続時間 $\Delta\Sigma$ 型AD変換器11では、第2積分器123の動作が上位ビット列に相当するA/D変換時と下位ビット列に相当するA/D変換時とで異なる。上位ビット列に相当するA/D変換時は、キャパシタ112、スイッチ113、131、153、155、156および増幅器114で構成されるスイッチトキャパシタ積分器によって積分動作が行われる。一方、下位ビット列に相当するA/D変換時は、スイッチ153、156、151、152および増幅器157で構成されるgm-C型積分器によって積分動作が行われる。下位ビット列に相当するA/D変換時は、キャパシタ112および増幅器114で構成される保持回路によって残差電圧信号に応じた電圧信号が出力される。4入力比較器181に供給され

る第2積分器123の内部信号は、上位ビット列に相当するA/D変換時と下位ビット列に相当するA/D変換時とで異なり、スイッチ200、210で切替えられる。第2積分器123をこのような構成とすることで、図10に示された構成に比べて、抵抗の数を削減することができ、実装面積が削減できる。

[0049] 図11の例では、AD変換回路1は、2次の連続時間 $\Delta\Sigma$ 型AD回路として構成されている。また、図11の例では、AD変換回路1は、4入力比較器181およびDA変換器190が共に1ビットの構成を有する。しかし、4入力比較器181およびDA変換器190を複数ビットとし、第1積分器110の抵抗105を4入力比較器181およびDA変換器190の分解能に応じて増加し、並列接続してもよい。また、第1積分器110と第2積分器123との間に1以上の積分器を追加することで、3次以上の連続時間 $\Delta\Sigma$ 型AD変換器を構成してもよい。

[0050] 図13には、本開示の第3実施形態のAD変換回路1の構成が示されている。AD変換回路1は、2段の連続時間 $\Delta\Sigma$ 型AD変換回路として構成されている。AD変換回路1は、入力端子INに与えられるアナログ信号をデジタル信号に変換し出力端子OUTから出力する。AD変換回路1は、連続時間 $\Delta\Sigma$ 型AD変換器10、および、切替回路30を備えうる。また、AD変換回路1は、残差電圧保持回路20、デジタル復調回路40、再構成回路50、および、デジタル利得調整回路60を備えうる。連続時間 $\Delta\Sigma$ 型AD変換器10は、差分信号を積分する積分回路を含みうる。切替回路30は、第1期間中は、入力端子INに与えられるアナログ信号を連続時間 $\Delta\Sigma$ 型AD変換器10に与える。また、切替回路30は、第1期間の後の第2期間中は、第1期間の終了時に連続時間 $\Delta\Sigma$ 型AD変換器10の積分回路から出力された電圧に応じた電圧信号を連続時間 $\Delta\Sigma$ 型AD変換器10に与える。第1期間は、入力端子INに与えられるアナログ信号に対応するデジタル信号の上位ビット列を生成するためのAD変換を行う期間である。第2期間は、入力端子INに与えられるアナログ信号に対応するデジタル信号の下位ビット

列を生成するためのA/D変換を行う期間である。上位ビット列は、複数ビットで構成されうる。また、下位ビット列は、複数ビットで構成されうる。

[0051] 残差電圧保持回路20は、第1期間の終了時において連続時間 $\Delta\Sigma$ 型A/D変換器10から出力される残差電圧に応じた電圧信号を保持（サンプル）し、第2期間において、その電圧信号を切替回路30に供給する。残差電圧保持回路20は、例えば、保持回路リセット信号およびサンプル信号により制御されうる。

[0052] 第1期間において、連続時間 $\Delta\Sigma$ 型A/D変換器10は、上位ビット列に相当するA/D変換を行い、第1期間の終了時に残差電圧保持回路20によって保持されていた残差電圧に応じた電圧信号は、切替回路30により、連続時間 $\Delta\Sigma$ 型A/D変換器10に提供される。その後、第2期間において、連続時間 $\Delta\Sigma$ 型A/D変換器10は、下位ビット列に相当するA/D変換を行う。第1期間において連続時間 $\Delta\Sigma$ 型A/D変換器10から出力される時系列の $\Delta\Sigma$ 変調信号（上位ビット列）は、デジタル復調回路40でそれぞれ複数ビットのデジタル信号に復調される。また、第2期間において連続時間 $\Delta\Sigma$ 型A/D変換器10から出力される時系列の $\Delta\Sigma$ 変調信号（下位ビット列）は、デジタル復調回路40でそれぞれ複数ビットのデジタル信号に復調される。再構成回路50は、デジタル復調回路40によって復調された上位ビット列のデジタル信号と下位ビット列のデジタル信号とに基づいて、出力デジタル信号を生成する。連続時間 $\Delta\Sigma$ 型A/D変換器10の内部信号、残差電圧保持回路20が保持している電圧信号、デジタル復調回路40の内部信号は、リセット信号に従って、第1期間の開始前、および、第2期間の開始前にリセットされる。

[0053] デジタル利得調整回路60は、デジタル復調回路40と再構成回路50との間に配置されうる。デジタル利得調整回路60は、デジタル復調回路40から出力されるデジタル信号に対して利得調整を行い、利得調整が行われたデジタル信号を再構成回路50に供給しうる。デジタル利得調整回路60は、例えば、デジタル復調回路40から出力される下位ビット列のデジタル信

号に対して利得調整を行い、デジタル復調回路40から出力される上位ビット列のデジタル信号に対して利得調整を行わないように構成されうる。なお、デジタル利得調整回路500によって印加するデジタルゲイン（補正值）は、AD変換の対象であるアナログ信号のAD変換に先立って取得しておくことができる。例えば、基準値のアナログ信号をAD変換回路2に入力し、本来得られるデジタル信号（期待値）と、実際にAD変換回路2から出力されるデジタル信号とを比較することによって補正值を生成することができる。なお、さらに補正の精度を向上させる場合には、値の異なる複数の基準値のアナログ信号を用いて、補正值の取得動作を行うとよい。

[0054] 残差電圧保持回路20では、例えば、増幅回路の有限利得により生じる利得誤差等、回路固有の誤差が発生しうる。そのような利得誤差により、上位ビット復調信号と下位ビット復調信号との間に、式（2）、（3）で示した理論値からの誤差が生じうる。これにより、A/D変換器の非直線性ひずみとなり性能が低下しうる。本構成により、残差電圧保持回路の利得誤差をデジタル補正することで、非直線性ひずみを改善できる。

[0055] 図14には、本開示の第3実施形態の別の構成例が示されている。図14に示された構成例は、第2実施形態（図8）に対してデジタル利得調整回路60を追加した構成を有する。

[0056] 図18、図19、図20A、図20B、図21A、図21B、図21C、図22を参照しながら第4実施形態の2段連続時間 $\Delta\Sigma$ 型AD変換回路1におけるアナログ回路部の構成および動作を説明する。なお、第4実施形態として言及しない事項は、第1乃至第3実施形態に従いうる。AD変換回路1は、連続時間 $\Delta\Sigma$ 型AD変換器10、切替回路30、および、バッファ回路70を備えうる。また、図示されていないが、連続時間 $\Delta\Sigma$ 型AD変換回路1は、第1乃至第4実施形態と同様に、デジタル復調回路40、および、再構成回路50を備えうる。

[0057] 切替回路30は、第1期間中は、入力端子INに与えられるアナログ信号をバッファ回路70に与え、第1期間の後の第2期間中は、第1期間の終了

時に連続時間 $\Delta\Sigma$ 型A/D変換器10から出力された残差電圧をバッファ回路70に与える。第1期間は、入力端子INに与えられるアナログ信号に対応するデジタル信号の上位ビット列を生成するためのA/D変換を行う期間である。第2期間は、入力端子INに与えられるアナログ信号に対応するデジタル信号の下位ビット列を生成するためのA/D変換を行う期間である。上位ビット列は、複数ビットで構成されうる。また、下位ビット列は、複数ビットで構成されうる。

[0058] バッファ回路70は、第1期間の終了時に連続時間 $\Delta\Sigma$ 型A/D変換器10から切替回路30を介して供給される残差電圧を第2期間にわたって保持する機能を有する。バッファ回路70は、保持回路リセット信号およびサンプル信号によって制御される。バッファ回路70は、上位ビット列を生成するためのA/D変換を行う第1期間は、切替回路30の入力端子INに供給され切替回路30から出力されるアナログ信号をバッファリングして連続時間 $\Delta\Sigma$ 型ADC10に出力する。バッファ回路70は、上位ビット列を生成するための第1期間の終了時において連続時間 $\Delta\Sigma$ 型ADC10から出力される残差電圧を保持する。その後、第2期間において、バッファ回路70は、その保持した残差電圧をバッファリングした電圧、即ち、残差電圧に応じた電圧を連続時間 $\Delta\Sigma$ 型ADC10に出力する。つまり、バッファ回路70は、第1期間の終了時に連続時間 $\Delta\Sigma$ 型ADC10の積分回路から出力された残差電圧に応じた電圧信号を保持する機能を有する。

[0059] 連続時間 $\Delta\Sigma$ 型ADC1は、図3に例示されるように、入力段に第1積分器110を有しうる。第1積分器110が電圧電流変換回路を有する場合、該電圧電流変換回路には、入力されるアナログ信号電圧に応じた直流電圧が流れる。例えば、連続時間 $\Delta\Sigma$ 型AD回路10に対してアナログ信号を供給する回路としてソースフォロア回路が用いられた場合、アナログ信号の電圧値に応じた直流電流値がバイアス電流に加えて流れる。そのため、ソースフォロア回路の利得偏差が発生し、アナログ信号の直線性が劣化しうる。一方、第5実施形態のように、アナログ信号の入力経路にバッファ回路70を配

置することで、ソースフォロア回路においてアナログ信号の電圧値に応じて流れる直流電流が抑制されることで、直線性が改善される。加えて、残差電圧を保持する回路とバッファ回路 70 の増幅器を共通化することで、回路構成要素および消費電力を増加させることなく直線性を改善することができる。

[0060] 図 19 には、残差電圧を保持する機能を有するバッファ回路 70 の第 1 構成例が示されている。バッファ回路 70 は、増幅器 800 および電圧保持回路 810 を有する。電圧保持回路 810 は、保持回路リセット信号およびサンプル信号によって制御され、連続時間 $\Delta \Sigma$ 型 ADC 10 から供給される残差電圧を保持し出力する。バッファ回路 70 は、例えば、2 入力 1 出力の増幅器 800 を用いてボルテージフォロア回路を構成とすることで実現される。

[0061] 第 1 期間において、入力端子 IN に与えられるアナログ信号は、増幅器 800 を使ってバッファリングされる。第 2 期間において、第 1 期間の終了時に電圧保持回路 810（残差電圧を保持する機能）によって保持された電圧が増幅器 800 を使って保持され、かつバッファリングされることによって電圧信号が生成される。

[0062] 図 20A、図 20B には、切替回路 30 およびバッファ回路 70 を含む回路の具体的な構成例、タイミングチャートがそれぞれ示されている。電圧保持回路 810 は、スイッチ 811、812 および容量 813 で構成される。切替信号がローの期間において、入力端子 IN に供給されるアナログ信号は、増幅器 800（ボルテージフォロア回路）により構成されるバッファ回路 70 に供給され、該ボルテージフォロア回路によりバッファリングされたアナログ信号が連続時間 $\Delta \Sigma$ 型 ADC 10 に供給される。連続時間 $\Delta \Sigma$ 型 ADC 10 が上位ビット列を生成するための AD 変換を行う第 1 期間において上位ビット列の最終ビットの A/D 変換の積分器蓄積が完了するまで、該ボルテージフォロア回路はアナログ信号をバッファリングし続ける。その後、サンプル信号がハイとなり、残差電圧が容量 813 に蓄積され、サンプル信号

がローとなった以降は、蓄積された残差電圧が、保持回路リセット信号がハイとなるまで保持される。切替回路30は、下位ビット列を生成するためのAD変換を行う第2期間において、電圧保持回路810の出力信号を連続時間 $\Delta\Sigma$ 型ADC10に供給する。なお、保持回路リセット信号は、上位ビット列を生成するためのAD変換を行う第1期間の開始時にハイとなり、第1期間における最後の積分器蓄積動作の前の任意の時点でローとなりうる。

[0063] 図21A、図21Bには、切替回路30およびバッファ回路70を含む回路の第2構成例、タイミングチャートがそれぞれ示されている。図21Cには、バッファ回路の状態の遷移が模式的に示されている。切替回路30およびバッファ回路70は、スイッチ851、852、853、854、855、856、857、858、容量813、OR回路870、増幅器800で構成される。第2構成例の回路では、時刻 t_1 において、切替信号がハイ、サンプル信号がロー、保持回路リセット信号がハイ、ホールド信号がローとなり、図21Cにおける状態S211となる。この時、増幅器800とスイッチ858で構成されるボルテージフォロア回路でアナログ信号をバッファリングしながら、スイッチ852、855を用いて容量813の蓄積電荷がリセットされる。その後、時刻 t_1 から時刻 t_2 までの期間中の任意の時刻において、保持回路リセット信号がローとなり、リセット動作が完了する。時刻 t_2 において、サンプル信号がハイとなり、スイッチ857、852及び容量813により、図21Cにおける状態S212となる。この状態では、残差信号がサンプルされる。時刻 t_3 において、切替信号がロー、サンプル信号がロー、ホールド信号がハイとなり、増幅器800、容量813、スイッチ854、856、853により、図21Cにおける状態S213となる。この状態は、回路は帰還回路を構成し、時刻 t_2 においてサンプルされた信号を保持しながらバッファリングする。

[0064] 本構成のように、サンプルした信号を、増幅器を用いた帰還回路により保持しながらバッファリングすることで、寄生容量等を介して容量に混入する妨害信号の除去能力が高まり、保持期間において出力される残差電圧の不要

な誤差が低減されるメリットがある。

[0065] 図 2 2、図 2 3 A、図 2 3 B、図 2 3 C を参照しながら第 5 実施形態の 2 段連続時間 $\Delta \Sigma$ 型 A/D 変換回路 1 におけるアナログ回路部の構成および動作を説明する。なお、第 5 実施形態として言及しない事項は、第 1 乃至第 4 実施形態に従いうる。A/D 変換回路 1 は、連続時間 $\Delta \Sigma$ 型 A/D 変換器 10、切替回路 30、および、バッファ回路 80 を備えうる。また、図示されていないが、連続時間 $\Delta \Sigma$ 型 A/D 変換回路 1 は、第 1 乃至第 4 実施形態と同様に、デジタル復調回路 40、および、再構成回路 50 を備えうる。

[0066] 切替回路 30 は、第 1 期間中は、入力端子 IN に与えられるアナログ信号をバッファ回路 70 に与え、第 1 期間の後の第 2 期間中は、第 1 期間の終了時に連続時間 $\Delta \Sigma$ 型 A/D 変換器 10 から出力された残差電圧をバッファ回路 70 に与える。第 1 期間は、入力端子 IN に与えられるアナログ信号に対応するデジタル信号の上位ビット列を生成するための A/D 変換を行う期間である。第 2 期間は、入力端子 IN に与えられるアナログ信号に対応するデジタル信号の下位ビット列を生成するための A/D 変換を行う期間である。上位ビット列は、複数ビットで構成されうる。また、下位ビット列は、複数ビットで構成されうる。

[0067] バッファ回路 80 は、アナログ信号および残差電圧を保持する機能を有する。バッファ回路 80 は、保持回路リセット信号およびサンプル信号によって制御される。バッファ回路 80 は、上位ビット列を生成するための A/D 変換を行う第 1 期間の開始時に切替回路 30 の入力端子 IN に供給され切替回路 30 から出力されるアナログ信号を保持（サンプルホールド）し、その保持したアナログ信号をバッファリングして第 1 期間にわたって出力する。つまり、バッファ回路 80 は、第 1 期間の開始時に入力端子 IN に与えられるアナログ信号を保持する機能を有する。バッファ回路 70 は、上位ビット列を生成するための第 1 期間の終了時において連続時間 $\Delta \Sigma$ 型 A/D C 10 から出力される残差電圧を保持（サンプルホールド）する。その後、第 2 期間において、バッファ回路 70 は、その保持した残差電圧をバッファリングし

た電圧、即ち、残差電圧に応じた電圧を連続時間 $\Delta\Sigma$ 型ADC10に出力する。つまり、バッファ回路80は、第1期間の終了時に連続時間 $\Delta\Sigma$ 型ADC10の積分回路から出力された残差電圧に応じた電圧信号を保持する機能を有する。

[0068] 以上のように、第5実施形態では、残差電圧を保持する保持回路にバッファ回路の機能が追加されるとともに、アナログ信号をサンプルホールドする機能が追加される。これにより、アナログ信号のサンプルと、連続時間 $\Delta\Sigma$ 型AD変換回路へのアナログ信号の提供のための保持期間をパイプライン動作とすることができる。連続時間 $\Delta\Sigma$ 型AD変換回路に提供されるアナログ信号の整定時間がA/D変換期間に対して長時間である場合、該回路のパイプライン動作により、A/D変換の高速化が可能となる。

[0069] 図23A、図23Bには、切替回路30およびバッファ回路80を含む回路の具体的な構成例、タイミングチャートがそれぞれ示されている。該回路は、スイッチ860、861、862、863、864、865、866、867、868、869、容量815、816、AND回路875、878、880、OR回路877、インバータ回路876、879、増幅器801で構成される。該回路は、時刻 t_1 において、切替信号がハイ、サンプル信号がハイ、保持回路リセット信号がロー、ホールド信号がローとなり、図23Cにおける状態S231となる。この状態では、増幅器801、容量816、スイッチ865、866で構成される帰還回路により、サンプルされた残差電圧をバッファリングしながら、スイッチ860、862を用いて容量815によってアナログ信号をサンプルする。その後、時刻 t_2 において、切替信号がロー、サンプル信号がロー、保持回路リセット信号がハイ、ホールド信号がハイとなり、図23Cにおける状態S232となる。この時、増幅器801、容量815、スイッチ863、864で構成される帰還回路により、サンプルされたアナログ信号をバッファリングしながら、スイッチ867、868を用いて容量816をリセットする。時刻 t_2 から t_3 までの期間における任意の時刻において、保持回路リセット信号がローとなり、容

量 816 のリセット動作が完了する。時刻 t_3 において、サンプル信号がハイ、ホールド信号がローとなり、容量 816、スイッチ 867、869 で構成される回路で、残差電圧がサンプルされる。時刻 t_4 において、切替信号がハイ、サンプル信号がロー、ホールド信号がハイとなり、図 23C における状態 S234 となる。増幅器 801、容量 816、スイッチ 865、866 で構成される帰還回路で、サンプルされた残差電圧をバッファリングしながら、スイッチ 861、862 を用いて容量 815 がリセットされる。第 1 期間において、入力端子 IN に与えられるアナログ信号は、増幅器 801 を使って保持され、かつバッファリングされる。第 2 期間において、第 1 期間の終了時に保持回路によって保持された電圧が増幅器 801 を使って保持され、かつバッファリングされることによって電圧信号が生成される。

[0070] 図 24、図 25、図 26、図 27 を参照しながら第 6 実施形態の 2 段連続時間 $\Delta\Sigma$ 型 AD 変換回路 1 におけるアナログ回路部の構成および動作を説明する。なお、第 6 実施形態として言及しない事項は、第 1 乃至第 5 実施形態に従いうる。図 24 には、第 6 実施形態の AD 変換回路 1 の構成が示されている。AD 変換回路 1 は、連続時間 $\Delta\Sigma$ 型 ADC 10、残差電圧保持回路 20、切替回路 30、デジタル復調回路 40、再構成回路 50、電圧調整回路 90、バッファ回路 95 を備えうる。連続時間 $\Delta\Sigma$ 型 AD 変換器 10 は、差分信号を積分する積分回路を含みうる。切替回路 30 は、第 1 期間中は、入力端子 IN に与えられるアナログ信号をバッファ回路 95 を介して連続時間 $\Delta\Sigma$ 型 AD 変換器 10 に与える。また、切替回路 30 は、第 1 期間の後の第 2 期間中は、第 1 期間の終了時に連続時間 $\Delta\Sigma$ 型 AD 変換器 10 の積分回路から出力された電圧に応じた電圧信号をバッファ回路 95 を介して連続時間 $\Delta\Sigma$ 型 AD 変換器 10 に与える。

[0071] AD 変換期間における連続時間 $\Delta\Sigma$ 型 ADC 10 の内部電圧は、調整信号に基づいて電圧調整回路 90 によって調整信号の信号値の近傍範囲内に調整される。連続時間 $\Delta\Sigma$ 型 ADC 10 に内部電圧を調整する電圧調整回路 90 を追加することで、図 18 に示された第 4 実施形態で説明したメリットに加

え、以下のようなメリットが提供される。それは、バッファ回路 95 の動作点と連続時間 $\Delta\Sigma$ 型 ADC 10 内の内部電圧の動作点とが異なる場合でも、連続時間 $\Delta\Sigma$ 型 ADC 10 内のアナログ回路における内部電圧の動作点が調整信号の信号値の近傍範囲内に調整されることで直線性が改善されることである。

[0072] 図 25 には、第 6 実施形態の連続時間 $\Delta\Sigma$ 型 AD 変換器 10 および電圧調整回路 90 の第 1 構成例が示されている。連続時間 $\Delta\Sigma$ 型 ADC 10 は、第 1 積分器 110 と、第 2 積分器 120 と、比較器 180 と、DA 変換器 190 とを含みうる。第 1 積分器 110 は、例えば、抵抗 101、105、キャパシタ 102、スイッチ 103 および増幅器 104 を含みうる。第 2 積分器 120 は、例えば、抵抗 111、115、キャパシタ 112、スイッチ 113 および増幅器 114 を含みうる。電圧調整回路 90 は、第 1 調整回路 910 および第 2 電圧調整回路 920 を含みうる。図 25 に示された連続時間 $\Delta\Sigma$ 型 ADC 10 の動作は、図 3 に示された連続時間 $\Delta\Sigma$ 型 ADC 10 の動作と同様である。

[0073] 第 1 積分器 110 の出力は、第 2 積分器 120 に供給され、第 2 積分器 120 の出力は、比較器 180 に供給される。また、比較器 180 の出力は、DA 変換器 190 に供給され、DA 変換器 190 の出力は、第 1 積分器 110 における抵抗 105、第 2 積分器 120 における抵抗 115 に供給される。第 2 積分器 120 の出力は、連続時間 $\Delta\Sigma$ 型 ADC 10 の残差電圧として出力される。

[0074] 第 1 積分器 110 において、抵抗 101、105、キャパシタ 102、スイッチ 103 および増幅器 104 が接続される第 1 内部ノード N1 における第 1 内部信号は、第 1 調整回路 910 の調整ノードに接続される。第 1 内部ノード N1 における第 1 内部信号は、第 1 調整回路 910 によって、第 1 調整回路 910 に入力される調整信号の信号値の近傍範囲（換言すると、所定範囲）内に調整される。第 2 積分器 120 において、抵抗 111、115、キャパシタ 112、スイッチ 113 および増幅器 114 が接続される第 2 内

部ノードN2における第2内部信号は、第2調整回路920によって、第2調整回路920に入力される調整信号の近傍範囲（換言すると、所定範囲）内に調整される。以上の構成により、連続時間 $\Delta\Sigma$ 型ADC10のAD変換期間において、第1積分器110、第2積分器120における第1内部信号、第2内部信号は、調整信号の近傍範囲内に調整される。

[0075] なお、図25では、単相回路の構成例を示したが、第1積分器110および第2積分器120が差動回路である場合においても、同様の構成で内部ノードの電圧を調整することができる。差動回路の場合、調整信号として入力される電圧は同相モード信号であり、また、第1、第2調整回路により調整される第1、第2内部ノードの電圧は同相モード電圧となる。

[0076] 図25の例では、AD変換回路1は、2次の連続時間 $\Delta\Sigma$ 型ADCとして構成されている。また、図25の例では、AD変換回路1は、比較器180、DA変換器190が共に1ビットの構成を有する。しかし、比較器180およびDA変換器190を複数ビットとし、第1積分器110の抵抗105と第2積分器120の抵抗115を比較器180およびDA変換器190の分解能に応じて増加し、並列接続してもよい。比較器180とDA変換器190を複数ビットで構成することで、連続時間 $\Delta\Sigma$ 型AD変換器10のAD変換速度を高速化できる。また、第2積分器120と比較器180との間に1以上の積分器を追加することで、3次以上の連続時間 $\Delta\Sigma$ 型AD変換器を構成してもよい。積分器の個数を増やすことで、連続時間 $\Delta\Sigma$ 型AD変換器10のAD変換速度を高速化できる。

[0077] 図26には、第6実施形態の連続時間 $\Delta\Sigma$ 型AD変換器11の第2構成例が示されている。連続時間 $\Delta\Sigma$ 型ADC10は、第1積分器110と、第2積分器130と、4入力比較器181と、DA変換器190とを含みうる。第1積分器110は、例えば、抵抗101、105、キャパシタ102、スイッチ103および増幅器104を含みうる。第2積分器130は、例えば、抵抗111、キャパシタ112、スイッチ113および増幅器114を含みうる。電圧調整回路90は、第1調整回路910および第2電圧調整回路

920を含みうる。

[0078] 第1積分器110の出力は、第2積分器120に供給され、第2積分器120の出力は、4入力比較器181に供給される。また、4入力比較器181の出力は、DA変換器190に供給され、DA変換器190の出力は、第1積分器110における抵抗105に供給される。第2積分器130の出力は、連続時間 $\Delta\Sigma$ 型ADC10の残差電圧として出力される。

[0079] 第1積分器110において、抵抗101、105、キャパシタ102、スイッチ103および増幅器104が接続される第1内部ノードにおける第1内部信号は、第1調整回路910の調整ノードに接続される。該内部ノードにおける第1内部信号は、第1調整回路910によって、第1調整回路910に入力される調整信号の信号値の近傍範囲内に調整される。第2積分器130において、抵抗111、キャパシタ112、スイッチ113および増幅器114が接続される第2内部ノードにおける第2内部信号は、第2調整回路920によって、第2調整回路920に入力される調整信号の近傍範囲内に調整される。以上の構成により、連続時間 $\Delta\Sigma$ 型ADC10のAD変換期間において、第1積分器110、第2積分器130における第1内部信号、第2内部信号は、調整信号の近傍範囲内に調整される。

[0080] なお、図26では、単相回路の構成例を示したが、第1積分器110および第2積分器120が差動回路である場合においても、同様の構成で内部電圧を調整することができる。差動回路の場合、調整信号として入力される電圧は同相モード信号であり、また、第1、第2調整回路により調整される第1、第2内部電圧は同相モード電圧となる。

[0081] 図26に示された連続時間 $\Delta\Sigma$ 型ADC10の動作は、図3に示された連続時間 $\Delta\Sigma$ 型ADC10の動作と同様である。図26に示された連続時間 $\Delta\Sigma$ 型ADC10では、切替回路30からADC入力信号として供給される信号が4入力比較器181に供給される。また、第1積分器110の出力および第2積分器130の出力が4入力比較器181に供給される。このような構成によれば、第1積分器110および第2積分器130から出力される信

号の振幅を抑制可能であり、増幅器 104 および 114 の非線形性の影響を抑えることができる。これにより、連続時間 $\Delta\Sigma$ 型 A/D 変換器 10 の非直線性ひずみ特性を改善できる。

[0082] 図 26 の例では、A/D 変換回路 1 は、2 次の連続時間 $\Delta\Sigma$ 型 A/D C として構成されている。また、図 26 の例では、A/D 変換回路 1 は、4 入力比較器 181、D/A 変換器 190 が共に 1 ビットの構成を有する。しかし、4 入力比較器 180 および D/A 変換器 190 を複数ビットとし、第 1 積分器 110 の抵抗 105 を 4 入力比較器 181 および D/A 変換器 190 の分解能に応じて増加し、並列接続してもよい。また、第 2 積分器 130 と 4 入力比較器 181 との間に 1 以上の積分器を追加することで、3 次以上の連続時間 $\Delta\Sigma$ 型 A/D 変換器を構成してもよい。積分器の個数を増やすことで、連続時間 $\Delta\Sigma$ 型 A/D 変換器 10 の A/D 変換速度を高速化できる。

[0083] 図 27 には、第 1 調整回路 910 の詳細な構成例が示されている。第 1 調整回路 910 は、増幅器 930、PMOS 型トランジスタ 940、電流源 950 で構成されうる。増幅器 930 の非反転入力端子には、調整信号が供給され、増幅器 930 の反転入力端子には、第 1 積分器 110 の内部ノードが接続されうる。増幅器 930 は、PMOS 型トランジスタ 940 のゲートに接続されうる。PMOS 型トランジスタ 940 のソースは、電流源 950 および増幅器 930 の反転入力端子に接続されうる。このような構成によれば、負帰還の原理により、第 1 積分器 110 の内部ノードの電圧が調整信号の信号値の近傍範囲内に制御される。第 2 調整回路 920 は、第 1 調整回路 910 と同様の構成を有しうる。図 25 に示された構成は、負帰還の原理で調整対象である内部ノードの電圧を調整する回路の一例であり、同種の機能を実現する回路であれば、他の構成が第 1 積分器 110、第 2 積分器 130 の内部ノードの電圧を調整するために採用されうる。

[0084] 図 15 には、本開示の第 7 実施形態の光電変換装置 P E C の構成が示されている。光電変換装置 P E C は、画像を撮像し出力する固体撮像装置として構成されうる。あるいは、光電変換装置 P E C は、画像を撮像し、撮像され

た画像から得られる信号を出力する装置として構成されうる。

[0085] 光電変換装置 P E C は、例えば、画素アレイ（複数の光電変換部で構成されるアレイ）800と、垂直駆動回路830と、読出回路（電流源、A D C）810と、制御回路850と、信号処理回路820とを備えうる。読出回路810は、複数の垂直線840にそれぞれ接続された複数の電流源と、選択された行の画素から複数の垂直線840に出力された信号をA D変換するA D変換器とを含みうる。読出回路810の各A D変換器は、第1乃至第4実施形態に代表される2段の連続時間 $\Delta \Sigma$ 型A D変換回路が適用されうる。これにより、読出回路810を小型化することができる。

[0086] 光電変換装置 P E C は、画素アレイ800から各画素からリセットレベルと、光電変換によって発生した光信号レベルを読出回路810によって読み出すように構成されうる。読出回路810は、リセットレベルのデジタル信号、および、光信号レベルのデジタル信号を出力するように構成されうる。信号処理回路820は、リセットレベルのデジタル信号および光信号レベルのデジタル信号に対してC D S処理を行い、C D S処理された信号を出力するように構成されうる。画素アレイ800、垂直駆動回路830、読出回路810、制御回路850および信号処理回路820は、1つの基板に構成されてもよいし、複数の基板に分配して構成された後に積層されてもよいし、複数のチップに分割されて構成されてもよい。光電変換装置 P E C はC M O Sイメージセンサでありうる。また、光電変換装置 P E C は表面照射型のセンサであっても良いし、裏面照射型のセンサであっても良い。

[0087] 以下、上記の第7実施形態に係る光電変換装置 P E C を用いた光電変換システムの一例を説明する。

[0088] 図16は、一実施形態に係る光電変換システム1200の構成を示すブロック図である。本実施形態の光電変換システム1200は、光電変換装置1215を含む。ここで、光電変換装置1215には、第4実施形態に係る光電変換装置 P E C を適用することができる。光電変換システム1200は、例えば、撮像システムとして用いることができる。撮像システムの具体例と

しては、デジタルスチルカメラ、デジタルカムコーダー、監視カメラ等が挙げられる。図 1 6 では、光電変換システム 1 2 0 0 としてデジタルスチルカメラの例を示している。

[0089] 図 1 6 に示す光電変換システム 1 2 0 0 は、光電変換装置 1 2 1 5、被写体の光学像を光電変換装置 1 2 1 5 に結像させるレンズ 1 2 1 3、レンズ 1 2 1 3 を通過する光量を可変にするための絞り 1 2 1 4、レンズ 1 2 1 3 の保護のためのバリア 1 2 1 2 を有する。レンズ 1 2 1 3 および絞り 1 2 1 4 は、光電変換装置 1 2 1 5 に光を集光する光学系である。撮像用途に使用される光電変換システムは撮像システムとも称される。

[0090] 光電変換システム 1 2 0 0 は、光電変換装置 1 2 1 5 から出力される出力信号の処理を行う信号処理部 1 2 1 6 を有する。信号処理部 1 2 1 6 は、必要に応じて入力信号に対して各種の補正、圧縮を行って出力する信号処理の動作を行う。光電変換システム 1 2 0 0 は、更に、画像データを一時的に記憶するためのバッファメモリ部 1 2 0 6、外部コンピュータ等と通信するための外部インターフェース部（外部 I / F 部） 1 2 0 9 を有する。更に光電変換システム 1 2 0 0 は、撮像データの記録または読み出しを行うための半導体メモリ等の記録媒体 1 2 1 1、記録媒体 1 2 1 1 に記録または読み出しを行うための記録媒体制御インターフェース部（記録媒体制御 I / F 部） 1 2 1 0 を有する。記録媒体 1 2 1 1 は、光電変換システム 1 2 0 0 に内蔵されていてもよく、着脱可能であってもよい。また、記録媒体制御 I / F 部 1 2 1 0 から記録媒体 1 2 1 1 との通信や外部 I / F 部 1 2 0 9 からの通信は無線によってなされてもよい。

[0091] 更に光電変換システム 1 2 0 0 は、各種演算を行うとともにデジタルスチルカメラ全体を制御する全体制御・演算部 1 2 0 8、光電変換装置 1 2 1 5 と信号処理部 1 2 1 6 に各種タイミング信号を出力するタイミング発生部 1 2 1 7 を有する。ここで、タイミング信号などは外部から入力されてもよく、光電変換システム 1 2 0 0 は、少なくとも光電変換装置 1 2 1 5 と、光電変換装置 1 2 1 5 から出力された出力信号を処理する信号処理部 1 2 1 6 と

を有すればよい。タイミング発生部 1 2 1 7 は光電変換装置に搭載されていてもよい。全体制御・演算部 1 2 0 8 およびタイミング発生部 1 2 1 7 は、光電変換装置 1 2 1 5 の制御機能の一部または全部を実施するように構成してもよい。

[0092] 光電変換装置 1 2 1 5 は、画像用信号を信号処理部 1 2 1 6 に出力する。信号処理部 1 2 1 6 は、光電変換装置 1 2 1 5 から出力される画像用信号に対して所定の信号処理を実施し、画像データを出力する。また、信号処理部 1 2 1 6 は、画像用信号を用いて、画像を生成する。また、信号処理部 1 2 1 6 は、光電変換装置 1 2 1 5 から出力される信号に対して測距演算を行ってもよい。なお、信号処理部 1 2 1 6 やタイミング発生部 1 2 1 7 は、光電変換装置に搭載されていてもよい。つまり、信号処理部 1 2 1 6 やタイミング発生部 1 2 1 7 は、画素が配された基板に設けられていてもよいし、別の基板に設けられている構成であってもよい。上述した各実施形態の光電変換装置を用いて撮像システムを構成することにより、より良質の画像が取得可能な撮像システムを実現することができる。

[0093] 他の実施形態の光電変換システムあるいは移動体について、図 1 7 A、図 1 7 B を用いて説明する。図 1 7 A、図 1 7 B は、本実施形態による光電変換システムあるいは移動体の構成例を示す概略図である本実施形態では、光電変換システムとして、車載カメラの一例を示す。

[0094] 図 1 7 A、図 1 7 B は、車両システムとこれに搭載される撮像を行う光電変換システムの一例を示したものである。光電変換システム 1 3 0 1 は、光電変換装置 1 3 0 2、画像前処理部 1 3 1 5、集積回路 1 3 0 3、光学系 1 3 1 4 を含む。光学系 1 3 1 4 は、光電変換装置 1 3 0 2 に被写体の光学像を結像する。光電変換装置 1 3 0 2 は、光学系 1 3 1 4 により結像された被写体の光学像を電気信号に変換する。光電変換装置 1 3 0 2 は、上述の各実施形態のいずれかの光電変換装置である。画像前処理部 1 3 1 5 は、光電変換装置 1 3 0 2 から出力された信号に対して所定の信号処理を行う。画像前処理部 1 3 1 5 の機能は、光電変換装置 1 3 0 2 内に組み込まれていてもよ

い。光電変換システム1301には、光学系1314、光電変換装置1302および画像前処理部1315が、少なくとも2組設けられており、各組の画像前処理部1315からの出力が集積回路1303に入力されるようになっている。

[0095] 集積回路1303は、撮像システム用途向けの集積回路であり、メモリ1305を含む画像処理部1304、光学測距部1306、測距演算部1307、物体認知部1308、異常検出部1309を含む。画像処理部1304は、画像前処理部1315の出力信号に対して、現像処理や欠陥補正等の画像処理を行う。メモリ1305は、撮像画像の一次記憶、撮像画素の欠陥位置を格納する。光学測距部1306は、被写体の合焦や、測距を行う。測距演算部1307は、複数の光電変換装置1302により取得された複数の画像データから測距情報の算出を行う。物体認知部1308は、車、道、標識、人等の被写体の認知を行う。異常検出部1309は、光電変換装置1302の異常を検出すると、主制御部1313に異常を発報する。

[0096] 集積回路1303は、専用に設計されたハードウェアによって実現されてもよいし、ソフトウェアモジュールによって実現されてもよいし、これらの組合せによって実現されてもよい。また、FPGA (Field Programmable Gate Array) やASIC (Application Specific Integrated Circuit) 等によって実現されてもよいし、これらの組合せによって実現されてもよい。

[0097] 主制御部1313は、光電変換システム1301、車両センサ1310、制御ユニット1320等の動作を統括・制御する。主制御部1313を持たず、光電変換システム1301、車両センサ1310、制御ユニット1320が個別に通信インターフェースを有して、それぞれが通信ネットワークを介して制御信号の送受を行う（例えばCAN規格）方法も取り得る。

[0098] 集積回路1303は、主制御部1313からの制御信号を受け或いは自身の制御部によって、光電変換装置1302へ制御信号や設定値を送信する機能を有する。

[0099] 光電変換システム１３０１は、車両センサ１３１０に接続されており、車速、ヨーレート、舵角などの自車両走行状態および自車外環境や他車・障害物の状態を検出することができる。車両センサ１３１０は、対象物までの距離情報を取得する距離情報取得手段でもある。また、光電変換システム１３０１は、自動操舵、自動巡行、衝突防止機能等の種々の運転支援を行う運転支援制御部１３１１に接続されている。特に、衝突判定機能に関しては、光電変換システム１３０１や車両センサ１３１０の検出結果を基に他車・障害物との衝突推定・衝突有無を判定する。これにより、衝突が推定される場合の回避制御、衝突時の安全装置起動を行う。

[0100] また、光電変換システム１３０１は、衝突判定部での判定結果に基づいて、ドライバーに警報を発する警報装置１３１２にも接続されている。例えば、衝突判定部の判定結果として衝突可能性が高い場合、主制御部１３１３は、ブレーキをかける、アクセルを戻す、エンジン出力を抑制するなどして、衝突を回避、被害を軽減する車両制御を行う。警報装置１３１２は、音等の警報を鳴らす、カーナビゲーションシステムやメーターパネルなどの表示部画面に警報情報を表示する、シートベルトやステアリングに振動を与えるなどしてユーザに警告を行う。

[0101] 発明は上記実施形態に制限されるものではなく、発明の精神及び範囲から離脱することなく、様々な変更及び変形が可能である。従って、発明の範囲を公にするために請求項を添付する。

[0102] 本願は、２０２３年４月１７日提出の日本国特許出願特願２０２３－０６７３７６、２０２３年９月２５日提出の日本国特許出願特願２０２３－１６１７０６、２０２４年１月２５日提出の日本国特許出願特願２０２４－００９６０１を基礎として優先権を主張するものであり、その記載内容の全てを、ここに援用する。

符号の説明

[0103] １：ＡＤ変換回路、１０：連続時間 $\Delta\Sigma$ 型ＡＤ変換器、２０：差分電圧保持回路、３０：切替え回路

請求の範囲

- [請求項1] 入力端子に与えられるアナログ信号をデジタル信号に変換するAD変換回路であって、
- 差分信号を積分する積分回路を含む連続時間 $\Delta\Sigma$ 型AD変換器と、
- 第1期間中は、前記入力端子に与えられるアナログ信号を前記連続時間 $\Delta\Sigma$ 型AD変換器に与え、前記第1期間の後の第2期間中は、前記第1期間の終了時に前記積分回路から出力された電圧に応じた電圧信号を前記連続時間 $\Delta\Sigma$ 型AD変換器に与える切替回路と、
- を備えることを特徴とするAD変換回路。
- [請求項2] 前記第1期間の終了時に前記積分回路から出力された電圧に応じた前記電圧信号を保持し、前記第2期間中に前記切替回路を介して前記連続時間 $\Delta\Sigma$ 型AD変換器に前記電圧信号を提供する保持回路を更に備える、
- ことを特徴とする請求項1に記載のAD変換回路。
- [請求項3] 前記保持回路は、前記積分回路から出力された電圧を増幅する増幅回路と、前記増幅回路の出力を前記電圧信号として保持するキャパシタと、を含む、
- ことを特徴とする請求項2に記載のAD変換回路。
- [請求項4] 前記連続時間 $\Delta\Sigma$ 型AD変換器は、第1積分器と、前記第1積分器の出力に接続された第2積分器とを含み、
- 前記積分回路は、前記第2積分器である、
- ことを特徴とする請求項1乃至3のいずれか1項に記載のAD変換回路。
- [請求項5] 前記積分回路は、gm-C型積分器である、
- ことを特徴とする請求項1に記載のAD変換回路。
- [請求項6] 前記連続時間 $\Delta\Sigma$ 型AD変換器は、
- 前記積分回路の出力と基準信号とを比較する比較器と、
- 前記比較器の出力をアナログ信号に変換して前記積分回路に供給す

る D A 変換器と、を更に含む、

ことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の A D 変換回路。

[請求項7] 前記連続時間 $\Delta \Sigma$ 型 A D 変換器は、第 1 積分器と、前記第 1 積分器の出力に接続された第 2 積分器とを含み、

前記積分回路は、前記第 2 積分器である、

ことを特徴とする請求項 6 に記載の A D 変換回路。

[請求項8] 前記比較器は、前記アナログ信号、前記第 1 積分器の出力および前記第 2 積分器の出力を前記基準信号と比較する、

ことを特徴とする請求項 7 に記載の A D 変換回路。

[請求項9] 前記積分回路は、前記第 1 期間の終了時に前記積分回路から出力される電圧に応じた前記電圧信号を保持する、

ことを特徴とする請求項 1 に記載の A D 変換回路。

[請求項10] 前記連続時間 $\Delta \Sigma$ 型 A D 変換器は、第 1 積分器と、前記第 1 積分器の出力に接続された第 2 積分器とを含み、

前記積分回路は、前記第 2 積分器であり、

前記第 2 積分器は、前記第 1 期間の終了時に前記第 1 積分器から出力される電圧に応じた前記電圧信号を保持する保持回路を含む、

ことを特徴とする請求項 9 に記載の A D 変換回路。

[請求項11] 前記第 1 期間における前記連続時間 $\Delta \Sigma$ 型 A D 変換器の出力に基づいて上位ビット列のデジタル信号を生成し、前記第 2 期間における前記連続時間 $\Delta \Sigma$ 型 A D 変換器の出力に基づいて下位ビット列のデジタル信号を生成するデジタル復調回路と、

前記上位ビット列のデジタル信号および前記下位ビット列のデジタル信号に基づいて出力デジタル信号を生成する再構成回路と、

を更に備えることを特徴とする請求項 1 乃至 10 のいずれか 1 項に記載の A D 変換回路。

[請求項12] 前記デジタル復調回路と前記再構成回路との間に配置された利得調

整回路を更に備える、

ことを特徴とする請求項 1 1 に記載の A D 変換回路。

[請求項13] 前記利得調整回路は、前記下位ビット列のデジタル信号に対して利得調整を行う、

ことを特徴とする請求項 1 2 に記載の A D 変換回路。

[請求項14] 前記第 1 期間と前記第 2 期間との間において前記連続時間 $\Delta \Sigma$ 型 A D 変換器がリセットされる、

ことを特徴とする請求項 1 乃至 1 3 のいずれか 1 項に記載の A D 変換回路。

[請求項15] 前記切替回路の出力をバッファリングして前記連続時間 $\Delta \Sigma$ 型 A D 変換器に供給するバッファ回路を更に備える、

ことを特徴とする請求項 1 に記載の A D 変換回路。

[請求項16] 前記バッファ回路は、前記第 1 期間の終了時に前記積分回路から出力された電圧を保持する機能を有する、

ことを特徴とする請求項 1 5 に記載の A D 変換回路。

[請求項17] 前記バッファ回路は、増幅器を含み、

前記第 1 期間において、前記入力端子に与えられる前記アナログ信号は、前記増幅器を使ってバッファリングされ、

前記第 2 期間において、前記第 1 期間の終了時に前記機能によって保持された電圧が前記増幅器を使って保持され、かつバッファリングされることによって前記電圧信号が生成される、

ことを特徴とする請求項 1 6 に記載の A D 変換回路。

[請求項18] 前記バッファ回路は、前記第 1 期間の終了時に前記積分回路から出力された電圧を保持する機能を有し、前記バッファ回路は、前記第 2 期間において、前記第 1 期間の終了時に前記機能によって保持された前記電圧をバッファリングすることによって前記電圧信号を生成し、

前記バッファ回路は、前記第 1 期間の開始時に前記入力端子に与えられるアナログ信号を保持する機能を有し、前記バッファ回路は、前

記第 1 期間において、前記第 1 期間の開始時に前記機能によって保持された前記アナログ信号をバッファリングして出力する、

ことを特徴とする請求項 15 に記載の A/D 変換回路。

[請求項 19]

前記バッファ回路は、増幅器を含み、

前記第 1 期間において、前記入力端子に与えられる前記アナログ信号は、前記増幅器を使って保持され、かつバッファリングされ、

前記第 2 期間において、前記第 1 期間の終了時に前記機能によって保持された電圧が前記増幅器を使って保持され、かつバッファリングされることによって前記電圧信号が生成される、

ことを特徴とする請求項 18 に記載の A/D 変換回路。

[請求項 20]

前記連続時間 $\Delta\Sigma$ 型 A/D 変換器の内部ノードの電圧を所定範囲内に調整する調整回路を更に備える、

ことを特徴とする請求項 1 乃至 19 のいずれか 1 項に記載の A/D 変換回路。

[請求項 21]

入力端子に与えられるアナログ信号をデジタル信号に変換する A/D 変換回路であって、

差分信号を積分する積分回路を含む連続時間 $\Delta\Sigma$ 型 A/D 変換器と、

第 1 期間中は、前記入力端子に与えられるアナログ信号を前記連続時間 $\Delta\Sigma$ 型 A/D 変換器に与え、前記第 1 期間の後の第 2 期間中は、前記第 1 期間の終了時に前記積分回路から出力された電圧に応じた電圧信号を前記連続時間 $\Delta\Sigma$ 型 A/D 変換器に与える回路と、

を備えることを特徴とする A/D 変換回路。

[請求項 22]

前記連続時間 $\Delta\Sigma$ 型 A/D 変換器の内部ノードの電圧を所定範囲内に調整する調整回路を更に備える、

ことを特徴とする請求項 21 に記載の A/D 変換回路。

[請求項 23]

光電変換部と、

前記光電変換部が出力するアナログ信号をデジタル信号に変換するように構成された請求項 1 乃至 22 のいずれか 1 項に記載の A/D 変換

回路と、

を備えることを特徴とする光電変換装置。

[請求項24]

請求項 2 3 に記載の光電変換装置と、

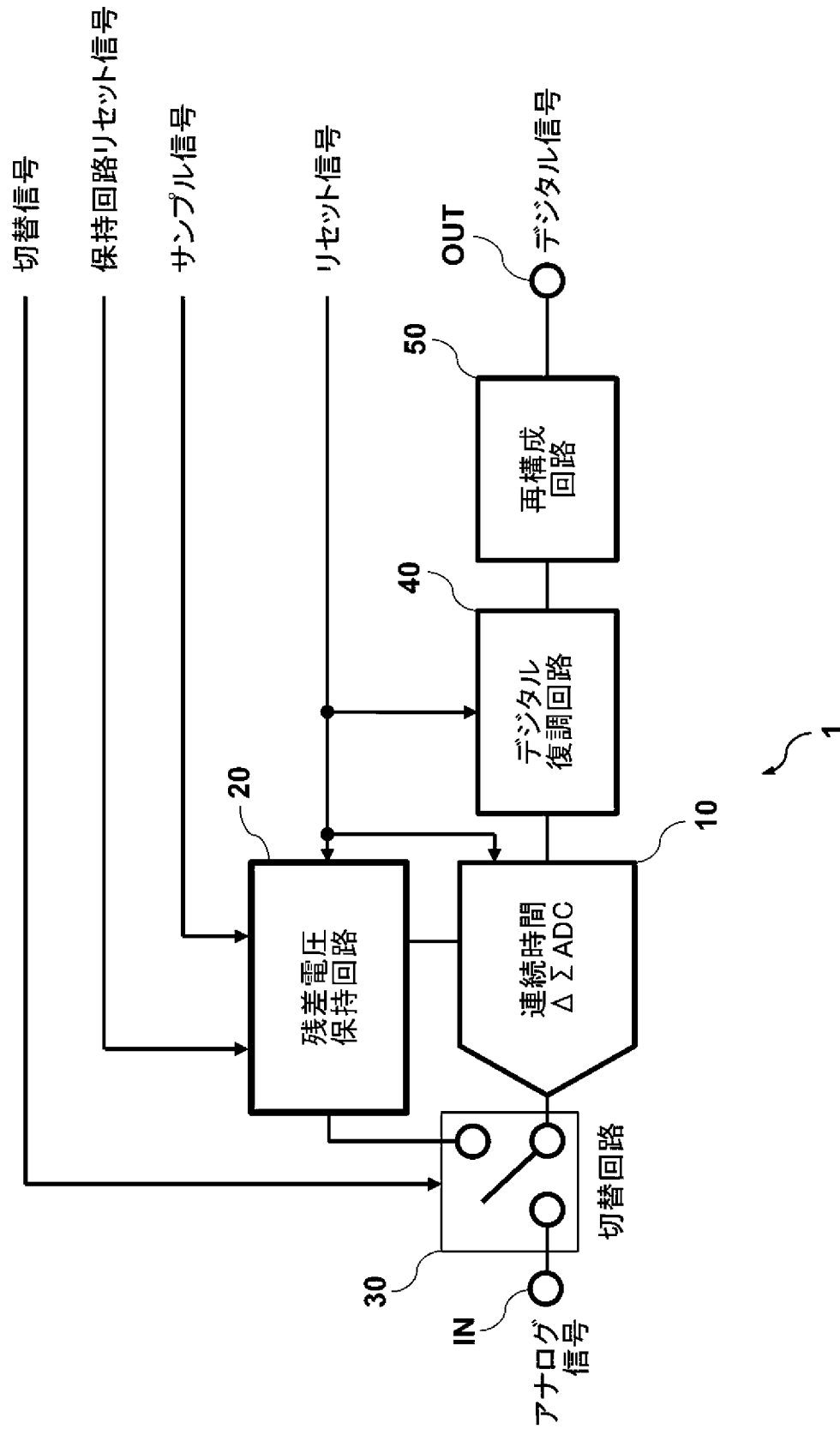
前記光電変換装置から出力される信号を処理する信号処理部と、

を備えることを特徴とする撮像装置。

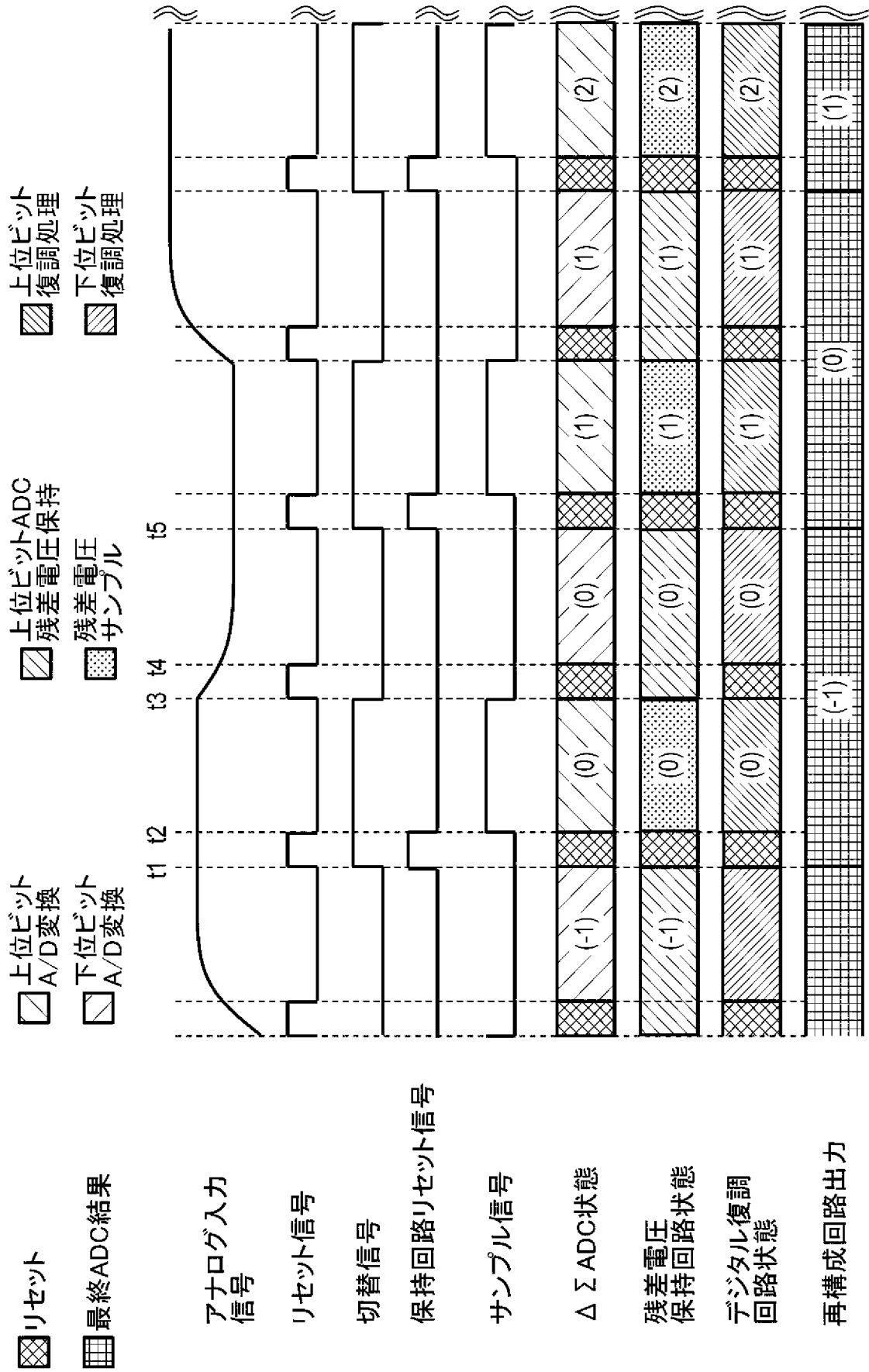
[請求項25]

請求項 2 4 に記載の撮像装置を備えることを特徴とする移動体。

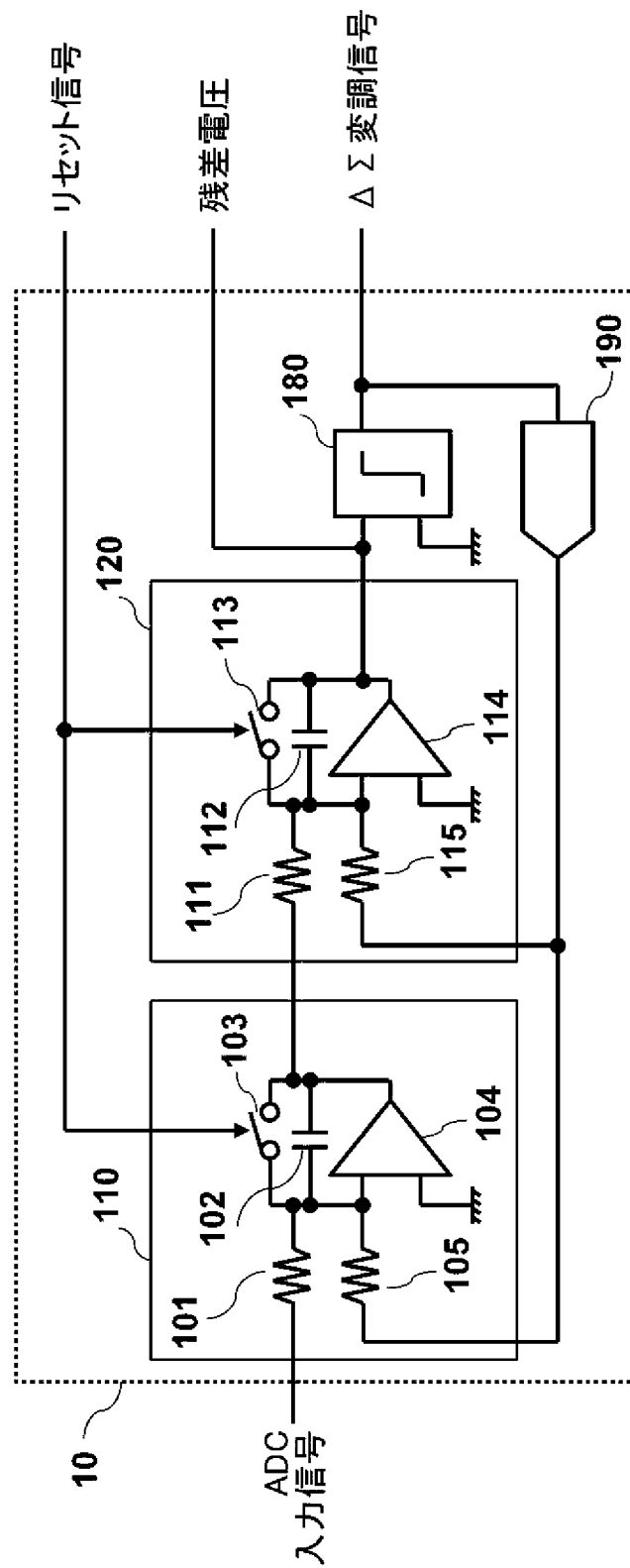
[図1]



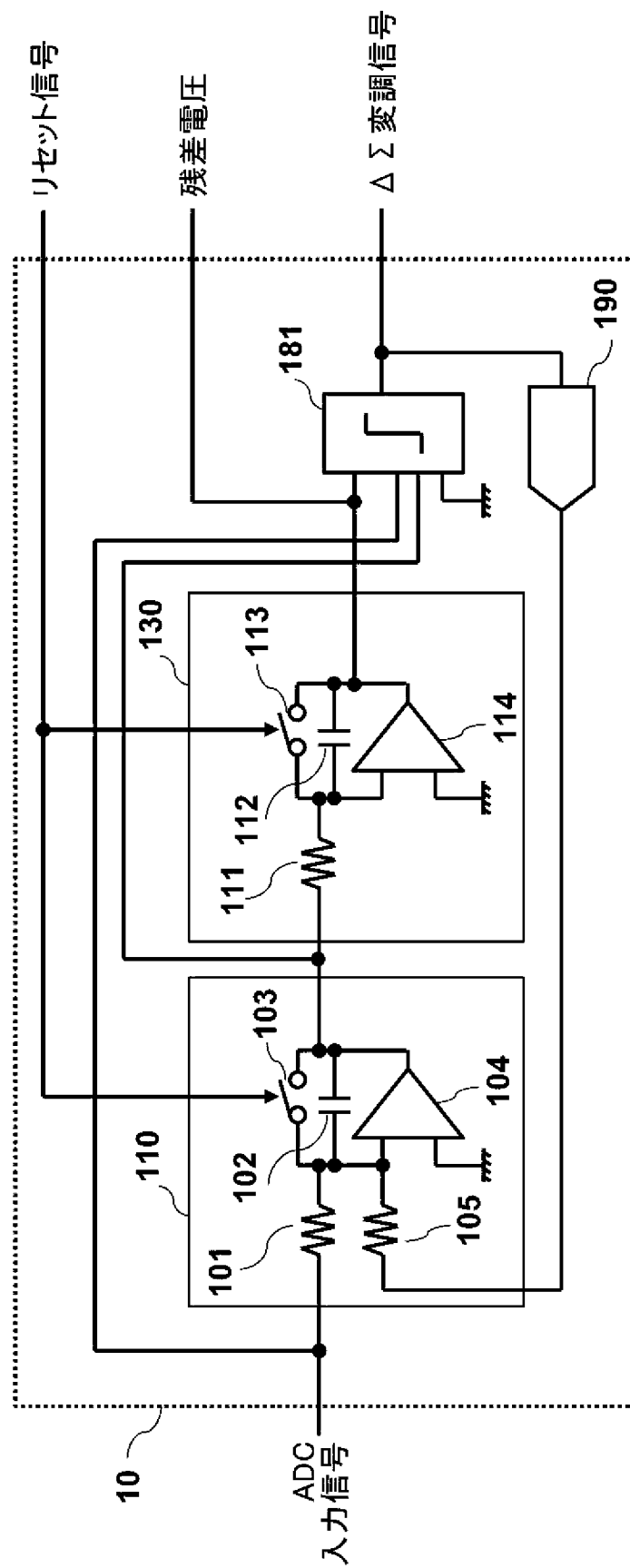
[図2]



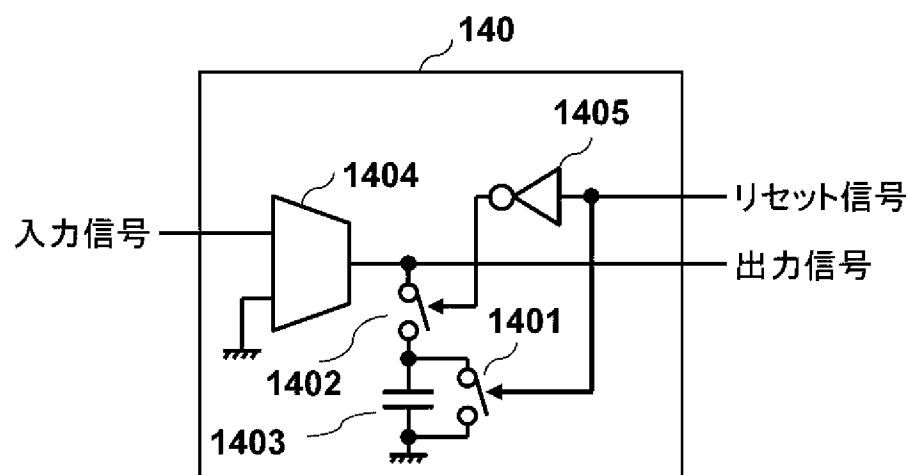
[図3]



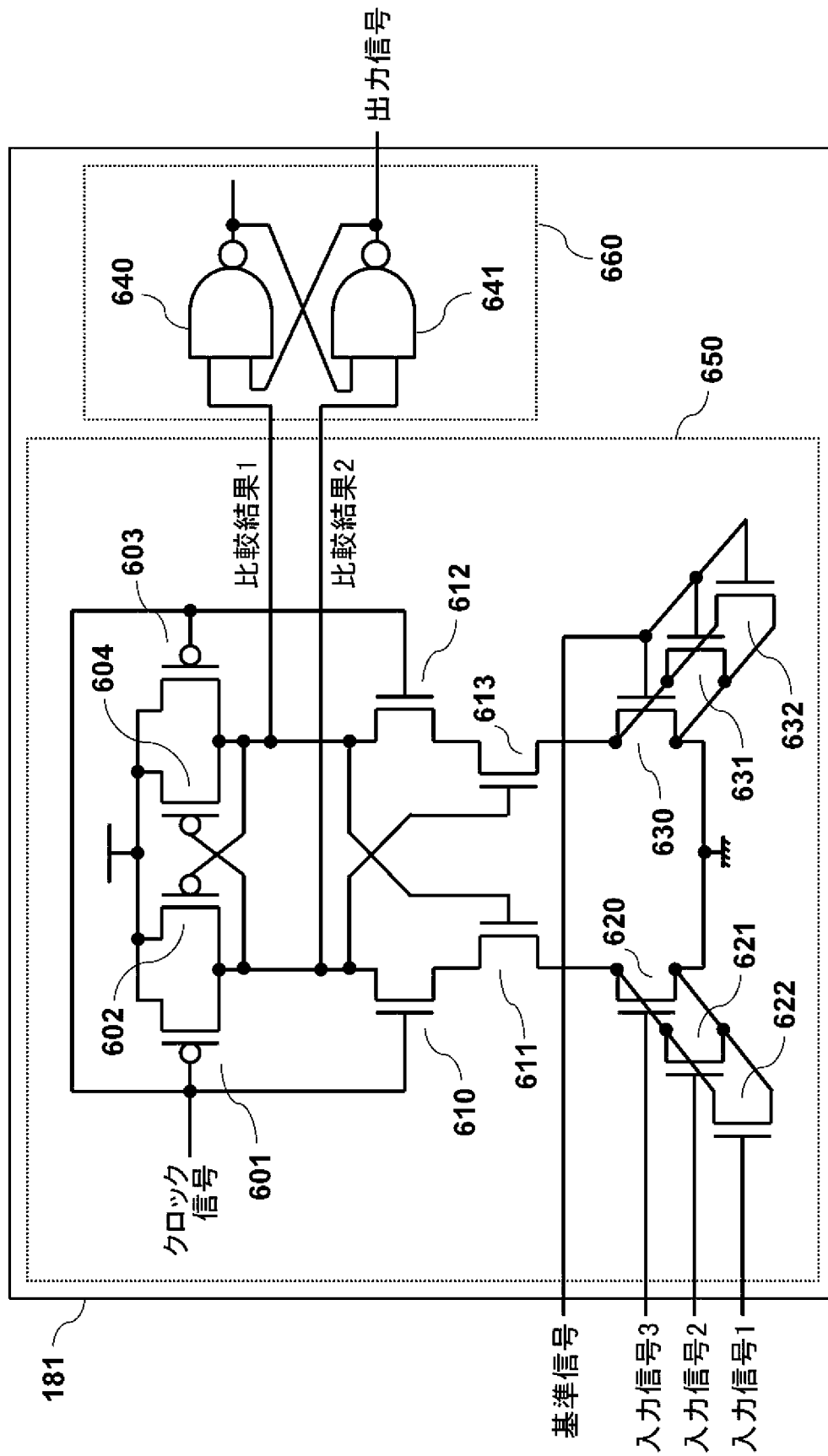
[図4]



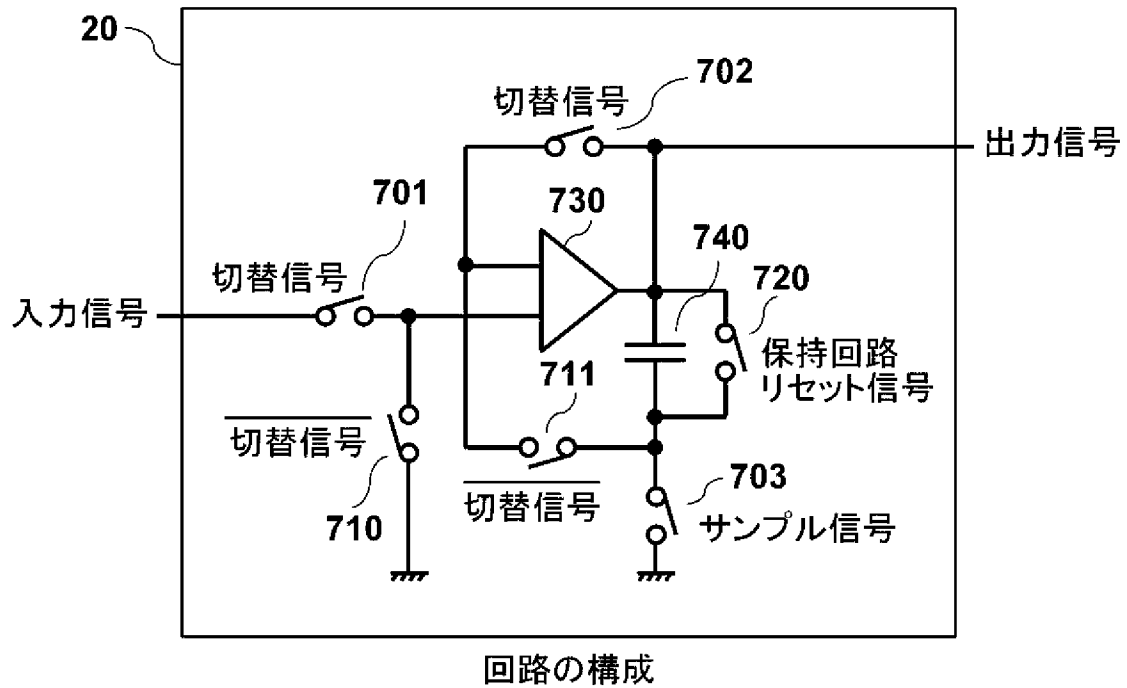
[図5]



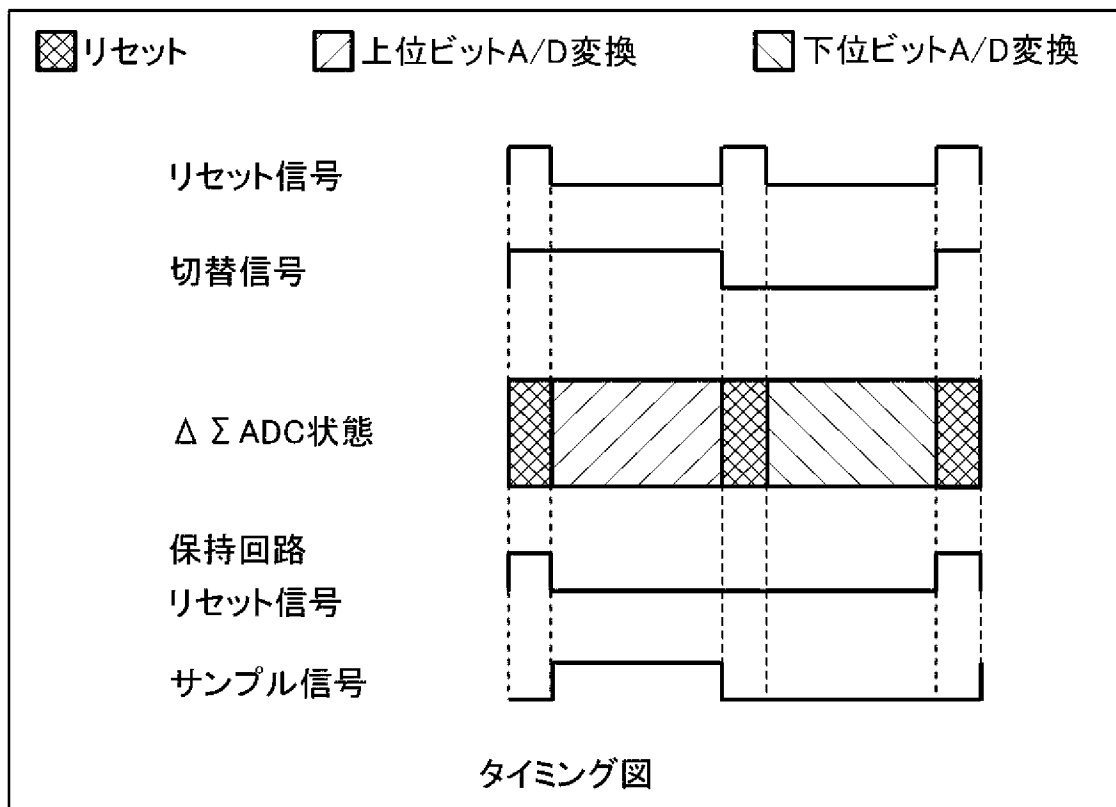
[図6]



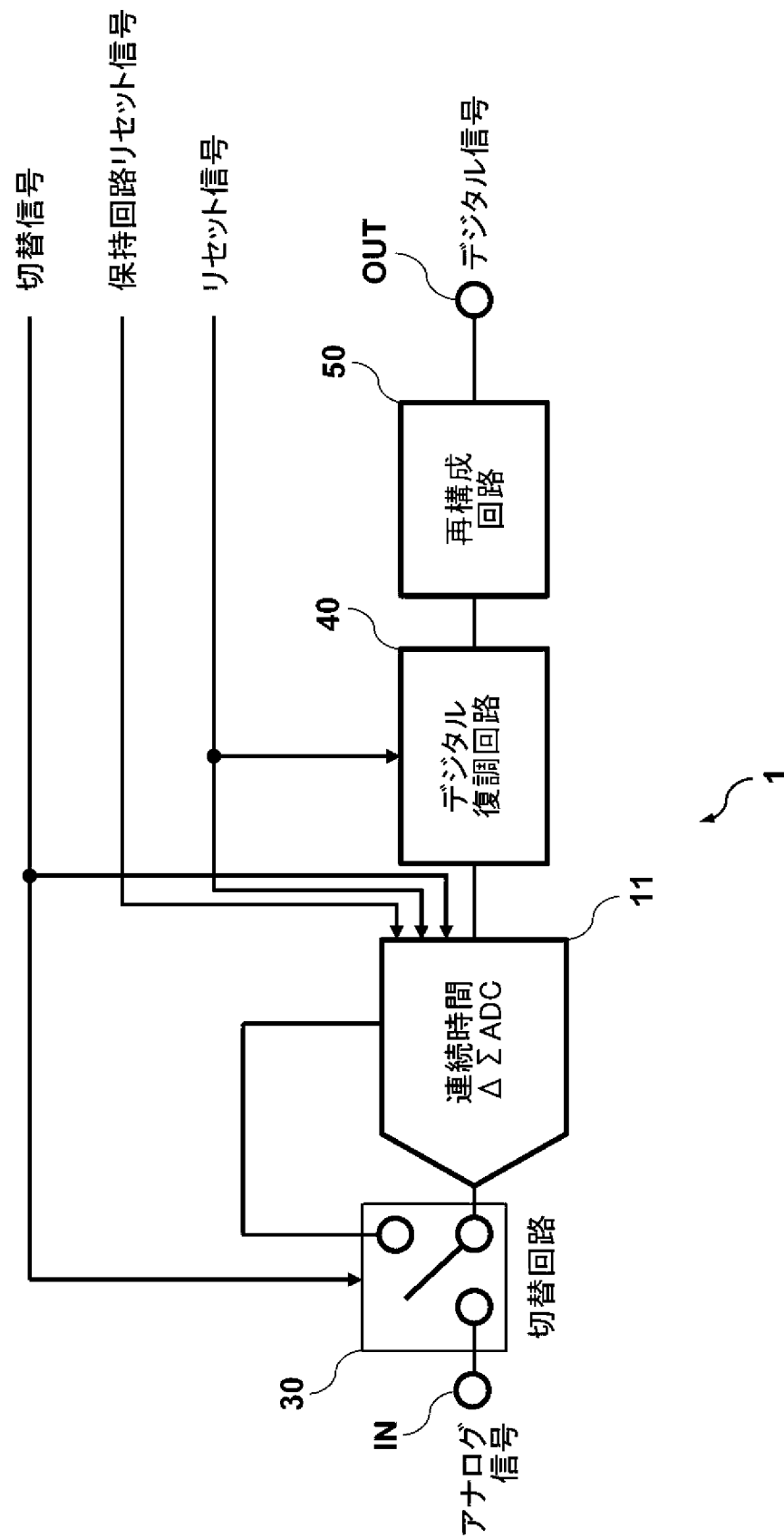
[図7A]



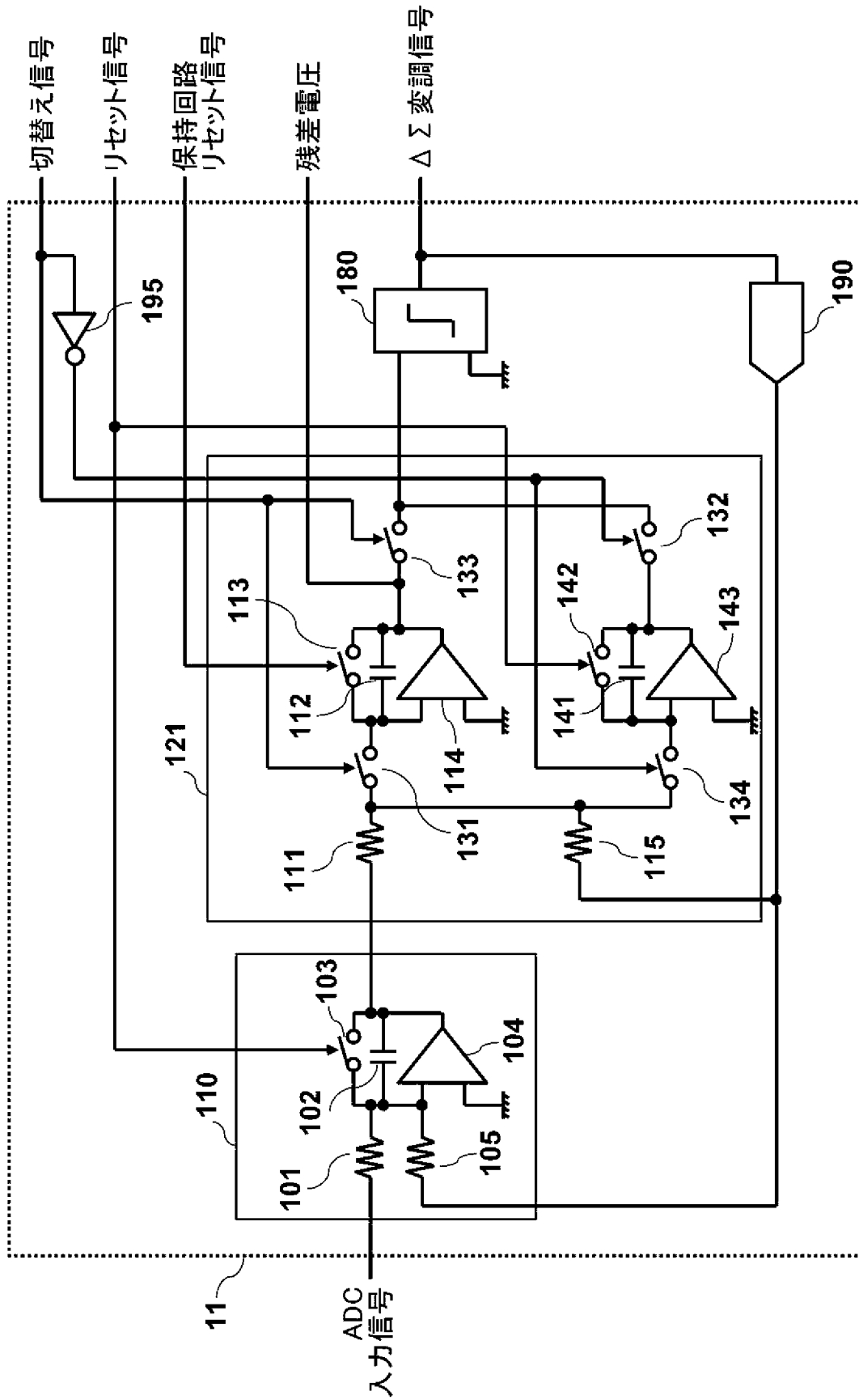
[図7B]



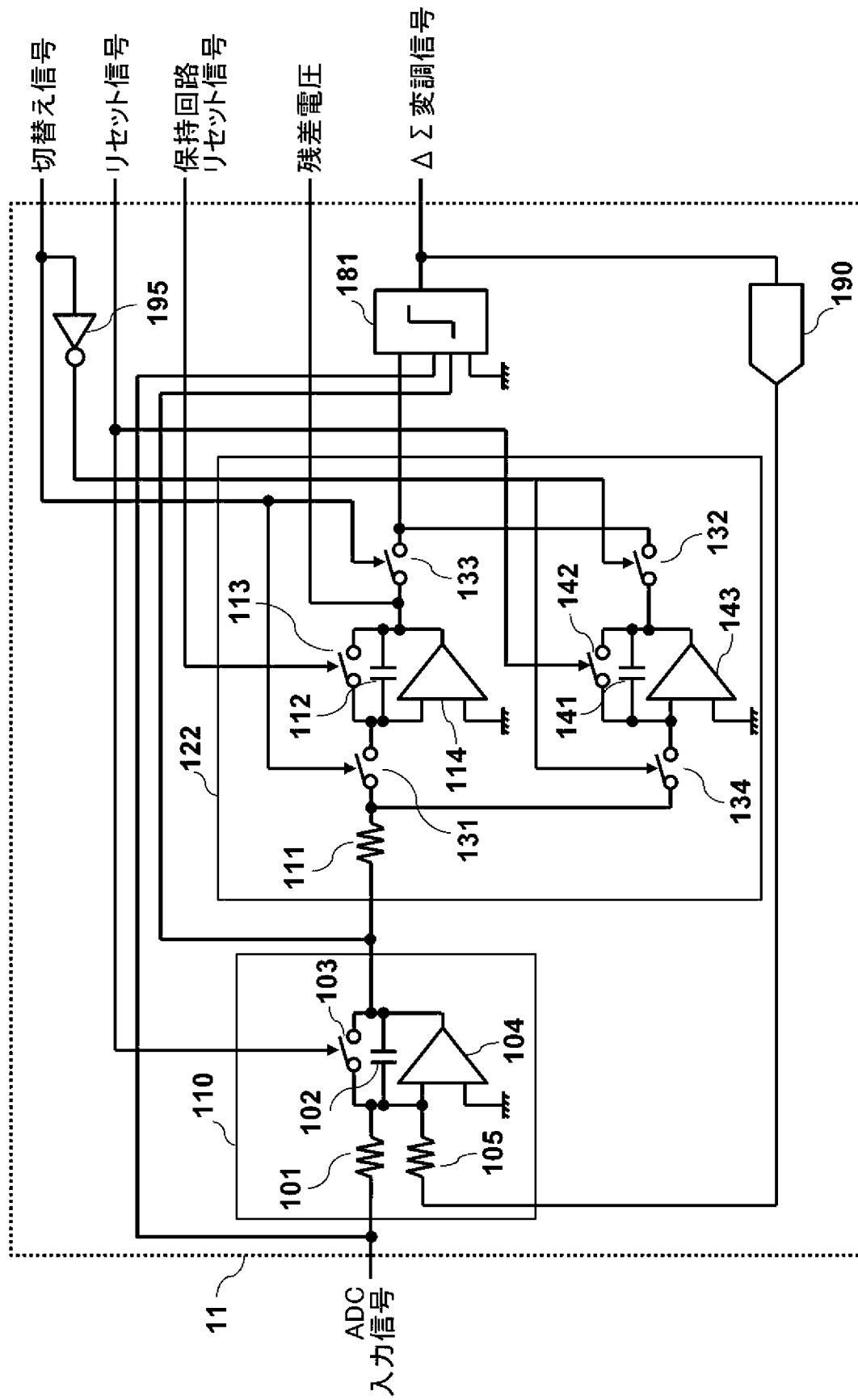
[図8]



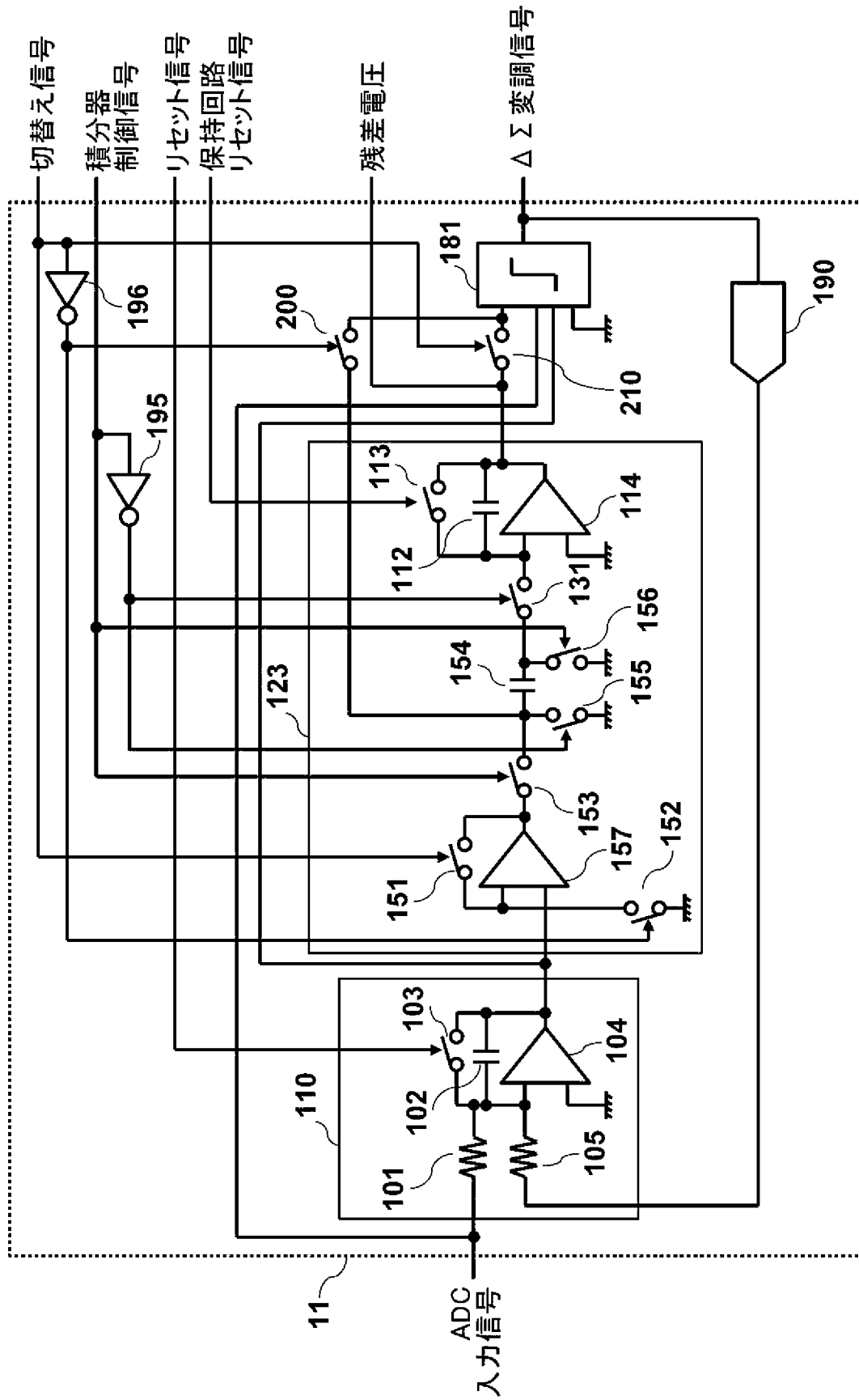
[図9]



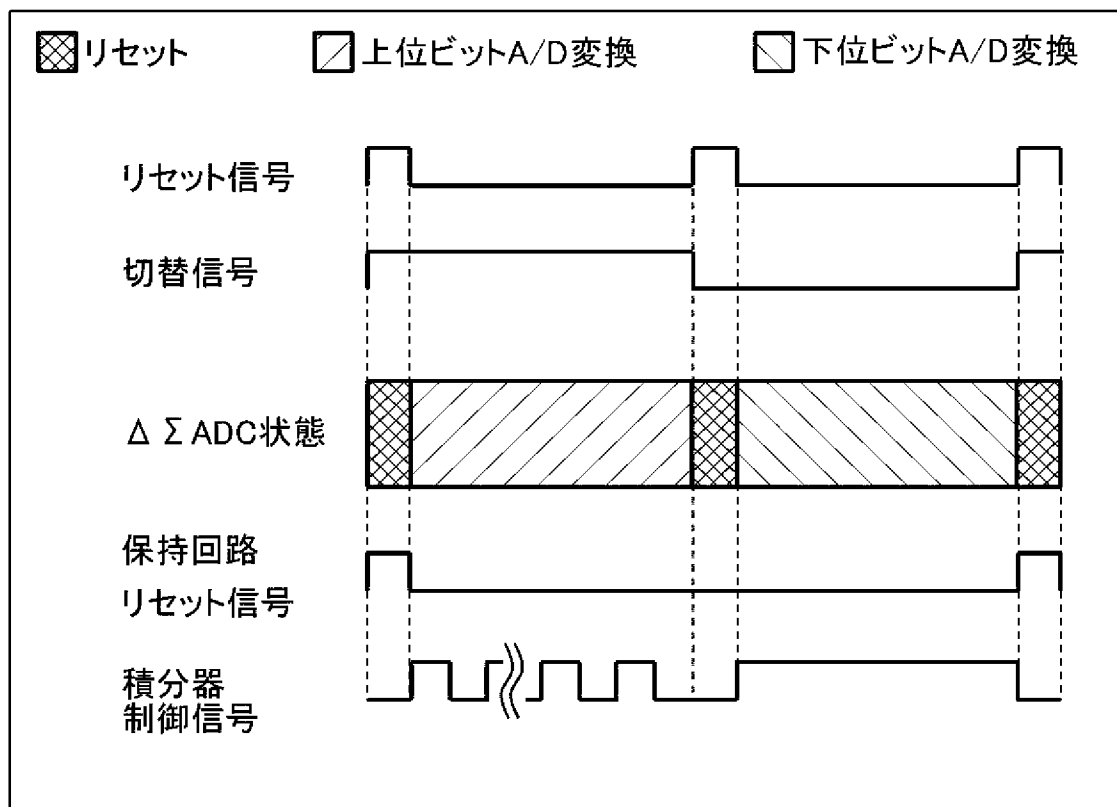
[図10]



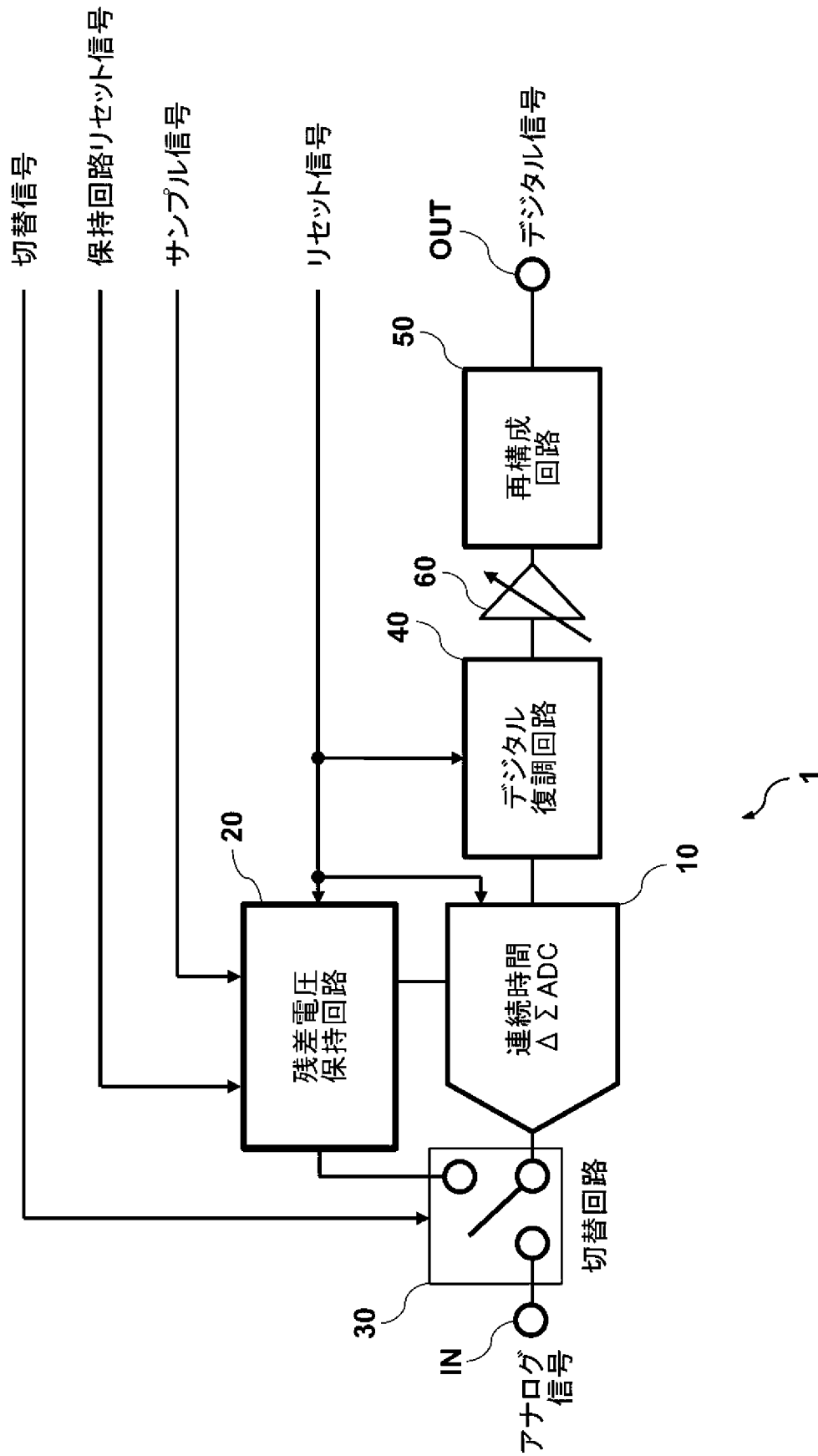
[図11]



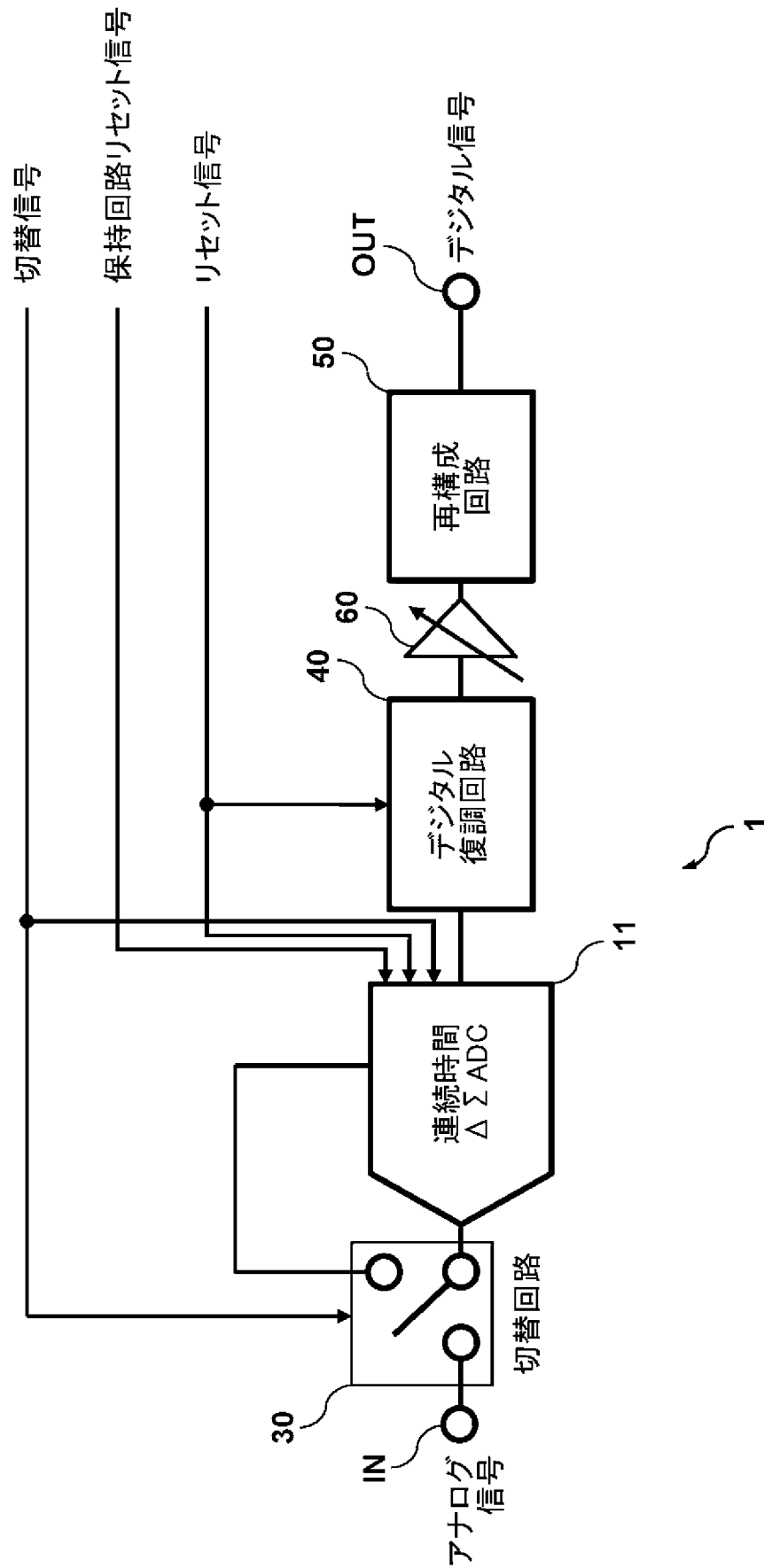
[図12]



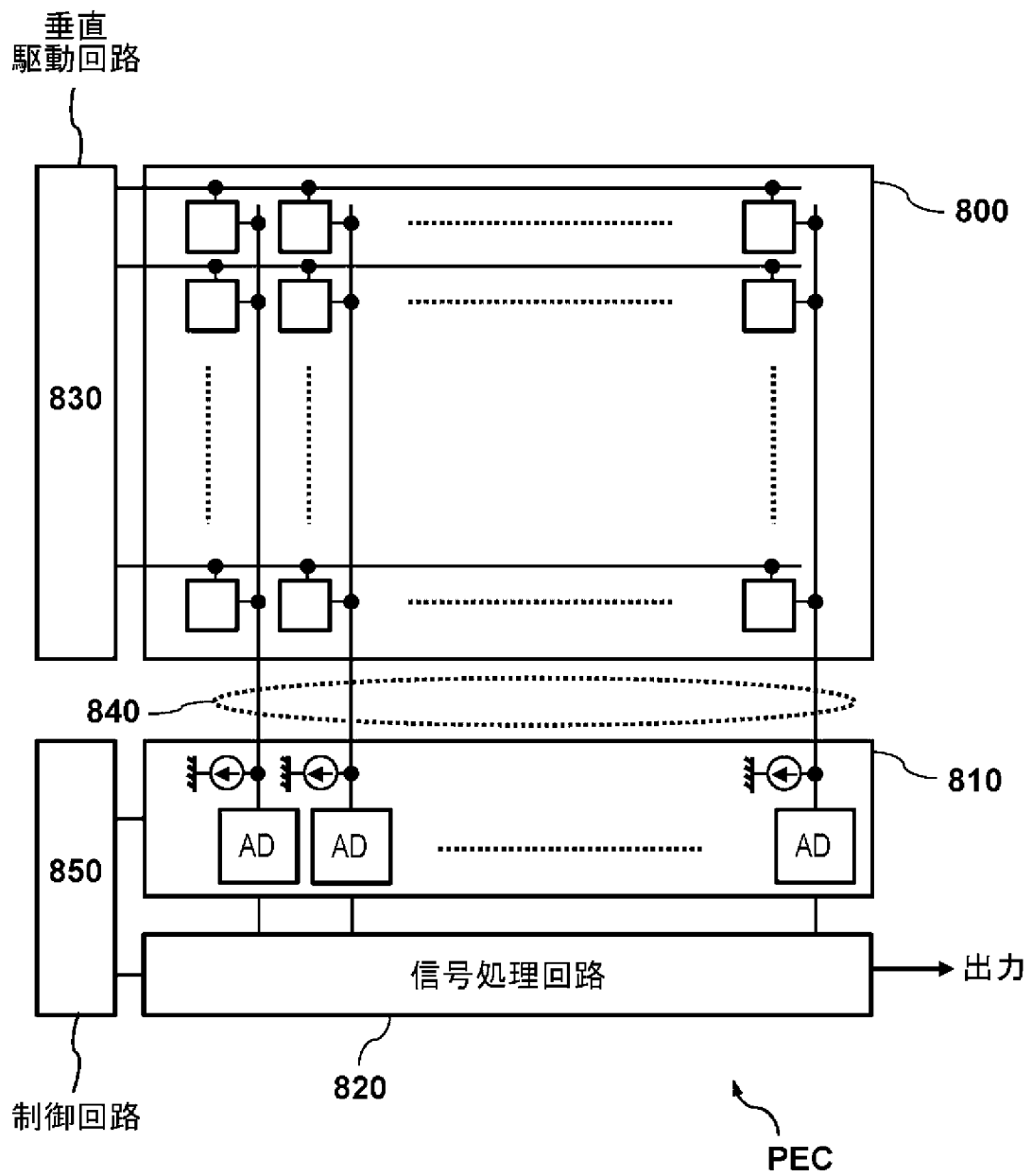
[図13]



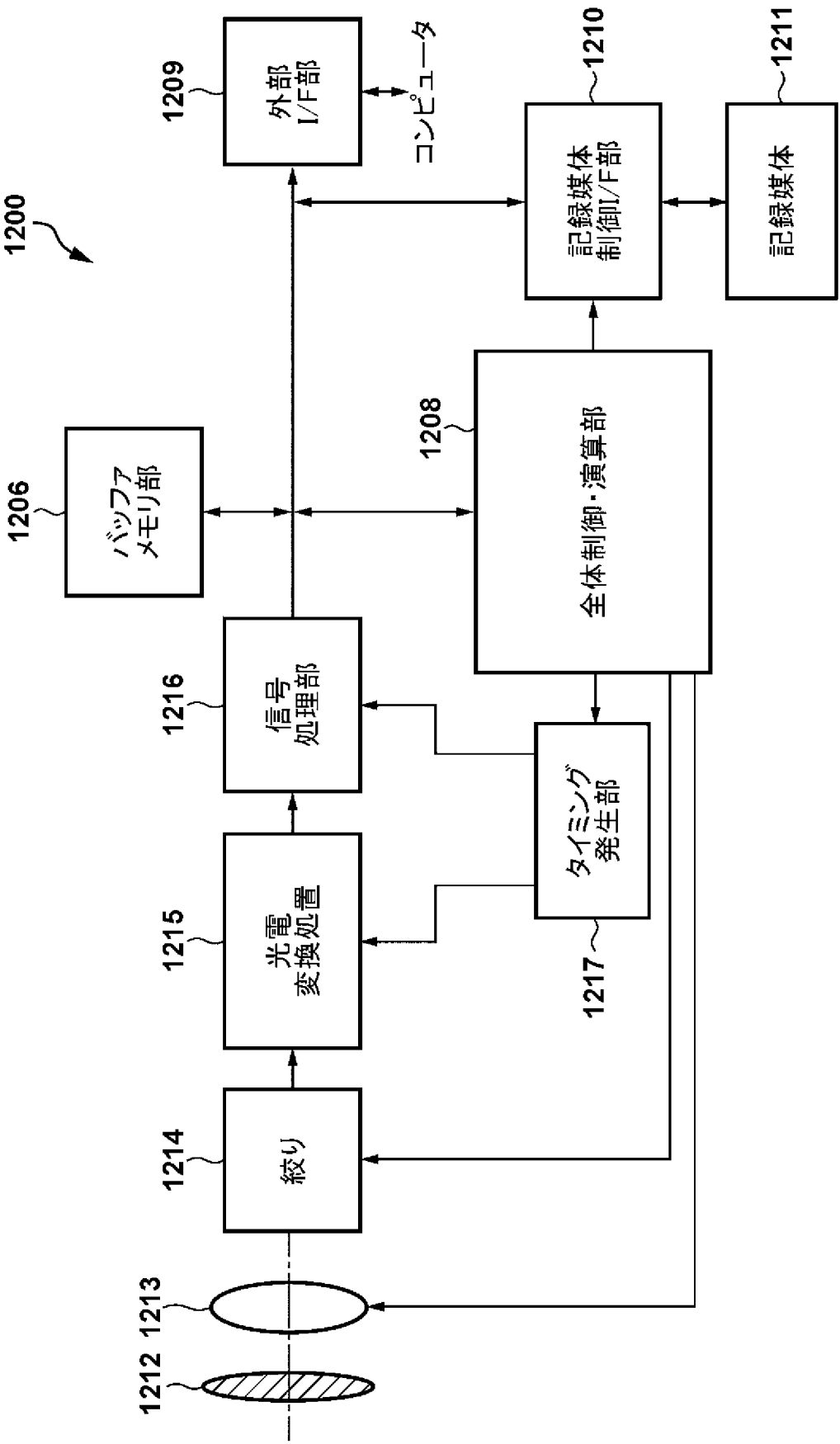
[図14]



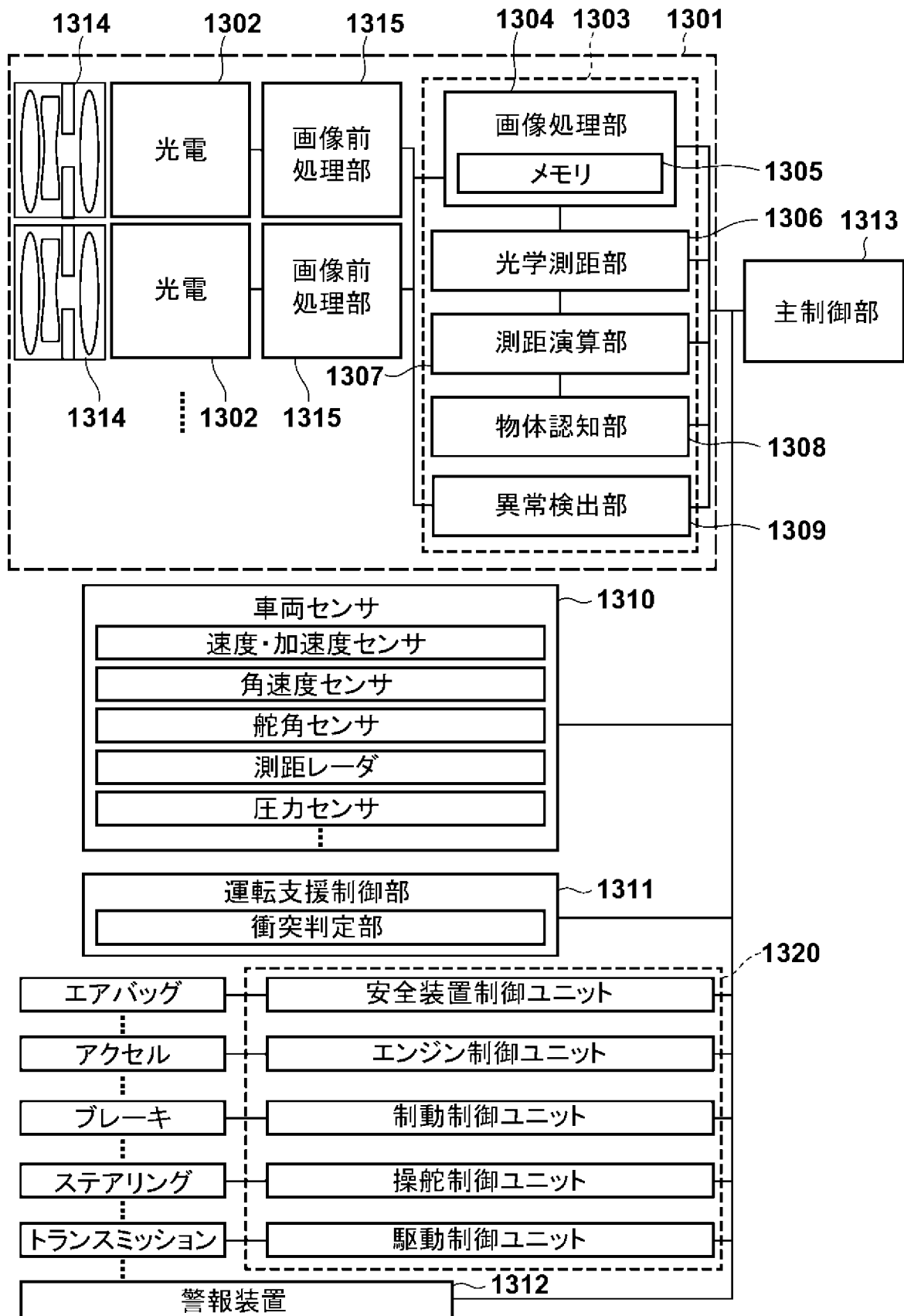
[図15]



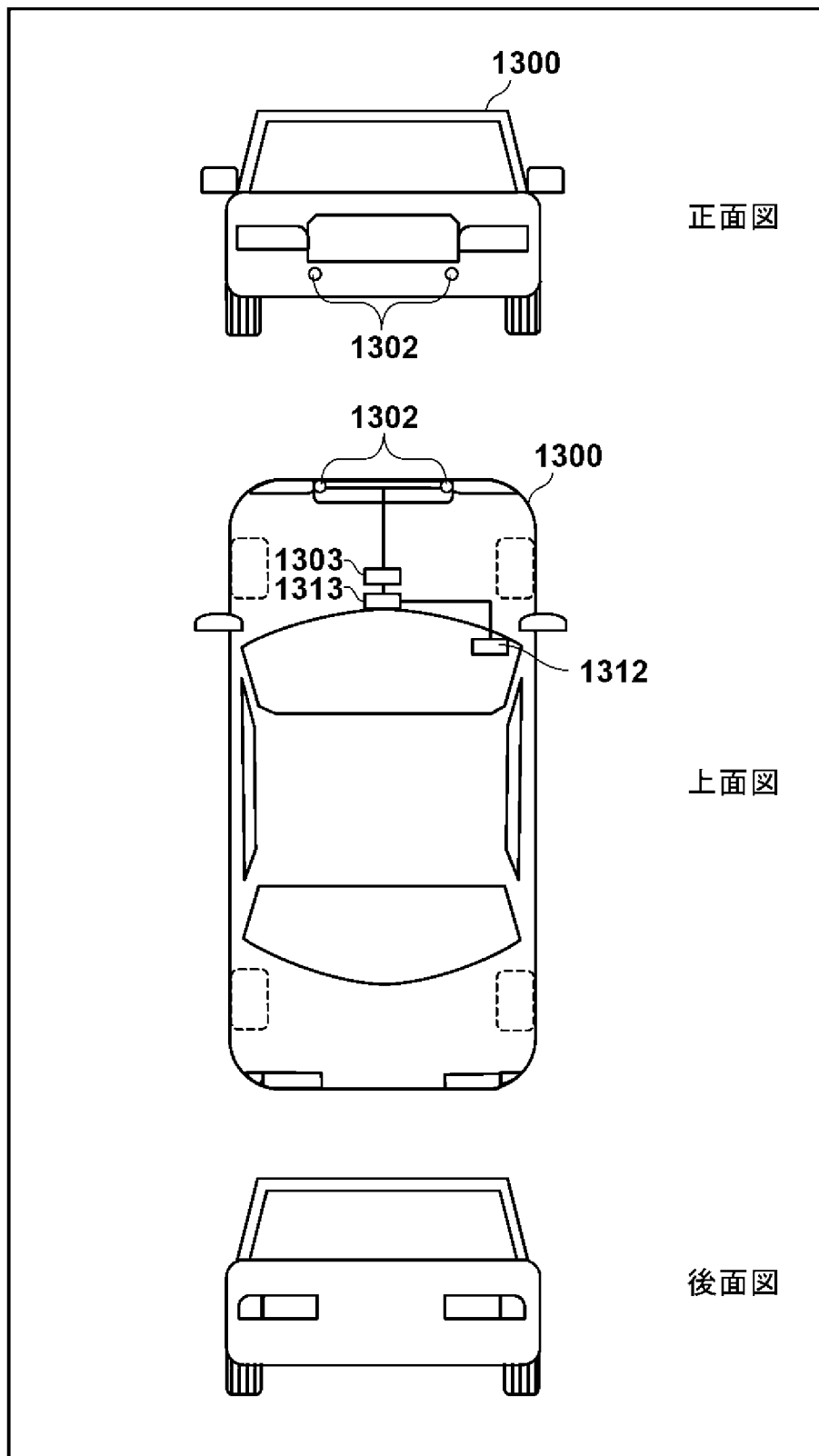
[図16]



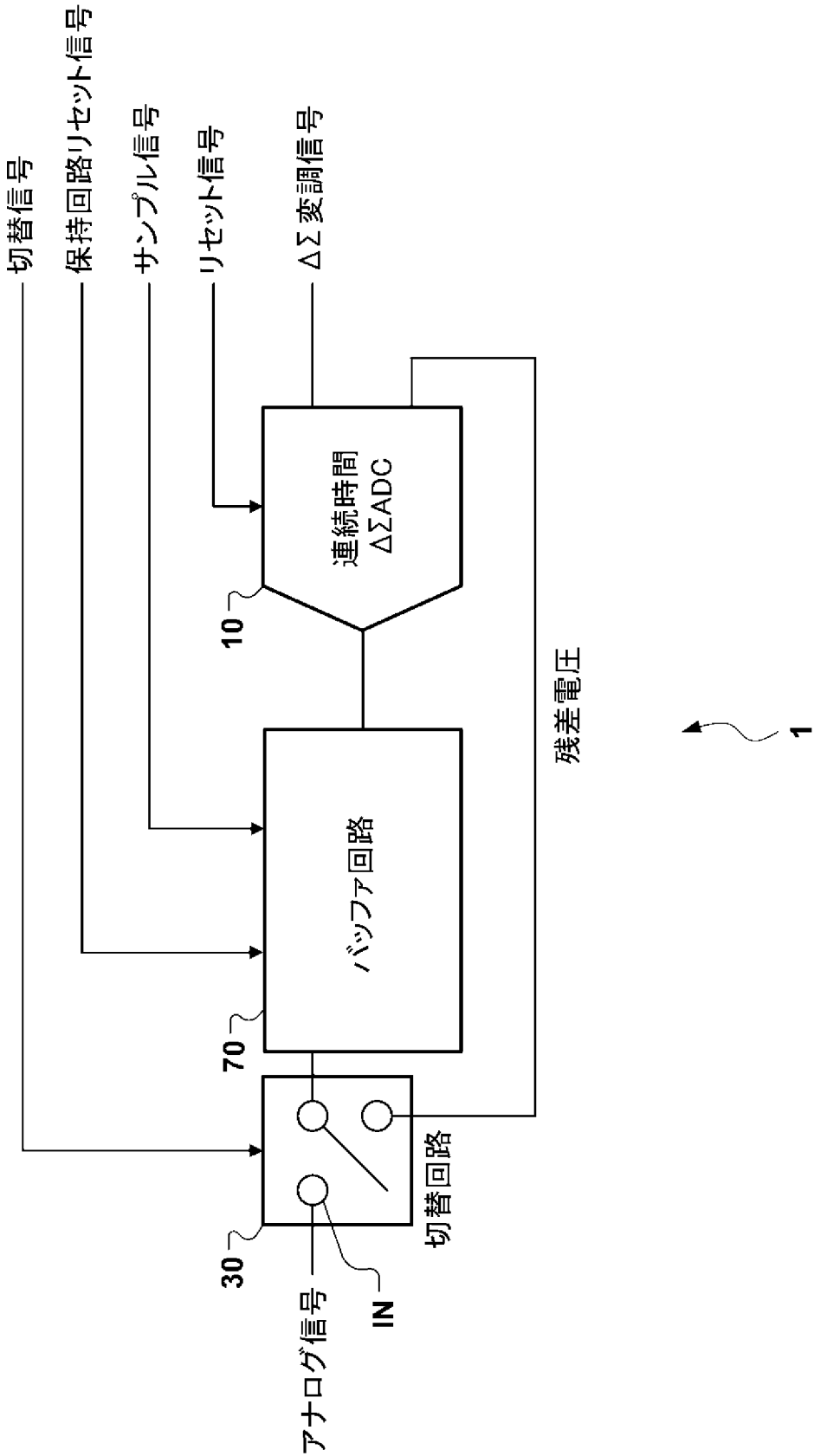
[図17A]



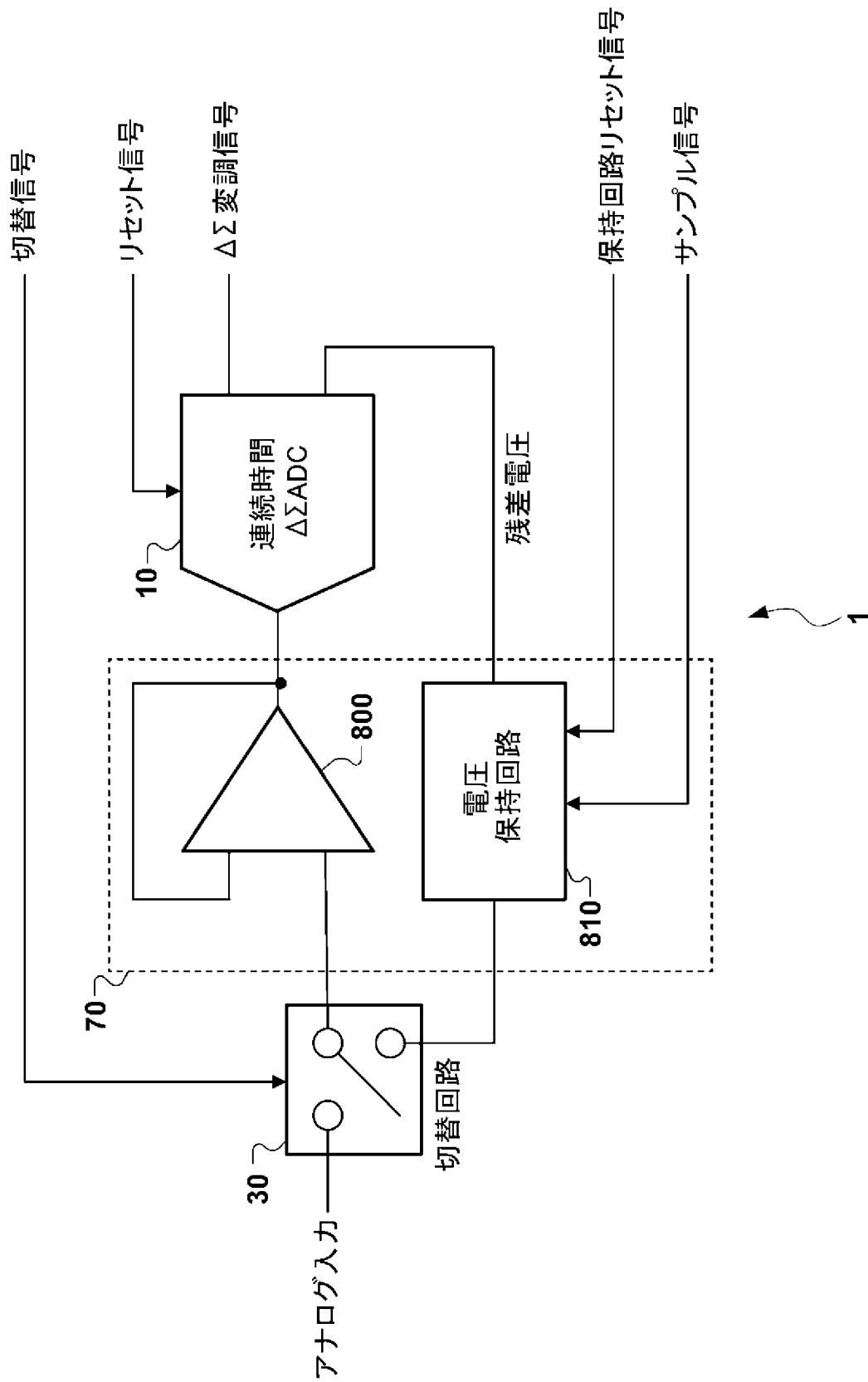
[図17B]



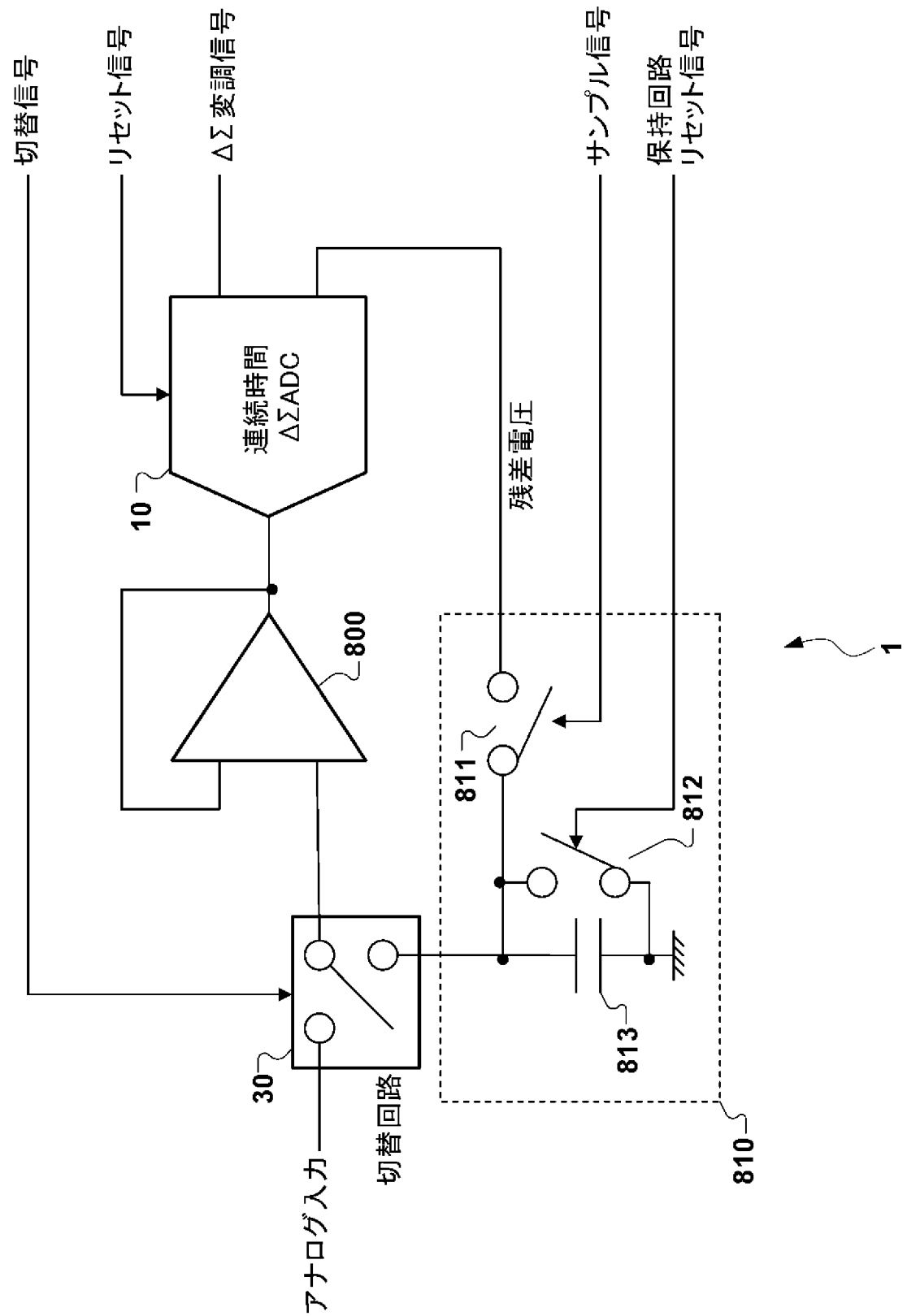
[図18]



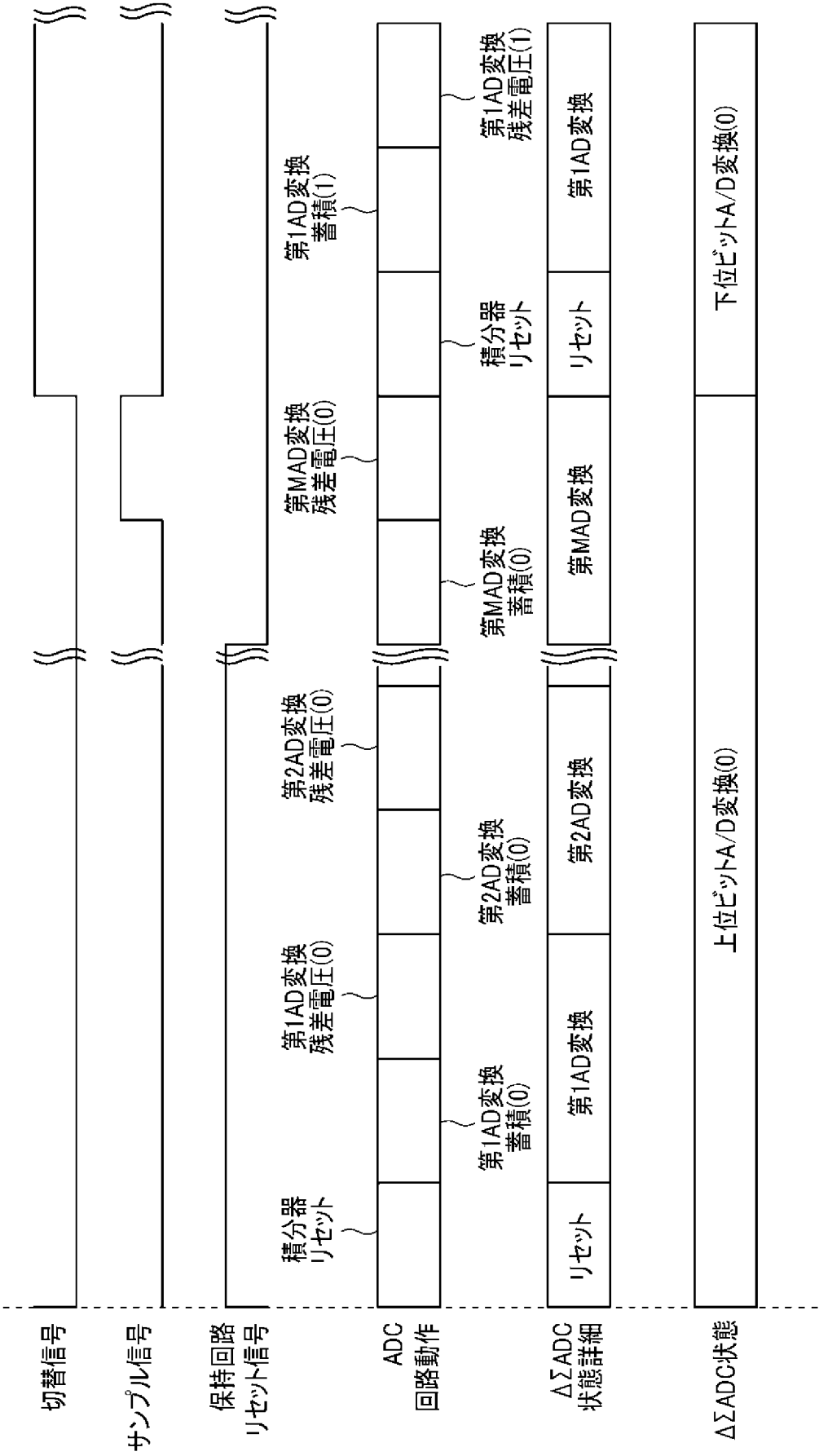
[図19]



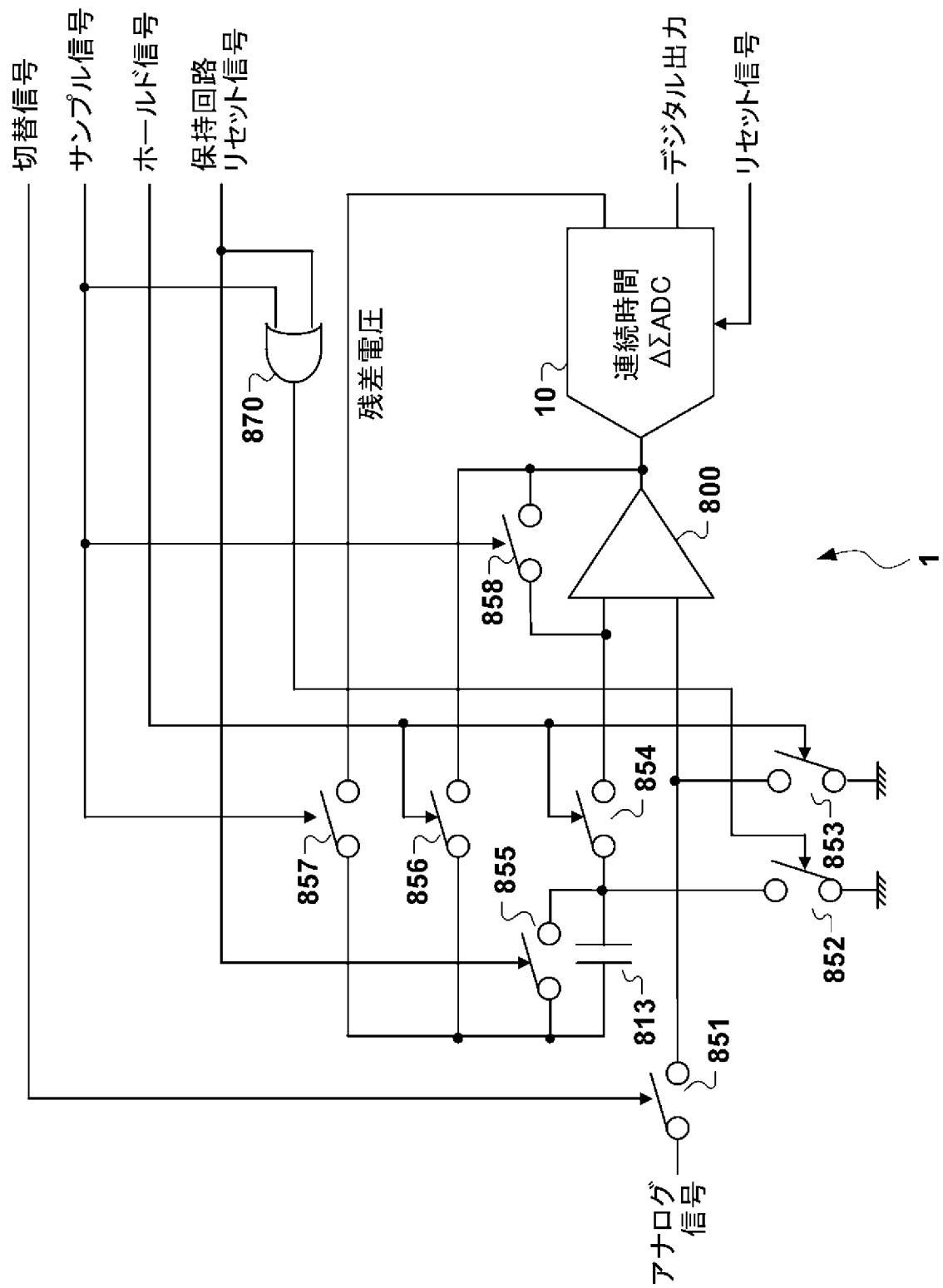
[図20A]



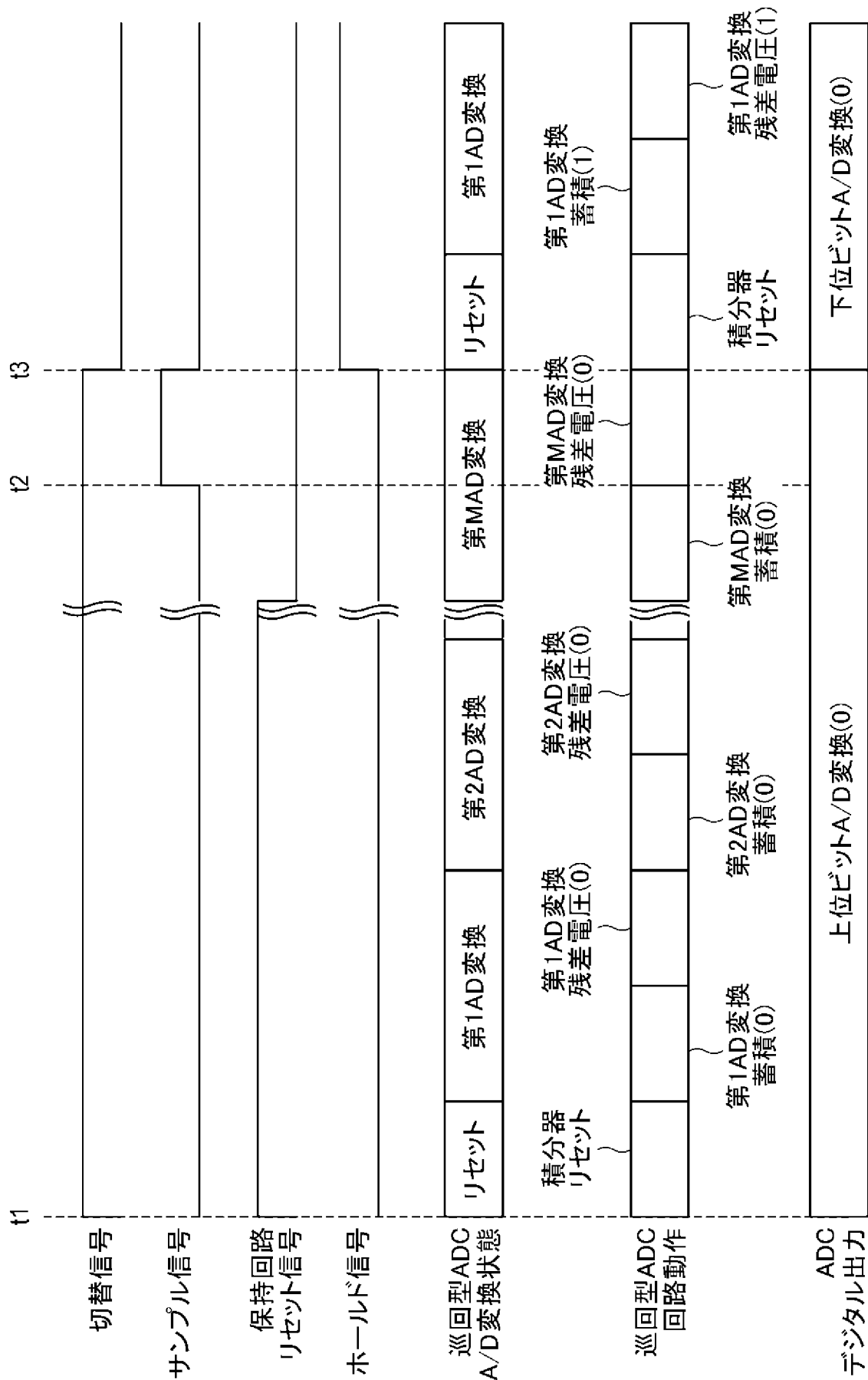
[図20B]



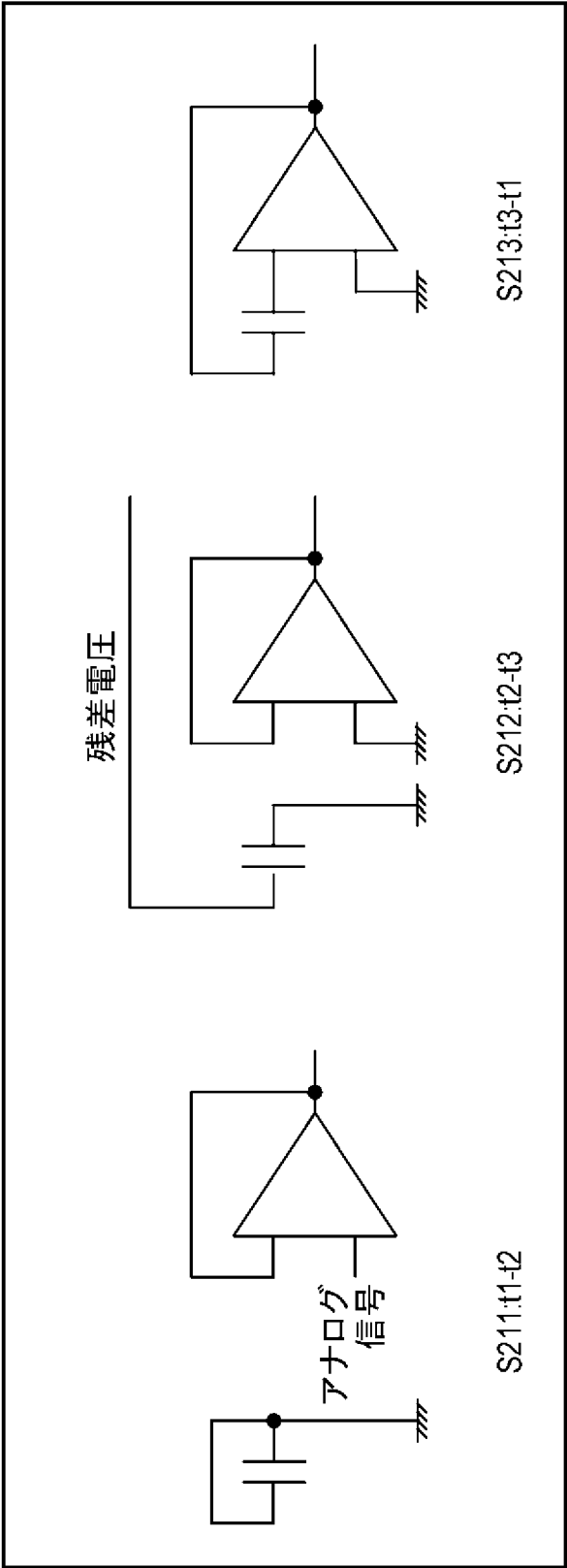
[図21A]



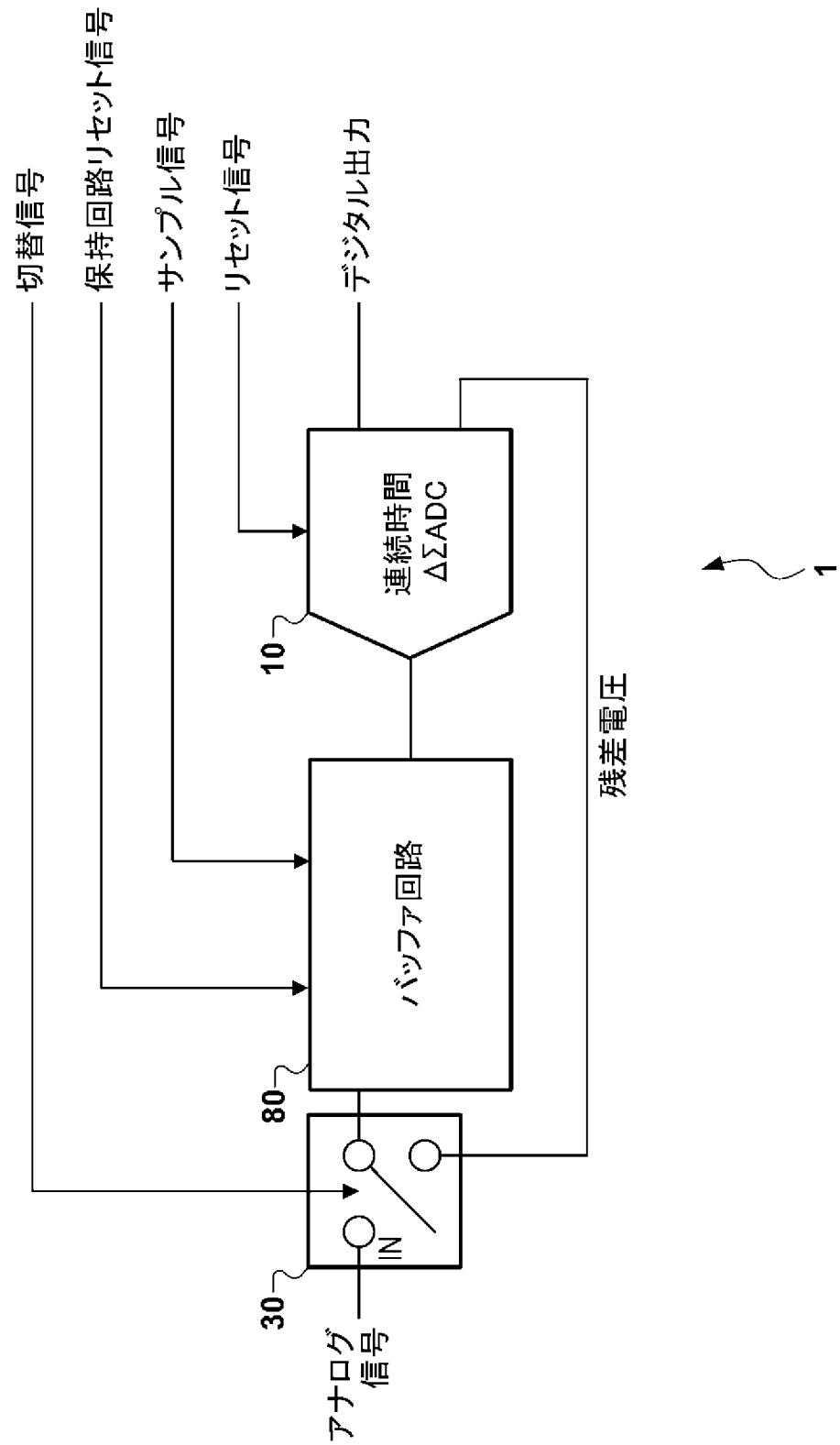
[図21B]



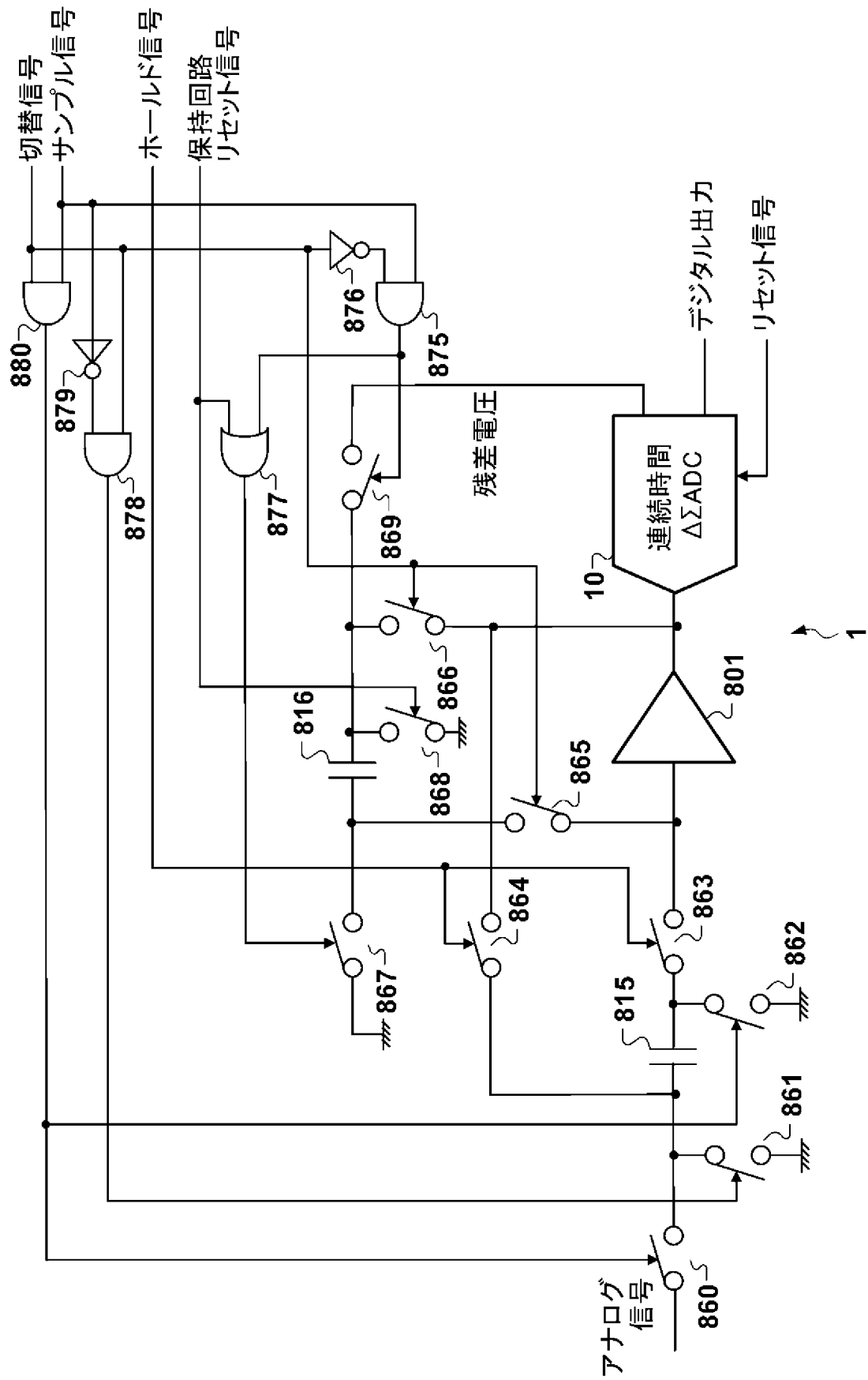
[図21C]



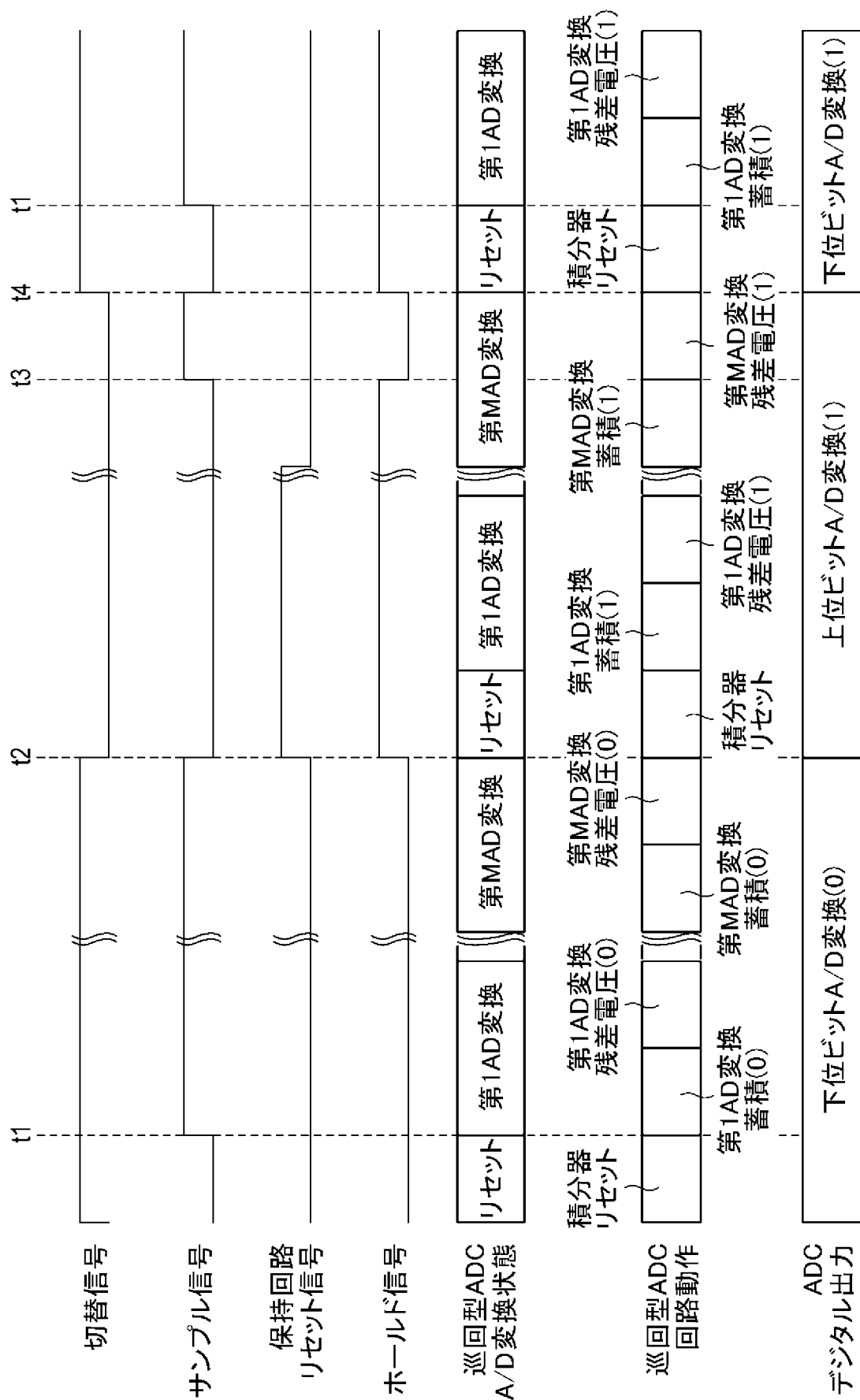
[図22]



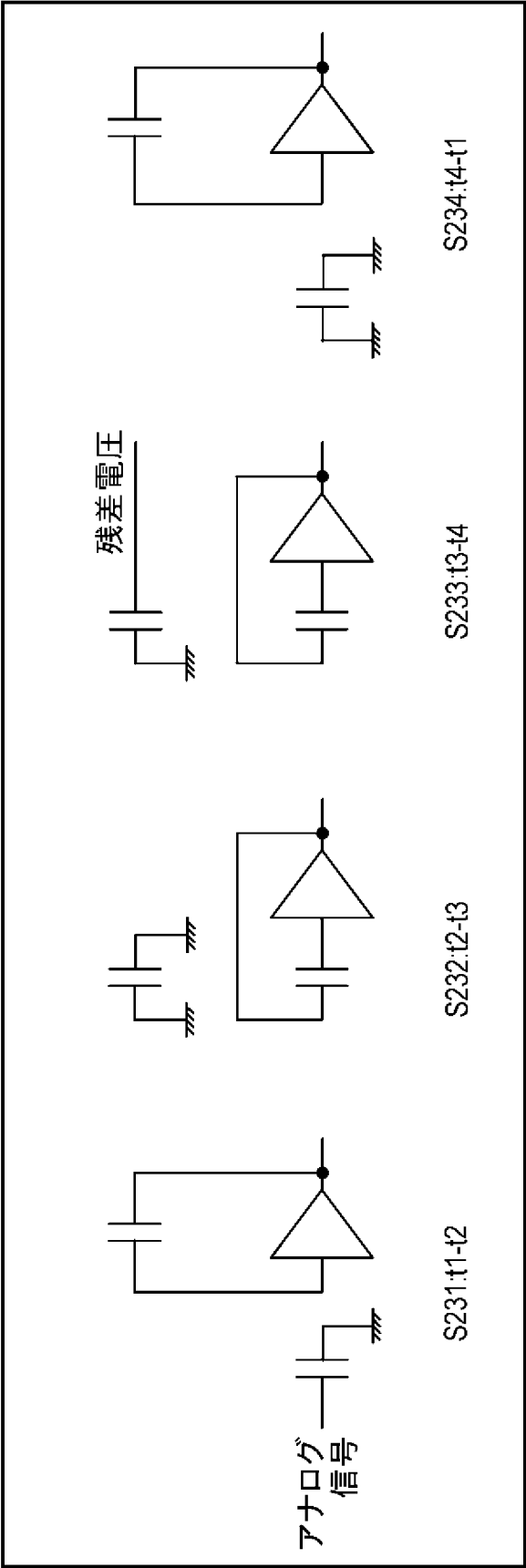
[図23A]



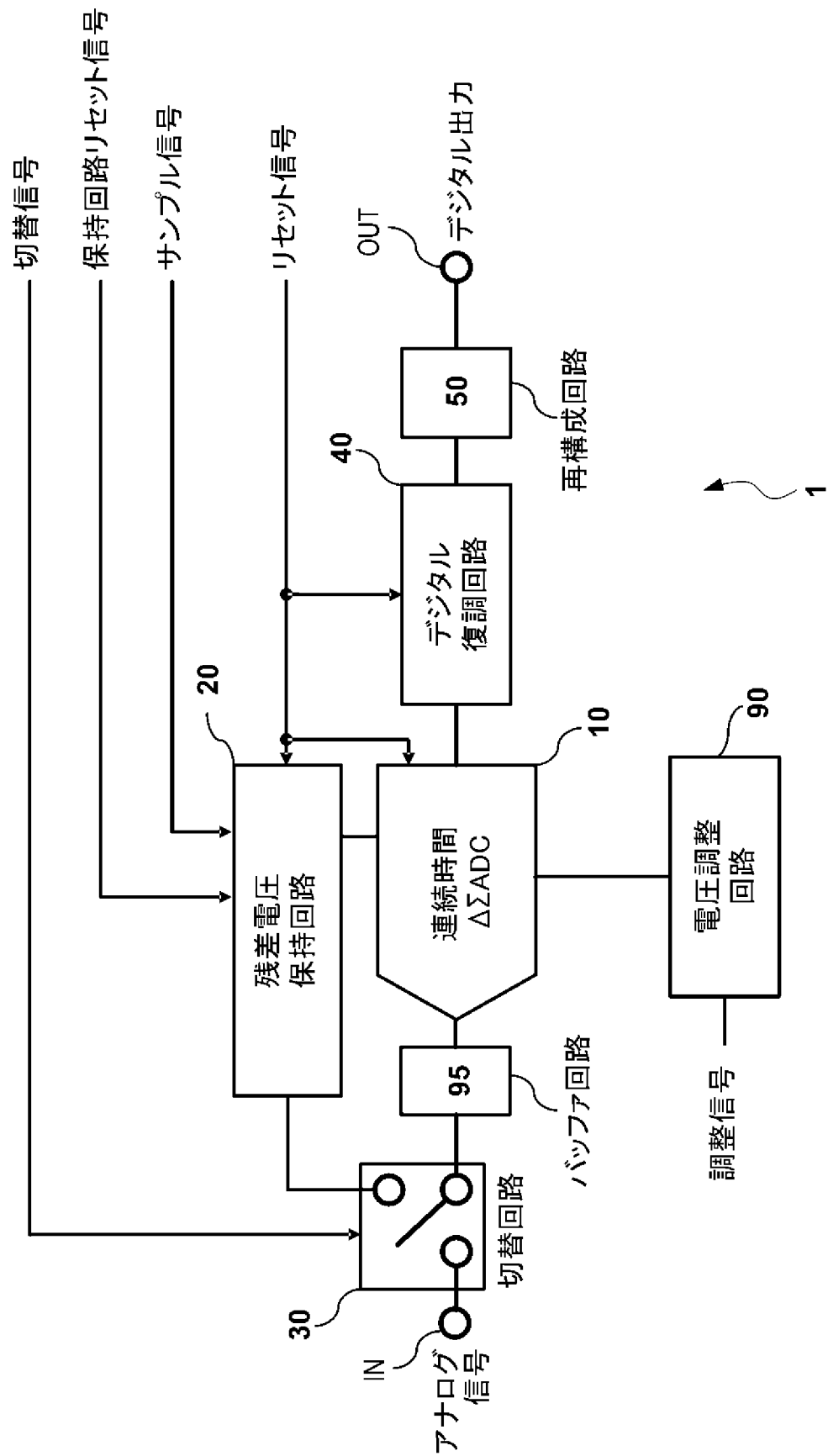
[図23B]



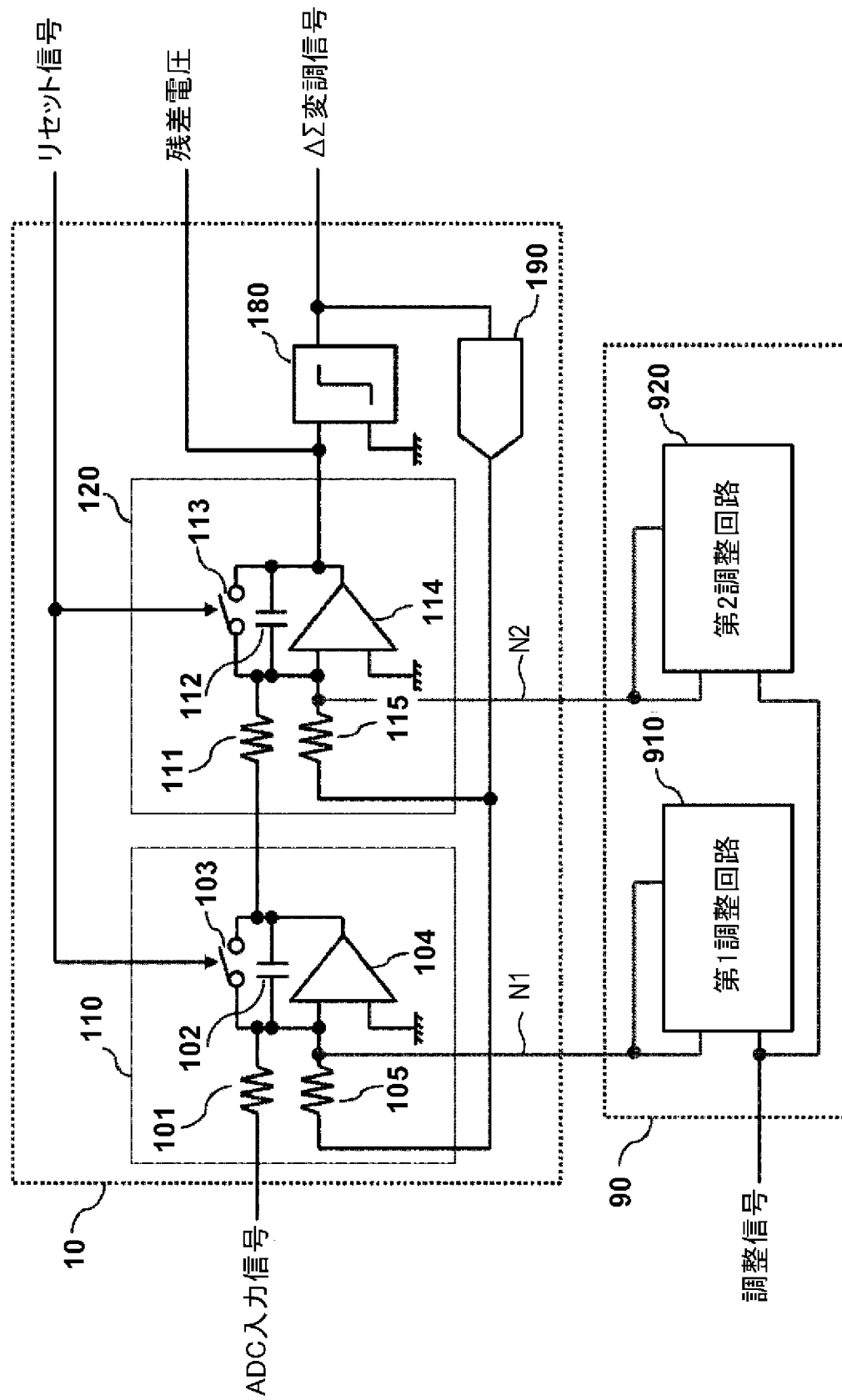
[図23C]



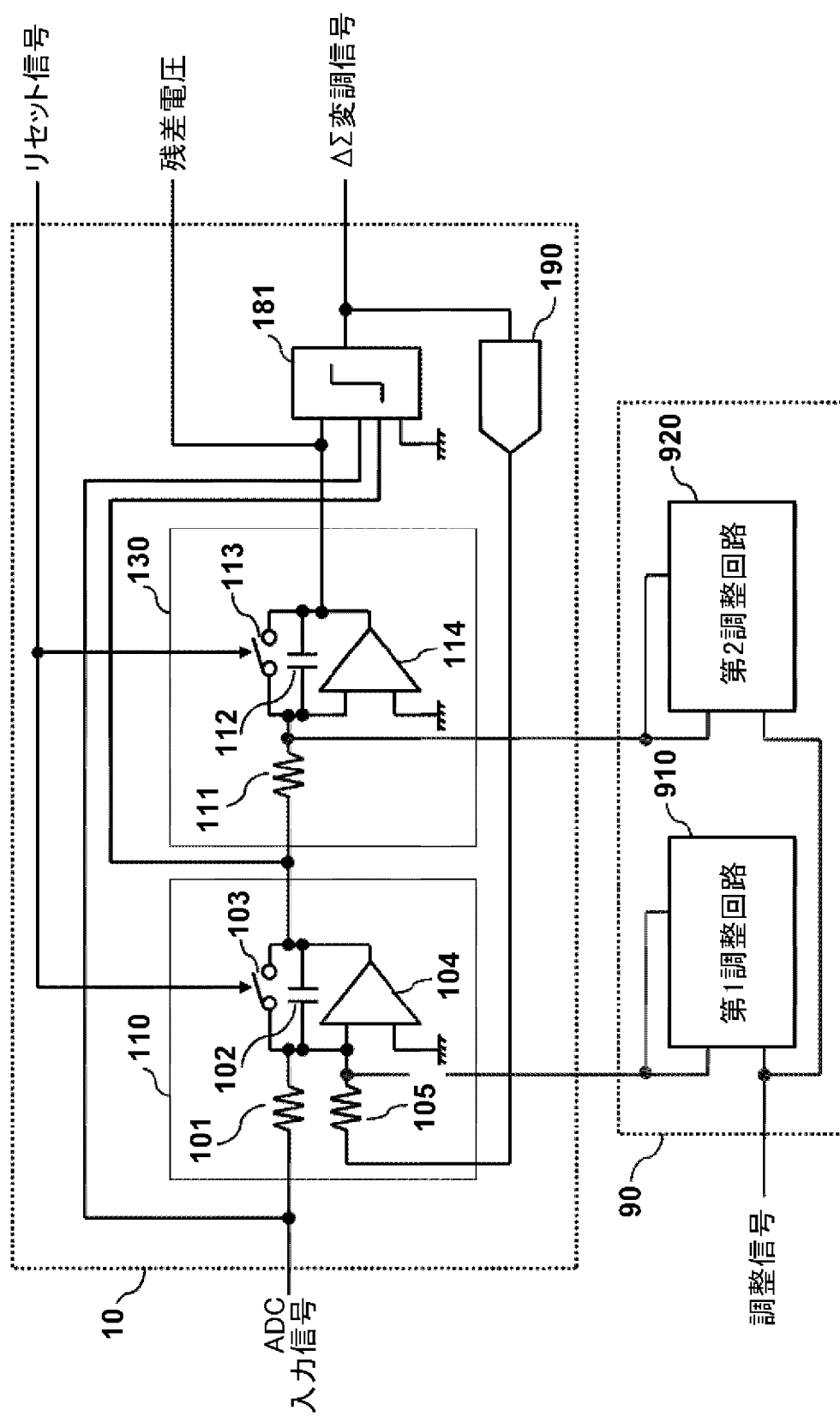
[図24]



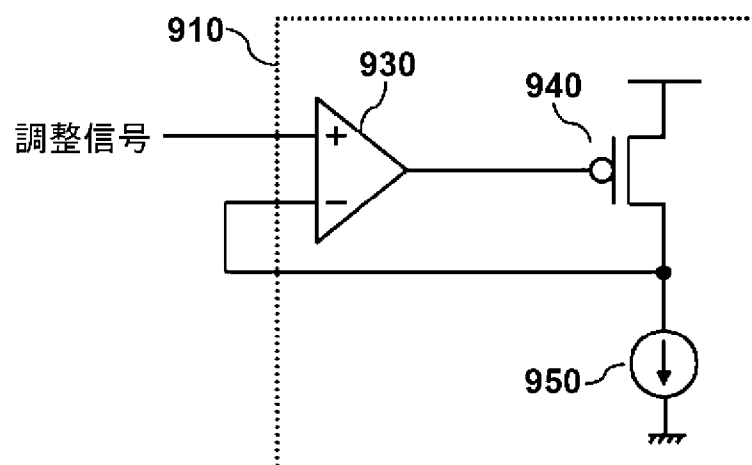
[図25]



[図26]



[図27]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/014820

A. CLASSIFICATION OF SUBJECT MATTER H03M 1/12 (2006.01)i; H03M 1/14 (2006.01)i; H03M 1/40 (2006.01)i; H03M 3/02 (2006.01)i FI: H03M1/12 A; H03M1/12 C; H03M1/14 A; H03M1/40; H03M3/02 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H03M1/12-1/64; H03M3/02 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2017-216561 A (DENSO CORPORATION) 07 December 2017 (2017-12-07) paragraphs [0001]-[0109], fig. 1-21	1-19, 21, 23-25 20, 22
Y A	US 2009/0261998 A1 (CHAE, Youngcheol) 22 October 2009 (2009-10-22) paragraphs [0001]-[0072], fig. 1-17	1-19, 21, 23-25 20, 22
Y A	JP 2015-528655 A (INNOVACIONES MICROELECTRÓNICAS S. L. (ANAFOCUS)) 28 September 2015 (2015-09-28) paragraphs [0001]-[0183], fig. 1A-19	1-19, 21, 23-25 20, 22
Y	JP 2015-103856 A (KABUSHIKI KAISHA TOSHIBA) 04 June 2015 (2015-06-04) paragraphs [0001]-[0100], fig. 1-17	2-4, 6-8, 10-14, 23-25
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 17 June 2024		Date of mailing of the international search report 25 June 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/014820

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2011/0075768 A1 (ZHAN, Sanyi) 31 March 2011 (2011-03-31) paragraphs [0001]-[0034], fig. 1-5	15-19, 23-25

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/014820

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2017-216561	A	07 December 2017	US 2019/0089369 A1 paragraphs [0002]-[0134], fig. 1-21 WO 2017/208635 A1	
US	2009/0261998	A1	22 October 2009	KR 10-2009-0111012 A	
JP	2015-528655	A	28 September 2015	US 2015/0215553 A1 paragraphs [0001]-[0184], fig. 1A-19 WO 2014/023776 A1 EP 2696506 A1	
JP	2015-103856	A	04 June 2015	US 2015/0138005 A1 paragraphs [0001]-[0114], fig. 1-17	
US	2011/0075768	A1	31 March 2011	US 2012/0293345 A1	

A. 発明の属する分野の分類（国際特許分類（IPC））

H03M 1/12(2006.01)i; H03M 1/14(2006.01)i; H03M 1/40(2006.01)i; H03M 3/02(2006.01)i

FI: H03M1/12 A; H03M1/12 C; H03M1/14 A; H03M1/40; H03M3/02

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H03M1/12-1/64; H03M3/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年

日本国公開実用新案公報1971-2024年

日本国実用新案登録公報1996-2024年

日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2017-216561 A（株式会社デンソー） 07.12.2017（2017-12-07） 段落 [0001] - [0109]，図1-図21	1-19, 21, 23-25
A		20, 22
Y	US 2009/0261998 A1（CHAE Youngcheol） 22.10.2009（2009-10-22） 段落 [0001] - [0072]，図1-図17	1-19, 21, 23-25
A		20, 22
Y	JP 2015-528655 A（イノバシオネス・マイクロエレクトロニクス・ソシエダッド・リミ ターダ・（アナフォーカス）） 28.09.2015（2015-09-28） 段落 [0001] - [0183]，図1A-図19	1-19, 21, 23-25
A		20, 22
Y	JP 2015-103856 A（株式会社東芝） 04.06.2015（2015-06-04） 段落 [0001] - [0100]，図1-図17	2-4, 6-8, 10-14, 23-25
Y	US 2011/0075768 A1（ZHAN Sanyi） 31.03.2011（2011-03-31） 段落 [0001] - [0034]，図1-図5	15-19, 23-25

☐ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“I” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

17.06.2024

国際調査報告の発送日

25.06.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

白井 孝治 5G 8843

電話番号 03-3581-1101 内線 3524

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/014820

引用文献			公表日	パテントファミリー文献			公表日
JP	2017-216561	A	07.12.2017	US	2019/0089369	A1	
				段落 [0 0 0 2] - [0 1 3 4] , 図 1 - 図 2 1			
				WO	2017/208635	A1	

US	2009/0261998	A1	22.10.2009	KR	10-2009-0111012	A	

JP	2015-528655	A	28.09.2015	US	2015/0215553	A1	
				段落 [0 0 0 1] - [0 1 8 4] , 図 1 A - 図 1 9			
				WO	2014/023776	A1	
				EP	2696506	A1	

JP	2015-103856	A	04.06.2015	US	2015/0138005	A1	
				段落 [0 0 0 1] - [0 1 1 4] , 図 1 - 図 1 7			

US	2011/0075768	A1	31.03.2011	US	2012/0293345	A1	
