



(12)发明专利

(10)授权公告号 CN 103943668 B

(45)授权公告日 2018.11.09

(21)申请号 201410028850.2

(22)申请日 2014.01.22

(65)同一申请的已公布的文献号

申请公布号 CN 103943668 A

(43)申请公布日 2014.07.23

(30)优先权数据

13/748,076 2013.01.23 US

(73)专利权人 恩智浦美国有限公司

地址 美国得克萨斯

(72)发明人 杨洪宁 林欣 张志宏 左江凯

(74)专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 秦晨

(51)Int.Cl.

H01L 29/08(2006.01)

H01L 29/10(2006.01)

H01L 29/78(2006.01)

H01L 21/336(2006.01)

(56)对比文件

US 2012/0217579 A1, 2012.08.30,

US 5374843 A, 1994.12.20,

JP 特开2000-260984 A, 2000.09.22,

审查员 郑钰

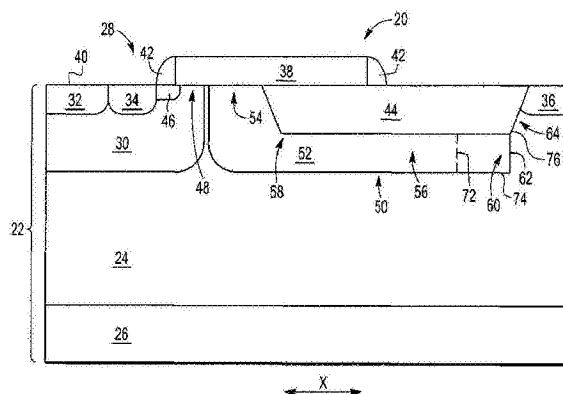
权利要求书3页 说明书14页 附图4页

(54)发明名称

带有加强的3D RESURF的半导体器件

(57)摘要

本发明涉及带有加强的3D RESURF的半导体器件。器件包括半导体衬底、位于所述半导体衬底中并且沿着第一横向维度彼此隔开的源极和漏极区域,以及位于所述半导体衬底中并且电荷载流子通过所述区域在操作期间随着所述源极和漏极区域之间的偏置电压的应用进行漂移的漂移区域。所述漂移区域沿着所述漂移区域和所述漏极区域之间的界面在第二横向维度有凹口掺杂物轮廓。



1. 一种半导体器件,包括:

半导体衬底;

位于所述半导体衬底中并且沿着第一横向维度彼此隔开的源极区域和漏极区域;以及
位于所述半导体衬底中的漂移区域,并且在操作期间随着所述源极区域和漏极区域之间的偏置电压的施加,电荷载流子通过所述漂移区域进行漂移;

其中:

所述漂移区域与所述漏极区域在界面处彼此连接;并且

所述漂移区域沿着所述漂移区域和所述漏极区域之间的所述界面在第二横向维度有凹口边界,以及所述漂移区域在所述漂移区域和所述漏极区域之间的所述界面处的所述漏极区域处的垂直厚度变窄。

2. 根据权利要求1所述的器件,其中:

所述漂移区域包括所述漏极区域下方的开口;以及

所述开口包括梳型边界。

3. 根据权利要求1所述器件,其中所述漂移区域没有跨所述漏极区域横向延伸。

4. 根据权利要求1所述的器件,其中:

所述漂移区域包括外部区段和被所述外部区段包围并且被置于所述漏极区域下方的内部区段;并且

所述内部区段的掺杂物浓度水平相对于所述外部区段的掺杂物浓度水平被减小使得在操作期间能够达到所述漂移区域的完全耗尽。

5. 根据权利要求1所述的器件,其中所述凹口边界包括方形波凹口图案。

6. 根据权利要求1所述的器件,其中所述凹口边界包括周期性的凹口图案。

7. 根据权利要求1所述的器件,其中:

所述半导体衬底包括外延层,在所述外延层中形成所述源极区域、漏极区域和漂移区域;并且

所述漂移区域在所述漏极区域下方沿着与所述外延层的凹口边界被切断。

8. 根据权利要求1所述的器件,还包括所述半导体衬底中的位于所述源极区域和所述漏极区域之间的槽隔离区域,其中:

所述漂移区域包括位于所述槽隔离区域下方的第一区域和位于所述漏极区域下方的第二区域;并且

所述漂移区域在所述第二区域中有相对于所述第一区域减小的掺杂物浓度水平。

9. 一种电子装置,包括:

半导体衬底;以及

位于所述半导体衬底中的降低表面电场RESURF晶体管,且该晶体管包括:

第一半导体区域,具有第一导电类型,并且在操作期间沟道在其中形成;

第二半导体区域和第三半导体区域,具有第二导电类型,并且沿着第一横向维度彼此隔开;以及

第四半导体区域,具有所述第二导电类型,并且来自形成于所述第一半导体区域的沟道中的电荷载流子在操作期间随着所述第二半导体区域和第三半导体区域之间的偏置电压的施加通过所述第四半导体区域进行漂移;并且

其中：

所述第三半导体区域与所述第四半导体区域在界面处彼此连接；并且

所述第四半导体区域沿着所述第三半导体区域和第四半导体区域之间的所述界面在第二横向维度有凹口边界；

以及所述第四半导体区域在所述第四半导体区域和所述第三半导体区域之间的所述界面处的所述第三半导体区域处的垂直厚度变窄。

10. 根据权利要求9所述的电子装置，其中：

所述第四半导体区域包括位于所述第三半导体区域下方的开口；并且

所述开口包括梳型边界。

11. 根据权利要求9所述的电子装置，其中所述第四半导体器件没有跨所述第三半导体区域横向延伸。

12. 根据权利要求9所述的电子装置，其中所述第四半导体区域包括外部区段和被所述外部区段包围并且被置于所述第三半导体区域下方的内部区段；以及

所述内部区段的掺杂物浓度水平相对于所述外部区段的掺杂物浓度水平被减小使得在操作期间能够达到所述第四半导体区域的完全耗尽。

13. 根据权利要求9所述的电子装置，其中所述半导体衬底包括外延层，在所述外延层中形成所述第一半导体区域、第二半导体区域、第三半导体区域和第四半导体区域；并且

所述第四半导体区域在所述第三半导体区域下方沿着与所述外延层的凹口边界被切断。

14. 根据权利要求9所述的电子装置，其中所述RESURF晶体管还包括位于所述第二半导体区域和第三半导体区域之间的槽隔离区域，其中：

所述第四半导体区域包括位于所述槽隔离区域下方的第一区域和位于所述第三半导体区域下方的第二区域；并且

所述第四半导体区域在所述第二区域中有相对于所述第一区域减小的掺杂物浓度水平。

15. 一种制造晶体管的方法，所述方法包括：

在衬底的第一区域中注入掺杂物以用于形成漂移区域；以及

分别在所述衬底的第二区域和第三区域中形成源极区域和漏极区域，所述第二区域和第三区域在第一横向维度彼此隔开；

其中所述第一区域没有跨所述第三区域横向延伸，并且在第二横向维度包括凹口漏极侧边界；

其中在所述漂移区域和所述漏极区域之间的界面处的所述漏极区域处减少所述漂移区域的垂直厚度。

16. 根据权利要求15所述的方法，其中所述第一区域包括位于所述第三区域下方的开口，所述开口包括所述凹口漏极侧边界。

17. 根据权利要求15所述的方法，还包括：对所述衬底进行退火使得所述漂移区域电耦合于所述漏极区域。

18. 根据权利要求15所述的方法，其中所述第一区域和第三区域没有横向重叠。

19. 根据权利要求15所述的方法，还包括：形成所述衬底的外延层，其中所述第一区域、

第二区域和第三区域被置于所述外延层中。

带有加强的3D RESURF的半导体器件

技术领域

[0001] 本发明实施例涉及半导体器件。

背景技术

[0002] 集成电路(IC)和其它电子器件常常包括互连的场效应晶体管(FET),也被称为金属氧化物半导体场效应晶体管(MOSFET),或被简单地被称为MOS晶体管或器件。典型的MOS晶体管包括被用作控制电极并且隔开源极和漏极的栅极。施加于栅极电极的控制电压通过源极和漏极之间的可控制导电沟道控制电流的流动。

[0003] 功率晶体管器件被设计为承受存在于功率应用,例如运动控制、气囊配置以及燃料自动注入驱动器中的高电流和电压。一种类型的功率MOS晶体管是横向扩散金属氧化物半导体(LDMOS)晶体管。在LDMOS器件中,漂移空间被提供在沟道区域和漏极区域之间。

[0004] LDMOS器件可以被设计以在高边配置中操作,所有器件端子在所述配置中都相对于衬底电势被电平位移。高边操作配置的器件已被应用于DC-DC转换器的电源开关中,所述转换器有高边和低边的各自LDMOS器件。高边可用器件可以被设计以防止从LDMOS器件的体区到底层衬底的直接击穿路径。

[0005] LDMOS器件常常被用于各种应用,例如汽车应用中,所涉及的操作电压大于40伏特。常常通过LDMOS器件设计中的降低表面电场(RESURF)结构来防止产生于将这种高压施加于漏极造成的击穿。所述RESURF结构被设计以耗尽LDMOS器件在垂直和水平方向上的漂移空间,从而降低了漂移区域处表面附近的电场并且因此增大了器件的断开状态的击穿电压(BVdss)。

[0006] 通常,权衡存在于BVdss和漏极-源极导通电阻(Rdson)之间。BVdss决定了器件可达到的输出额定电压。Rdson决定了处理给定电流量,例如器件的电流或额定功率所需的器件面积。设计器件以实现较高的BVdss电平(并且因此实现较高的操作电压)常常是以增大电阻(并且因此实现每一单位面积较低的额定电流)为代价的。例如,可以通过增大器件的漂移空间的长度或减小漂移空间中的掺杂物浓度来增大BVdss电平,这二者都增大了Rdson。相反,设计器件以减小Rdson(并且因此增大每一单位面积较低的额定电流)会造成较低的BVdss电平(并且因此造成较低的操作电压)。例如,漂移空间中的较高的掺杂物浓度以较低的BVdss为代价降低了Rdson。其它减小Rdson的技术还涉及到增大器件面积,并且从而增加了制造器件的成本。

附图说明

[0007] 部件和附图不一定按比例绘制,重点在于用于说明各种实施例的原理。此外,在附图中,相同参考符号指定了所有不同视图中的相应部分。

[0008] 图1根据一个实施例,是有被配置了凹口掺杂物轮廓(profile)的漂移区域的示例LDMOS晶体管的截面图、示意图、局部视图。

[0009] 图2是图1的示例LDMOS晶体管的截面图、示意图、局部视图以描述退火步骤之后的

漂移区域。

[0010] 图3根据一个实施例,是有凹口掺杂物轮廓的漂移区域的示例LDMOS晶体管的平面图。

[0011] 图4根据一个实施例,是构建有凹口掺杂物轮廓的LDMOS晶体管的示例制造顺序的流程图。

[0012] 图5是在退火之前和之后根据正交于导电路径的横向维度的漂移区域中的掺杂物浓度水平的图表。

具体实施方式

[0013] 本发明描述了横向扩散金属氧化物半导体(LDMOS)和其它功率晶体管器件以及有加强的三维(3D)降低表面电场(RESURF)的电子装置的实施例。所述器件和装置实施例可以有被配置了凹口掺杂物轮廓的漂移区域。所述掺杂物轮廓可以在或沿着正交于所述器件的导电路径的横向维度被凹口化。例如,所述掺杂物轮廓可以沿着正交于横向维度的横向维度被凹口化,源极和漏极区域沿着所述横向维度彼此隔开。加强RESURF效应可以将所公开器件实施例的击穿电压电平(BV_{dss})扩展到超过通过二维RESURF效应实现的电平。

[0014] 在一些实施例中,凹口掺杂物轮廓包括沿着与所述漏极区域相交的界面位于所述漂移区域中的梳型结构。所述梳型结构可以包括周期性的凹口图案。所述图案中的每个凹口或槽可以被填充或轻掺杂p-类型半导体材料,例如p-类型外延层的多个部分,所述漂移区域在所述外延层中形成。沿着所述梳型结构的界面可以增大从横向维度(凹口图案沿着所述横向维度形成)的所述漂移区域的耗尽。可以在没有附加注入层或制造步骤的情况下实现这种好处。

[0015] 可以将所述漂移区域的凹口掺杂物轮廓与所述漂移区域的其它特征组合起来,二者一起减小所述漂移区域以加快位于漏极区域处、在漏极区域下方或其附近的耗尽。例如,所述漂移区域可以呈现开放的漏极结构,其中位于所述漏极下方的漏极区域的切断或内沿限定了位于所述漂移区域中的开口。所述切断或沿可以是所述漏极区域附近的阱区域(用于形成漂移区域)的类似切断或沿的人工制品。所述开口可以有一个或多个凹口边界以呈现凹口掺杂物轮廓。虽然开放的漏极结构可以通过减小所述漏极附近的漂移区域来加强有长漂移长度(例如,大于5 μm 的槽隔离长度)的器件的RESURF效应,从而将BV_{dss}电平增大到130伏特,将开放的漏极结构与凹口边界组合起来以形成梳型结构可以进一步加快耗尽。BV_{dss}电平可以进一步被增大到超过130伏特,例如达到139伏特。虽然结合有所述开放的漏极结构和凹口漏极侧边界的组合的实施例被描述,所公开实施例的凹口掺杂物轮廓也可以被结合进封闭的漏极结构中,在该封闭的漏极结构中在注入阱区域的所述掺杂物扩散之后所述漂移区域跨漏极区域横向延伸。

[0016] 凹口掺杂物轮廓可以提供多维RESURF效应(例如,横向和纵向的)以改进所公开器件实施例的BV_{dss}。然而,通过断开状态的击穿电压电平(BV_{dss})和开启状态的电阻值(R_{dson})之间的权衡的附加设计灵活性可以实现RESURF效应的好处。因此,BV_{dss}和R_{dson}值可以通过调整掺杂物轮廓中凹口的宽度(或大小)和凹口的间隔被调整或定制。宽度和间隔提供了在根据本公开配置的器件设计期间被操纵的附加变量或自由度。BV_{dss}和R_{dson}之间的最优平衡可以通过调整凹口的宽度或凹口之间的区域来实现。这种附加设计灵活性可以

允许所公开的器件实施例的其它电子特征被优化或调整。例如,由碰撞电离生成的热载子可以在不牺牲 BV_{dss} 或 R_{dson} 的前提下通过整个设计优化被最小化。这种优化和定制可以在不改变或增加制造过程步骤的前提下来提供。

[0017] 虽然结合沿着围绕漏极区域的漂移区域边界有周期性的梳型开口(或漏极区域附近的梳型掺杂物轮廓)的实施例进行如下描述,但一些其它图案或结构也是可能的。例如,所述边界不一定是梳型的。凹口的大小和形状可以不同于所显示的例子。所述凹口(和/或由所述凹口限定的凸起)可以有三角的、梯形的、椭圆的、正弦曲线的或其它横截面形状,而不是所显示的梳型边界。所述凹口和/或漏极区域的横向延伸也可以不同于这里所描述的。

[0018] 虽然结合n-沟道LDMOS晶体管进行如下描述,所公开的器件不限于任何特定晶体管配置。例如,所公开器件特征的应用不限于LDMOS或其它功率MOS器件。所公开器件的一个或多个特征可以被应用于其它器件配置,例如包括双极型晶体管。所公开器件的漂移区域在各种功率电子器件中可以是有益的。所述漂移区域也不限于任何一种特定类型的RESURF配置。所公开器件可以有变化的RESURF结构,包括单、双或其它RESURF结构配置,其中的每一个在本发明中可以被称为“RESURF晶体管”。

[0019] 为了便于描述而非意在任何限制,本发明描述和示出了n-沟道 LDMOS器件。因此,p-类型的岛或其它区域被描述为n-类型漂移区域。然而,所公开的器件不限于n-沟道器件,因为p-沟道和其它类型的器件可以例如由相反导电类型的半导体区域替代来提供。因此,例如,下面描述的例子中的每个半导体区域、层或其它结构可以有与下面的例子中识别的类型相反的导电类型(例如,n-类型或p-类型)。

[0020] 图1是根据一个实施例构建的n-沟道LDMOS器件20的例子的示意横截面图。器件20可以被配置为RESURF晶体管。器件20包括半导体衬底22,其可以依次包括一些外延层24。在这个例子中,半导体衬底22包括生长在原始衬底26上的单一的p-类型外延层P-EPI。在一些情况下,原始衬底26可以是重掺杂p-类型衬底,例如那些有多个外延层的衬底。器件20可以或者或此外包括非外延层,一个或多个器件区在其中形成。半导体衬底22的任何一个或多个层可以包括硅。半导体衬底22的结构、材料和其它特征可以不同于所显示的例子。例如,半导体衬底22可以包括绝缘体上硅(SOI)结构。附加的、更少的或替代的层可以被包括在半导体衬底22中。例如,任何数量的附加半导体和/或非半导体层可以被包括在内。所公开的器件因此不限于例如块状硅衬底或包括外延生长层,并且可以支持各种其它类型的半导体衬底。

[0021] 器件20的器件区28在图1中被描述。对于一些实施例,图中只显示了器件区28的一侧或一半。例如,器件区28可以横向对称并且因此包括镜像了所显示部分的部分(例如参见图2和图3)。

[0022] 器件区28可以由半导体衬底22中的一个或多个掺杂的器件隔离层或区域(未显示)限定(例如,外延层24)。掺杂隔离层或区域可以横向和/或以其它方式围绕器件区28。这些层或区域充当了将器件区28与衬底22(或原始衬底26)的剩余部分隔开的屏障或隔离层。在一些例子中,掩埋n-类型层可以形成于或被置于半导体衬底22中。例如,所述掩埋n-类型层可以在其外延层24的生长之前形成于半导体衬底22中。所述掩埋n-类型层可以横向跨器件区28(例如,在其下方)延伸以充当将有源区域28与原始区域26隔开的屏障或隔离层。掩埋n-类型层可以或者或此外辅助漂移区域耗尽以支持下面描述的RESURF效应。掩埋n-类型

层可以构建多个围绕器件区28的掺杂器件隔离区域(未显示)的其中一个。例如,适度掺杂或重掺杂n-类型隔离阱(未显示)可以横向围绕器件区28。所述隔离阱可以是环形的。所述隔离阱可以被置于所述掩埋n-类型层上或以其它方式置于其上方以及器件区28的横向周界的外面或沿着所述横向周界。一个或多个上述描述的隔离区域可以有一种掺杂物浓度水平和/或以其它方式被配置为高压(HV)操作(例如,高边操作,其中器件20的端子相对于通常是接地的半导体衬底22有电平位移),包括穿孔防范。任何数量的器件隔离阱、宿(sink)或掩埋层可以彼此连接。附加的、更少的或替代的器件隔离层或区域可以被提供在半导体衬底22中。

[0023] 器件20包括位于半导体衬底22中的器件体或体区域30。在这个例子中,体区域30是形成于衬底22的外延层24中的p-类型阱。所述p-类型阱可以被配置为高压操作(例如,高边操作)。体区域30可以通过形成于或以其它方式位于半导体衬底22的体区域30的p-类型阱上方的一个或多个重掺杂p-类型体接触区域或电极32被偏置。每个接触区域32的掺杂物浓度可以处于足以创建到体区域30的欧姆接触的水平。

[0024] 器件20包括位于半导体衬底22中的重掺杂源极和漏极区域34和36。源极和漏极区域34和36在图1的横截面图所显示的横向维度彼此横向隔开。在一些实施例中,源极和漏极区域34和36可以有附加的或替代的横向间隔。可以提供任何数量的源极或漏极区域34、36。漏极区域36不需要被居中或以其它方式被置于之间,或如显示的被源极区域34横向围绕。在这个例子中,源极和漏极区域34和36是外延层24的n-类型掺杂部分。重掺杂n-类型源极区域34被置于体区域30中、上和/或以其它方式置于体区域30上方。重n-类型掺杂漏极区域36沿着图1所显示的横向维度与体区域30横向隔开。这种间隔限定了位于源极和漏极区域34和36之间的器件的导电路径。导电路径可以因此沿着图1所显示的横向维度定向。区域34、36或其中的一部分可以有处于足以创建用于偏置源极区域34和漏极区域36的欧姆接触的掺杂物浓度水平。在典型的LDMOS配置中,漏极区域36相对于源极区域34被偏置处于相对高的漏极-源极电压 V_{ds} 。

[0025] 器件20包括一个或多个形成于半导体衬底22的表面40上或上方的栅极结构38。栅极结构38被置于源极区域34和漏极区域36之间。在一些实施例中,栅极结构38围绕漏极区域36,正如图2和3所显示的,漏极区域36可以居中地或内部地置于器件区28中。或者,栅极结构38可以被布置在双栅极指状物配置中,在双栅极指状物配置中两个晶体管被对称布置以共享相同的漏极区域36。栅极结构38位于栅极绝缘层(未显示)上或上方。例如,所述栅极绝缘层可以包括被沉积于或以其它方式形成于表面40上的二氧化硅(或氧化硅)。每个栅极结构38包括位于所述栅极介电层上或上方的导电栅极层(例如,多晶硅板),所述栅极介电层将导电栅极层与衬底22隔离。栅极结构38可以包括一个或多个沿着栅极结构38的横向边沿放置的介电侧壁间隔物42。侧壁间隔物42可以覆盖横向边沿以充当硅化物阻断剂以防止沿着表面40的硅化物短路。侧壁间隔物42可以提供将栅极结构38的导电部件与源极区域34和器件区28的其它区域隔开的间隔。在这个例子中,其中一个侧壁间隔物42出于对齐的目的被用于限定源极区域34的边沿。

[0026] 栅极结构38的配置可以变化。栅极结构38的配置可以包括多个导电层(例如,多晶硅板)。栅极结构38的部件、材料和其它特征可以不同于所显示的例子。

[0027] 一些浅槽隔离(STI)区域44可以形成于半导体衬底22中的表面40处。在这个实施

例中,STI区域44将栅极结构38与施加于漏极区域36的高压隔开。这些和其它STI区域44可以被配置以防止将热载流子注入(HCI)到栅极结构38的氧化物层中或使其最小化。

[0028] 其它STI区域可以被置于半导体衬底22中以隔离或分离各种接触区域,例如体区域32和源极区域34,以及用于偏置器件20的部件的区域。例如,隔离接触区域和衬底接触区域可以被其中一个STI区域44隔开。

[0029] 器件20在源极和漏极区域34和36处或其附近可以被配置一个或多个被轻微或中等掺杂的过渡区域(例如,n-类型轻掺杂漏极或NLDD区域)。每个过渡区域可以是或包括与源极区域34和/或漏极区域36相联系形成的扩散区域。这些过渡区域可以辅助控制在表面40处或在其附近的(包括除了源极区域34或漏极区域36附近的区域内的)电场。在这个例子中,器件20包括邻近源极区域34的NLDD区域46。NLDD区域46可以在显示的栅极结构38下方横向延伸。

[0030] 当栅极结构44被偏置时,电荷载流子(在这种情况下,即电子;或者空穴)在一个或多个沟道区或区域48中累积。每个沟道区域48(或其中的一部分)可以位于栅极结构38下方的体区域30中。在这个例子中,电子的累积造成了在沟道区域48中的电荷从p-类型体区域30逆转到半导体衬底22的表面40附近的n-类型导电层或区。一旦足够量的电荷载流子在所述导电层或区中累积,电荷载流子能够通过沟道区域48从源极区域34流向漏极区域36。

[0031] 沟道区域48可以包括半导体衬底22中的其它区或区域,其中电荷逆转或累积作为施加于栅极结构38的偏置的结果而发生。电荷载流子也可以在体区域30的外部或超出体区域30来累积。例如,电荷载流子可以在外延层24的邻近体区域30的区域累积。这个区域可以在一些情况下被认为是器件20的累积区域的一部分。沟道区域48和累积区域可以形成器件20的导电区域或路径的一部分。

[0032] 器件20的导电路径不限于电荷逆转在其中发生的区域或导电在其中通过施加于栅极结构38的偏置电压被启用或加强的区域。器件20的导电路径或区域因此不限于表面40处或其附近的区域。例如,所述导电路径包括LDMOS器件的漂移区域50的一部分,其中电荷载流子通过该漂移区域50的一部分到达漏极区域36。漂移区域50可以电耦合漏极区域36和沟道区域48。在这个例子中,漂移区域50对应于n-类型阱52的位于STI区域44下方的一部分。关于器件20的漂移区域50的进一步细节会在下面描述。

[0033] n-类型阱52可以在栅极结构38下方横向延伸以形成器件20的累积区域54。累积区域54可以被置于沿着表面40而不是在STI区域44下方。在操作期间,电荷载流子在漂移通过漂移区域50之前在累积区域54累积。器件20的导电路径可以包括具有与体区域30不同导电类型的附加的或替代的区或区域。

[0034] 在图1的实施例中,漂移区域50被配置为场漂移区域。STI区域44被置于累积区域54和漏极区域36之间。替代或附加的场隔离结构可以被置于累积区域54和漏极区域36之间。所述场隔离结构可以包括一个或多个置于表面40上方的场板。

[0035] 器件20的导电路径或区域在表面40处或其附近可以包括其它区域,不论n-类型或p-类型。例如,沟道区域48和/或器件20的其它导电区域可以包括一个或多个位于半导体衬底22中的中等掺杂的n-类型过渡区域(例如,上述的其中一个NLDD区域46)。

[0036] 电荷载流子从源极区域34流向漏极区域36所沿的路径穿过半导体衬底22中的漂移区域50。漂移区域50可以被配置为允许电荷载流子在由施加于漏极区域36和源极区域34

之间的漏极-源极电压创建的电场的下方漂移。漂移区域50(或其中的一个或多个部分)因此形成了器件20的一部分导电路径。在操作期间,漂移区域50将漏极区域36电耦合于沟道区域48和源极区域36。

[0037] 漂移区域50在操作期间可以被配置用于耗尽以通过降低表面电场(RESURF)效应来降低器件区28的各个位置的电场大小以改进击穿性能。在这个例子中,在n-类型阱52和p-类型外延层24和/或体区域30之间形成了结以创建用于在漂移区域50内部或周围的区域中降低电场的RESURF效应。n-类型阱52和/或漂移区域50可以邻近于体区域30和/或与体区域30隔开。降低的电场可以避免沿着导电路径的击穿,从而增大了器件20的固有击穿电压(BV_{dss})。漂移区域50可以还被配置以通过将电场水平处于漂移区域50中的某些位置来实现高击穿电压电平和低漏极-源极电阻(R_{dson})两者。漂移区域50在操作期间至少部分沿着例如与外延层24和/或体区域30的反向偏置的PN结可以横向和纵向耗尽。所述结是作为在源极区域34和漏极区域36之间施加漏极电压 V_{ds} 的结果而被反向偏置的。正如在RESURF效应中那样,所述反向偏置结可以降低电场以改进击穿性能。在替代实施例中,器件20可以被配置以创建双重RESURF效应,在双重RESURF效应中例如一个或多个附加区域可以被置于邻近偏置区域50(例如,在其下或下方)以在器件区28中进一步耗尽。关于适合的RESURF区域的结构和操作特征的进一步细节在美国专利号6,882,023(“漂浮RESURF LDMOSFET及其制造方法”)中有描述。

[0038] 漂移区域50包括位于STI区域44下方的场漂移部分或区段56。场漂移区段56可以有大约5微米或更大的横向长度。场漂移区段56从沟道或累积侧(或端)58延伸到漂移区域50的漏极侧(或端)60。在操作期间,电荷载流子通过由漏极-源极偏置电压引起的电场下方的场漂移区段56从沟道侧58漂移到漏极侧60。在这个例子中,电荷载流子在离开沟道区域48和/或累积区域54之后到达沟道侧58。电荷载流子然后通过场漂移区段56在STI区域44周围漂移而到达漏极侧60。

[0039] 漂移区域50可以被配置以在场漂移区段56中和沟道和漏极侧58、60处呈现一个或多个的掺杂物浓度水平以创建合适的 R_{dson} 值。掺杂物浓度水平可以随着场漂移区段56的和/或沟道侧58和/或漏极侧60处的深度变化。例如,场漂移区段56(和/或沟道侧58和/或漏极侧60处)中的掺杂物浓度水平在STI区域44的附近可以高于与外延层24的PN结附近的掺杂物浓度水平。或者或此外,场漂移区段56中的掺杂物浓度水平可以根据横向位置变化。例如,漏极侧60处的给定深度处的掺杂物浓度水平可以随着到漏极区域36的横向距离的减小而减小。漂移区域50中的给定深度处的掺杂物浓度水平可以还随着与漏极区域36的重叠的增加而减小。在一些情况下(例如参见图2),所述掺杂物浓度水平可以减小到一个开口形成于漏极区域36下方的漂移区域50中的程度。如下所述,在漏极侧60处或沿着漏极侧60的场漂移区段56中的掺杂物浓度水平在另一个横向维度(例如,正交于图1所显示的维度的横向维度)中变化。

[0040] 图1显示了在热退火或其它制造步骤在漂移区域50和漏极区域36之间形成连接之前,漂移区域50的和漏极侧或端60。在图1所显示的实施例中,n-类型阱52在退火或其它制造步骤之前没有与漏极区域36横向重叠。n-类型阱52形成有与漏极区域36横向隔开的切断或沿62。在这个例子中,所述n-类型阱52被配置为使得沿62具有垂直或直立壁。在形成了n-类型阱52的注入之后的热退火可以平滑该壁的尖锐沿。这个例子中的切断62位于STI区域

44下方。在其它实施例中,切断62位于漏极区域36下方使得n-类型阱52在热退火之前没有跨漏极区域36横向延伸。在其它实施例中,切断62可以非垂直定向。

[0041] 漏极和漂移区域36、50之间的连接通过源自n-类型阱52和漏极区域36的其中一个或二者的掺杂物的扩散来形成。这种扩散造成了掺杂物散布到位于n-类型阱52和漏极区域36之间的空间64中。所述散布可以包括图1所显示的横向维度中的横向散布。所述扩散可以还包括垂直分量。例如,源自漏极区域36的掺杂物可以向下(以及横向向外)扩散到半导体衬底22中。或者或此外,源自n-类型阱52的掺杂物可以向上(以及横向向内)扩散。最终,所述扩散在n-类型阱52和漏极区域36之间的空间64中创建了一个或多个电流通路或路径。所述电路路径可以位于沿着STI区域44。所述电流路径可以提供低电阻路径,电荷载流子在操作期间在施加的偏置电压下穿过所述路径漂移。因此,可以避免由切断或沿62引起的对器件20的导通电阻任何不利影响。

[0042] 漂移区域50的漏极侧60处的切断或沿62被配置使得漂移区域在漏极区域36下方减小(diminish)。例如,漂移区域50可以有跨图1中所显示的横向维度中的漏极区域36变化的横向轮廓。漂移区域50的这种减小可以允许漂移区域50在操作期间在漏极区域36下方或沿着漏极区域36被完全耗尽,而不论n-类型阱52和体区域(和/或p-类型外延层24)之间的PN结距离如何。这种减小在具有长漂移长度的器件中是可能有用的。正如下文结合凹口掺杂物轮廓所描述的,漂移区域50可以以进一步的方式在漏极区域36处、沿着所述漏极区域36或在所述漏极区域36附近进一步减小。

[0043] 图1在只显示了器件20的一侧的意义上也可以以简化的形式描述器件20。器件20可以包括以一种类似于所描绘的一侧的方式而被配置的另一侧。例如,器件20的另一侧可以镜像所描绘的一侧或与其相匹配,使得器件20相对于漏极区域36对称。漏极区域36可以因此被置于器件20的中心(或沿着中心线)。另一侧可以因此包括通过第二栅极结构与漏极区域36隔开的第二源极区域。在一些实施例中,第二源极区域和第二栅极结构通过一个或多个偏移于图1中所显示的横截面的连接结构由上述描述的器件20的相应区域形成。例如,当从上方观察时(例如参见图3),栅极结构38可以是U型或弓型(例如,单一的横向连接)或超环面的或环圈的(例如,两个横向连接)。器件20的上述区域的形状可以大大不同于这些例子。

[0044] 图2描述了器件20的内部或中心部分的从内部栅极结构30到漏极区域36以显示器件20两侧各自部分的截面图。器件20的各侧围绕中央漏极区域36对称定向。截面图呈现了漂移区域50在掺杂物已扩散到图1所显示的区域边界之外之后的示例横向轮廓。漂移区域50与漏极区域36电连接,但是所述扩散在这个例子中没有导致漂移区域50在所显示的横向维度中的漏极区域36的整个横向范围上充分延伸。漂移区域50包括位于漏极区域36下方的开口66。在这个例子中,开口66被置于由扩散形成的漂移区域50的电流通路或路径68之间。电流路径68将漏极区域36与漏极区域50的场漂移区段56和器件20的导电路径的剩余部分电链接。

[0045] 漂移区域50中的开口66减小了漏极区域36处或其附近的漂移区域50以增大漂移区域50在操作期间在漏极区域36下方或附近被耗尽的程度。在一些情况下,减小漏极区域50导致了漏极区域36下方或附近的漂移区域50在操作期间的完全耗尽。RESURF效应可以因此被加强,虽然存在一些以其它方式限制RESURF效应的条件(例如,长的场漂移区域)。在漏

极和漂移区域36、50之间创建连接的掺杂物的扩散也可以导致这种减小。此外,有了电流路径68,电荷载流子可以到达漏极区域72,而无需遭遇低掺杂物浓度或高电阻率的区域。因此可以提供RESURF效应的加强,同时维持针对电荷载流子的一个或多个低电阻路径。

[0046] 在这个例子中,正如所显示的,每个电流路径68只是部分跨漏极区域36从场漂移区段56的各自漏极侧60沿着STI区域44延伸。随着电流路径68向内延伸而到达漏极区域36,漂移区域50的下边界70的深度减小。源自漏极区域36的扩散可以有助于电路路径68的形成,但是电流路径68可以被认为是由漂移区域(例如,场漂移区段56)的外部区段围绕的漂移区域50的内部区段。漂移区域的内部区段相对于外部区段可以更浅、更薄、更少掺杂和/或以其它方式被减少。因此可以实现漂移区域的全部或增加的耗尽。

[0047] 由于所述扩散,漏极侧60和/或电流路径68可以有倾斜的边界,例如下边界70,而不是直立壁。作为切断62(图1)和扩散的结果,漂移区域50也可以在漏极侧60处变窄(垂直厚度)。例如,电流路径68的垂直厚度可以低于漂移区域50的场漂移区段56的垂直厚度。电流路径68的形状可以变化。电流路径68可以有合适的可以接受的导通电阻而配置的掺杂物浓度水平。所述掺杂物浓度水平可以随着与STI区域44间隔或距离的增加而减小。

[0048] 不管扩散如何,器件20的一个或多个参数或特征可以被配置以确保开口66保持在电流路径68之间。例子包括沿62(图1)的横向位置、形成漏极区域36的注入的剂量和能量、以及STI区域44的深度。

[0049] 通过切断漏极区域36下方的漂移区域50的横向范围,器件20可以避免一些其中漂移区域50(例如,内部部分)没有被完全耗尽,(这可以减小RESURF效应)的操作条件。切断62因此可以移除传统的漂移区域(由于场漂移区段56的长度,耗尽在所述区域不太可以发生)的一部分。

[0050] 电流路径68(并且因此漂移区域50)的形状、掺杂物浓度水平 以及其它特征可以不同于所显示的例子。例如,所显示的横向维度中的电流路径68(并且因此漂移区域50)的横向宽度可以变化。电流路径68的掺杂物浓度水平可以替代地或附加地变化。漂移区域54跨漏极区域38的横向宽度延伸的程度可以相应地变化。这些特征可以通过改变切断62(图1)的横向位置被调整或被配置。

[0051] 在一些替代实施例中,漂移区域50仍然在漏极区域36下方减小,但是没有开口66。例如,漂移区域50可以在漏极区域36处变窄(垂直厚度)以限定电流路径68。在这种情况下,一部分电流路径68(或其它源自n-类型阱52(图1)或漏极区域36的掺杂物扩散)可以跨漏极区域36延伸。位于漏极区域36下方的这些区域中的掺杂物浓度水平可以低于沿着STI区域44的水平,其中电荷载流子穿过所述STI区域44漂移到漏极区域36。浓度水平可以因此随着与STI区域44距离的增加(直到达到器件20的中心)在给定深度处减小。漏极区域36下方的浓度水平可以随着深度的增加而附加地或替代地减小。减小漏极区域36下方的漂移区域50可以因此包括相对于在漂移区域50的场漂移区段56中被达到的掺杂物浓度水平降低的掺杂物浓度水平。

[0052] 漂移区域50(漏极区域36下方有开口或没有开口)的掺杂物浓度水平和其它特征可以变化,如在共同未决并且共同转让的在2012年5月7日申请的美国专利申请序列号13/465,761,标题为“带有漏极端漂移减小的半导体器件”中所描述的。

[0053] 再次参照图1,漂移区域50可以通过进一步地形成图案而在与漏极区域36的界面

处或沿着界面被减小。所述形成图案可以处于与图1中所显示的横向维度正交的横向维度中。源极和漏极区域34、36在图1中所显示的横向维度中彼此隔开。该横向维度对应于图1中所显示的线X,其对应于器件20的导电路径的大致方向。漂移区域50可以在正交于线X的横向维度中包括凹口边界或凹口掺杂物轮廓。凹口边界或轮廓可以被置于沿着漂移区域50和漏极区域36之间的界面。凹口边界被置于沿着漂移区域50的漏极侧,并且可以被称为漏极侧边界。如下所述,凹口边界和界面在图3中显示的更清晰。凹口掺杂物轮廓在图5中显示的更清晰。

[0054] 漂移区域50的凹口边界或轮廓可以通过n-类型阱52的相应的凹口边界或轮廓形成。凹口边界或轮廓被置于沿着n-类型阱52的沿62,其包括数个凹口72。每个凹口72限定了沿62的锯齿状区段,沿62的锯齿状区段比沿62的非锯齿状区域更远地与漏极区域36横向隔开。非锯齿状区域可以被配置为各个齿74,其中一个齿在图1中显示。每个凹口72创建了一对齿74之间的间隔。在这个例子中,沿62中的凹口72与STI区域44的漏极侧端或角76横向隔开,而齿74的横向范围对应于漏极侧角76的横向位置。图1中所显示的横向维度中的横向范围(例如,横向深度)以及凹口72和齿74的定位可以不同于所显示的例子。例如,凹口72可以比所显示的例子更深,从而将图1中所显示的虚线移向沟道区域48并远离漏极区域36。或者或此外,凹口72和齿74的横向定位可以变化。

[0055] n-类型阱区域52的扩散在横向方向X中散布了存在于齿74中的掺杂物。横向方向X中的扩散将漂移区域50和漏极区域36如上所述连接起来。所述连接可以包括或涉及朝着漏极区域36横向延伸的齿74。一个例子结合图3被显示和描述。

[0056] n-类型阱区域52的扩散也可以散布正交横向维度中的掺杂物,其中凹口72和齿74在所述正交横向维度中被限定。这种散布的一个例子结合图5所显示的掺杂物轮廓的图表在下面被描述。

[0057] 不管所述掺杂物的这种横向散布如何,n-类型阱区域52的凹口型边界或掺杂物轮廓可以保持漂移区域50的特征。引起所述扩散的退火或其它步骤可以被配置以允许电流路径68(图2)的形成,同时不允许所述散布发生到凹口边界或凹口掺杂物轮廓消失的程度。例如,正如图2所显示的,所述扩散可以将凹口72的边界移向漏极区域36。在一些实施例中,每个齿74可以导致各自电流路径68。

[0058] 图3是根据一个实施例配置并且在阱区域掺杂物扩散之后被显示的示例LDMOS器件80的顶视图。所述顶视图描绘了器件80的两个横向维度X和Y。第一横向维度X对应于图1中所显示的横截面中的横向维度X。第二横向维度Y对应于凹口边界被置于其中的正交横向维度。

[0059] 器件80的源极区域82和中央漏极区域84沿着第一横向维度X彼此隔开。器件80的导电路径可以因此沿着所述横向维度X定向。第二横向维度Y正交于第一横向维度X,并且对应于被用于创建所需的电流密度的器件80的宽度。在这个例子中,所述器件在有椭圆开口88的栅极结构86下方有双指状沟道区域,所述椭圆开口限定栅极结构86的漏极侧。沟道区域被置于器件80的体区域上或上方的栅极结构86下方,到所述器件80的连接通过体接触区域90创建。如上所述,器件80可以是n-沟道器件。n-类型阱区域92有邻近体区域并且位于栅极结构86下方的外部边界94。在这个例子中,所述体区域和n-类型阱92是排成排的或是连续的。在其它实施例中,n-类型阱区域92与体区域隔开(例如参见图1)。

[0060] n-类型阱区域92的内部部分限定了围绕并且连接中央漏极区域84的漂移区域96。漂移区域96具有沿着漂移区域96和漏极区域84之间的界面的横向维度Y放置的凹口边界98。凹口边界98对应于n-类型阱区域92的内部边界。凹口边界98包括数个齿、又或其它耦合了漏极区域96和漏极区域84的凸起100。齿100可以被布置成梳型或其它周期性的图案。凹口边界98包括位于各对齿100之间的凹口或间隙102。沿着凹口边界98的每个凹口102可以限定与上述p-类型外延层的界面。每个凹口102可以因此对应于p-类型外延层的没有被用于形成n-类型阱区域92的n-类型注入物掺杂的一部分。每个凹口102可以因此有p-类型导电性。或者,每个齿102可以不具有p-类型导电性,而是有低于齿100的掺杂物浓度水平的n-类型掺杂物浓度水平。在n-类型例子中,每个凹口102可以是轻掺杂(例如,接近这里描述的外延层的掺杂物浓度水平)。在任何情况下,漂移区域96沿着横向维度Y有凹口掺杂物轮廓以进一步减小漂移区域96以增大漂移区域96被耗尽的程度。RESURF效应可以因此在漏极区域84附近的漂移区域96的部分中被加强,当这些部分大大远离PN结时,这可以是有用的,其中耗尽沿着所述PN结发生。在凹口102代表位于n-类型区域(例如,阱区域)和p-类型区域(例如,外延层)之间的界面或边界的例子中,在漏极区域84附近的区域中的漂移区域84在横向以及纵向维度X、Y都被耗尽。所述耗尽可以延伸漂移区域82的在器件关闭状态下(例如当漏极区域74和源极区域72之间的电压差为高时)的整个横向范围。这种大范围的耗尽可以降低漂移区域82中或周围的电场以帮助抬高穿击电压电平。

[0061] 沿着横向维度Y的每个齿100的宽度和每个凹口102的大小可以变化。在一些例子中,每个齿100的宽度在大约 $1.0\mu\text{m}$ 到大约 $10\mu\text{m}$ 之间,但是每个齿100的宽度也可以比这个范围更小或更大。在一些例子中,相邻齿100的间隙或距离(例如,每个凹口102的大小)可以在大约 $1.0\mu\text{m}$ 到大约 $10\mu\text{m}$ 之间,但是相邻齿100之间的距离也可以比这个距离更小或更大。每个齿100的宽度和/或每个凹口102的大小可以被调整或被定制以取得各种器件参数,包括例如比导通电阻 R_{dson} 和击穿电压 BV_{dss} 。例如,每个齿100的横向宽度(例如,沿横向维度Y)可以被调整以改变漂移区域96的电阻率。大小调整可以根据漂移区域96的掺杂物浓度变化,其中掺杂物浓度也可以变化。每个齿100的横向长度也可以变化。

[0062] 漂移区域96的齿100可以沿着横向维度X与漏极区域84横向重叠。这种横向重叠可以对应于电流路径(例如参见图2的电流路径68)的厚度。所述横向重叠可以创建漏极区域84和漂移区域96的电耦合。虽然这种横向重叠比起图3的顶视图来说更容易在图2的截面图中显示,齿100与漏极区域84横向重叠的程度可以不同于所显示的例子。

[0063] 齿100和凹口102的形状可以不同于所显示的例子。齿100和/或凹口102不需要呈现方波或其它直线性的图案,而是可以呈现漂移区域96和漏极区域84之间的任何类型的非均匀界面。例如,凹口边界可以有锯齿或其它三角形的凹口图案。所述凹口可以或者或此外有圆角或边。齿100和凹口102的形状和大小可以不同。凹口边界98提供的好处不是基于n-类型和p-类型区域之间的电荷平衡。事实上,沿着凹口边界98呈现显著的电荷不平衡。

[0064] 在图3所显示的例子中,凹口边界98限定了漂移区域96中的开口104。漂移区域96至少一部分可以因此在漏极区域84下方沿着凹口边界84被切断。开口104可以被完全或部分置于漏极区域84下方。在这个例子中,开口104延伸超过漏极区域84(例如参见凹口102)。开口104包括一个或多个梳型边界,例如边界98。在这个例子中,开口104具有在横向维度Y中延伸的开口的每一侧上的梳型边界。

[0065] 开口104的凹口边界可以呈现周期性的或有规律的图案。在这个例子中,所述图案是沿着置于横向维度Y的边的方形波图案。开口104的其它边或端不需要呈现所述图案,或者可以有不同的图案。在其它实施例中,凹口边界沿着开口104的一个或多个边或端有非周期性的图案。

[0066] 齿100的横向分布、排列、间隔、大小、深度(垂直厚度)、配置以及其它特征可以给器件80提供设计的灵活性。例如,正如下面进一步的描述,器件80的BV_{dss}和R_{dson}值可以被调整以适合特定应用。通过漂移区域96的整体导电性可以在横向维度Y上解决。可以进行凹口的掺杂物轮廓的调整以适应应用规格,允许器件80的其它特征,例如器件80的沟道宽度按照所需而被配置。凹口的掺杂物轮廓可兼容于各种器件设计。例如,器件80可以有双指状的沟道布置,所述布置的横向宽度可以按照所需而被调整。

[0067] 上述描述的器件以简化的形式被显示。例如,图1-图3没有显示被配置用于与源极区域、漏极区域和栅极结构的电耦合的导电接触(例如,欧姆接触)和其它金属层。所述器件可以有为了便于说明而没有在图1中显示的数个用于连接、隔离、钝化和其它目的其它结构或部件。例如,所述器件可以包括任何数量的附加隔离区域或层。在一些例子中,另一p-类型外延层(未显示)可以被置于原始衬底和器件区之间。一个或多个另外的STI区域、其它的隔离沟道和/或隔离阱(未显示)可以被提供以隔离器件区和/或器件的其它区域。

[0068] 上述描述的半导体衬底22中的半导体区域的掺杂物浓度、厚度 以及其它特征可以变化。在图1中显示的实施例的一个例子中,上述提及的半导体区域可以有以下近似的浓度和厚度:

	浓度	厚度
p-外延 24:	$1 \times 10^{13} - 1 \times 10^{15} / \text{cm}^3$	3-10 μm
衬底 26:	$1 \times 10^{15} - 1 \times 10^{18} / \text{cm}^3$	不适用
体 30:	$1 \times 10^{16} - 1 \times 10^{18} / \text{cm}^3$	0.5 – 1.5 μm
[0069] 源极 34:	$1 \times 10^{21} - 5 \times 10^{21} / \text{cm}^3$	0.15 – 0.25 μm
漏极 36:	$1 \times 10^{21} - 5 \times 10^{21} / \text{cm}^3$	0.15 – 0.25 μm
NLDD 46:	$1 \times 10^{18} - 1 \times 10^{19} / \text{cm}^3$	0.2 – 0.3 μm
n-阱 52:	$5 \times 10^{15} - 5 \times 10^{17} / \text{cm}^3$	0.5 – 1.5 μm

[0070] 浓度和厚度在其它实施例中可以不同。例如,原始衬底26的掺杂物浓度可以变化很大。

[0071] 图4显示了构建有漂移区域的器件的示例制造过程,如上所述,所述漂移区域具有有凹口的掺杂物轮廓或有凹口的漏极侧边界。所述方法可以用于制造有上述的一个或多个特征的降低表面电场(RESURF)晶体管。晶体管是以半导体衬底、有上述n-沟道例子的导电类型或者被配置以支撑p-沟道器件的区域或层制造的。所述方法包括一系列行为,为了便于说明只描述了其中突出的部分。在其它实施例中,所述行为的顺序可以变化。所述制造方法不限于任何特定掺杂机制,并且可以包括未来开发的掺杂技术。

[0072] 所述方法可以开始于或包括行为400,在行为400中一个p-类型外延层(p-epi)在

重掺杂p-类型半导体衬底上生长。在一些例子中,行为400包括在外延层生长之前例如通过一个或多个掩埋器件隔离层的离子注入而执行的形成。掩埋器件隔离层可以通过掩模而被配置以跨RESURF晶体管的有源区域延伸。在一些例子中,行为400包括另一p-类型外延层的生长。可以生长任何数量的外延层。

[0073] 在这个实施例中,在行为402,STI区域(或场隔离区域)形成于衬底中以限定场漂移长度。所述STI区域可以通过任何已知或此后开发的工艺形成。例如,行为402可以包括形成沟道和所述沟道中的一种或多种材料的沉积(例如,化学蒸汽沉积或CVD)。在一些实施例中,所述沟道被氧化硅填充。附加或替代材料可以被沉积。在替代实施例中,STI区域在漂移区域形成之后形成。

[0074] 在行为404,衬底在外延层的阱区域中被掺杂。所述阱区域可以用于形成晶体管的累积区域和漂移区域。掺杂过程可以包括n-类型掺杂物注入。例如,阱区域可以由掩模形成使得所述阱区域如图1所显示的被配置。如上所述,所述阱区域可以因此有横向轮廓,所述轮廓具有竖直、纵向或漂移区域的漏极侧上的其它切断以减小漏极区域处的或其下方的漂移区域。例如,如上所述,所述阱区域可以包括位于所述漏极区域下方的开口。在一些例子中,所述阱区域的横向延伸没有重叠漏极区域的位置。阱区域的漏极侧也包括沿着与图1的截面图所显示的横向维度正交的横向维度的凹口边界。所述凹口边界可以被置于沿着阱区域中的开口。正如本发明所描述的,离子注入过程可以与一个或多个退火或将注入的掺杂物离子分配到漂移区域的第二或最终轮廓或区域的其它扩散过程相结合。正如本发明所描述的,生成的漂移区域可以因此也包括凹口边界(例如,在有位于漏极下方的开口的开放漏极实施例中)或凹口掺杂物轮廓(例如,在没有位于漏极区域下方的开口的闭合漏极实施例中)。

[0075] 在行为406,p-类型阱通过掺杂衬底的体区域形成。在一些实施例中,行为406包括注入过程。如上所述,所述体区域可以与漂移区域隔开或邻近漂移区域。所述体区域的重掺杂p-类型接触区域可以通过单独的离子注入过程形成于p-类型阱中。

[0076] 制造过程可以然后包括一个或多个在行为408中集中显示的过程。所述过程可以以各种顺序被执行。附加或替代过程可以被执行。栅极结构可以初始地被形成。然后针对源极区域的自对准使用栅极结构,源极和漏极区域可以被形成。一个或多个n-类型离子注入过程可以被执行。例如,源极区域和漏极区域的其中一个或二者的形成可以包括在栅极结构的侧壁间隔形成之前的适度注入以创建一个或多个过渡区域(例如参见图1)。在侧壁间隔形成之后的重注入然后可以被实现以形成邻近这种过渡区域的源极和/或漏极区域。

[0077] 在行为408,所述漏极区域可以形成于或不形成于与在行为404中形成的阱区域横向重叠的区域中。所述重叠可以限定晶体管的导电路径。然而,正如上面所描述的以及图1所显示的,所述重叠没有跨越漏极在其中形成的区域横向延伸。

[0078] 在行为410,衬底被退火。执行退火过程的方式可以变化。退火过程可以造成重新分布漂移区域的掺杂物离子以形成一个或多个从阱区域到漏极区域的电流路径。漂移区域可以因此电耦合于漏极区域。在一些情况下,漂移区域跨漏极区域横向延伸,但是如上所述处于一种减小的容量。

[0079] 注入和退火过程可以被配置为使得沿着漏极区域或其下方的漂移区域包括在导电路径中的第一区段和在导电路径之外的更薄的第二区段。所述第一区段可以因此形成电

流通路或路径,而第二区段被配置以通过更容易的耗尽来加强REDURF效应。第一区段可以有高于第二区段的掺杂物浓度水平以维持对所述电流通路的合适的低电阻。

[0080] 附加行为可以在制造过程期间在各个时刻被实现。例如,一个或多个行为可以被用于限定器件的有源区。在一些情况下,这种行为可以包括形成一个或多个器件隔离阱、层或其它区域。一个或多个金属层可以被沉积。任何数量的附加STI区域可以被形成。

[0081] 图5是漂移区域沿着与漏极区域相交的界面的掺杂物浓度水平的图表曲线。该曲线显示了作为横向维度Y(图3)的函数的掺杂物浓度水平。所述掺杂物浓度水平可以用于沿着位于切断或沿62(图1)和凹口72(图1)之间的其它横向维度X的位置。

[0082] 实线500描绘了扩散之前的掺杂物浓度水平。例如,所述实线可以表示图1中所显示的n-类型阱区域52的掺杂物轮廓。扩散的影响通过虚线502显示。作为掺杂物扩散到与凹口有关的预扩散谷值的结果,实线500的预扩散峰值水平已经下降。作为沿另一个横向方向X的扩散的结果,所述峰值掺杂物浓度水平也可以下降,这形成了漂移区域和漏极区域之间的导电路径。

[0083] 在一些实施例中,沿着图5中所显示的横向维度Y的横向扩散也填充了导电路径之间的凹口。凹口掺杂物轮廓可以因此表示适度掺杂与轻掺杂的交替区域。即使当凹口的轻掺杂造成n-类型掺杂的界面时,与漏极区域相交的界面不均匀。轻掺杂区域的周期性存在可以仍然减小漂移区域(通过较低的掺杂物浓度水平)以便从而加强RESURF效应。

[0084] 上面描述的漂移区域的掺杂物浓度水平可以被用于限定漂移区域的漏极侧边界。掺杂物浓度水平可以在横向维度Y中沿着漏极的沿作为方波、正弦波或其它变化中的函数而改变。上面描述的齿可以对应于相对高的掺杂物浓度。掺杂物浓度水平可以在齿之间的间隔之内达到或接近零。

[0085] 在第一方面,器件包括半导体衬底、位于所述半导体衬底中并且沿着第一横向维度彼此隔开的源极和漏极区域以及位于所述半导体衬底中的漂移区域,并且电荷载流子通过所述区域在操作期间随着所述源极和漏极区域之间的偏置电压的施加而进行漂移。所述漂移区域沿着所述漂移区域和所述漏极区域之间的界面在第二横向维度有凹口掺杂物轮廓。

[0086] 在第二方面,电子装置包括半导体衬底、以及位于所述半导体衬底中的降低表面电场(RESURF)晶体管。所述RESURF晶体管包括第一半导体区域有第一导电类型并且沟道在操作期间在其中形成、第二和第三半导体区域有第二导电类型并且沿着第一横向维度彼此隔开、以及第四半导体区域有所述第二导电类型并且源自形成于所述第一半导体区域中的沟道的电荷载流子通过所述区域在操作期间随着所述第二和第三半导体区域之间的偏置电压的施加而进行漂移。所述第四半导体区域沿着所述第三和第四半导体区域之间的界面在第二横向维度有凹口掺杂物轮廓。

[0087] 在第三方面,一种制造晶体管的方法包括在衬底的第一区域中注入掺杂物以用于形成漂移区域以及分别在所述衬底的第二和第三区域中形成源极和漏极区域,所述第二和第三区域在第一横向维度彼此隔开。所述第一区域没有跨所述第三区域横向延伸并且包括在第二横向维度的凹口漏极侧边界。

[0088] 带有被置于介电层或其它绝缘层上的导电栅极的半导体器件可以被认为是MOS器件,而不管是否缺乏金属栅极和氧化物栅极绝缘层。因此,即使这种器件没有采用金属或氧

化物,而是导电材料(代替简单金属,例如金属、合金、硅化物、掺杂的半导体等等)和除了氧化物之外的绝缘材料(例如,氮化物、氧氮化硅混合物等等)的各种组合,术语金属氧化物半导体和缩写“MOS”也可以被使用。因此,正如本发明所使用的,术语MOS和LDMOS旨在包括这些变体。

[0089] 本发明由随附的权利要求书及它们的等价物限定,并且说明书部分不应该被认为是对这些权利要求的限制。本发明的其它方面和好处结合优选实施例在上面被讨论并且以后可以独立地或结合进行。

[0090] 虽然本发明已参照各种实施例在上面被描述,应了解,很多变化和修改可以在不背离本发明范围的前提下做出。因此,上述详细说明书应被看作是说明性而非限制,并且应了解随附的权利要求书包括所有等价物旨在限定本发明的精神和范围。

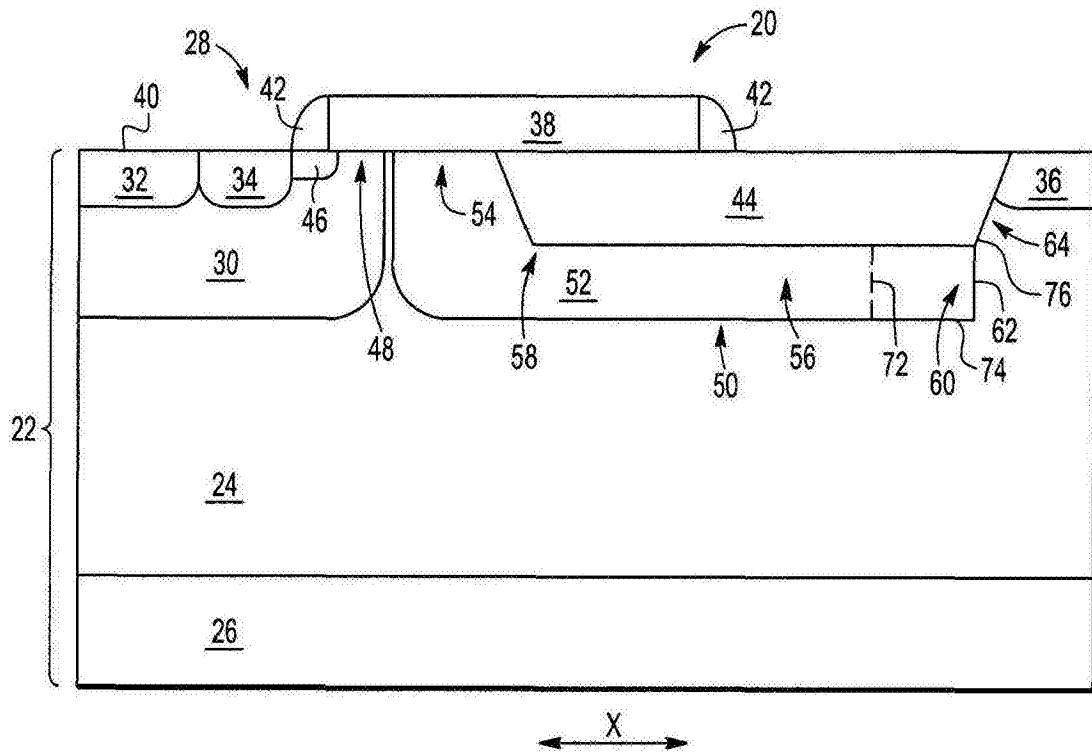


图1

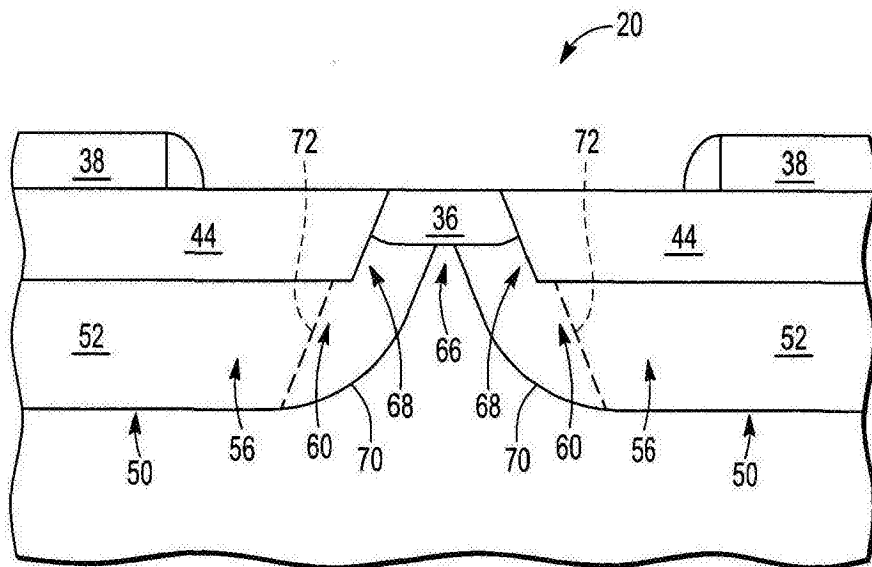


图2

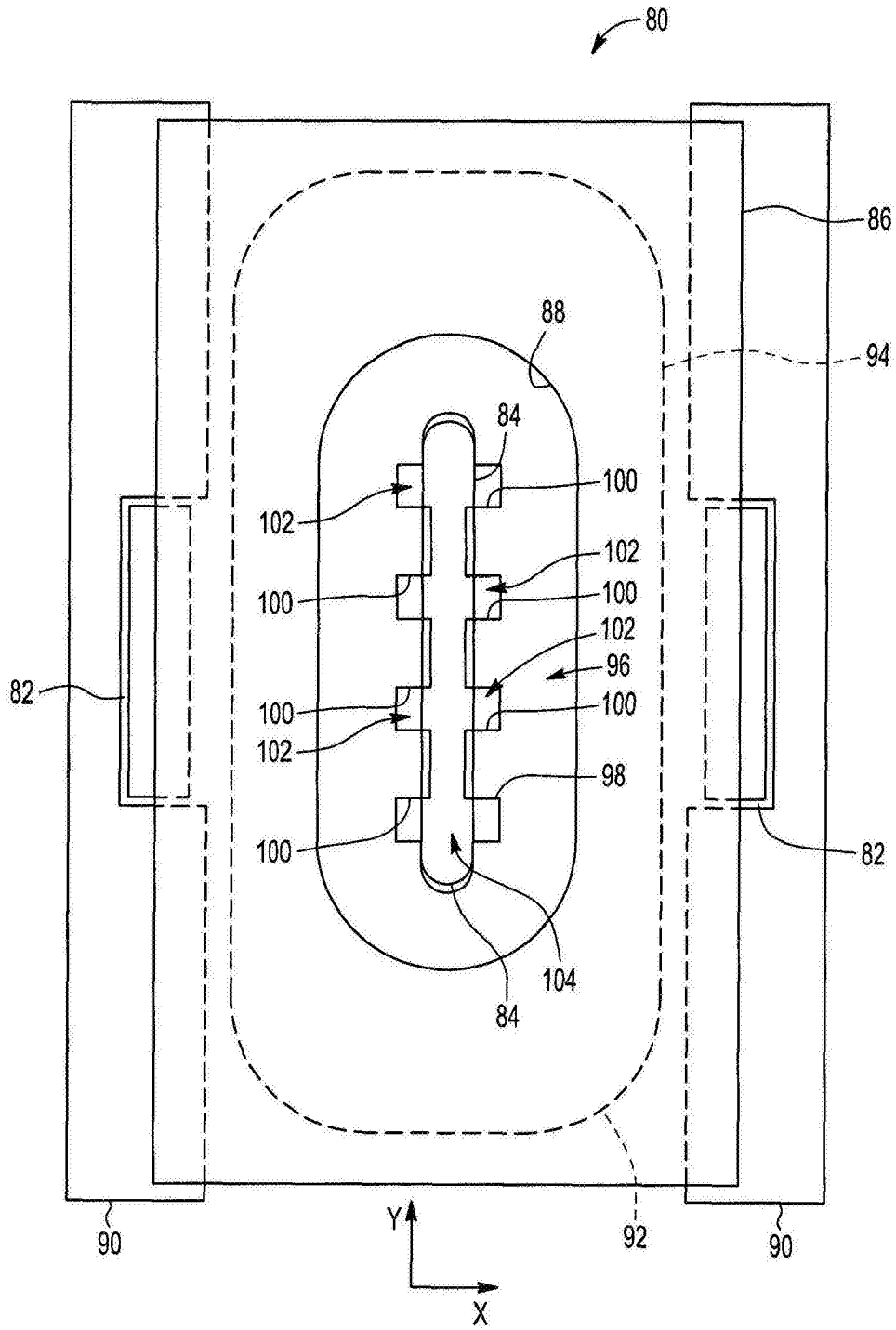


图3

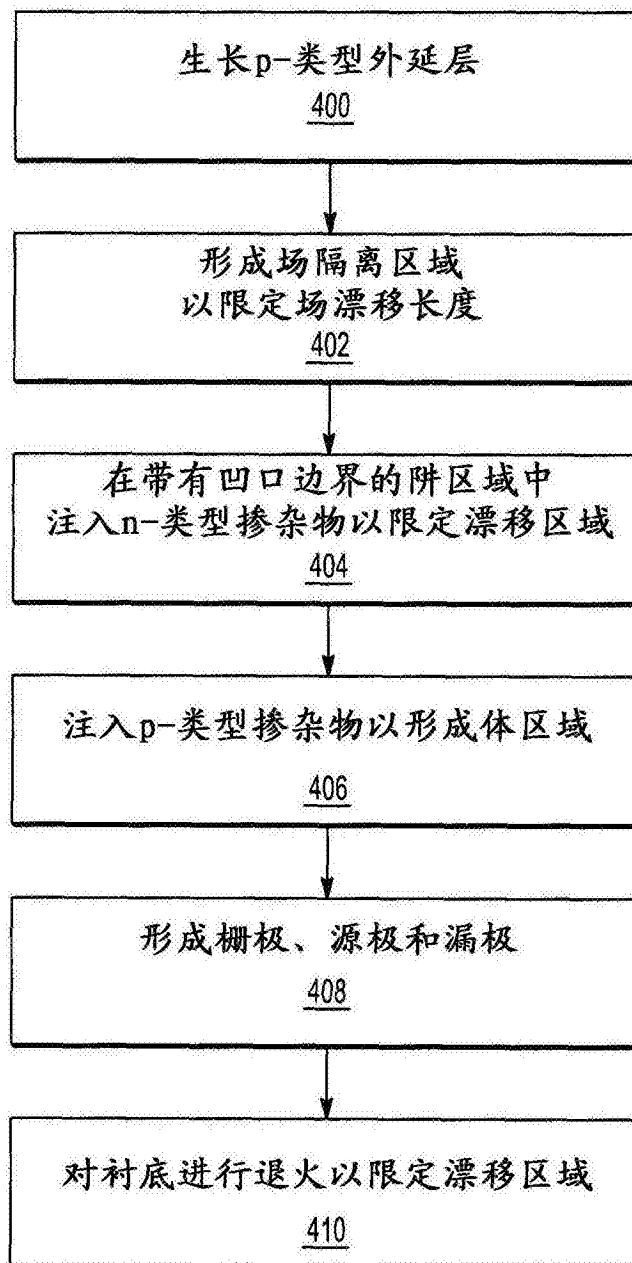


图4

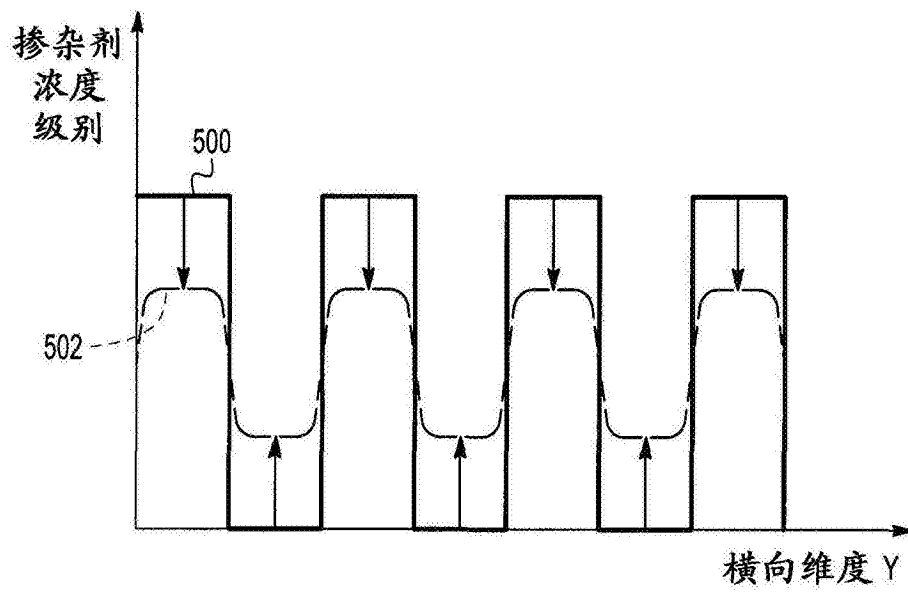


图5