

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-169398

(P2009-169398A)

(43) 公開日 平成21年7月30日(2009.7.30)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 612F	2H193
G02F 1/133 (2006.01)	G09G 3/20 612U	5C006
	G09G 3/20 622D	5C080
	G09G 3/20 622P	
審査請求 未請求 請求項の数 19 O L (全 16 頁) 最終頁に続く		

(21) 出願番号	特願2008-293344 (P2008-293344)	(71) 出願人	390019839
(22) 出願日	平成20年11月17日 (2008.11.17)		三星電子株式会社
(31) 優先権主張番号	10-2008-0005080		SAMSUNG ELECTRONICS
(32) 優先日	平成20年1月16日 (2008.1.16)		CO., LTD.
(33) 優先権主張国	韓国 (KR)		大韓民国京畿道水原市靈通区梅灘洞 416
			416, Maetan-dong, Yeongtong-gu, Suwon-si,
			Gyeonggi-do 442-742
			(KR)
		(74) 代理人	110000051
			特許業務法人共生国際特許事務所
		(72) 発明者	文 檜 植
			大韓民国 忠清南道 天安市 佛堂洞 7
			80 湖畔 リージェンシービルアパー
			ト 108棟 1103号
			最終頁に続く

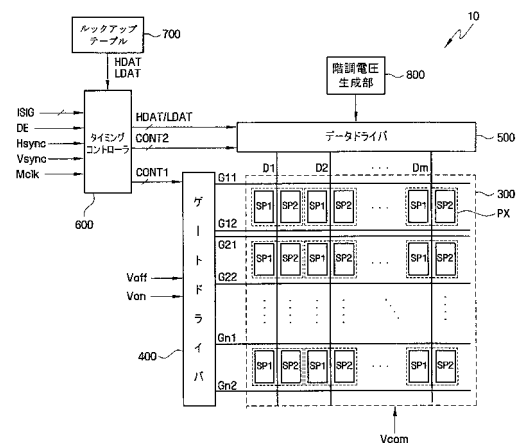
(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【要約】

【課題】表示品質を向上させることができる表示装置及びその駆動方法を提供する。

【解決手段】複数の画素を含み画像を表示する表示パネルであって、前記各画素はデータラインと、第1及び第2ゲートラインと、前記データライン及び前記第1ゲートラインに接続される第1サブ画素と、前記データライン及び前記第2ゲートラインに接続される第2サブ画素とを含む表示パネルと、画像信号の入力を受け、前記画像信号を第1サブ画像信号と第2サブ画像信号に変換し、第1サブデータ電圧を前記データラインを通して前記第1サブ画素に供給し、前記第1サブデータ電圧を供給した後に第2サブデータ電圧を前記データラインを通して前記第2サブ画素に供給する表示駆動部とを有し、前記第1サブデータ電圧は前記第1サブ画像信号に対応し、前記第2サブデータ電圧は前記第2サブ画像信号に対応する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数の画素を含み画像を表示する表示パネルであって、前記各画素はデータラインと、第 1 及び第 2 ゲートラインと、前記データライン及び前記第 1 ゲートラインに接続される第 1 サブ画素と、前記データライン及び前記第 2 ゲートラインに接続される第 2 サブ画素とを含む表示パネルと、

画像信号の入力を受け、前記画像信号を第 1 サブ画像信号と第 2 サブ画像信号に変換し、第 1 サブデータ電圧を前記データラインを通して前記第 1 サブ画素に供給し、前記第 1 サブデータ電圧を供給した後に第 2 サブデータ電圧を前記データラインを通して前記第 2 サブ画素に供給する表示駆動部とを有し、

前記第 1 サブデータ電圧は前記第 1 サブ画像信号に対応し、前記第 2 サブデータ電圧は前記第 2 サブ画像信号に対応することを特徴とする表示装置。

【請求項 2】

前記第 1 サブ画像信号と第 2 サブ画像信号は互いに異なる階調 (gray scale) を有し、前記第 1 サブデータ電圧と前記第 2 サブデータ電圧は互いに異なる電圧レベルを有することを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記第 1 サブ画像信号の階調レベルは前記画像信号の階調レベルより大きい又は同じであり、前記第 2 サブ画像信号の階調レベルは前記画像信号の階調レベルより小さい又は同じであることを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

前記第 1 サブ画像信号及び前記第 2 サブ画像信号を保存するルックアップテーブルをさらに有することを特徴とする請求項 1 に記載の表示装置。

【請求項 5】

前記表示駆動部は、前記画像信号に対応する前記第 1 及び第 2 サブ画像信号を前記ルックアップテーブルから読み出して、順次に出力するタイミングコントローラと、

読み出された前記第 1 及び第 2 サブ画像信号に対応する前記第 1 及び第 2 サブデータ電圧を供給するデータドライバとを含むことを特徴とする請求項 4 に記載の表示装置。

【請求項 6】

ゲートオン電圧が前記第 1 及び第 2 ゲートラインに順次に印加されて、前記第 1 及び第 2 サブ画素に順次に前記第 1 及び第 2 サブデータ電圧が供給されることを特徴とする請求項 1 に記載の表示装置。

【請求項 7】

第 1 画素行乃至第 n (n は 1 より大きい整数) 画素行を含む表示パネルであって、第 i ($1 \leq i \leq n$) 画素行は複数の画素を含み、前記各画素は第 1 サブ画素と第 2 サブ画素とを含む表示パネルと、

複数の画像信号の入力を受け、前記各画像信号を複数の第 1 サブ画像信号と第 2 サブ画像信号に変換し、前記複数の第 1 サブ画像信号に対応する複数の第 1 サブデータ電圧を前記第 i 画素行の前記複数の第 1 サブ画素に供給し、前記複数の第 1 サブデータ電圧を供給した後に前記複数の第 2 サブ画像信号に対応する複数の第 2 サブデータ電圧を前記第 i 画素行の前記複数の第 2 サブ画素に供給する表示駆動部とを有することを特徴とする表示装置。

【請求項 8】

前記第 1 サブ画像信号及び前記第 2 サブ画像信号を保存するルックアップテーブルをさらに有することを特徴とする請求項 7 に記載の表示装置。

【請求項 9】

前記表示駆動部は、前記複数の画像信号に対応する前記複数の第 1 及び第 2 サブ画像信号をルックアップテーブルから読み出し、

前記複数の第 1 サブ画像信号を出力し、

前記複数の第 1 サブ画像信号を出力した後に前記複数の第 2 サブ画像信号を出力するこ

10

20

30

40

50

とを特徴とする請求項 8 に記載の表示装置。

【請求項 10】

前記表示駆動部は、前記複数の画像信号に対応する複数の前記第 1 及び第 2 サブ画像信号を前記ルックアップテーブルから読み出すメモリコントローラと、

読み出された複数の第 1 及び第 2 サブ画像信号を保存する保存部と、

前記保存部に保存された複数の第 1 サブ画像信号を出力し、前記複数の第 1 サブ画像信号を出力した後に前記保存部に保存された複数の第 2 サブ画像信号を出力する出力部と、

前記出力部から出力された複数の第 1 サブ画像信号及び前記複数の第 2 サブ画像信号を前記複数の第 1 サブデータ電圧及び前記複数の第 2 サブデータ電圧に変換して、各々前記複数の第 1 サブ画素及び第 2 サブ画素に供給するデータドライバとを含むことを特徴とする請求項 9 に記載の表示装置。

10

【請求項 11】

前記表示駆動部は、前記複数の画像信号に対応する前記複数の第 1 サブ画像信号を前記ルックアップテーブルから読み出して出力し、

前記第 1 サブ画像信号を読み出して出力した後に前記複数の画像信号に対応する前記複数の第 2 サブ画像信号を前記ルックアップテーブルから読み出して出力することを特徴とする請求項 8 に記載の表示装置。

【請求項 12】

前記表示駆動部は、前記複数の画像信号を保存する保存部と、

前記保存部に保存された複数の画像信号に対応する前記複数の第 1 サブ画像信号を前記ルックアップテーブルから読み出して出力し、前記複数の第 1 サブ画像信号を出力した後に前記保存部に保存された複数の画像信号に対応する前記複数の第 2 サブ画像信号を前記ルックアップテーブルから読み出して出力するメモリコントローラと、

20

前記メモリコントローラから出力された複数の第 1 サブ画像信号及び前記複数の第 2 サブ画像信号を前記複数の第 1 サブデータ電圧及び前記複数の第 2 サブデータ電圧に変換して各々前記複数の第 1 サブ画素及び第 2 サブ画素に供給するデータドライバとを含むことを特徴とする請求項 11 に記載の表示装置。

【請求項 13】

前記各画素行は、前記各第 1 サブ画素と接続される第 1 ゲートラインと、

前記各第 2 サブ画素と接続される第 2 ゲートラインと、

30

前記各第 1 サブ画素及び前記各第 2 サブ画素と接続される複数のデータラインとを含むことを特徴とする請求項 7 に記載の表示装置。

【請求項 14】

前記第 1 サブ画像信号と第 2 サブ画像信号は互いに異なる階調 (gray scales) を有し、前記第 1 サブデータ電圧と前記第 2 サブデータ電圧は互いに異なる電圧レベルを有することを特徴とする請求項 7 に記載の表示装置。

【請求項 15】

前記第 1 サブ画像信号の階調レベルは前記画像信号の階調レベルより大きい又は同じであり、前記第 2 サブ画像信号の階調レベルは前記画像信号の階調レベルより小さい又は同じであることを特徴とする請求項 14 に記載の表示装置。

40

【請求項 16】

第 1 画素行乃至第 n (n は 1 より大きい整数) 画素行を含み、第 i ($1 \leq i \leq n$) 画素行は複数の画素を含み、該各画素は第 1 サブ画素と第 2 サブ画素とを含む表示装置の駆動方法であって、

複数の画像信号の入力を受信する段階と、

前記複数の画像信号を複数の第 1 サブ画像信号と第 2 サブ画像信号に変換する段階と、

前記複数の第 1 サブ画像信号に対応する複数の第 1 サブデータ電圧を前記第 i 画素行の前記複数の第 1 サブ画素に供給する段階と、

前記複数の第 1 サブデータ電圧を供給した後に前記複数の第 2 サブ画像信号に対応する複数の第 2 サブデータ電圧を前記第 i 画素行の前記複数の第 2 サブ画素に供給する段階と

50

を有することを特徴とする表示装置の駆動方法。

【請求項 17】

前記第 1 及び第 2 サブ画像信号に変換する段階は、前記複数の画像信号に対応する前記複数の第 1 及び第 2 サブ画像信号をルックアップテーブルから読み出す段階と、

前記複数の第 1 サブ画像信号を出力する段階と、

前記複数の第 1 サブ画像信号を出力した後に前記複数の第 2 サブ画像信号を出力する段階とを含むことを特徴とする請求項 16 に記載の表示装置の駆動方法。

【請求項 18】

前記第 1 及び第 2 サブ画像信号に変換する段階は、前記複数の画像信号に対応する複数の前記第 1 サブ画像信号をルックアップテーブルから読み出して出力する段階と、

前記第 1 サブ画像信号を読み出して出力した後に前記複数の画像信号に対応する複数の前記第 2 サブ画像信号を前記ルックアップテーブルから読み出して出力する段階とを含むことを特徴とする請求項 16 に記載の表示装置の駆動方法。

【請求項 19】

前記第 1 サブ画像信号の階調レベルは前記画像信号の階調レベルより大きい又は同じであり、前記第 2 サブ画像信号の階調レベルは前記画像信号の階調レベルより小さい又は同じであることを特徴とする請求項 16 に記載の表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置及びその駆動方法に関し、さらに詳細には表示品質を向上させることができる表示装置及びその駆動方法に関するものである。

【背景技術】

【0002】

フラットパネル表示装置の一例である液晶表示装置は視野角 (viewing angle) が狭いという短所を有するが、これを改善するため、広視野角特性を有する PVA (Patterned Vertical Alignment) モード、MVA (Multi-domain Vertical Alignment) モード及び S-PVA (Super-Patterned Vertical Alignment) モードの液晶表示装置が開発されている。

【0003】

特に S-PVA モード液晶表示装置は二つのサブ画素から成る画素を具備する (例えば、特許文献 1 参照)。各サブ画素には互いに異なるサブデータ電圧が印加されて各サブ画素ごとに光の透過率が異なるようになり、二つのサブ画素を含む一つの画素は互いに異なる二つの透過率の中間値と見られる。このような S-PVA モードによって液晶表示装置の側面視野角を広げることができる。

【0004】

しかし従来では二つのサブ画素に提供されるサブデータ電圧を各々個別的に制御することができなかった。それによって表示品質をより一層向上させることができなかったという問題点がある。

【0005】

【特許文献 1】大韓民国特許出願公開第 10 - 2006 - 116443 号明細書

【発明の開示】

【発明が解決しようとする課題】

【0006】

そこで、本発明は上記従来液晶表示装置における問題点に鑑みてなされたものであって、本発明の目的は、表示品質を向上させることができる表示装置を提供することにある。

【0007】

10

20

30

40

50

また、本発明の他の目的は、表示品質を向上させることができる表示装置の駆動方法を提供することにある。

【課題を解決するための手段】

【0008】

上記目的を達成するためになされた本発明による表示装置は、複数の画素を含み画像を表示する表示パネルであって、前記各画素はデータラインと、第1及び第2ゲートラインと、前記データライン及び前記第1ゲートラインに接続される第1サブ画素と、前記データライン及び前記第2ゲートラインに接続される第2サブ画素とを含む表示パネルと、画像信号の入力を受け、前記画像信号を第1サブ画像信号と第2サブ画像信号に変換し、第1サブデータ電圧を前記データラインを通して前記第1サブ画素に供給し、前記第1サブデータ電圧を供給した後に第2サブデータ電圧を前記データラインを通して前記第2サブ画素に供給する表示駆動部とを有し、前記第1サブデータ電圧は前記第1サブ画像信号に対応し、前記第2サブデータ電圧は前記第2サブ画像信号に対応することを特徴とする。

10

【0009】

また、上記目的を達成するためになされた本発明による表示装置は、第1画素行乃至第 n (n は1より大きい整数)画素行を含む表示パネルであって、第 i ($1 \leq i \leq n$)画素行は複数の画素を含み、前記各画素は第1サブ画素と第2サブ画素とを含む表示パネルと、複数の画像信号の入力を受け、前記各画像信号を複数の第1サブ画像信号と第2サブ画像信号に変換し、前記複数の第1サブ画像信号に対応する複数の第1サブデータ電圧を前記第 i 画素行の前記複数の第1サブ画素に供給し、前記複数の第1サブデータ電圧を供給した後に前記複数の第2サブ画像信号に対応する複数の第2サブデータ電圧を前記第 i 画素行の前記複数の第2サブ画素に供給する表示駆動部とを有することを特徴とする。

20

【0010】

上記目的を達成するためになされた本発明による表示装置の駆動方法は、第1画素行乃至第 n (n は1より大きい整数)画素行を含み、第 i ($1 \leq i \leq n$)画素行は複数の画素を含み、該各画素は第1サブ画素と第2サブ画素とを含む表示装置の駆動方法であって、複数の画像信号の入力を受信する段階と、前記複数の画像信号を複数の第1サブ画像信号と第2サブ画像信号に変換する段階と、前記複数の第1サブ画像信号に対応する複数の第1サブデータ電圧を前記第 i 画素行の前記複数の第1サブ画素に供給する段階と、前記複数の第1サブデータ電圧を供給した後に前記複数の第2サブ画像信号に対応する複数の第2サブデータ電圧を前記第 i 画素行の前記複数の第2サブ画素に供給する段階とを有することを特徴とする。

30

【発明の効果】

【0011】

本発明に係る表示装置及びその駆動方法によれば表示品質が向上され得るという効果がある。

【発明を実施するための最良の形態】

【0012】

次に、本発明に係る表示装置及びその駆動方法を実施するための最良の形態の具体例を図面を参照しながら説明する。

40

【0013】

一つの素子 (elements) が他の素子と “接続された (connected to)” あるいは “カップリングされた (coupled to)” と指称されるものは、他の素子と直接接続あるいはカップリングされた場合、あるいは中間に他の素子を介在した場合をすべて含む。反面、一つの素子が他の素子と “直接接続された (directly connected to)” あるいは “直接カップリングされた (directly coupled to)” と指称されるものは、中間に他の素子を介在しないことを表す。明細書全体にかけて同一参照符号は同一構成要素を指称する。“及び/又は”は言及されたアイテムの各々および一つ以上のすべての組合せを含む。

【0014】

50

第 1、第 2 等が多様な素子、構成要素及び / 又はセクションを叙述するために使用されるが、これら素子、構成要素及び / 又はセクションはこれら用語によって制限されないことはもちろんである。これら用語は単に一つの素子、構成要素あるいはセクションを他の素子、構成要素あるいはセクションと区別するために使用するものである。したがって、以下で言及される第 1 素子、第 1 構成要素あるいは第 1 セクションは本発明の技術的思想内で第 2 素子、第 2 構成要素あるいは第 2 セクションであり得ることはもちろんである。

【0015】

本明細書で使用された用語は実施形態を説明するためのものであり、本発明を制限しようとするものではない。本明細書で単数型は文句に特別に言及しない限り複数型も含む。明細書で使用する“有する (comprises)”及び / 又は“含む (comprising)”は言及された構成要素、段階、動作及び / 又は素子は一つ以上の他の構成要素、段階、動作及び / 又は素子の存在又は追加を排除しない。

【0016】

他の定義がなければ、本明細書で使用されるすべての用語 (技術および科学的用語を含む) は本発明が属する技術分野で通常の知識を有する者に共通に理解され得る意味として使用され得るものである。また一般的に使用される辞典に定義されている用語は明白に特別に定義されていない限り理想的にまたは過度に解釈されない。

【0017】

図 1 ~ 図 7 を参照して本発明の一実施形態による表示装置及びその駆動方法を説明する。

図 1 は本発明の一実施形態による表示装置の概略構成ブロック図であり、図 2 は図 1 の一画素の等価回路図であり、図 3 は本発明の一実施形態による表示装置の表示駆動部の動作を説明するための信号波形図であり、図 4 ~ 図 7 は本発明の一実施形態による表示装置の表示駆動部の動作を説明するための概念図であり、図 8 は図 1 のルックアップテーブルに保存された第 1 サブ画像信号及び第 2 サブ画像信号を説明するためのグラフである。

【0018】

図 1 を参照すると、本発明の一実施形態による液晶表示装置 10 は液晶パネル 300、表示駆動部、ルックアップテーブル 700 および階調電圧生成部 800 を含む。表示駆動部はゲートドライバ 400、データドライバ 500、これらを制御するタイミングコントローラ 600 を含む。

【0019】

液晶パネル 300 は第 1 ~ 第 n 画素行を含み、各画素行は複数の画素 PX を含み、各画素 PX は第 1 サブ画素 SP1 と第 2 サブ画素 SP2 を含む。一つの画素行ごとに 2 個のゲートライン G11、G12 ~ Gn1、Gn2 が形成されている。データライン D1 ~ Dm は第 1 サブ画素 SP1 と第 2 サブ画素 SP2 の間に形成されて概ね列方向に延長されお互いがほとんど平行する。

【0020】

図 2 を参照すれば、一つの画素 PX は第 1 サブ画素 SP1 と第 2 サブ画素 SP2 を含む。第 1 サブ画素 SP1 は第 1 ゲートライン Gi1 及びデータライン Dj と接続され、第 2 サブ画素 SP2 は第 2 ゲートライン Gi2 及びデータライン Dj と接続される。すなわち、第 1 サブ画素 SP1 及び第 2 サブ画素 SP2 はデータラインを共有する。

【0021】

第 1 サブ画素 SP1 と第 2 サブ画素 SP2 は第 1 基板 100 と第 2 基板 200 の間に形成される。第 1 サブ画素 SP1 は第 1 液晶キャパシタ C1 と第 1 スイッチング素子 Q1 を含み、第 2 サブ画素 SP2 は第 2 液晶キャパシタ C2 と第 2 スイッチング素子 Q2 を含む。

【0022】

第 1 液晶キャパシタ C1 は第 1 基板 100 上に形成された第 1 画素電極 PE1 と第 2 基板 200 上に形成された共通電極 CE 及びこれらの間に介在する液晶層 (未図示) からなる。第 2 液晶キャパシタ C2 は第 1 基板 100 上に形成された第 2 画素電極 PE2 と第 2

10

20

30

40

50

基板 120 上に形成された共通電極 CE 及びこれらの間に介在する液晶層（未図示）から成る。第 2 基板 200 上にはカラーフィルタ CF がさらに形成され得る。

【0023】

一つの画素 PX には各々互いに異なる電圧レベルの第 1 サブデータ電圧と第 2 サブデータ電圧がデータライン Dj を通し順次に印加され得る。例えば、先に第 1 サブデータ電圧は第 1 サブ画素 SP1 に印加されて次に第 2 サブデータ電圧は第 2 サブ画素 SP2 に印加され得る。

第 1 サブ画素 SP1 に第 1 サブデータ電圧が印加されれば、バックライトアセンブリ（未図示）から供給される光が第 1 サブ画素 SP1 を第 1 サブデータ電圧に対応する第 1 透過率で透過し、第 2 サブ画素 SP2 に第 2 サブデータ電圧が印加されれば、光は第 2 サブ画素 SP2 を第 2 サブデータ電圧に対応する第 2 透過率で透過する。したがって一つの画素 PX で表示される画像は、第 1 透過率と第 2 透過率との間の所定の透過率に対応する明るさで表示される。

【0024】

表示駆動部はタイミングコントローラ 600、ゲートドライバ 400 及びデータドライバ 500 を含む。

表示駆動部は複数の画像信号 ISIG の入力を受けて、各画像信号 ISIG を複数の第 1 サブ画像信号 HDAT と複数の第 2 サブ画像信号 LDAT に変換し、複数の第 1 サブ画像信号 HDAT に対応する複数の第 1 サブデータ電圧を第 i (1 ≤ i ≤ n) 画素行の複数の第 1 サブ画素 SP1 に供給し、複数の第 1 サブデータ電圧を提供した後に複数の第 2 サブ画像信号 LDAT に対応する複数の第 2 サブデータ電圧を第 i 画素 PX 行の複数の第 2 サブ画素 SP2 に供給する。以下にて、表示駆動部の各ブロックに対してさらに具体的に説明する。

【0025】

タイミングコントローラ 600 は外部のグラフィック制御器（未図示）から入力制御信号を受信してこれに基づいてゲート制御信号 CONT1 とデータ制御信号 CONT2 を生成し、ゲート制御信号 CONT1 をゲートドライバ 400 に、データ制御信号 CONT2 をデータドライバ 500 に送る。

ここで入力制御信号は、垂直同期信号 (Vsync) と水平同期信号 (Hsync)、メインクロック (Mclk)、データイネーブル信号 (DE) 等である。ゲート制御信号 CONT1 はゲートドライバ 400 の動作を制御するための信号であって、ゲートドライバ 400 の動作を開示する垂直開始信号、ゲートオン電圧の出力時期を決定するゲートクロック信号及びゲートオン電圧のパルス幅を決定する出力イネーブル信号などを含む。データ制御信号 CONT2 はデータドライバ 500 の動作を制御する信号であって、データドライバ 500 の動作を開示する水平開示信号、二つのデータ電圧の出力を指示する出力指示信号などを含む。

【0026】

また、タイミングコントローラ 600 は、画像信号 ISIG の入力を受けこれに対応する第 1 サブ画像信号 HDAT 及び第 2 サブ画像信号 LDAT をルックアップテーブル 700 から読み出し、順次に出力する。さらに具体的には、タイミングコントローラ 600 は一画素 PX 行に供給される画像信号 ISIG の入力を受け一画素行の各第 1 サブ画素 SP1 に供給される複数の第 1 サブ画像信号 HDAT を先に出力し、次に一画素行の各第 2 サブ画素 SP2 に与えられる複数の第 2 サブ画像信号 LDAT を出力する。

【0027】

ゲートドライバ 400 はタイミングコントローラ 600 から供給されたゲート制御信号 CONT1 に応答して、外部から入力されるゲートオン/オフ電圧 (Von、Voff) を図 3 に示すように複数のゲートライン G11 ~ Gn2 に順次に出力する。

【0028】

図 3 を参照すると、一つの画素 PX 行が活性化され、データ電圧の入力を受ける時間を 1 水平周期（以下“1H”という）とすると、“1H”の間、各画素行の第 1 及び第 2

10

20

30

40

50

ートラインが順次に活性化される。すなわち、最初の“1H”で第1区間P1の間、第1画素行ROW1の第1ゲートラインG11が活性化されて、第2区間P2の間、第1画素行ROW1の第2ゲートラインG12が活性化される。2番目の“1H”で第3区間P3の間、第2画素行ROW2の第1ゲートラインG21が活性化されて、第4区間P4の間、第2画素行ROW2の第2ゲートラインG22が活性化される。

【0029】

一方、図1のデータドライバ500はタイミングコントローラ600から供給されたデータ制御信号CONT2に応答し、先に複数の第1サブ画像信号HDATに対応する複数の第1サブデータ電圧を各データラインD1～Dmに印加し、次に複数の第2サブ画像信号LDATに対応する複数の第2サブデータ電圧を各データラインに印加する。データドライバ500は階調電圧生成部800から複数の第1サブ画像信号HDATに対応する複数の第1サブデータ電圧及び、複数の第2サブ画像信号LDATに対応する複数の第2サブデータ電圧の入力を受ける。

【0030】

図3、図4～図7をさらに参照してより一層具体的に説明する。

第1区間P1の間、第1画素行ROW1の第1ゲートラインG11にゲートオン電圧(Von)が印加されて、残りゲートラインG12、G21、G22にゲートオフ電圧(Voff)が印加される。データドライバ500が先に複数の第1サブデータ電圧H1、H2、H3を各データラインD1、D2、D3に印加する。したがって図4に示すように第1画素行ROW1の複数の第1サブ画素SP1に各第1サブデータ電圧H1、H2、H3

【0031】

第2区間P2の間、第1画素行ROW1の第2ゲートラインG12にゲートオン電圧(Von)が印加されて、残りゲートラインG11、G21、G22にゲートオフ電圧(Voff)が印加される。データドライバ500が複数の第2サブデータ電圧L1、L2、L3を各データラインD1、D2、D3に印加する。したがって図5に示すように第1画素行ROW1の複数の第2サブ画素SP2に各第2サブデータ電圧L1、L2、L3が供給される。

【0032】

第3区間P3の間、第2画素行ROW2の第1ゲートラインG21にゲートオン電圧(Von)が印加されて、残りゲートラインG11、G12、G22にゲートオフ電圧(Voff)が印加される。データドライバ500が複数の第1サブデータ電圧H4、H5、H6を各データラインD1、D2、D3に印加する。したがって図6に示すように第2画素行ROW2の複数の第1サブ画素SP1に各第1サブデータ電圧H4、H5、H6が供給される。

【0033】

第4区間P4の間、第2画素行ROW2の第2ゲートラインG22にゲートオン電圧(Von)が印加されて、残りゲートラインG11、G12、G21にゲートオフ電圧(Voff)が印加される。データドライバ500が複数の第2サブデータ電圧L4、L5、L6を各データラインD1、D2、D3に印加する。したがって図7に示すように第2画素行ROW2の複数の第2サブ画素SP2に各第2サブデータ電圧L4、L5、L6が供給される。

【0034】

図8を参照してルックアップテーブル700に保存された第1サブ画像信号HDAT及び第2サブ画像信号LDATを説明する。

【0035】

図8を参照すると、液晶パネル300に印加される階調レベル(gray scale levels)に従った輝度特性を表すガンマ曲線を示す。

液晶表示装置10の製造段階で液晶パネル300の側面視認性が最適となる第1サブ画素SP1のガンマ曲線Aと第2サブ画素PXのガンマ曲線Bを設定する。第1サブ画素P

10

20

30

40

50

Xのガンマ曲線Aと第2サブ画素PXのガンマ曲線Bは液晶表示装置10の特性及び機能に大いに依存する。

【0036】

液晶パネル300の第1サブ画素PXと第2サブ画素PXに同一の階調レベルに該当するデータ電圧を印加した後、液晶パネル300の正面での輝度特性を検知して、液晶パネル300の正面でのガンマ曲線(A+B)を求める。液晶パネル300の正面でのガンマ曲線(A+B)と既に設定された第1サブ画素PXのガンマ曲線Aと第2サブ画素PXのガンマ曲線Bを利用してルックアップテーブル700に第1サブ画像信号HDAT及び第2サブ画像信号LDATを保存する。

【0037】

例えば、液晶パネル300の第1サブ画素SP1と第2サブ画素SP2に同一の第1階調レベル130Gに該当するサブデータ電圧を印加すれば、液晶パネル300の正面では第1輝度L1値を有する。液晶パネル300に印加された第1階調レベル130Gと液晶パネル300から感知された第1輝度L1値が接する第1接点P1を輝度軸の方向に直線に延長して、第1サブ画素SP1のガンマ曲線Aと接する第2接点P2と第2サブ画素SP2のガンマ曲線Bと接する第3接点P3を求める。

【0038】

第1サブ画素SP1のガンマ曲線A上で第2接点P2は第2輝度L2値を有する。液晶パネル300の正面ガンマ曲線(A+B)上で第2輝度L2に該当する階調値は第2階調レベル220Gとなる。同様に、第2サブ画素SP2のガンマ曲線B上で第3接点P3は第3輝度L3値を有する。液晶パネル300の正面ガンマ曲線(A+B)上で第3輝度L3に該当する階調値は第3階調レベル35Gとなる。

【0039】

すなわち、液晶パネル300の正面でガンマ特性が第1接点P1として表現されるためには、第1サブ画素SP1には第2階調レベル220Gに該当するサブデータ電圧が印加されなければならない、第2サブ画素SP2には第3階調レベル35Gに該当するサブデータ電圧が印加されなければならない。

【0040】

上述した方法で、外部から入力される画像信号ISIGの各階調レベルに対応して、第1及び第2サブ画素SP1、SP2に印加する第1サブデータ電圧及び第2サブデータ電圧に対応する第1サブ画像信号HDAT及び第2サブ画像信号LDATをルックアップテーブル700に保存することができる。

【0041】

上述したように、側面視認性を最適化することができるよう画像信号ISIGを第1及び第2サブ画像信号HDAT、LDATに変換し、各第1及び第2サブ画素SP1、SP2に第1及び第2サブデータ電圧を供給することにより表示品質が向上される。

【0042】

一方、第1及び第2サブ画素SP1、SP2は一つのデータラインを共有するため、表示駆動部は複数の第1サブデータ電圧を先に各データラインD1~Dmに印加し、次に複数の第2サブデータ電圧を各データラインD1~Dmに印加しなければならない。

【0043】

このため、表示駆動部が駆動動作を実行する一番目の方法としては、タイミングコントローラ600が先に複数の第1サブ画像信号HDATを各データラインD1~Dmに供給し、その後、複数の第2サブ画像信号LDATを各データラインD1~Dmに供給する方法がある。この時、データドライバ500はタイミングコントローラ600から順次に出力される複数の第1サブ画像信号HDATを先に複数の第1サブデータ電圧に変換して出力し、その次に複数の第2サブ画像信号LDATを複数の第2サブデータ電圧に変換して出力するものである。

【0044】

2番目方法としては、タイミングコントローラ600が入力される画像信号ISIGに

10

20

30

40

50

対応する第 1 サブ画像信号 H D A T と第 2 サブ画像信号 L D A T を出力し、データドライバ 5 0 0 が出力された複数の第 1 及び第 2 サブ画像信号 (H D A T 、 L D A T) のうち先に複数の第 1 サブ画像信号 H D A T を複数の第 1 サブデータ電圧に変換して出力し、その次に複数の第 2 サブ画像信号 L D A T を複数の第 2 サブデータ電圧に変換して出力するものである。

【 0 0 4 5 】

本発明による表示装置は上記 2 種類の方法に限定されず、多様な方法で動作され得るが、以下では上述した 1 番目の方法で動作する表示装置を具体的な実施形態を通して説明する。

【 0 0 4 6 】

図 9 及び図 1 0 を参照して本発明の一実施形態による表示装置を説明する。

図 9 は、本発明の一実施形態による表示装置のタイミングコントローラの概略ブロック図であり、図 1 0 は、図 9 のタイミングコントローラの動作を説明するための概念図である。

【 0 0 4 7 】

図 9 を参照すると、タイミングコントローラ 6 0 1 はメモリコントローラ 6 1 0 と、保存部 6 2 0 と出力部 6 3 0 を含む。

【 0 0 4 8 】

まず、メモリコントローラ 6 1 0 は、画像信号 I S I G の入力を受けこれに対応する第 1 サブ画像信号 H D A T 及び第 2 サブ画像信号 L D A T をルックアップテーブル 7 0 0 から読み出す。ここでメモリコントローラ 6 1 0 は第 1 サブ画像信号 H D A T 及び第 2 サブ画像信号 L D A T を同時に読み出すことができ、あるいは順次に読み出すことができる。

【 0 0 4 9 】

保存部 6 2 0 は、メモリコントローラ 6 1 0 から出力された第 1 サブ画像信号 H D A T 及び第 2 サブ画像信号 L D A T を保存する。保存部 6 2 0 は一画素行の複数の第 1 サブ画素 S P 1 に提供される複数の第 1 サブ画像信号 H D A T を複数の第 2 サブ画像信号 L D A T より先に出力するために複数の第 1 サブ画像信号 H D A T 及び第 2 サブ画像信号 L D A T を保存する。出力部 6 3 0 はメモリに保存されている複数の第 1 サブ画像信号 H D A T を先に出力し、次に複数の第 2 サブ画像信号 L D A T を出力する。

【 0 0 5 0 】

ここで図 1 0 をさらに参照して保存部 6 2 0 と出力部 6 3 0 の動作をさらに詳細に説明する。

以下では一画素行に 4 個の画素 P X を含む場合を例にあげて説明する。一画素 P X 行は 4 個の第 1 サブ画素 S P 1 と 4 個の第 2 サブ画素 S P 2 を含む。

【 0 0 5 1 】

まず、時間 T 1 において保存部 6 2 0 は、第 1 画素行の 3 個の第 1 サブ画素 S P 1 に供給される 3 個の第 1 サブ画像信号 (H D A T 1 __ 1 、 H D A T 1 __ 2 、 H D A T 1 __ 3) と 3 個の第 2 サブ画素 S P 2 に供給される 3 個の第 2 サブ画像信号 (L D A T 1 __ 1 、 L D A T 1 __ 2 、 L D A T 1 __ 3) を保存する。

【 0 0 5 2 】

次に、メモリコントローラ 6 1 0 が第 1 画素行の 4 番目の画素 P X に供給される第 1 サブ画像信号 (H D A T 1 __ 4) 及び第 2 サブ画像信号 (L D A T 1 __ 4) を供給するとき、時間 T 2 において、保存部 6 2 0 は第 1 サブ画像信号 (H D A T 1 __ 4) 及び第 2 サブ画像信号 (L D A T 1 __ 4) を保存する。この時、出力部 6 3 0 は保存部 6 2 0 から第 1 画素行の 1 番目の画素 P X と 2 番目の画素 P X に供給される第 1 サブ画像信号 (H D A T 1 __ 1 、 H D A T 1 __ 2) を出力する。

【 0 0 5 3 】

次に、メモリコントローラ 6 1 0 が第 2 画素行の 1 番目の画素 P X に供給される第 1 サブ画像信号 (H D A T 2 __ 1) 及び第 2 サブ画像信号 (L D A T 2 __ 1) を供給するとき、時間 T 3 において、保存部 6 2 0 は第 1 サブ画像信号 (H D A T 2 __ 1) 及び第 2 サブ

10

20

30

40

50

画像信号 (LDAT2__1) を保存する。この時、出力部 630 は保存部 620 から第 1 画素行の 3 番目の画素 PX と 4 番目の画素 PX に供給される第 1 サブ画像信号 (HDAT1__3、HDAT1__4) を出力する。

【0054】

次に、メモリコントローラ 610 が第 2 画素行の 2 番目の画素 PX に供給される第 1 サブ画像信号 (HDAT2__2) 及び第 2 サブ画像信号 (LDAT2__2) を供給するとき、時間 T4 において、保存部 620 は第 1 サブ画像信号 HDAT (HDAT2__2) 及び第 2 サブ画像信号 (LDAT2__2) を保存する。この時、出力部 630 は保存部 620 から第 1 画素行の一番目の画素 PX と 2 番目の画素 PX に供給される第 2 サブ画像信号 (LDAT1__2、LDAT1__1) を出力する。

10

【0055】

次に、メモリコントローラ 610 が第 2 画素行の 3 番目の画素 PX に供給される第 1 サブ画像信号 (HDAT2__3) 及び第 2 サブ画像信号 (LDAT2__3) を供給するとき、時間 T5 において、保存部 620 は第 1 サブ画像信号 (HDAT2__3) 及び第 2 サブ画像信号 (LDAT2__3) を保存する。この時、出力部 630 は保存部 620 から第 1 画素行の 3 番目の画素 PX と 4 番目の画素 PX に供給される第 2 サブ画像信号 (LDAT1__3、LDAT1__4) を出力する。

【0056】

整理して説明すれば、保存部 620 はメモリコントローラ 610 から出力された複数の第 1 サブ画像信号 HDAT 及び複数の第 2 サブ画像信号 LDAT を保存し、出力部 630 が保存部 620 から一画素 PX 行に対する複数の第 1 サブ画像信号 HDAT を先に出力し、次に一画素 PX 行に対する複数の第 2 サブ画像信号 LDAT を出力する。

20

【0057】

図 11 及び図 12 を参照し、本発明の他の実施形態による表示装置及びその駆動方法を説明する。

図 11 は、本発明の他の実施形態による表示装置のタイミングコントローラのブロック図であり、図 12 は、図 11 のタイミングコントローラの動作を説明するための概念図である。

図 9 に示した構成要素と同一の機能をする構成要素に対しては同一の図面符号を使用し、説明の便宜上、該当構成要素の詳細な説明は省略する。

30

【0058】

図 11 を参照すると、タイミングコントローラ 602 は保存部 640 とメモリコントローラ 650 を含む。

【0059】

保存部 640 は画像信号 ISIG の入力を受け保存する。メモリコントローラ 650 は保存部 640 に保存された画像信号 ISIG の入力を受けこれに対応する複数の第 1 サブ画像信号 HDAT を先に読み出して出力し、次に複数の第 2 サブ画像信号 LDAT を読み出して出力する。

【0060】

図 12 をさらに参照して保存部 640 とメモリコントローラ 650 の動作をさらに詳細に説明する。

40

以下では一画素行に 4 個の画素 PX を含む場合を例にあげて説明する。一画素行は 4 個の第 1 サブ画素 SP1 と 4 個の第 2 サブ画素 SP2 を含む。

【0061】

まず、時間 T1 において、保存部 640 は第 1 画素行の 3 個の画素 PX に供給される 3 個の画像信号 (ISIG1__1、ISIG1__2、ISIG1__3) を保存する。

【0062】

時間 T2 において、保存部 640 は第 1 画素行の 4 番目の画素 PX に供給される画像信号 (ISIG1__4) を保存する。この時、メモリコントローラ 650 は先に第 1 画素行の一番目の画素 PX に供給される画像信号 (ISIG1__1) の入力を受けこれに対応す

50

る第1サブ画像信号(HDAT1__1)をルックアップテーブル700から読み出して出力する。次に、第1画素行の2番目の画素PXに供給される画像信号(ISIG1__2)の入力を受けこれに対応する第1サブ画像信号(HDAT1__2)をルックアップテーブル700から読み出して出力する。

【0063】

時間T3において、保存部640が第2画素行の一番目の画素PXに供給される画像信号(ISIG2__1)を保存する。この時、メモリコントローラ650は先に第1画素行の3番目の画素PXに供給される画像信号(ISIG1__3)の入力を受けこれに対応する第1サブ画像信号(HDAT1__3)をルックアップテーブル700から読み出して出力する。次に、第1画素行の4番目の画素PXに供給される画像信号(ISIG1__4)の入力を受けこれに対応する第1サブ画像信号(HDAT1__4)をルックアップテーブル700から読み出して出力する

10

【0064】

時間T4において、保存部640が第2画素行の2番目の画素PXに供給される画像信号(ISIG2__2)を保存する。この時、メモリコントローラ650は先に第1画素行の一番目の画素PXに供給される画像信号(ISIG1__1)の入力を受けこれに対応する第2サブ画像信号(LDAT1__1)をルックアップテーブル700から読み出して出力する。次に、第1画素行の2番目の画素PXに供給される画像信号(ISIG1__2)の入力を受けこれに対応する第2サブ画像信号(LDAT1__2)をルックアップテーブル700から読み出して出力する。

20

【0065】

時間T5において、保存部640が第2画素行の3番目の画素PXに供給される画像信号(ISIG2__3)を保存する。この時、メモリコントローラ650は先に第1画素行の3番目の画素PXに供給される画像信号(ISIG1__3)の入力を受けこれに対応する第2サブ画像信号(LDAT1__3)をルックアップテーブル700から読み出して出力する。次に、第1画素行の4番目の画素PXに供給される画像信号(ISIG1__4)の入力を受けこれに対応する第2サブ画像信号(LDAT1__4)をルックアップテーブル700から読み出して出力する。

【0066】

以上を整理して説明すれば、保存部640は画像信号ISIGを保存して、メモリコントローラ650が一画素行に対する画像信号ISIGに対応する複数の第1サブ画像信号HDATを先に読み出して出力し、次に一画素行に対する複数の第2サブ画像信号LDATを読み出して出力する。

30

【0067】

尚、本発明は、上述の実施例に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【産業上の利用可能性】

【0068】

本発明は、液晶表示装置などのフラットパネル表示装置に利用される。

【図面の簡単な説明】

40

【0069】

【図1】本発明の一実施形態による表示装置の概略構成ブロック図である。

【図2】図1の一画素の等価回路図である。

【図3】本発明の一実施形態による表示装置の表示駆動部の動作を説明するための信号波形図である。

【図4】本発明の一実施形態による表示装置の表示駆動部の動作を説明するための概念図である。

【図5】本発明の一実施形態による表示装置の表示駆動部の動作を説明するための概念図である。

【図6】本発明の一実施形態による表示装置の表示駆動部の動作を説明するための概念図

50

である。

【図 7】本発明の一実施形態による表示装置の表示駆動部の動作を説明するための概念図である。

【図 8】図 1 のルックアップテーブルに保存された第 1 サブ画像信号及び第 2 サブ画像信号を説明するためのグラフである。

【図 9】本発明の一実施形態による表示装置のタイミングコントローラの概略ブロック図である。

【図 10】図 9 のタイミングコントローラの動作を説明するための概念図である。

【図 11】本発明の他の実施形態による表示装置のタイミングコントローラのブロック図である。

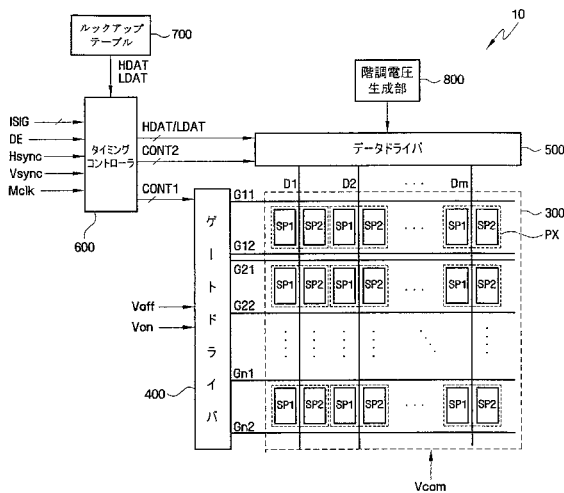
【図 12】図 11 のタイミングコントローラの動作を説明するための概念図である。

【符号の説明】

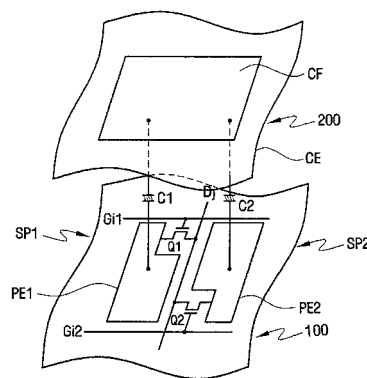
【0070】

- 10 液晶表示装置
- 100 第 1 基板
- 200 第 2 基板
- 300 液晶パネル
- 400 ゲートドライバ
- 500 データドライバ
- 600、601、602 タイミングコントローラ
- 610、650 メモリコントローラ
- 620、640 保存部
- 630 出力部
- 700 ルックアップテーブル
- 800 階調電圧生成部

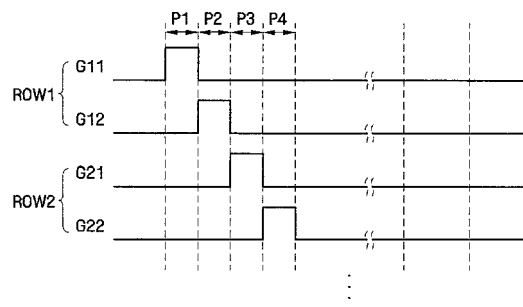
【図 1】



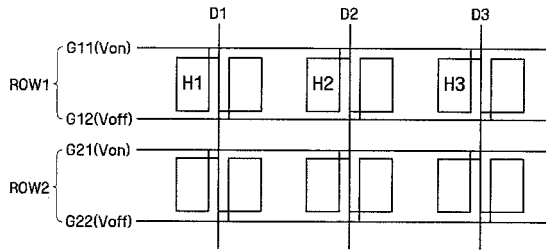
【図 2】



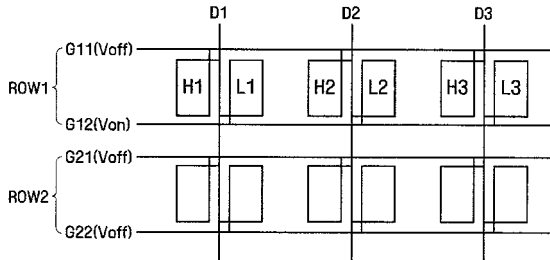
【図 3】



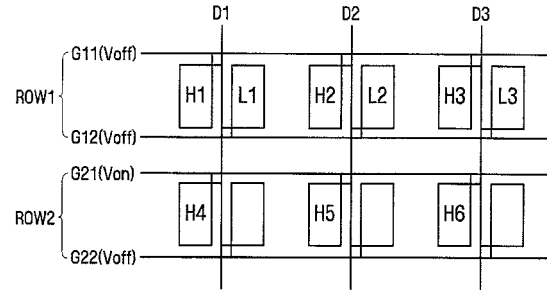
【図 4】



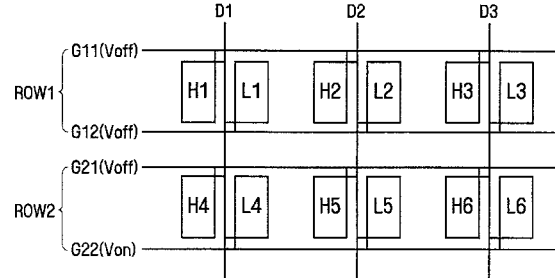
【図 5】



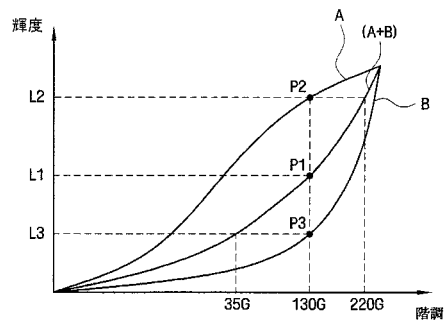
【図 6】



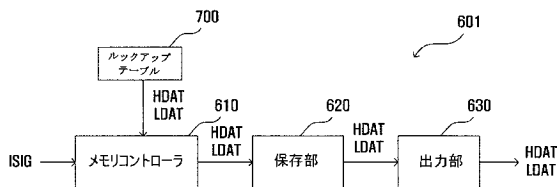
【図 7】



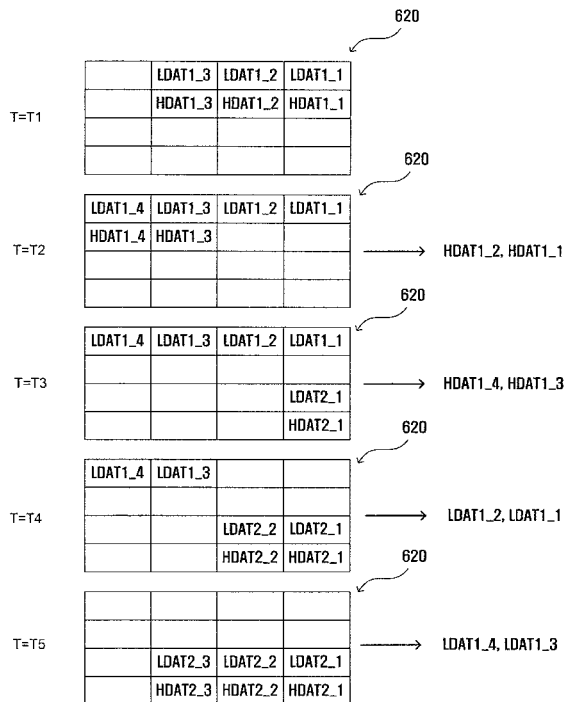
【図 8】



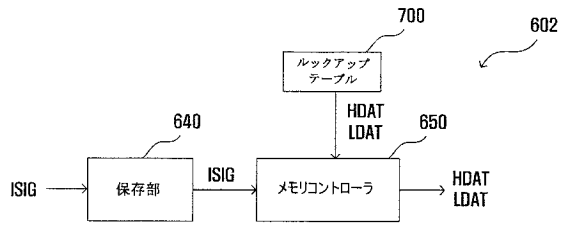
【図 9】



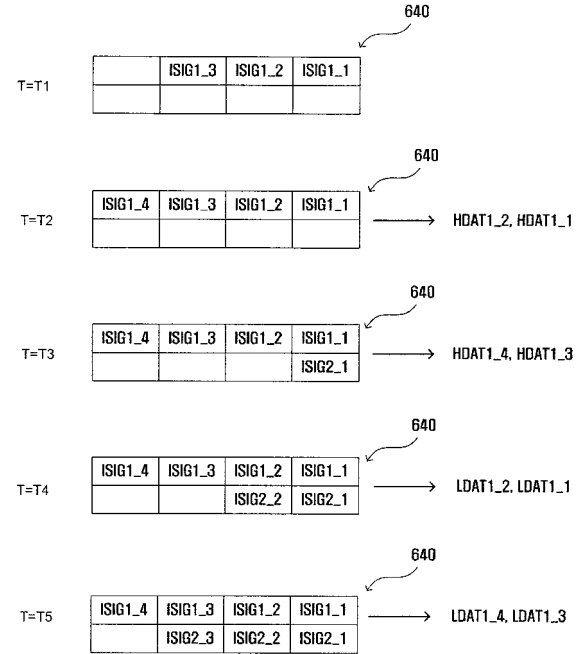
【図 10】



【図 1 1】



【図 1 2】



 フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 W
G 0 9 G	3/20	6 4 1 P
G 0 9 G	3/20	6 8 0 H
G 0 9 G	3/20	6 4 1 K
G 0 2 F	1/133	5 7 5
G 0 2 F	1/133	5 5 0

F ターム(参考) 2H093 NA16 NA43 NA53 NC10 NC12 NC13 NC23 NC28 NC34 ND01
 2H193 ZA04 ZD23 ZF22 ZF36
 5C006 AA12 AA16 AA17 AA22 AB03 AC17 AC21 AF45 AF46 BA15
 BB16 BC16 BC23 BF08 FA55 FA56
 5C080 AA10 BB05 CC03 DD01 EE29 FF11 JJ02