

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-247357

(P2013-247357A)

(43) 公開日 平成25年12月9日(2013.12.9)

(51) Int.Cl.	F I	テーマコード (参考)
H05K 1/11 (2006.01)	H05K 1/11 N	5E317
H05K 3/46 (2006.01)	H05K 3/46 B	5E346
H01L 23/12 (2006.01)	H05K 3/46 N	
	H01L 23/12 N	

審査請求 未請求 請求項の数 30 O L (全 22 頁)

(21) 出願番号 特願2012-213727 (P2012-213727)
 (22) 出願日 平成24年9月27日 (2012. 9. 27)
 (31) 優先権主張番号 13/482,099
 (32) 優先日 平成24年5月29日 (2012. 5. 29)
 (33) 優先権主張国 米国 (US)

(71) 出願人 512250968
 ツーハイ アドバンスト チップ キャリ
 アーズ アンド エレクトロニック サブ
 ストレート ソリューションズ テクノロ
 ジーズ カンパニー リミテッド
 中国 519173 ツーハイ, ドウメン
 , キアンウ, フシャインダストリーゾー
 ン, ファウンダーピーシービー インダス
 トリーパーク
 (74) 代理人 100091683
 弁理士 ▲吉▼川 俊雄
 (74) 代理人 100179316
 弁理士 市川 寛奈

最終頁に続く

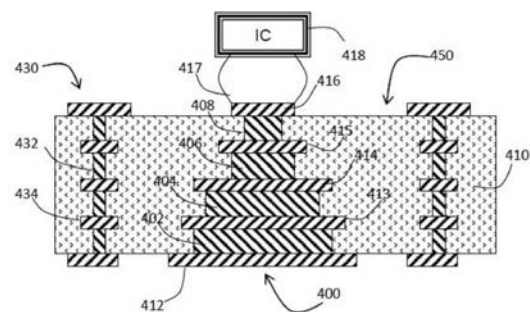
(54) 【発明の名称】 一体的階段状スタック構造体を備えた多層電子構造体

(57) 【要約】 (修正有)

【課題】 電氣的接続性、放熱性に優れた、一体的階段状ビアスタック構造体を備えた多層電子構造体を提供する。

【解決手段】 多層電子支持構造体450であって、XY平面に対して垂直なZ方向に導通する金属ビア柱400を取り囲む誘電材料410からなるXY平面内に延在する複数の層を備え、この複数の層の少なくとも2つのビア層を横断するスタックされたビア構造体が、隣接したビア層内の少なくとも2本のビア柱を備え、スタックされたビア構造体が、テーパがつくように、隣接した層内の少なくとも2本のスタックされたビア柱が、XY平面内に異なる寸法を有する構造体。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

多層電子支持構造体であって、X Y 平面に対して垂直な Z 方向に導通する金属ビア柱を取り囲む誘電材料からなる前記 X Y 平面内に延在する複数の層を備え、前記複数の層の少なくとも 2 つのビア層を横断するスタックされたビア構造体が、隣接したビア層内の少なくとも 2 本のビア柱を備え、前記スタックされたビア構造体が、テーパがつくように、隣接した層内の前記少なくとも 2 本のスタックされたビア柱が、前記 X Y 平面内に異なる寸法を有することを特徴とする構造体。

【請求項 2】

前記スタックされたビア構造体が、少なくとも 3 本のビア柱を備えることを特徴とする請求項 1 に記載の多層電子支持構造体。

10

【請求項 3】

前記スタックされたビア構造体が矩形であり、および、各以降の層が各以前の層より少なく 1 つの方向に延在し、および、前記スタックされたビア構造体が 1 つの方向に階段状の外形を有することを特徴とする請求項 1 に記載の多層電子支持構造体。

【請求項 4】

前記スタックされたビア構造体が矩形であり、および、各以降のビアが各以前のビアより少なく 2 つの反対方向に延在し、および、前記スタックされたビア構造体が概ね台形の形状を有することを特徴とする請求項 1 に記載の多層電子支持構造体。

【請求項 5】

前記スタックされたビア構造体が矩形であり、および、各以降のビアが各以前のビアより少なく 3 つの反対方向に延在し、および前記スタックされたビア構造体が、3 つの階段状の斜めの側面および前記多層複合物電子構造体の最上面および底面に対して垂直な 1 つの実質的に円滑な側面を備えた概ねピラミッド状の形状を有することを特徴とする請求項 1 に記載の多層電子支持構造体。

20

【請求項 6】

前記スタックされたビア構造体が矩形であり、および、各以降のビアが各以前のビアより少なく 4 つの反対方向に延在し、および、前記スタックが概ね階段状のピラミッド形状を有することを特徴とする請求項 1 に記載の多層電子支持構造体。

【請求項 7】

円形であり、および、各以降のビアが各以前のビアより少なく延在し、および、前記スタックされたビア構造体が概ね階段状の円錐形の形状を有することを特徴とする請求項 1 に記載の多層電子支持構造体。

30

【請求項 8】

前記スタックされたビア構造体が、少なくとも 4 個のビアを備えることを特徴とする請求項 1 に記載の多層電子支持構造体。

【請求項 9】

前記スタックされたビア構造体が、少なくとも 5 個のビアを備えることを特徴とする請求項 1 に記載の多層電子支持構造体。

【請求項 10】

少なくとも 1 つの金属層が、金属シード層を備えることを特徴とする請求項 1 に記載の多層電子支持構造体。

40

【請求項 11】

前記シード層が、前記誘電材料への接着を増進するために最初に置かれる接着金属層を更に備えることを特徴とする請求項 10 に記載の多層電子支持構造体。

【請求項 12】

前記接着金属層が、チタン、クロム、タンタルおよびタングステンを含む群の少なくとも 1 つを備えることを特徴とする請求項 11 に記載の多層電子支持構造体。

【請求項 13】

前記スタックされたビア構造体内の最下層が、少なくとも 30 %、最上層より大き

50

いことを特徴とする請求項 1 に記載の多層電子支持構造体。

【請求項 1 4】

前記複数の層の少なくとも 2 つの層を横断するスタックされたビア構造体が、少なくとも 2 本の隣接したビア柱を備え、前記少なくとも 2 本の隣接したビア柱が、前記 X Y 平面内に異なる寸法を有し、および、前記 2 本の隣接したビア柱の間に挿入されるシード層が、前記 2 本の隣接したビア柱の少なくとも 1 つより更に前記 X Y 平面内に延在することを特徴とする請求項 1 に記載の多層電子支持構造体。

【請求項 1 5】

前記シード層が、前記 2 本の隣接したビア柱より更に前記 X Y 平面内に延在することを特徴とする請求項 1 4 に記載の多層電子支持構造体。

10

【請求項 1 6】

前記シード層が、銅を備えることを特徴とする請求項 1 5 に記載の多層電子支持構造体。

【請求項 1 7】

前記誘電材料が、ポリマーを備えることを特徴とする請求項 1 に記載の多層電子支持構造体。

【請求項 1 8】

前記誘電材料が、ガラスファイバ、セラミック粒子含有物およびガラス粒子含有物からなるグループの少なくとも 1 つを備えることを特徴とする請求項 1 7 に記載の多層電子支持構造体。

20

【請求項 1 9】

前記スタックされたビア構造体の以前のビアが以降のビアより更に前記 X Y 平面内に延在し、および、前記スタックされたビア構造体が概ねピラミッド状の形状を有することを特徴とする請求項 1 に記載の多層電子支持構造体。

【請求項 2 0】

前記スタックされたビア構造体の以前のビアが、以降のビアの範囲より少なく前記 X Y 平面内に延在し、および、前記スタックが概ね逆ピラミッド状の形状を有することを特徴とする請求項 1 に記載の多層電子支持構造体。

【請求項 2 1】

前記スタックされたビア構造体が 3 つを超えるビア層を備え、少なくとも 1 個の内側のビアが、外側のビアより更に延在し、および、前記スタックされたビア構造体が前記少なくとも 1 つの側面上で外側にたわむ外形を有することを特徴とする請求項 1 に記載の多層電子支持構造体。

30

【請求項 2 2】

前記スタックされたビア構造体が、3 つを超える層を備え、少なくとも 1 個の内側のビアが、隣接した外側のビアより少なく延在し、および、前記スタックが前記少なくとも 1 つの側面上で内部にたわむ外形を有することを特徴とする請求項 2 1 に記載の多層電子支持構造体。

【請求項 2 3】

請求項 1 に記載の多層電子支持構造体であって、前記少なくとも 1 つのビア層が、以下のステップ、すなわち、

40

(a) 下位ビア層内にビアの端部を露出するために処理される前記下位ビア層を含む基板を得るステップと、

(b) シード層によって前記基板を覆うステップと、

(c) 前記シード層の上にフォトレジストの層を塗布するステップと、

(d) フィーチャのネガパターンを形成するために前記フォトレジストを露光してかつ現像するステップと、

(e) フィーチャの層を製作するために前記ネガパターンに金属を堆積するステップと、

(f) 前記フォトレジストを剥離して、前記フィーチャの層を直立したままにするステップと、

50

- (g) 前記シード層および前記フィーチャの層の上に第2のフォトリソ層を塗布するステップと、
- (h) 前記第2のフォトリソ層内のビアのパターンを露光してかつ現像するステップと、
- (i) 前記第2のパターンに銅を電気メッキするステップと、
- (j) 前記第2のフォトリソ層を剥離するステップと、
- (k) 前記シード層を除去するステップと、
- (l) 前記少なくとも1つのビア層を備える前記フィーチャおよびビアの上に誘電材料を積層するステップと、を含むプロセスによって製作されることを特徴とする構造体。

【請求項24】

前記プロセスが、前記少なくとも1個の構成要素の前記金属を露出させるために前記誘電材料を薄くする更なるステップ(m)を含むことを特徴とする請求項23に記載の多層電子支持構造体。

【請求項25】

前記プロセスが、前記露出された金属構成要素によって前記薄くされた誘電材料の上に金属シード層を堆積する更なるステップ(n)を含むことを特徴とする請求項23に記載の多層電子支持構造体。

【請求項26】

請求項23に記載の多層電子支持構造体であって、

- (i) 前記シード層が銅を備える、
- (i i) 前記金属層が銅を備える、
- (i i i) 前記誘電材料がポリマーを備える、および
- (i v) 前記誘電材料が、セラミックまたはガラス強化材を備える、のうち少なくとも1つによって更に特徴付けられる構造体。

【請求項27】

請求項23に記載の多層電子支持構造体であって、

- (i) 前記誘電層が、ポリイミド、エポキシ、ビスマレイミド、トリアジンおよびその混合物を含む群から選択されるポリマーを備える、
- (i i) 前記誘電層がガラスファイバを備える、および
- (i v) 前記誘電層が粒子フィラーを備える、のうち少なくとも1つによって更に特徴付けられる構造体。

【請求項28】

請求項1に記載の多層電子支持構造体であって、前記少なくとも1つのビア層が、以下のステップ、すなわち、

- (i) フィーチャ層を含み、かつ露出された銅を有する基板を得るステップと、
- (i i) シード層によって前記フィーチャ層を覆うステップと、
- (i i i) 前記シード層の上に金属層を堆積するステップと、
- (i v) 前記金属層の上にフォトリソ層を塗布するステップと、
- (v) 前記フォトリソ層内のビアのポジパターンを露光するステップと、
- (v i) 露出された前記金属層をエッチング除去するステップと、
- (v i i) 前記フォトリソ層を剥離して、前記ビア層内の前記少なくとも1個の構成要素を直立したままにするステップと、
- (v i i i) 前記ビア層内の前記少なくとも1個の構成要素の上に誘電材料を積層するステップと、を含むプロセスによって製作されることを特徴とする構造体。

【請求項29】

前記金属を露出するために前記誘電材料を薄くする更なるステップ(i x)を含む請求項28に記載の多層電子支持構造体。

【請求項30】

接地表面上に金属シード層を堆積する更なるステップ(x)を含む請求項28に記載の多層電子支持構造体。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、改良された相互接続構造体により、および特に、一体的階段状ビアスタックおよびそれらの製作のための方法に向けられるが、これらに限定されない。

【背景技術】

【0002】

ますます複雑な電子構成部品の小型化に対するますますより大きな需要によって駆り立てられて、コンピュータおよび遠隔通信装置のような民生用電子機器が、より集積化されるようになっている。これは、誘電材料によって互いに電氣的に絶縁される高密度の多数の導電層およびビアを有するIC基板およびICインターポーザのような支持構造体に対する要求を作り出した。

【0003】

この種の支持構造体に対する一般的な要件は、信頼性および適切な電気性能、薄さ、堅さ、平面性、良い熱放散および競争的な単価である。

【0004】

これらの要件を達成するための種々のアプローチのうち、層の間に相互接続ビアを作り出す1つの広く実現された製造技法が、メッキ技法によってその中に堆積される金属、通常銅によるその後の充填のために、その後置かれた誘電体基板中に最後の金属層まで通して穴開けするためにレーザーを使用する。ビアを作り出すこのアプローチは時には『ドリルアンドフィル』と称され、それによって作り出されるビアは、『ドリルアンドフィルビア』と称されることができる。

【0005】

ドリルアンドフィルビアアプローチには複数の欠点がある。各ビアが別々に穴開けされる必要があるため、処理率が限定され、精巧な多ビアIC基板およびインターポーザを製作するコストがひどく高くなる。大きな配列では、ドリルアンドフィル方法論によって互いに極めて近傍に異なるサイズおよび形状を有する高密度の高品質ビアを生成することは、困難である。さらに、レーザー穴開けされたビアは誘電材料の厚さを通して内部に粗い側壁およびテーパを有する。このテーパリングは、ビアの有効径を減少させる。それはまた、特に超小型ビア径で前の導電性金属層に対する電気接触に悪影響を与え、それによって信頼性問題を引き起こすかもしれない。その上、穴開けされる誘電体がポリマーマトリックスのガラスまたはセラミックファイバを備える複合材料であるため、側壁が特に粗く、この粗さが追加的な迷いインダクタンスを作り出す場合がある。

【0006】

穴開けされたビアホールは、通常銅の電気メッキによって達成される。電気メッキ堆積技法は、陥凹形成に結びつく場合があり、そこで小型のクレータがビアの上部に出現する。あるいは、ビアチャネルが、それが保持することができるより多くの銅で充填されるところでオーバフィルが起こる場合があり、および、周囲の材料の上に突き出る半球形の上面が作り出される。高密度基板およびインターポーザを製作する時必要に応じて、その後ビアを順に重ねてスタックする時、陥凹形成およびオーバフィルの両方が困難を作り出す傾向がある。さらに、理解されるであろうことは、特にそれらがインターポーザまたはIC基板設計の同じ相互接続層内でより小型のビアに近接している時、大きなビアチャネルは均一に充填するのが困難であることである。

【0007】

受け入れられるサイズおよび信頼性の範囲が時間とともに向上しているとはいえ、上記の欠点はドリルアンドフィル技術に固有であり、可能なビアサイズの範囲を限定すると予測される。レーザー穴開けが丸いビアチャネルを作り出すために最良であることが更に注意される。スロット形状のビアチャネルが理論的にはレーザーミリングによって製作されることができるとはいえ、実際には、製作されることができ幾何学形状の範囲はいくぶん限定され、および、所定の支持構造体内のビアは一般的に円柱状で実質的に同一で

ある。

【0008】

ドリルアンドフィルによるビアの製作は高価であり、および相対的に費用効果的な電気メッキプロセスを使用してそれによって銅によって作り出されるビアチャネルを均一に一貫して充填することは困難である。

【0009】

複合誘電材料内にレーザー穴開けされたビアのサイズは、実用的に約 60×10^{-6} m の直径に限定され、かつそれでも、必要とされる除去プロセスの結果、穴開けされる複合材料の性質に起因する深さによる有意なテーパリング、同じく粗い側壁に苦しむ。

【0010】

前述のレーザー穴開けの他の限定に加えて、異なる穴開けサイズのビアチャネルが穴開けされて、そして次に、異なるサイズのビアを製作するために金属で充填される時、ビアチャネルが異なる速度で埋まるという理由から、同じ層内に異なる直径のビアを製作することが困難であるという点で、ドリルアンドフィル技術の付加的限定事項がある。従って、異なるサイズのビアに対して堆積技法を同時に最適化することは不可能であるので、ドリルアンドフィル技術を特徴づける陥凹形成またはオーバフィルの典型的課題は悪化する。従って、実際には、除去およびテーパリングに影響を受けるが、単一層内の全てのドリルアンドフィルビアは名目上、同じ直径を有する。

【0011】

ドリルアンドフィルアプローチの欠点の多くを克服する一代替案は、別名『パターンメッキ』技術を使用して、フォトレジスト内に作り出されるパターンに銅または他の金属を堆積することによってビアを製作することである。

【0012】

パターンメッキでは、シード層が最初に堆積される。次いで、フォトレジストの層がシード層の上に置かれ、その後パターンを作り出すために露光されて、それがシード層を露出させる溝を作るために選択的に除去される。ビア柱が、フォトレジスト溝内に銅を堆積することによって作り出される。残りのフォトレジストが次いで除去され、シード層がエッチング除去され、一般的にポリマー含浸されたガラスファイバプリプレグである誘電材料が、ビア柱をおおうためにその上およびその周りに積層される。種々の技法およびプロセスが、次いで誘電材料の一部を除去するために使用され、それによって構造体を平坦化して薄くし、ビア柱の上部を露出し、そこで次の金属層を構築するためにそれによって接地に対する導電接続を可能にすることができる。所望の多層構造体を構築するためにこのプロセスを繰り返すことによって、金属導体およびビア柱の以降の層がその上に堆積されることができる。

【0013】

以下に『パネルメッキ』として知られる、代わりの、しかし密接に関連づけられた技術において、金属または合金の連続層が基板上へ堆積される。フォトレジストの層がこの上に堆積されてパターンがその中に現像され、現像されたフォトレジストのパターンが剥離されて、その下に金属を選択的に露出し、それが次いでエッチング除去されることができる。未現像のフォトレジストが下層金属をエッチング除去されることから保護して、直立したフィーチャおよびビアのパターンを残す。

【0014】

未現像のフォトレジストを剥離した後に、ポリマー含浸されたガラスファイバマットのような誘電材料が、直立した銅フィーチャおよび／またはビア柱周辺におよびその上に積層されることができる。

【0015】

上記したパターンメッキまたはパネルメッキ方法論によって作り出されるビア層は、一般的に銅由来の『ビア柱』およびフィーチャ層として公知である。

【0016】

理解されるであろうことは、マイクロエレクトロニクスの進化の全般的な推進力は

10

20

30

40

50

高い信頼性を有する、ますますより小さく、より薄くおよびより軽く、およびより強力な製品を製作する方へ向けられるということである。厚い、コアを持つ相互接続部の使用は極薄の製品が到達可能であることを妨げる。相互接続 IC 基板または『インターポーザ』内にますますより高い密度の構造体を作り出すために、ますますより小さい接続部のますますより多くの層が必要とされる。実際に、時には互いの上に構成要素をスタックすることが、望ましい。

【0017】

メッキした積層構造体が銅または他の適切な犠牲基板上に堆積されるならば、基板がエッチング除去され、自立コアレス層状構造体を残すことができる。更なる層が、犠牲基板に以前に接着された側面上に堆積され、それによって両面ビルドアップを可能にする

10

【0018】

高密度相互接続部を製作するための1つの柔軟な技術が、誘電マトリクス内に金属ビアまたはフィーチャからなるパターンまたはパネルメッキした多層構造体を構築することである。金属は銅であることができ、誘電体はファイバ強化ポリマーであることができ、一般的に、例えばポリイミドのような、高ガラス転移温度 (T_g) を備えたポリマーが使用される。これらの相互接続部は、コアを持つかまたはコアレスであることができ、かつ構成要素をスタックするためのキャビティを含むことができる。それらは、奇数または偶数の層を有することができる。可能にする技術は、Amitec-Advanced Multilayer Interconnect Technologies 社に付与

20

【0019】

例えば、Hurwitz 他に付与された (特許文献 1) が、上位の電子支持構造体の構成における前駆体としての用途のために、誘電体内にビア配列を含む自立膜を製作する一方法を記載する。それは、犠牲キャリア上の誘電体周囲内に導電性ビアの膜を製作するステップと、自立積層配列を形成するために膜を犠牲キャリアから分離するステップとを含む。この種の自立膜に基づく電子基板は、積層配列を薄くして平坦化することによって形成され、ビアを終端することが続くことができる。この刊行物は、全体として本願明細書に引用したものとする。

【0020】

Hurwitz 他に付与された (特許文献 2) が、第 2 の IC ダイと直列に接続される第 1 の IC ダイを支持するための IC 支持体を製作するための一方法であって、この IC 支持体が絶縁周囲内の銅フィーチャおよびビアの交互層のスタックを備え、第 1 の IC ダイが IC 支持体上へボンディング可能であり、および第 2 の IC ダイが IC 支持体内部でキャビティ内にボンディング可能であり、キャビティが、銅ベースをエッチング除去し、かつビルトアップ銅を選択的にエッチング除去することによって形成される方法を記載する。この刊行物は、全体として本願明細書に引用したものとする。

30

【0021】

Hurwitz 他に付与された (特許文献 3) が、以下のステップ、すなわち、(A) 第 1 のベース層を選択するステップと、(B) 第 1 のベース層上へ第 1 の耐エッチング液バリア層を堆積するステップと、(C) 交互の導電層および絶縁層の第 1 のハーフスタックを構築するステップであって、導電層が絶縁層を通してビアによって相互接続されるステップと、(D) 第 1 のハーフスタック上へ第 2 のベース層を塗布するステップと、(E) 第 2 のベース層にフォトレジストの保護コーティングを塗布するステップと、(F) 第 1 のベース層をエッチング除去するステップと、(G) フォトレジストの保護コーティングを除去するステップと、(H) 第 1 の耐エッチング液バリア層を除去するステップと、(I) 交互の導電層および絶縁層の第 2 のハーフスタックを構築するステップであって、導電層が絶縁層を通してビアによって相互接続され、第 2 のハーフスタックが、第 1 のハーフスタックに実質的に対称のレイアップを有するステップと、(J) 交互の導電層および絶縁層の第 2 のハーフスタック上へ絶縁層を塗布するステップと、(K) 第 2 のベ

40

50

ース層を除去するステップと、(L) スタックの外面上にビアの端部を露出することによって基板を終端し、かつそれに終端部を付加するステップと、を含む電子基板を製作する方法を記載する。この刊行物は、全体として本願明細書に引用したものとする。

【先行技術文献】

【特許文献】

【0022】

【特許文献1】米国特許第7, 682, 972号明細書、名称「先端多層コアレス支持構造体およびそれらの製作のための方法」

【特許文献2】米国特許第7, 669, 320号明細書、名称「チップパッケージング用のコアレスキャビティ基板およびそれらの製作」

【特許文献3】米国特許第7, 635, 641号明細書、名称「集積回路支持構造体およびそれらの製作」

【発明の概要】

【課題を解決するための手段】

【0023】

本発明の一態様が、多層電子支持構造体であって、XY平面に対して垂直なZ方向に導通する金属ビア柱を取り囲む誘電材料からなるXY平面内に延在する複数の層を備え、複数の層の少なくとも2つのビア層を横断するスタックされたビア構造体が、隣接したビア層内の少なくとも2本のビア柱を備え、スタックされたビア構造体が、テーパがつくように、隣接した層内のこの少なくとも2本のスタックされたビア柱が、XY平面内に異なる寸法を有する構造体を提供することに向けられる。

【0024】

いくつかの実施態様において、スタックされたビア構造体が少なくとも3本のビア柱を備える。

【0025】

いくつかの実施態様において、スタックされたビア構造体の各層が矩形であり、各以降の層が各以前の層より少なく1つの方向に延在し、スタックされたビア構造体が1つの方向に階段状の外形を有する。

【0026】

いくつかの実施態様において、スタックされたビア構造体の各層が矩形であり、各以降のビアが各以前のビアより少なく2つの反対方向に延在し、スタックされたビア構造体が概ね台形の形状を有する。

【0027】

いくつかの実施態様において、スタックされたビア構造体の各層が矩形であり、各以降のビアが各以前のビアより少なく3つの反対方向に延在し、スタックされたビア構造体が、3つの階段状の斜めの側面および多層複合電子構造体の上面および底面に対して垂直な1つの実質的に円滑な側面を備えた概ねピラミッド状の形状を有する。

【0028】

いくつかの実施態様において、スタックされたビア構造体の各層が矩形であり、各以降のビアが各以前の層より少なく4つの反対方向に延在し、スタックが概ね階段状のピラミッド形状を有する。

【0029】

いくつかの実施態様において、スタックされたビア構造体の各層が円形であり、各以降のビアが各以前のビアより少なく延在し、スタックされたビア構造体が概ね階段状の円錐形の形状を有する。

【0030】

いくつかの実施態様において、多層電子支持構造体が少なくとも4個のビアを備える。

【0031】

いくつかの実施態様において、多層電子支持構造体が少なくとも5個のビアを備え

10

20

30

40

50

る。

【0032】

いくつかの実施態様において、少なくとも1つの金属層が金属シード層を備える。

【0033】

いくつかの実施態様において、シード層が誘電材料に対する接着力を増進するために最初に置かれる接着金属層を更に備える。

【0034】

いくつかの実施態様において、接着金属層がチタン、クロム、タンタルおよびタングステンを含む群の少なくとも1つを備える。

【0035】

いくつかの実施態様において、スタックされたビア構造体内の最下層が、少なくとも30%、最上層より大きい。

【0036】

いくつかの実施態様において、複数の層の少なくとも2つの層を横断するスタックされたビア構造体が、少なくとも2本の隣接したビア柱を備え、少なくとも2本の隣接したビア柱が、XY平面内に異なる寸法を有し、および、2本の隣接したビア柱の間に挿入されるシード層が2本の隣接したビア柱の少なくとも1つより更にXY平面内に延在する。

【0037】

いくつかの実施態様において、シード層がXY平面内に2本の隣接したビア柱より更に延在する。

【0038】

いくつかの実施態様において、シード層およびビアのスタックの金属の少なくとも1つが、銅を備える。

【0039】

いくつかの実施態様において、誘電材料がポリマーを備える。

【0040】

いくつかの実施態様において、誘電材料がセラミックまたはガラス含有物を更に備える。

【0041】

いくつかの実施態様において、スタックの以前の層がXY平面内に以降の層より更に延在し、スタックされたビア柱構造体が概ねピラミッド状の形状を有する。

【0042】

いくつかの実施態様において、スタックの以前の層が以降の層の範囲より少なくXY平面内に延在し、スタックが概ね逆ピラミッド状の形状を有する。

【0043】

いくつかの実施態様において、多層電子支持構造体が3つを超える層を備え、少なくとも1つの内側の層が少なくとも1つの側面上で隣接する外側の層より更に延在し、スタックが前記少なくとも1つの側面上で外側にたわむ外形を有する。

【0044】

いくつかの実施態様において、多層電子支持構造体が3つを超える層を備え、少なくとも1つの内側の層が少なくとも1つの側面上で隣接する外側の層より少なく延在し、スタックが前記少なくとも1つの側面上で内側にたわむ外形を有する。

【0045】

本発明の第二態様が、多層電子支持構造体を製作するプロセスであって、以下のステップ、すなわち、

(a) 下位ビア層内にビアの端部を露出するために処理される下位ビア層を含む基板を得るステップと、

(b) シード層によって基板を覆うステップと、

(c) シード層の上にフォトリソの層を塗布するステップと、

10

20

30

40

50

(d) フィーチャのネガパターンを形成するためにフォトレジストを露光してかつ現像するステップと、
 (e) フィーチャの層を製作するためにネガパターンに金属を堆積するステップと、
 (f) フォトレジストを剥離して、フィーチャの層を直立したままに残すステップと、
 (g) シード層およびフィーチャの層の上に第2のフォトレジスト層を塗布するステップと、
 (h) 第2のフォトレジスト層内にビアのパターンを露光してかつ現像するステップと、
 (i) 第2のパターンに銅を電気メッキするステップと、
 (j) 第2のフォトレジスト層を剥離するステップと、
 (k) シード層を除去するステップと、
 (l) ビア層内の少なくとも1個の構成要素の上に誘電材料を積層するステップと、を含むプロセスに向けられる。

10

【0046】

いくつかの実施態様において、このプロセスが少なくとも1個の構成要素の金属を露出するために誘電材料を薄くする更なるステップ(m)を備える。

【0047】

いくつかの実施態様において、このプロセスが露出された金属構成要素によって薄くされた誘電材料の上に金属シード層を堆積する更なるステップ(n)を備える。

【0048】

いくつかの実施態様において、多層電子支持構造体が以下のうち少なくとも1つによって更に特徴づけられる：

20

- (i) シード層が銅を備える、
- (i i) 金属層が銅を備える、
- (i i i) 誘電材料がポリマーを備える、および
- (i v) 誘電材料がセラミックまたはガラス強化材を備える。

【0049】

いくつかの実施態様において、多層電子支持構造体が以下のうち少なくとも1つによって更に特徴づけられる：

- (i) 誘電層が、ポリイミド、エポキシ、ビスマレイミド、トリアジンおよびその混合物を含む群から選択されるポリマーを備える、
- (i i) 誘電層がガラスファイバを備える、および
- (i v) 誘電層が粒子フィラーを備える。

30

【0050】

いくつかの実施態様において、少なくとも1つのビア層が以下のステップ、すなわち、

- (i) フィーチャ層を含み、かつ露出された銅を有する基板を得るステップと、
- (i i) シード層によってフィーチャ層を覆うステップと、
- (i i i) シード層の上に金属層を堆積するステップと、
- (i v) 金属層の上にフォトレジストの層を塗布するステップと、
- (v) フォトレジスト内のビアのポジパターンを露光してかつ現像するステップと、
- (v i) 露出された金属層をエッチング除去するステップと、
- (v i i) フォトレジストを剥離して、ビア層内の少なくとも1個の構成要素を直立したままに残すステップと、
- (v i i i) ビア層内の少なくとも1個の構成要素の上に誘電材料を積層するステップと、を含むプロセスによって製作される。

40

【0051】

任意選択で、このプロセスが金属を露出するために誘電材料を薄くする更なるステップ(i x)を含む。

【0052】

任意選択で、このプロセスが接地表面の上に金属シード層を堆積する更なるステッ

50

プ(x)を備える。

【0053】

用語ミクロンまたは μm は、マイクロメートルまたは 10^{-6}m を指す。

【図面の簡単な説明】

【0054】

本発明のより良い理解のために、かつ、それがどのように実行に移されることができるかを示すために、参照がここで、単に一例として添付の図面になされる。

【0055】

次に詳細に図面に対する特定の参照によって、強調されるのは、示される詳細は、例として、および、本発明の好適な実施態様に関する例証となる議論のためだけにあり、
ならびに、本発明の原理および概念上の態様の最も役立って容易に理解される記述であると信じられることを提供するために提示されることである。この点に関しては、本発明の基本理解のために必要であるより、より詳細に本発明の構造細部を示すために何の試みもなされず、本発明のいくつかの形態が実際問題としてどのように具体化されることができるかを当業者に明らかにする図面とともに記述がなされる。添付の図面において：

【0056】

【図1】従来技術の多層複合支持構造体の簡略断面図である。

【図2】本発明の一実施態様に従うビアの台形のスタックの断面の概略図である。

【図3】上方から台形の、ピラミッド状のおよび円錐形のビアを示す。

【図4】第2の実施態様に従うビアおよびフィーチャ層の台形のスタックの断面である。
および

【図5】図4の構造体を製作するための1つの方法を示す1つの流れ図である。および

【図6】図2または4の構造体の層を製作するための別の方法を示す第2の流れ図である。

。

【発明を実施するための形態】

【0057】

以下の記述では、ガラスファイバによって強化された、誘電マトリクス内の金属ビア、特にポリイミド、エポキシまたはBT（ビスマレイミド／トリアジン）またはそれらの混合物のような、ポリマーマトリクス内の銅ビア柱からなる支持構造体が考慮される。

【0058】

ここにて組み込まれる、Hurwitz他に付与された（特許文献1）、（特許文献2）および（特許文献3）に記載されるように、フィーチャの面内方向寸法に何の実効上限もないということが、Accessのフォトレジストおよびパターンまたはパネルメッキおよび積層技術の特徴である。

【0059】

図1は、従来技術の多層複合支持構造体の簡略断面図である。従来技術の多層支持構造体100は、個々の層を絶縁する誘電体110、112、114、116の層によって隔てられる構成要素またはフィーチャ108の機能層102、104、106を含む。誘電層を通してのビア118は、隣接する機能またはフィーチャ層間の電気接続を与える。したがって、フィーチャ層102、104、106はXY平面内の、層内に概ね配置されるフィーチャ108および誘電層110、112、114、116を横切って電流を導通するビア118を含む。ビア118は、最小のインダクタンスを有するように設計されていて、かつその間に最小静電容量を有するように十分に隔てられる。

【0060】

ビアがドリルアンドフィル技術によって製作される所で、それらが誘電体内にレーザー穴を最初に穴開けすることによって製作されるので、ビアは一般に実質的に円形断面を有する。誘電体が異質で異方性でかつ無機フィラーおよびガラスファイバ強化材を備えたポリマーマトリクスから成るので、その円形断面は一般的に粗いエッジを持ち、その断面が真円形状からわずかにゆがめられることになる。さらに、ビアはいくぶんテーパがつく傾向があり、円柱状の代わりに逆円錐台形である。

【0061】

例えば（特許文献1）、（特許文献2）および（特許文献3）に記載されるように、図1の構造体は、あるいは、フォトレジスト内のパターン内にメッキをする（パターンメッキ）か、またはパネルメッキし、次いで選択的にエッチングし、どちらにせよ直立したビア柱を残し、そして次に、その上に誘電プリプレグを積層することによって製作されることができる。

【0062】

『ドリルアンドフィルビア』アプローチを使用して非円形ビアを製作することは、断面制御および形状における困難に起因してひどく高くなる。レーザー穴あけの限界に起因する約50〜60ミクロン直径の最小ビアサイズもまた、ある。これらの困難は、先に背景技術で詳細に記載されたものであり、かつ、なかでも、銅ビアフィル電気メッキプロセスに起因する陥凹形成および／または半球形の成型、レーザー穴あけプロセスに起因するビアテーパリング形状および側壁粗さ、およびポリマー／ガラス誘電体内に溝を生成する『ルーティング』モードでスロットをミリングするための高価なレーザー穴あけ機を使用することに起因するより高いコスト、に関連する。

【0063】

前述のレーザー穴開けの他の限定に加えて、穴開け異なるサイズのビアチャネルが穴開けされて、そして次に、異なるサイズのビアを製作するために金属で充填される時、ビアチャネルが異なる速度で埋まるという理由から、同じ層内に異なる直径のビアを作り出すことが困難であるという点で、ドリルアンドフィル技術の付加的限定事項がある。従って、異なるサイズのビアに対して堆積技法を同時に最適化することは不可能であるので、ドリルアンドフィル技術を特徴づける陥凹形成またはオーバフィルの典型的課題は悪化する。

【0064】

さらに、ポリイミド／ガラスもしくはエポキシ／ガラスもしくはBT（ビスマレイミド／トリアジン）／ガラスまたはセラミックおよび／または他のフィラー粒子とのそれらの混合物のような複合誘電材料内のレーザー穴開けされたビアが実用的に約 60×10^{-6} mの直径の最小サイズに限定されることが注意され、かつそれでも、必要とされる除去プロセスの結果、穴開けされる複合材料の性質に起因する有意なテーパリング形状、ならびに粗い側壁に苦しむ。

【0065】

メッキおよびフォトレジスト技法の柔軟性を使用して、広範囲にわたるビア形状およびサイズが、費用対効果が高い状態で製作されることが驚くべきことに見いだされた。さらに、異なるビア形状およびサイズが同じ層内に製作されることが可能である。AMITCによって開発された私有ビア柱アプローチが、x-y平面内に導通するビア層の大きな寸法を利用する『導体ビア』構造体を可能にする。銅パターンメッキアプローチが使用される時、これは特に容易にされ、そこで、円滑な、まっすぐな、テーパがつかない溝がフォトレジスト材料内に生成され、そして次に、金属シード層を用いてこれらの溝に銅をその後堆積することによって充填され、そして次に、溝に銅をパターンメッキすることによって埋めることができる。ドリルアンドフィルビアアプローチとは対照的に、ビアポスト技術は陥凹なし、半球なしの銅コネクタを得るようにフォトレジスト層内の溝が充填されることを可能にする。銅の堆積の後、フォトレジストがその後剥離され、金属シード層がその後除去され、および、永続的な、ポリマーガラス誘電体がその上およびその周りに塗布される。このように作り出される『ビア導体』構造体は、Hurwitz他に付与された（特許文献1）、（特許文献2）および（特許文献3）内に記載されるプロセスフローを使用することができる。

【0066】

図2を参照して、ビア柱のテーパ付きスタック200の断面図が示される。スタック200は、誘電材料210によって取り囲まれる第1層202、第2層204、第3層206および第4層208から成る。

10

20

30

40

50

【0067】

より大きい以前の層の上に各層が堆積されるので、XY平面内に中間の銅導体またはパッドなしでフォトレジストのその後堆積された層にパターンメッキによって各層を製作することが可能である。

【0068】

一例では、スタック200の最下層202が $940 \times 10^{-6} \text{ m}$ （すなわちミクロンまたは μm ） $\times 420 \times 10^{-6} \text{ m}$ であることができる。第2層204が、 $840 \times 10^{-6} \text{ m} \times 320 \times 10^{-6} \text{ m}$ であることができ、第3の層206が、 $740 \times 10^{-6} \text{ m} \times 220 \times 10^{-6} \text{ m}$ であることができ、および、第4の（最上部）層208が $640 \times 10^{-6} \text{ m} \times 120 \times 10^{-6} \text{ m}$ であることができる。したがって、各層は全ての寸法で上方の層と比べて40から50ミクロンより広くあることができる。

10

【0069】

図2には、4つの層を含む台形の階段状のビアスタックが示される。台形の階段状のビアスタックは、2つの方向に対称的にテーパがつくかまたは傾斜する。しかしながら、理解されるであろうことは、慎重な位置合わせによって、階段状のビアスタックは対称的に傾斜しないかまたは1つの方向にだけ傾斜するように構成されることができることである。

【0070】

図3を参照して、上方から、ビア310の階段状のスタックが矩形であることができ、かつ2つの方向に傾斜することができる。あるいは、スタック320が正方形であることができ、かつ4つの方向に傾斜することができる。図示はしていないが、各以降の層を非対称に置くことによって、1つまたは3つの寸法に傾斜するスタックが製作されることができることが、認識される。

20

【0071】

さらに、スタック330はディスク形状の層を備えることができ、かつ円錐形であることができる。各ディスクの直径および位置合わせに従い、スタックは規則的であるかまたは不規則であることができる。

【0072】

スタックされたビア構造体が相互接続構造体内に複数の層の少なくとも2つの層を横断して、かつスタックにテーパがつくように、XY平面内に異なる寸法を有する隣接層内の少なくとも2本の重なり合うビア柱から成る。より一般的に、ビアスタックは少なくとも3つの層を備えてかつ4つまたは5つ以上の層から成ることができる。

30

【0073】

いくつかの実施態様において、スタックの各層が矩形であり、各以降の層が各以前の層より少なく、1つの方向に延在し、および、スタックが1つの方向に階段状の構造体を備える。他の実施態様では、スタックの各層が矩形であり、各以降の層が各以前の層より少なく2つの反対方向に延在し、および、スタックが概ね台形の形状を有する。

【0074】

さらに他の実施態様では、スタックの各層が正方形または矩形であり、各以降の層が各以前の層より少なく、3つの反対方向に延在し、および、スタックが3つの階段状の斜めの側面ならびに最上層および最下層に対して垂直な1つの実質的に円滑な側面を備えた概ねピラミッド状の形状を有する。

40

【0075】

さらに他の実施態様では、スタックの各層が矩形であり、各以降の層が各以前の層より少なく、4つの反対方向に延在し、および、スタックが概ね階段状のピラミッド形状を有する。

【0076】

いくつかの実施態様において、スタックの各層が円形であり、各以降の層が各以前の層より短く延在し、および、スタックが概ね階段状の円錐形の形状を有する。

【0077】

50

一般に、図 1 に示すように、相互接続構造体が一般的に交互のビア層およびフィーチャ層を備える。Amitec の私有技術を使用して、ビア層はまた、XY 平面内に延在することができて、かつ単純な円柱状柱である必要はなく、他の形状を有することができる。

【0078】

垂直なピラミッドがより外延的な層の上に置かれた金属の層を備えるとはいえ、相互接続構造体の周囲の領域内に、誘電体上にフィーチャを置く必要があるかもしれない。したがって、相互接続構造体内にテーパがついているビアスタックの製作を可能にするために、ビア層がフィーチャ層またはパッドを点在させることができる。これらは、一般的に銅であることができるシード層から成って、かつ下層誘電体に接着するためにスパッタリングによってまたは無電解めっきによって製作されることができる。シード層は、厚さ 0.5 から 1.5 ミクロンであることができる。シード層の上に、金属、一般的に銅の相対的に厚い層またはパッドが、パターンまたはパネルメッキされることができる。下層誘電体へのシード層の接着を更に補助するために、チタン、タンタル、タングステン、クロムまたはその混合物のような接着金属の、一般的に 0.04 ミクロンから 0.1 ミクロンの、非常に薄い層が、最初に塗布されることができる。

【0079】

いくつかの実施態様において、スタック内の最下層が、少なくとも 30 %、最上層より大きい。

【0080】

図 4 を参照して、階段状の外形を有する銅ビア柱およびフィーチャ層のスタック 400 を含む相互接続構造体 450 の断面図が、示される。スタック 400 は、誘電材料 410 によって取り囲まれる。スタック 400 は、誘電材料 410 によって取り囲まれる、銅の 4 つのビア層、すなわち第 1 のビア層 402、第 2 のビア層 404、第 3 のビア層 406 および第 4 のビア層 408 から成る。層 402、404、406、408 は、幾何学的に互いに隔てられることができるが、XY 平面 413、414 および 415 内の銅導体またはパッドによって共に電子的に連結されることができる。これらのパッド 413、414 および 415 は、図示されていない相互接続構造体の他の部分内に周囲のフィーチャを一般的に含むフィーチャ層の部分である。フィーチャが誘電体の上に置かれることを可能にするために、示された階段のノーズを作り出すために、しかしより有意に、周囲のフィーチャを作り出すために、パッド 413、414 および 415 が、スパッタリングされるかまたは無電解メッキされ、かつ厚さ 0.5 ミクロンから 1.5 ミクロンであることができる銅のシード層を概ね含む。シード層上へ、パッドまたはフィーチャの追加的な厚さが電気メッキを使用して構築されることができる。誘電体に対する接着を更に補助するために、チタン、タンタル、クロム、タングステンまたはその混合物のような、接着金属の非常に薄い層が、最初に堆積されることができる。この薄い接着金属層は、一般的に厚さ 0.04 ミクロンから 0.1 ミクロンである。

【0081】

IC チップ 418 は例えばボールグリッドアレイのような終端部 417 経由でスタック 400 に、最上部導体層 416 に連結されることができる。このように形成されるスタック 400 は、その形状、およびそれが 2 つのまたは 4 つの方向に傾斜するかどうかに従い、台形のまたはピラミッド状のビアスタックであることができる。個々の層が円形の所で、スタックは円錐形ビアスタックと称することができる。シード層および交互のフィーチャ層（パッド）およびビアの使用は、ビア 432 およびフィーチャ 434 のより従来の構造体 430 が相互接続部 450 内の他の場所で共に製作されることを可能にする。

【0082】

いくつかの実施態様において、複数の層の少なくとも 2 つの層を横断するスタックされたビア構造体が、隣接層内の少なくとも 2 本のビア柱を備え、隣接層内のこの少なくとも 2 本のスタックされたビア柱が、XY 平面内に異なる寸法を有し、および、フィーチャ層が以前の層と以降の層との間に挿入される。

【0083】

フィーチャ層は、X Y平面内に以前の層と以降の層のうち少なくとも1つより更に延在することができる。

【0084】

いくつかの実施態様において、フィーチャ層がX Y平面内に以前の層または以降の層のどちらかの範囲より更に延在し、図4の構造体を与えるか、または、同じマスクを使用して、以降のビア層がフィーチャ層上へ正確に堆積され、図2内に示されるそのような構造体を与えることができる。

【0085】

図4では、X Y平面内のフィーチャ層のパッド、413、414、415および416が、同じサイズか、またはその下のビア柱より数ミクロン大きいことができる。銅導体またはパッドがその下のビア柱と同じサイズであるならば、スタックの外観が図2内に示されるそれに類似するが、しかしながら、この製造法は周囲のフィーチャ層およびスタックが製作されることを可能にする。最上層416内の銅パッドは、IC（集積回路）418に対して適切にサイズ設定されることができかつフリップチップ、ダイボンディングまたは他の適切な技術を代表する相互接続バンプ417によってそれに連結されることができる。（ビア柱層402に取り付けられる）底部パッド層412は例えば、プリント回路基板（PCB）に取り付けられることができる。

【0086】

ビア柱のこの種の台形のまたはピラミッド状のスタック400を用いて、最上部パッド層416が有意により小さく、底部パッド層412の領域のおそらく約28%であることができる。最下層402のビア柱領域は、ビア柱最上層408のその3.5倍であることができる。この種の大きな下部表面を有することの1つの利点が、効果的熱放散を可能にすることであり、それで最下層402がヒートシンクとして非常に効果的に役に立つことができる。しかしながら、同時に、IC418のサイズに必要な大きさにされることができる、この種のビアスタックの小さい上面を有することは、これが基板の熱放散性能を有意に低下させることなく、416の銅パッドによって代表されるIC高密度小パッドサイズを412の銅パッドによって代表されるPCB領域のパッドに再配分することによって基板の挿入確率密度関数で補助することができるので有利である。

【0087】

相対的に小さい上面構造体を有することによって、より効果的に周囲の表面を利用することが可能であるという点で、それはまた有利であることができる。例えば、周囲の表面に取り付けられる構成要素が、より大きくなることができる。

【0088】

したがって、それらの全体で本願明細書に引用したものとする、Hurwitz他に付与された（特許文献1）、（特許文献2）および（特許文献3）に記載される、AMITC技術を使用して、1つまたは2つの方向に傾斜することができる台形の、ピラミッド状の、円錐形のおよび三角形プリズム形状のビア柱のような、多様な断面外形を有するビア柱構造体を作り出すことが可能であることが見いだされた。

【0089】

理解されるであろうことは、シードおよびフィーチャ層を使用するところで、各その後置かれた層が以前の層より小さい所で、テーパリングビアスタックが製作されることができるだけでないことである。1つの層内のフィーチャが下位層内のフィーチャより突き出ることを可能にするフィーチャ層に起因して、中央でより広い（凸形）かまたは中央でより狭い（凹形）ビアスタックが、製作されることができる。ビアスタックは、2つの方向にまたは3つもしくは4つの方向に、平坦な対向する壁とともに、1つの方向にたわむことができる。

【0090】

更に認識されるであろうことは、この種のスタッキングおよびビア柱アプローチを用いて、台形のビアスタックが必要とされない基板を最大限に活用するために、以降の層

10

20

30

40

50

内のビア柱が $x-y$ 平面内にその寸法を維持する所で、テーパリング（すなわち台形のまたはピラミッド状の）凹形および凸形ビア構造体が、より規則的なビア柱スタックの極めて近傍に生成されることができることである。

【0091】

いくつかの実施態様において、スタックの以前の層が以降の層の範囲より小さく XY 平面内に延在し、および、スタックが概ね逆ピラミッド状の形状を有する。

【0092】

いくつかの実施態様において、多層電子支持構造体内のビアの多層スタックが、3つを超える層を備え、少なくとも1つの内側の層が少なくとも1つの側面上で隣接する外側の層より更に延在し、スタックが前記少なくとも1つの側面上で外側にたわむ外形を有する。

10

【0093】

いくつかの実施態様において、多層電子支持構造体内のスタックが、3つを超える層を備え、少なくとも1つの内側の層が少なくとも1つの側面上で隣接する外側の層より短く延在し、スタックが前記少なくとも1つの側面上で内側にたわむ外形を有する。

【0094】

したがって、AMITECおよびAccessによって開発されたプレートおよびエッチングならびに選択パターンメッキ技術に固有の多くの柔軟性があり、かつここにて組み込まれる、Hurwitz他に付与された（特許文献1）、（特許文献2）および（特許文献3）に一般的に記載される。

20

【0095】

図5を参照して、実施態様によっては、図4の外形をつけられたビアスタックが次のステップによって製作されることができ：その銅を露出するために処理される下位ビア層を含む基板を得る一ステップ（a）、および一般的に銅のシード層によっておよび一般的にスパッタリングによってまたは無電解めっきによって基板を覆う一ステップ（b）。任意選択で、銅がその上に堆積される前に、タンタル、チタン、クロムまたはタングステンのような、非常に薄い、おそらく0.04から0.1ミクロンの接着金属の層が、最初に堆積される。フォトレジストの第1層が、シード層の上に次いで塗布され一ステップ（c）、およびネガパターンを形成するために露光されてかつ現像される一ステップ（d）。金属層、一般的に銅が、ネガパターンに電気メッキされ一ステップ（e）、および、フォトレジストが剥離され一ステップ（f）、パッドの第1層を直立したままに残す。第2のフォトレジスト層が、次にパッドの上に塗布されることができ一ステップ（g）、および、第2のビア層のパターンが第2のフォトレジスト層内に露光されてかつ現像されることができ一ステップ（h）。金属の第2のビア層が、ビア層を作り出すために電気メッキまたは無電解めっきのどちらかによって第2のパターンの溝に堆積されることができ一ステップ（i）、および、第2のフォトレジスト層が剥離されることができ一ステップ（j）、順に重ねて、2つの層のスタック、ビア層が続くフィーチャまたはパッド層を残す。

30

【0096】

シード層が、次いで除去される一ステップ（k）。任意選択で、例えば、それが水酸化アンモニウムまたは塩化銅のウェットエッチングによってエッチング除去され、および、誘電材料がパッドおよびビア層の直立した銅の上に積層される（l）。

40

【0097】

追加的な層の更なるビルドアップを可能にするために、誘電材料が、また、上面を平坦化する機械、化学または機械化学研削または研磨によって、金属を露出するために薄くされることができ一ステップ（m）。次いで、銅のような、金属シード層が接地表面の上に堆積されることができ一ステップ（n）、ステップ（c）から（n）を繰り返すことによって、更なる層が構築されることを可能にする。

【0098】

誘電材料は、概ねポリイミド、エポキシ、ビスマレイミド、トリアジンおよびその

50

混合物のような、ポリマーマトリクス、ならびに更に、ガラスファイバおよびセラミック粒子フィラー、を備える複合材料であり、かつ、ポリマー樹脂内の編ガラスファイバからなるプリプレグとして概ね適用される。

【0099】

図6を参照して、変形製作ルートにおいて、少なくとも1つのビア層が次のステップによって製作されることができる：その銅を露出するために研磨される下位フィーチャ層を含む基板を得る一ステップ（i）、シード層によって下位フィーチャ層を覆う一ステップ（ii）、シード層の上に金属層を堆積する一ステップ（iii）、金属層の上にフォトレジスト層を塗布する一ステップ（iv）、外形をつけられたスタックの適切に必要な大きさにされた層を含むビアまたはフィーチャのポジパターンを露光する一ステップ（v）、および露出された金属層をエッチング除去する一ステップ（vi）。高い温度の水酸化アンモニウムの溶液のような、ウェットエッチングが使用されることができる。フォトレジストが、次いで剥離され、スタックの層を含むビア／フィーチャを直立したままに残す一ステップ（vii）、および、誘電材料がスタックの層を含むビア／フィーチャの上に積層される（viii）。

10

【0100】

更なるビルドアップを可能にするために、誘電層が金属を露出するために薄くされることができる一ステップ（ix）。次いで、銅のような、金属シード層が薄くされた表面の上に堆積されることができる一ステップ（x）。

【0101】

ステップ（i）から（x）が、更なる層を置くために繰り返されることができる。図5のパターンメッキプロセスルートは、異なるプロセスによって置かれた異なる層によって図6のパネルメッキプロセスルートと組み合わせられるかまたはそれと交替されることができる。

20

【0102】

スタックの隣接層は、多少外延的であることができ、直線のまたは湾曲したエッジを有する層によって外側にまたは内部に曲げられる、ピラミッド状、逆ピラミッド状、であることができる階段状のスタックを与える。

【0103】

上記の記述は、説明だけとして提供される。理解されるであろうことは、本発明は多くの変形が可能であることである。

30

【0104】

したがって当業者は、本発明が上に特に図と共に記載されたものに限定されないということを認識する。むしろ本発明の有効範囲は、添付の請求の範囲によって規定され、かつ上記のさまざまな特徴の組合せおよび副組合せ、同じく、前述の記述を読み込むと即座に当業者に思いつくであろう、その変形例および変更態様の両方を含む。

【0105】

請求項において、語「備える（comprise）」、および「備える（comprises）」、「備えた（comprising）」、等のようなその変形は、記載される構成要素が含まれるが、しかし、一般に他の構成要素の除外ではないことを示唆する。

40

【符号の説明】

【0106】

- 100 多層支持構造体
- 102、104、106 機能層またはフィーチャ層
- 108 フィーチャ
- 110、112、114、116 誘電体
- 118 ビア
- 200 スタック
- 202 スタック第1層

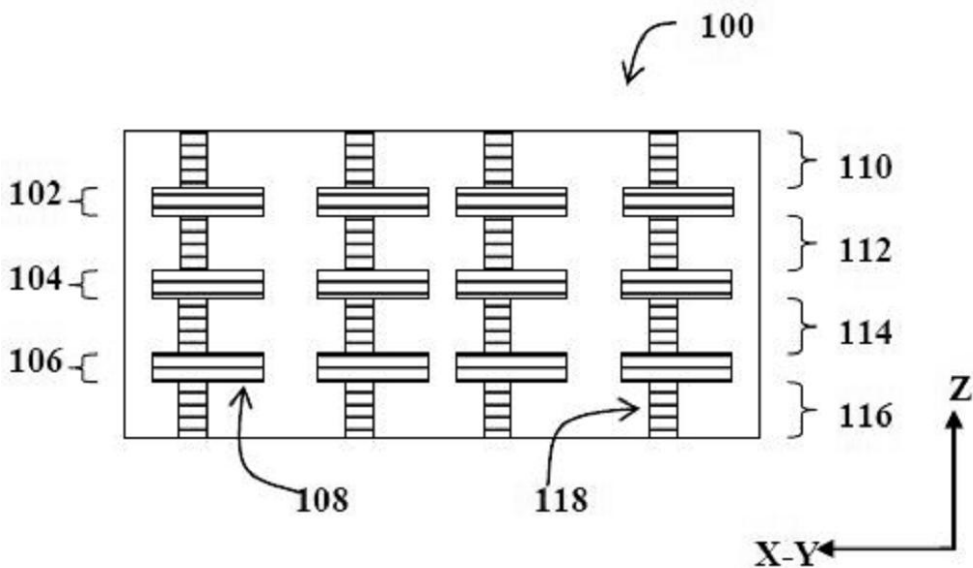
50

- 204 スタック第2層
- 206 スタック第3層
- 208 スタック第4層
- 210 誘電材料
- 310 ビア
- 320、330 スタック
- 400 スタック
- 402 第1のビア層
- 404 第2のビア層
- 406 第3のビア層
- 408 第4のビア層
- 410 誘電材料
- 412 底部パッド層
- 413、414、415 X Y平面 パッド
- 416 最上部導体層
- 417 終端部 相互接続バンプ
- 418 I Cチップ
- 430 構造体
- 432 ビア
- 434 フィーチャ
- 450 相互接続構造体

10

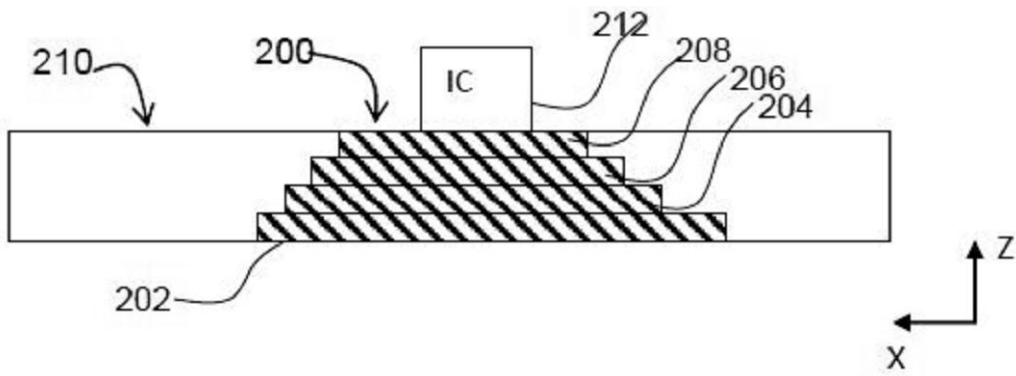
20

【図1】

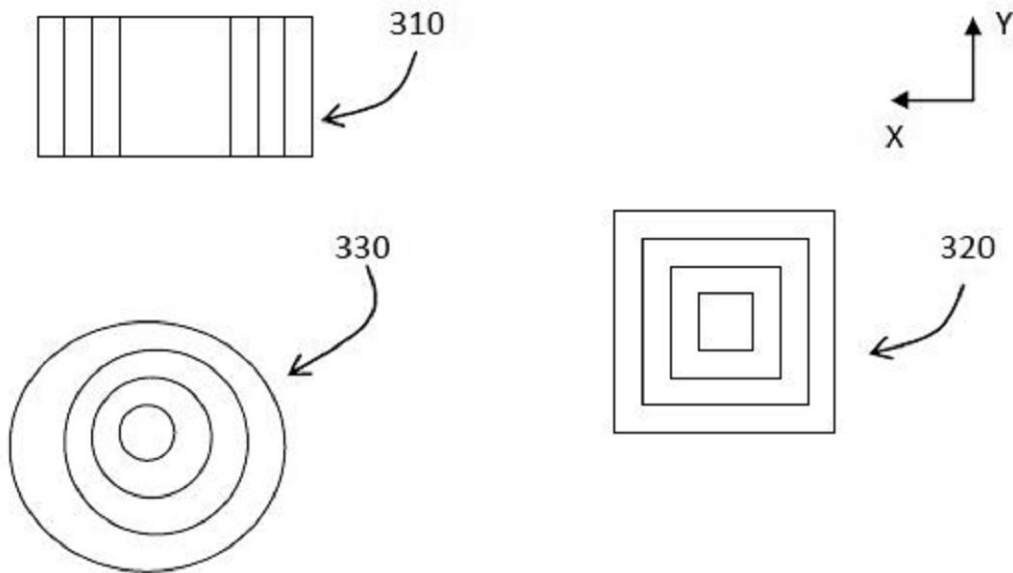


従来技術

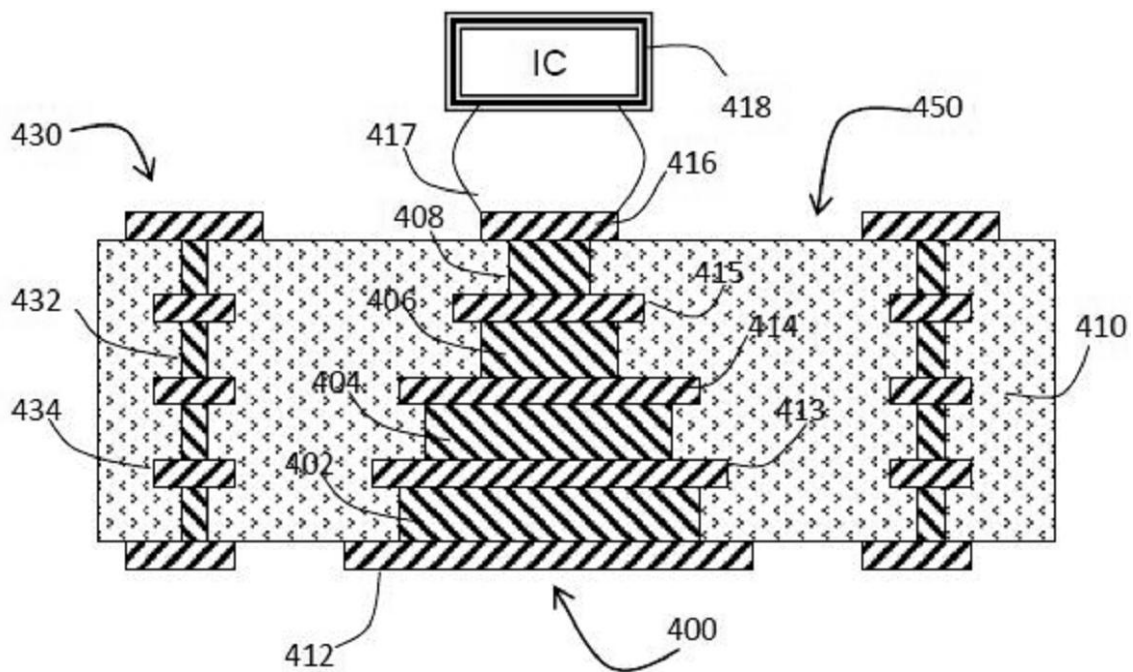
【図 2】



【図 3】



【図 4】



【図 5】

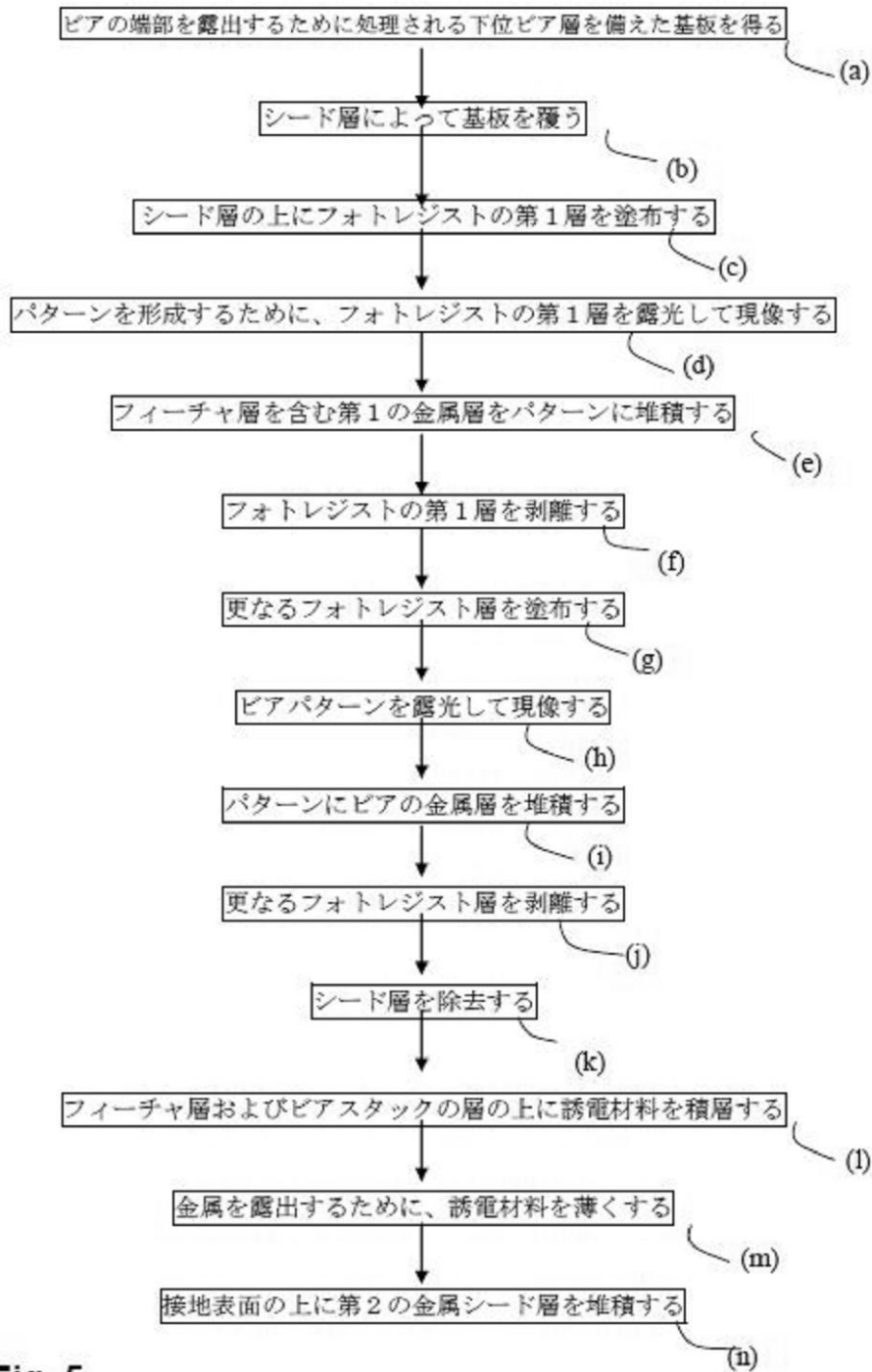
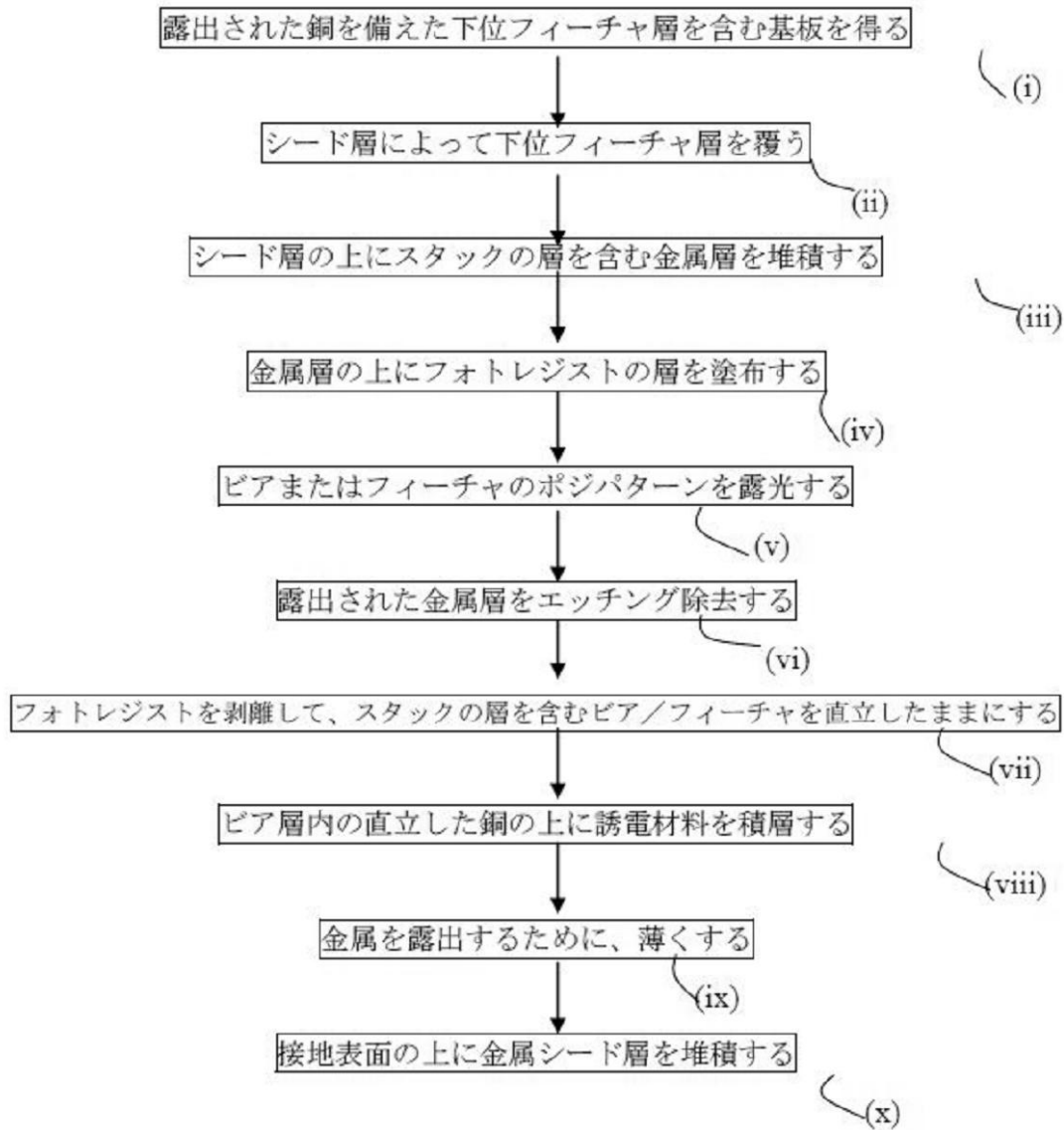


Fig. 5

【図 6】



フロントページの続き

(72)発明者 ドロール フルウィッツ

中国 グアンドン プロヴィンス, ツーハイ, ゴンベイ, シュイワン ロード, ナンバー 2 7 7,
ビルディング 1, アールエム 3 1 0 5

Fターム(参考) 5E317 AA25 BB02 BB03 BB12 CC31 GG20

5E346 AA12 AA15 AA32 AA35 AA41 BB11 BB16 CC04 CC08 CC09

CC10 CC32 CC54 DD02 DD22 DD33 EE31 FF04 HH07 HH17