

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4194110号
(P4194110)

(45) 発行日 平成20年12月10日(2008.12.10)

(24) 登録日 平成20年10月3日(2008.10.3)

(51) Int.Cl.		F I	
HO 1 L 43/08	(2006.01)	HO 1 L 43/08	A
HO 1 F 38/14	(2006.01)	HO 1 F 23/00	
HO 4 B 3/02	(2006.01)	HO 4 B 3/02	

請求項の数 10 (全 18 頁)

(21) 出願番号	特願2007-62035 (P2007-62035)	(73) 特許権者	000002945 オムロン株式会社 京都市下京区塩小路通堀川東入南不動堂町 801番地
(22) 出願日	平成19年3月12日(2007.3.12)	(73) 特許権者	000173795 財団法人電気磁気材料研究所 宮城県仙台市太白区八木山南2丁目1-1
(65) 公開番号	特開2008-227081 (P2008-227081A)	(74) 代理人	100084146 弁理士 山崎 宏
(43) 公開日	平成20年9月25日(2008.9.25)	(74) 代理人	100081422 弁理士 田中 光雄
審査請求日	平成19年12月18日(2007.12.18)	(74) 代理人	100100170 弁理士 前田 厚司
		(74) 代理人	100103012 弁理士 中嶋 隆宣

最終頁に続く

(54) 【発明の名称】 磁気カプラ素子および磁気結合型アイソレータ

(57) 【特許請求の範囲】

【請求項 1】

入力電流に応じて磁界を発生させる磁界発生回路と、
前記磁界発生回路で発生した磁界を印加することで抵抗値が変化する1対の磁気抵抗効果素子を含み、前記磁界発生回路が発生した磁界の強度に応じた電圧差を生じる2つの出力を備える検出ブリッジ回路とを有し、
前記磁界発生回路および前記検出ブリッジ回路は、幾何学形状が線対称または点対称にそれぞれ形成され、
前記磁界発生回路は、電氣的に並列に接続された幾何学形状が対称な2つの励磁コイルを含むことを特徴とする磁気カプラ素子。

【請求項 2】

前記2つの励磁コイルは、一端が同じ電極に接続され、前記電極を通る直線について線対称に形成されていることを特徴とする請求項1に記載の磁気カプラ素子。

【請求項 3】

前記磁気抵抗効果素子は、前記磁界発生回路が発生する磁界中に配置された磁気抵抗効果膜と、

前記磁気抵抗効果膜からそれぞれ互いに反対方向に延伸し、軟磁性材料で形成された導電接続アームの対とからなることを特徴とする請求項1または2に記載の磁気カプラ素子。

【請求項 4】

前記検出ブリッジ回路は、1対の固定抵抗を有し、

前記磁気抵抗効果素子と前記固定抵抗とが幾何学的に対称に配置されていることを特徴とする請求項3に記載の磁気カプラ素子。

【請求項5】

前記固定抵抗は、1対の磁気抵抗効果膜と、該磁気抵抗効果膜からそれぞれ互いに反対方向に延伸し、前記磁界発生回路が発生する磁界中に配置され、非磁性材料で形成された導電接続アームの対とからなることを特徴とする請求項4に記載の磁気カプラ素子。

【請求項6】

前記検出ブリッジ回路は、前記導電接続アームと前記磁界発生回路の外部で接続された1対の固定抵抗とを有し、

前記1対の前記磁気抵抗効果膜の midpoint について点対称に形成されていることを特徴とする請求項3に記載の磁気カプラ素子。

【請求項7】

前記検出ブリッジ回路は、前記導電接続アームと前記磁界発生回路の外部で接続された1対の固定抵抗とを有し、

前記1対の前記磁気抵抗効果膜を結ぶ直線について線対称に形成されていることを特徴とする請求項3に記載の磁気カプラ素子。

【請求項8】

前記磁気抵抗効果膜は、金属および絶縁体を含むナノグラニューラ材料で形成されていることを特徴とする請求項3から7のいずれかに記載の磁気カプラ素子。

【請求項9】

請求項1から8のいずれかに記載の磁気カプラ素子と、

前記検出ブリッジ回路の2つの出力の差分を出力する差動アンプとを備えることを特徴とする磁気結合型アイソレータ。

【請求項10】

前記検出ブリッジ回路の2つの出力をそれぞれ増幅するバッファアンプを備えることを特徴とする請求項9に記載の磁気結合型アイソレータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、磁気カプラ素子（絶縁型インターフェース素子やアイソレーション素子）および磁気結合型アイソレータに関する。

【背景技術】

【0002】

磁気カプラ素子は、デジタルまたはアナログ信号の伝送を行うためのアイソレータなどに用いられ、例えば、コンピュータとその周辺機器を接続するためのインターフェース、電位の異なる回路間の接続のためのインターフェース、および、通信ネットワーク上の中継伝達装置におけるインターフェースなどに適用される。

【0003】

電位の異なる回路間において、信号伝送を行う場合、入出力間において電氣的絶縁を行うと同時に、入力信号を何らかの手段により、絶縁体を通過させ、出力側へ供給するためのインターフェースが必要となる。絶縁体を通過させる方法としては、一般に大きく3種類に分類される。すなわち、光、磁界または電界を用いる方法である。光を用いる光結合型アイソレータとしては、フォトカプラ、磁界を用いる磁気結合型アイソレータとしては、パルストランスまたは巨大磁気抵抗（GMR）素子を利用したGMRアイソレータ、電界を用いる電解結合型アイソレータとしては、入出力間の絶縁体における僅かな静電容量を利用した容量結合アイソレータがある。

【0004】

これらの種類のアイソレータは、いずれにおいても、入出力間において電氣的絶縁と信号カップリングの両方の機能を兼ね備えた絶縁型インターフェースである。光によるカッ

10

20

30

40

50

プリングは、外部からの電界磁界の影響において免疫性を持っているのに対して、磁界または電界を用いたカップリングは、光に比べて大幅に伝送速度の向上が実現されている。

【 0 0 0 5 】

フォトカプラは、主に発光ダイオード (L E D) と光検出器により構成され、入出力間は樹脂により電氣的に絶縁されている。 L E D に電流を流すと L E D が発光し、光は樹脂を介して光検出器へ到達する。周波数特性は、 D C から決まった周波数までフラットであり、伝送速度は、内部の光学素子等の諸特性により決まり、デジタル伝送において数 1 0 M b p s が限界となっている。

【 0 0 0 6 】

パルストランスは、 1 次コイルと 2 次コイルとの間における電磁誘導により信号伝送を行うものであり、伝送効率が高く双方向通信も可能である。周波数特性においては、 D C の伝送ができず、その理由としては、 1 次コイルの電流変化によって発生する磁界変化を 2 次コイルにおいて電流変化として検出するため、電流変化を伴わない D C 信号は伝送できない。パルストランスにおける高速化の限界は、コアの磁性材料により決まるといわれている。また、現在普及しているギガビット L A N では、規格の上で伝送周波数帯域が 1 0 0 M H z までと決まっているため、 1 G b p s の実現には、 2 5 0 M b p s の伝送速度を持つ回線を 4 つ用いており、さらに 1 回線毎に多値化 (5 値) を行っている。つまり、ネットワークで用いられているパルストランスの動作速度を、ギガビット L A N の伝送周波数帯域に当てはめた場合には、 2 値のデジタル伝送において、 1 2 5 M b p s 程度となる。

【 0 0 0 7 】

G M R アイソレータは、パルストランスの 2 次コイルを、 G M R 素子を用いた磁界センサに置き換えたものと捉えることができる。入力電流の変化により発生する磁界強度の変化を、 G M R 素子により抵抗値の変化として検出するため、 D C 信号の伝送が可能である。伝送速度は、基本的にパルストランスを越えることは困難であるが、デジタル伝送において 1 0 0 M b p s が実現されている。パルストランスに対して G M R アイソレータは、 D C から決まった周波数までフラットな周波数特性を持つことから、フォトカプラに代わる高速のアイソレーション・デバイスと位置づけられ、狭義においては「磁気カプラ」と表現できる。

【 0 0 0 8 】

容量結合アイソレータは、入出力間の絶縁体における僅かな静電容量を通して、信号伝送を行うものである。信号とノイズが同じ経路を共有するので、信号はノイズに比べて周波数帯域を高く設定する必要がある。つまり、絶縁体の僅かな静電容量において、信号は通りやすく、ノイズは通りにくくするということである。そのため、周波数特性は、高域の周波数帯域に限定されてしまい、 D C は伝送できない。伝送速度は、デジタル伝送において 1 5 0 M b p s が実現されている。

【 0 0 0 9 】

これらの絶縁型インターフェースにおいて高速化が必要となっている背景の 1 つとしては、機器制御の高精度化や高速化が、半導体技術の進歩による高速なマイコン、 D S P 、 F P G A の登場により、盛んになっている一方で、高速なマイコン類はノイズ源となり、周辺回路 (アナログ回路など) に大きな影響を与える存在となってきている。そのため、今後の機器の高精度化や高速化には、インターフェース素子の高速化と高絶縁化の両立が求められている。

【 0 0 1 0 】

デジタル伝送における高速化の実現には、 S / N 比を低減し多値化を行うことや、伝送周波数帯域を広げることが必要となるが、その一方で D C 信号の伝送も課題となっている。ネットワークにおけるパルストランスの用途では、 D C 伝送は必要としないが、他の用途としては、一定時間同レベルのデジタル信号が続いた場合に、符号化を行わずにそのままの信号として伝送させることや、アナログ信号波形をそのままの波形で伝送させる要求もあり、これらの実現には D C 信号の伝送が必要となる。容量結合アイソレータにお

10

20

30

40

50

いてDC信号を伝送させる場合には、DC信号をパルス幅変調(PWM)信号に変換することにより、伝送させる方法もあるが、この場合には、そのための回路システムを別に構築する必要がある。このような用途において、GMRアイソレータは、DC伝送が可能で周波数帯域が広いこと、他の方式に比べて有利となる。

【0011】

従来のGMRアイソレータとしては、渦巻状の入力コイルと、GMR素子を用いた磁界センサとの間に静電シールドを設け、さらに静電シールドをグラウンドに接地させることにより、入出力間の浮遊容量を低減したものがあ(特許文献1および特許文献2参照)。これは、入出力間の浮遊容量を低減すると、入出力間に急激な電圧変化が生じた場合における、出力側で発生するノイズを抑えることができる。つまり、入出力間の同相モード信号除去能力を向上できることを利用するものである。

10

【0012】

GMRアイソレータは、100Mbps以上の高速化が課題となっている。伝送速度を上げると、入力コイルを流れる高周波信号により、出力側の磁界センサにおいて誘導電圧によるノイズが発生してしまう。入力コイルと磁界センサとの間の静電シールドにより、誘導電圧によるノイズを抑えることもできるが、静電シールドは導体であるため、入力コイルからの磁界により、磁界の変化を打ち消す方向に渦電流が発生し、これにより磁界が弱められてしまう問題が起こってしまう。磁界が減衰すると、信号レベルの減少に伴うS/N比の低下により、信号波形の品質が劣化し、回路の誤動作の原因となる。

20

【0013】

さらに、従来のGMRアイソレータは、入力コイルと磁界センサとの配置・構造等において高周波化を行う上での次のような問題がある。従来のGMRアイソレータは、図20に示すように、入力コイル101および検出回路102となるGMR素子を含むホイートストンブリッジにより構成される磁気カプラ素子103と磁気カプラ素子の2つの出力を差分して増幅する差動レシーバ(差動アンプ)104とを有する。磁気カプラ素子103は、入力側1ポート、出力側2ポートの素子と捉えることができ、検出回路の102ホイートストンブリッジにおける2つの出力ポートからの互いに位相が逆相となる2つの差動信号を差動レシーバ104で差分することで同相のコモンモードノイズを低減できる。しかし、入力ポートと各出力ポートとは、磁氣的に結合しているだけでなく、容量的および誘導的にも結合している。このため、周波数が高くなると、入力ポートと2つの出力ポートとの間のインピーダンスの差が大きくなり、2つの出力ポートに差動レシーバ104で除去できない非対称なノーマルモードノイズ信号を出力するようになる。

30

【0014】

デジタル伝送における伝送速度C(bit/sec.)は、次の「数1」に示されるシャノンの定理によると、周波数帯域幅Bと信号対雑音比(S/N比)によって決定される。

【数1】

$$C = B \log_2 \left(1 + \frac{S}{N} \right)$$

40

【0015】

この式によると、S/N比が大きければ多値化による伝送を行うことで伝送速度を稼ぐことができる。伝送速度の決まった素子において周波数帯域をどれだけ確保すれば良いか考える場合、この式では伝送速度Cを一定とすると、S/N比が大きければ多値化を行うことで、周波数帯域Bを抑えることができる。しかし、一般に素子の高速化を図ろうとする場合には、2値によるデジタル伝送を基本とし、且つ信頼性の高いデジタル伝送を実現するために、伝送速度に対する帯域幅を多めに設定し開発を進めることが多い。例えば、2値によるデジタル伝送をパルス波形により行う場合、伝送速度に対して伝送周波数帯域を3倍程度確保することで、高い信頼性を得ることができる。つまり100Mbpsを実現する場合、DCから300MHz程度までの周波数帯域幅を設けることが1つの

50

目安となる。

【0016】

一方、素子の伝送周波数特性に着目すると、数10MHz付近から周波数が高くなるにつれて、2つの出力端子における伝送回路的な対称性は徐々に保たれなくなり、誘導電圧によるノイズは大きくなるため、それに伴いS/N比は低下してしまう。そこで、周波数帯域を制限し、S/N比を確保しつつ多値化により伝送速度を向上させる方法もあるが、信頼性の高いデジタル伝送を実現する必要もあるため、多値化による高速化には限界が生じる。したがって高速化を進めるには周波数帯域の拡張が必要となる。

【0017】

つまり、100Mbps以下であれば、伝送周波数帯域を抑えつつ、場合によっては多値化を利用することも可能であるが、それにより伝送回路的な非対称を無視し且つ誘導電圧によるノイズの影響を受けずに、素子の設計が容易に行える。100Mbps以上になると、伝送周波数帯域を抑えて多値化を行うにも限界が生じるため、伝送周波数帯域を必然的に高周波側へ拡張せざるを得なくなる。しかし、伝送周波数帯域を高周波側へ拡張するとそれに伴い、伝送回路的な非対称から生じる、2つの異なる誘導電圧によるノイズの影響は、次第に大きくなり、高速化への弊害となってしまふ。また、従来のGMRアイソレータでは、静電シールドの挿入により、誘導電圧によるノイズを低減できるが、伝送回路的な非対称は、静電シールドを挿入しても変わらないため、高速化を進めるために、伝送周波数帯域を高域側へ拡張していくと、やがては静電シールドの挿入の限界に達してしまふ。

【0018】

出力端子における誘導電圧の発生要因としては、静電容量的なカップリングと、相互インダクタンス的なカップリングの2つに大別できる。前者は、入出力間の浮遊容量の経路によるものであり、後者は、入力側の導体と出力側のセンサの導体との間における電磁誘導的な結合である。実際には、入出力間の浮遊容量は、静電シールドを設けたとしても、残ってしまう。また、入出力間の相互インダクタンス的なカップリングについては、入力側の交流磁界の印加により、出力側のセンサの導体において、渦電流が生じるわけであるが、出力側の回路配置によっては、出力端子に誘導電圧が生じると想定される。これらの発生要因は周波数が高くなればなるほど、影響が大きくなる。

【0019】

【特許文献1】特表2001-521160号公報

【特許文献2】特表2003-526083号公報

【特許文献3】特表2000-516714号公報

【特許文献4】特表2005-515667号公報

【発明の開示】

【発明が解決しようとする課題】

【0020】

前記問題点に鑑みて、本発明は、高周波においても高いS/N比が得られる磁気カプラ素子および磁気結合型アイソレータを提供することを課題とする。

【課題を解決するための手段】

【0021】

前記課題を解決するために、本発明による磁気カプラ素子は入力電流に応じて磁界を発生させる磁界発生回路と、前記磁界発生回路で発生した磁界を印加することで抵抗値が変化する1対の磁気抵抗効果素子を含み、前記磁界発生回路が発生した磁界の強度に応じた電圧差を生じる2つの出力を備える検出ブリッジ回路とを有し、前記磁界発生回路および前記検出ブリッジ回路は、幾何学形状が線対称または点对称にそれぞれ形成され、前記磁界発生回路は、電氣的に並列に接続された幾何学形状が対称な2つの励磁コイルを含むものとする。

【0022】

この構成によれば、磁界発生回路パターンを入力と、検出ブリッジ回路の2つの出力と

10

20

30

40

50

の間の容量結合および誘導結合が同じになるので、高周波の入力に対しても、発生するノイズが同相で波形になる。このため、検出ブリッジ回路の2つの出力の差分をとることで、周波数によらず、ノイズのない出力を得ることができる。

【0023】

また、本発明の磁気カプラ素子は、前記磁界発生回路は、電氣的に並列に接続された幾何学形状が対称な2つの励磁コイルを含んでいる。

【0024】

この構成によれば、コイルを2つに分けることで、1次側の回路を幾何学的に対称にすることが容易になる。

【0025】

また、本発明の磁気カプラ素子において、前記2つの励磁コイルは、一端が同じ電極に接続され、前記電極を通る直線について線対称に形成されてもよい。

【0026】

この構成によれば、入力側の電極端子を基準に、磁界発生回路および検出ブリッジ回路を鏡写しに配置することで、2次側の出力に同相のノイズが発生するような幾何学的に対称な形状とすることができる。

【0027】

また、本発明の磁気カプラ素子において、前記磁気抵抗効果素子は、前記磁界発生回路が発生する磁界中に配置された磁気抵抗効果膜と、前記磁気抵抗効果膜からそれぞれ互いに反対方向に延伸し、軟磁性材料で形成された導電接続アームの対とからなってもよい。

【0028】

この構成によれば、磁気発生回路が発生した磁界に応じて抵抗値が大きく変化する磁気抵抗効果素子を形成でき、検出ブリッジ回路の感度が高くなる。

【0029】

また、本発明の磁気カプラ素子において、前記検出ブリッジ回路は、1対の固定抵抗を有し、前記磁気抵抗効果素子と前記固定抵抗とが幾何学的に対称に配置されており、前記固定抵抗は、1対の磁気抵抗効果膜と、該磁気抵抗効果膜からそれぞれ互いに反対方向に延伸し、前記磁界発生回路が発生する磁界中に配置され、非磁性材料で形成された導電接続アームの対とからなってもよい。

【0030】

この構成によれば、幾何学形状が同じ磁気抵抗効果素子と固定抵抗とを対称に配置することで、検出ブリッジ回路の2つの出力それぞれの前記磁界発生回路の入力に対する容量性および誘導性の結合状態を同じにすることができ、出力電圧のノイズ成分が同相で同波形になり、差動アンプによって相殺することができる。また、非磁性材料の導電接続アームを使用することで、磁気抵抗効果素子を固定抵抗として使用できる。

【0031】

また、本発明の磁気カプラ素子において、前記検出ブリッジ回路は、前記導電接続アームと前記磁界発生回路の外部で接続された1対の固定抵抗とを有し、前記1対の前記磁気抵抗効果膜の midpoint について点対称に形成されていてもよい。

【0032】

この構成によっても、2つの出力の入力に対する容量性および誘導性の結合状態を同じにすることができ、検出ブリッジ回路を点対称にすることで、ブリッジ回路において磁気抵抗効果膜を対角位置に配置することが容易であり、2つの出力に磁界の強度に比例する電位差を生じさせることができる。

【0033】

また、本発明の磁気カプラ素子において、前記検出ブリッジ回路は、前記導電接続アームと前記磁界発生回路の外部で接続された1対の固定抵抗とを有し、前記1対の前記磁気抵抗効果膜を結ぶ直線について線対称に形成されていてもよい。

【0034】

この構成によっても、2つの出力の入力に対する容量性および誘導性の結合状態を同じ

10

20

30

40

50

にしながら、2つの出力に磁界の強度に比例する電位差を生じさせることができる。

【0041】

また、本発明の磁気カプラ素子において、前記磁気抵抗効果膜は、金属および絶縁体を含むナノグラニューラ材料で形成されていることが望ましい。

【0042】

また、本発明による磁気結合型アイソレータは上記いずれかの磁気カプラ素子と、前記検出ブリッジ回路の2つの出力の差分を出力する差動アンプとを備えるものとし、前記検出ブリッジ回路の2つの出力をそれぞれ増幅するバッファアンプをさらに備えてもよい。なお、差動アンプは、増幅利得（ゲイン）のあるもののみならず、ゲインのないもの（差分器）も含む概念である。

【発明の効果】

【0043】

本発明によれば、磁界発生回路および検出ブリッジ回路を、幾何学的に線対称または点対称に形成したことで、磁界発生コイルが発生した磁界の強度に比例する電位差を生じる検出ブリッジ回路の2つの出力の入力に対する容量性および誘導性の結合によるノイズ成分を同相で同波形にすることができ、差動アンプによってノイズを相殺することができる。

【発明を実施するための最良の形態】

【0044】

これより、本発明の実施形態について、図面を参照しながら説明する。

図1に、本発明の第1実施形態の磁気結合型アイソレータ1の回路図を示す。磁気結合型アイソレータ1は、磁気カプラ素子2と、差動アンプ3とからなる。

【0045】

磁気カプラ素子2は、互いの接地（基準電位）が分離された磁界発生回路4および検出ブリッジ回路5とを有している。

【0046】

磁界発生回路4は、1次側電流*i*が入力される入力端子6と、入力端子6から分岐して、電氣的に並列に設けられた励磁コイル7a, 7bと、励磁コイル7a, 7bを通過した電流をそれぞれ接地するグランド端子8a, 8bとを有する。

【0047】

検出ブリッジ回路5は、2つの磁気抵抗効果素子9a, 9bおよび2つの固定抵抗10a, 10bからなるホイートストンブリッジであり、電源電圧*V*₀が印加される電源端子11と、2つの検出出力端子12a, 12bとを有している。

【0048】

差動アンプ3は、検出ブリッジ回路5の2つ出力をそれぞれ増幅するバッファアンプ13a, 13bと、バッファアンプ13a, 13bの出力の差分を増幅出力するメインアンプ14とを有している。

【0049】

図2に、本実施形態の磁気結合型アイソレータ1の磁気カプラ素子2の具体的な形状を示す。磁気カプラ素子2は、基板15の上に、フォトリソグラフィ技術により、磁界発生回路4の電位の基準となるグランドパターン16と、検出ブリッジ回路5の電位の基準となるグランドパターン17とが並んで形成され、さらにその上に、各層を不図示の絶縁膜で分離した導電パターンを形成することで、磁界発生回路4および検出ブリッジ回路5を形成している。

【0050】

図示するように、磁気カプラ素子2の磁界発生回路4および検出ブリッジ回路5は、入力端子6と電源端子11とを結ぶ直線を中心に線対称（鏡写し）に形成されている。

【0051】

グランドパターン16, 17の上には、先ず、絶縁膜を形成してから、磁界発生回路4の入力端子6および励磁コイル7a, 7bの下層の導電パターンが形成されている。その

10

20

30

40

50

上に、さらに絶縁膜で分離して、磁気抵抗効果素子検出ブリッジ回路5が形成され、さらに、絶縁膜で分離して、磁界発生回路4のグランド端子8a, 8bおよび励磁コイル7a, 7bの上層の導電パターンが形成されている。励磁コイル7a, 7bの上層の導電パターンと下層の導電パターンとは、絶縁膜を貫通する複数のコイル接続層18によって互いに接続され、検出ブリッジ回路5の一部を内包する立体的な励磁コイル7a, 7bを形成している。上層の導電パターン中に形成されたグランド端子8a, 8bは、それぞれ、絶縁膜を貫通する接地接続層19によってグランドパターン16に接続されている。

【0052】

磁界発生回路4は入力端子6とグランドパターン16との間に電流が印加されることで、励磁コイル7a, 7bを貫通する磁界を発生させる。励磁コイル7a, 7bは、左右対称に形成されているが、電流の周回方向は同じ向きになるので、両者が発生する磁界の向きは同じである。

【0053】

検出ブリッジ回路5は、励磁コイル7a, 7bにそれぞれ内包される対称位置に対をなすように配置され、金属および絶縁体を含むナノグラニューラ材料で形成された磁気抵抗効果膜19a, 19bおよび磁気抵抗効果膜20a, 20bを有している。そして、検出ブリッジ回路5は、磁気抵抗効果膜19a, 19b, 20a, 20bから、それぞれ、互いに対をなすように、励磁コイル7a, 7bが形成する磁界に沿って互いに反対方向に、励磁コイル7a, 7bの外側まで延伸する導電接続アーム21a, 21b、導電接続アーム22a, 22b、導電接続アーム23a, 23bおよび導電接続アーム24a, 24bを有する。導電接続アーム21aと導電接続アーム23aとは、励磁コイル7aから突出した端部同士が出力端子12aを構成する導電パターンによって互いに接続され、導電接続アーム22aと導電接続アーム24aとは、励磁コイル7bから突出した端部同士が出力端子12bを構成する導電パターンによって互いに接続されている。導電接続アーム21bと導電接続アーム22bとは、励磁コイル7a, 7bから突出した端部同士が、絶縁層を貫通する接地接続層25によってグランドパターン17に接続された接地パターン26によって互いに接続されている。導電接続アーム23bと導電接続アーム24bとは、励磁コイル7a, 7bから突出した端部同士が、電源端子11を有する導電パターン27によって互いに接続されている。

【0054】

導電接続アーム21a, 21bおよび導電接続アーム24a, 24bは軟磁性材料からなり、導電接続アーム22a, 22bおよび導電接続アーム23a, 23bは、非磁性材料からなっている。つまり、互いに対象位置にある導電接続アームの対21a, 21bと導電接続アームの対22a, 22bとは、或いは、導電接続アームの対23a, 23bと導電接続アームの対24a, 24bとは、互いに線対称な幾何学形状を有しているが、その材質が互いに異なっている。

【0055】

軟磁性材料からなる導電接続アームの対21a, 21bおよび24a, 24bは、励磁コイル7aおよび7bが発生する磁束を案内して、磁気抵抗効果膜20aおよび21bに印加する。このため、磁気抵抗効果膜20aおよび21bは、入力端子に入力される電流の値に応じて同じ割合で抵抗値が増減する。つまり、導電接続アーム21a, 21bと磁気抵抗効果膜19aとが一体となって、励磁コイル7aが発生した磁界の強度に応じて抵抗値が変化する磁気抵抗効果素子9aを構成し、導電接続アーム24a, 24bと磁気抵抗効果膜20bとが一体となって、励磁コイル7bが発生した磁界の強度に応じて抵抗値が変化する磁気抵抗効果素子9bを構成している。

【0056】

一方、非磁性材料からなる導電接続アームの対22a, 22bおよび23a, 23bは、励磁コイル7aおよび7bが発生する磁束を排斥して、磁気抵抗効果膜20aおよび21bに印加されないようにする。このため、磁気抵抗効果膜20bおよび21aは、入力端子に入力される電流によって抵抗値が殆ど増減しない。つまり、導電接続アーム23a

、23bと磁気抵抗効果膜20aとが一体となって、励磁コイル7aが発生した磁界に影響されない固定抵抗10aを構成し、導電接続アーム22a、22bと磁気抵抗効果膜20aとが一体となって、励磁コイル7bが発生した磁界に影響されない固定抵抗10bを構成している。

【0057】

よって、磁気抵抗効果素子9a、9bおよび固定抵抗10a、10bで形成されたホイートストンブリッジの出力端子12a、12bには、磁界発生回路4と磁気抵抗効果素子9a、9bとの磁氣的結合によって、入力端子に印加される電流値に比例する電圧が出力される。

【0058】

また、出力端子12aおよび12bから見た磁界発生回路4に対する容量結合および誘導結合の度合いは、磁界発生回路4および検出ブリッジ回路5が線対称に構成されていることから、出力端子12aと出力端子12bとで違いがない。このため、出力端子12aおよび12bには、入力側との容量結合および誘導結合によって同相で同波形のノイズが誘起される。つまり、差動アンプ3で、両出力端子12a、12b電圧の差分をとれば、容量結合および誘導結合によるノイズが除去される。

【0059】

軟磁性材料からなる導電接続アーム21a、21b、24a、24bと、非磁性材料からなる導電接続アーム22a、22b、23a、23bとは、できるだけ等しい抵抗値を有することが、検出ブリッジ回路4の対称性を高め、出力感度を高めるために好ましい。

【0060】

本実施形態において、非磁性体材料からなる導電接続アーム22a、22bおよび23a、23bに挟まれた磁気抵抗効果膜19bおよび20aは、磁気抵抗効果を示さない抵抗体に置き換えてもよい。その場合、導電接続アーム21a、21bおよび24a、24bを、導電接続アーム22a、22bおよび23a、23bと同様に軟磁性体材料で形成すれば、幾何学形状だけでなく磁気特性も対称になるのでより好ましい。

【0061】

また、本実施形態では、導電接続アーム21a、21b、22a、22b、23a、23bおよび24a、24bは、励磁コイル7a、7bの外側にまで延伸しているが、接地パターン26、導電パターン27および出力端子12a、12bが、対称に、励磁コイル7a、7bの内部まで延伸し、磁気抵抗効果膜19a、19b、20a、20bの両側に短い導電接続アーム21a、21b、22a、22b、23a、23bおよび24a、24bを配置してもよい。

【0062】

図3に、本実施形態の磁気カプラ素子2の構造を簡略化して示す。図3においては、入力端子6は、2つの対象位置にある入力端子6a、6bに分割されている。この入力端子6a、6bには、同じ入力に接続され、等しい入力電流が入力される。

【0063】

この図が示すように、本実施形態の磁気カプラ素子2は、検出ブリッジ回路4の電源端子11と、接地位置（接地接続層25）とを結ぶ直線Lについて線対称（鏡写し）に形成される必要がある。

【0064】

図4に、本発明の第2実施形態の磁気カプラ素子2を示す。以降の説明において、先に述べた構成要素と同じ目的で設けられた構成要素には同じ符号を付して説明を省略する。

【0065】

本実施形態では、励磁コイル7a、7bは、平面的に形成された渦巻き状の導電パターンからなるが、磁界発生回路3の入力端子6、検出ブリッジ回路5の電源端子11および接地接続層25に対して線対称に形成されている点は第1実施形態と同様である。また、本実施形態の、出力端子12a、12bは、励磁コイル7a、7bを横断して磁気カプラ素子2の端部にまで延伸している。

10

20

30

40

50

【0066】

本実施形態においても、励磁コイル7a, 7bが発生する磁界によって、磁気抵抗効果膜19aおよび20bの抵抗値が変化するので、出力端子12a、12b間に入力電流に比例する電圧が出力される。また、出力端子12a、12bから見た入力側との容量結合および誘導結合が同じになるので、出力端子12aおよび12bに誘起されるノイズは、同相で同波形になり、差動アンプで除去される。

【0067】

図5に、本発明の第3実施形態の磁気カプラ素子2の概略を示す。本実施形態において、検出ブリッジ回路5は、軟磁性材料からなる導電接続アーム21a, 21bおよび22a, 22bにそれぞれ挟まれた1対の磁気抵抗効果膜19aおよび19bからなる磁気抵抗効果素子9a, 9bと、固定抵抗10a, 10bを構成する励磁コイル7aおよび7bの外部に配置された1対の抵抗体28aおよび28bとで構成されたホイートストンブリッジである。

10

【0068】

本実施形態では、励磁コイル7aと7bとは、一体となって、磁気抵抗効果膜19a, 19bに磁界を印加するようになっている。

【0069】

本実施形態では、すべての構成要素が、磁気抵抗効果膜19a, 19bの中心Pを中心に3次元空間において点対称になるように配置される。これによっても、出力端子12aおよび12bから見た磁界発生回路4および検出ブリッジ回路の幾何学形状が相対的に等しくなり、誘起される容量性および誘導性のノイズが差動アンプで除去可能なものになる。

20

【0070】

図6に、本実施形態の具体的な形状を示す。本実施形態では、2つの励磁コイル1a, 1bの入力端子6aと6bおよびグランド端子8aと8bが点対称となるように配置されているが、励磁コイル7a, 7bが発生する磁界の向きは同じである。また、検出ブリッジ回路5は、磁気抵抗効果膜19a, 19bから両側に励磁コイル7a, 7bの中を並列して延伸する軟磁性材料からなる導電接続アーム21a, 21b, 22a, 22bの端部に、出力端子12a、電源端子11、出力端子12および接地パターン26が設けられ、並列する導電接続アーム21aと22aおよび21bと22bは、それぞれ励磁コイル7a, 7bの外部で抵抗体28a, 28bによって互いに接続されている。

30

【0071】

図7に、本発明の第4実施形態を示す。本実施形態は、第3実施形態の磁界発生回路34のグランド端子8a, 8bを対称中心に配置したスルーホール8によって構成したものである。

【0072】

本実施形態においても、第3実施形態と同様に、出力端子12aおよび12bに誘起される容量性および誘導性のノイズが差動アンプで除去可能なものになる。

【0073】

図8に、本発明の第5実施形態の磁気カプラ素子2の概略を示す。本実施形態は、第3実施形態と異なり、すべての構成要素を対称軸Zについて回転対称に、つまり、2次元的に点対称に形成している。また、本実施形態では、励磁コイル7a, 7bが、それぞれ独立して、磁気抵抗効果膜19aまたは19bに磁界を印加するようになっている。

40

【0074】

図9に、本実施形態の具体的な形状を示す。本実施形態では、励磁コイル7aと7bとが並列して配置され、軟磁性材料からなる導電接続アーム21a, 21bおよび22a, 22bに挟まれた磁気抵抗効果膜19a, 19bに磁界を印加するようになっている。また、抵抗体28a, 28bは、出力端子12aと接地パターン26との間、および、電源端子11と出力端子12との間に配置されている。

【0075】

50

図から明らかなように、本実施形態でも、出力端子 1 2 a および 1 2 b のそれぞれから見た磁界発生回路 4 および検出ブリッジ回路 5 の幾何学形状が等しい。

【 0 0 7 6 】

図 1 0 に本発明の第 6 実施形態の磁気カプラ素子 2 の概略を示す。本実施形態は、対称軸 L について線対称（鏡写し）な幾何学形状を有しているが、磁気カプラ素子 2 の内部で軟磁性材料からなる導電接続アーム 2 1 a , 2 1 b および 2 2 a , 2 2 b にそれぞれ挟まれた磁気抵抗効果膜 1 9 a , 1 9 b および抵抗体 2 8 a , 2 8 b を閉回路を構成するに至るまで接続しておらず、磁気カプラ素子 2 の外部の配線によってホイートストンブリッジを完成させるように企図されている。

【 0 0 7 7 】

つまり、検出ブリッジ回路 5 の入力端子および接地される導体パターン 2 6 が、それぞれ、入力端子 1 1 a , 1 1 b および導体パターン 2 6 a , 2 6 b に分割されて設けられている。検出ブリッジ回路 5 の幾何学的対称性を損なうような電路を磁気カプラ素子 2 の外部配線によって構成するようにすることで、力端子 1 2 a および 1 2 b のそれぞれから見た磁界発生回路 4 および検出ブリッジ回路 5 の幾何学形状を等しくすることが容易になる。

【 0 0 7 8 】

図 1 1 に本実施形態の具体的な形状を示す。図示するように、磁気カプラ素子 2 の構成要素はすべて左右対象に配置されているが、入力端子 1 1 a , 1 1 b および接地パターン 2 6 a , 2 6 b として使用するパターンが左右で異なっている。入力端子 1 1 a と 1 1 b とを、および、接地パターン 2 6 a と 2 6 b とを互いに接続する配線は交差する必要があり、磁気カプラ素子 2 上に設けると、その対称性を損なうこととなるが、磁気カプラ素子 2 の外部において配線することで、容量結合や誘導結合のない接続を可能としている。

【 0 0 7 9 】

また、図 1 2 に示す本発明の第 7 実施形態のように、第 6 実施形態の励磁コイル 7 a , 7 b を平面的な渦巻き状のコイルとすることもできる。

【 0 0 8 0 】

図 1 3 に、本発明の第 1 参考例の磁気カプラ素子 2 を示す。本参考例は、図 1 2 の磁気カプラ素子 2 を、対称軸 L で折り曲げて励磁コイル 7 a と 7 b とを重ね合わせて一体としたものである。

【 0 0 8 1 】

つまり、本参考例の磁気カプラ素子 2 は、平面的に形成された 1 つの励磁コイル 7 を有し、検出ブリッジ回路 5 を、つまり、磁気抵抗効果膜 1 9 a と 1 9 b とを、導電接続アーム 2 1 a と 2 1 b 等を、励磁コイル 7 の両面に対称になるようにそれぞれ配置したものである。

【 0 0 8 2 】

また、図 1 4 に示す本発明の第 2 参考例のように、図 4 の第 2 実施形態の磁気カプラ素子 2 を対称軸 L で折り曲げてよい。

【 0 0 8 3 】

第 1 参考例 および 第 2 参考例 においても、出力端子 1 2 a および 1 2 b のそれぞれから見た磁界発生回路 4 および検出ブリッジ回路 5 の幾何学形状が等しいことは一目瞭然である。

【 0 0 8 4 】

以上のような、本発明の磁気カプラ素子 2 の 2 つの出力には、同相のノイズ成分が含まれる。しかし、実際の差動アンプ 3 は、周波数が高くなると、同相のノイズを十分に除去できなくなる。そこで、差動アンプ 3 を含めた本発明の磁気結合型アイソレータ 1 の性能をシミュレーションした結果を以下に示す。

【 0 0 8 5 】

（シミュレーション例）

図 1 5 および 図 1 6 に、本シミュレーションに用いた磁気カプラ素子のモデルを示す。

図15は、本発明の第1実施形態に基づくモデルであり、図16は、比較のために用いた従来の磁気カプラのモデルである。また、図17および図18、シミュレーションに用いた2種類の差動アンプの特性を示す。図17に示す差動アンプは、800MHzまでに対応する低周波タイプの差動アンプであり、位相オフセットが 0.05° 、遅れ時間が 0.02 nsec 、総合ゲインが 11 dB である。また、図18に示す差動アンプは、10GHzまでに対応する高周波タイプの差動アンプであり、位相オフセットが 0.006° 、遅れ時間が 0.001 nsec 、総合ゲインが 20 dB である。

【0086】

図19に、以上の各磁気カプラ素子と差動アンプとの組み合わせにおいて、電磁界解析シミュレータによって解析した結果得られたS/N比の周波数特性を示す。

10

【0087】

図示するように、本発明の磁気カプラを用いることで、従来の磁気カプラを用いる場合に比べて、ノイズレベルを低減し、S/N比を大きくすることができる。特に、ノイズレベルを低減する効果は、周波数が低いほど顕著になる。しかしながら、高周波域におけるノイズレベルも各差動アンプの使用領域においては十分に実用に耐えうるものである。

【0088】

以上の実施形態は、フォトリソグラフィ技術により薄膜コイルを基板上に作成することを前提に説明したが、導線を手巻きまたは機械巻き等により基板に巻きつけたものを入力コイルとして用いても構わない。

【図面の簡単な説明】

20

【0089】

【図1】本発明の第1実施形態の磁気結合型アイソレータの回路図。

【図2】図1の磁気結合型アイソレータの磁気カプラ素子の平面図。

【図3】図2の磁気カプラ素子の概略図。

【図4】本発明の第2実施形態の磁気カプラ素子の平面図。

【図5】本発明の第3実施形態の磁気カプラ素子の概略図。

【図6】図5の磁気カプラ素子の平面図。

【図7】本発明の第4実施形態の磁気カプラ素子の平面図。

【図8】本発明の第5実施形態の磁気カプラ素子の概略図。

【図9】図8の磁気カプラ素子の平面図。

30

【図10】本発明の第6実施形態の磁気カプラ素子の概略図。

【図11】図10の磁気カプラ素子の平面図。

【図12】本発明の第7実施形態の磁気カプラ素子の平面図。

【図13】本発明の第1参考例の磁気カプラ素子の斜視図。

【図14】本発明の第2参考例の磁気カプラ素子の斜視図。

【図15】シミュレーションに用いた本発明の磁気カプラのモデル。

【図16】シミュレーションに用いた従来の磁気カプラのモデル。

【図17】シミュレーションに用いた低周波タイプの差動アンプの特性図。

【図18】シミュレーションに用いた高周波タイプの差動アンプの特性図。

【図19】磁気結合型アイソレータのシミュレーション結果を示すグラフ。

40

【図20】従来の磁気結合型アイソレータの回路図。

【符号の説明】

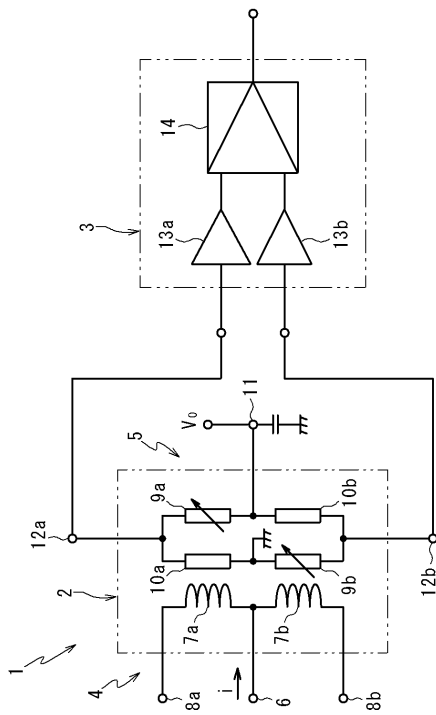
【0090】

- 1 磁気結合型アイソレータ
- 2 磁気カプラ素子
- 3 差動アンプ
- 4 磁界発生回路
- 5 検出ブリッジ回路
- 6, 6a, 6b 入力端子
- 7, 7a, 7b 励磁コイル

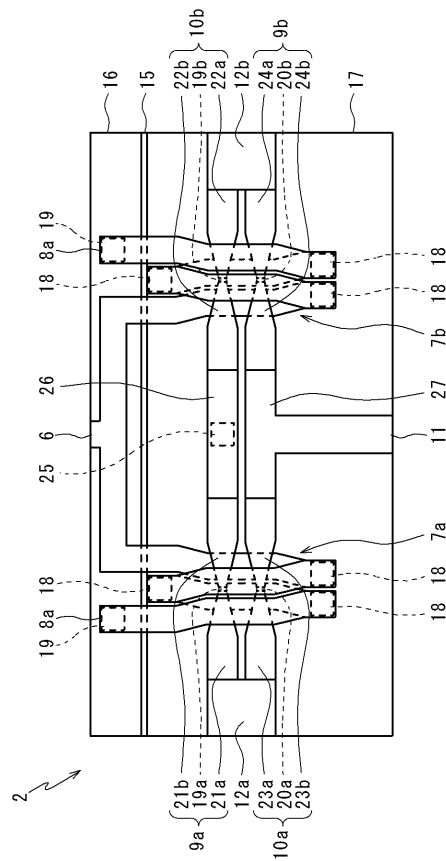
50

- 8, 8a, 8b グランド端子
- 9a, 9b 磁気抵抗効果素子
- 10 固定抵抗
- 11, 11a, 11b 電源端子
- 12a, 12b 出力端子
- 19a, 19b 磁気抵抗効果膜
- 20a, 20b 磁気抵抗効果膜
- 21a, 21b 導電接続アーム
- 22a, 22b 導電接続アーム
- 23a, 23b 導電接続アーム
- 24a, 24b 導電接続アーム
- 27 導電パターン

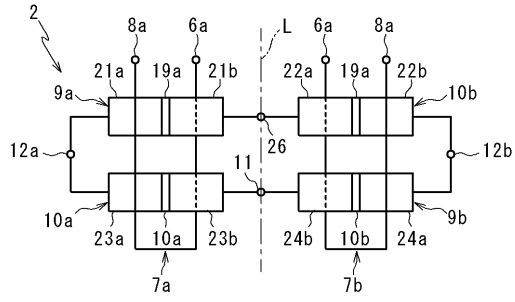
【図1】



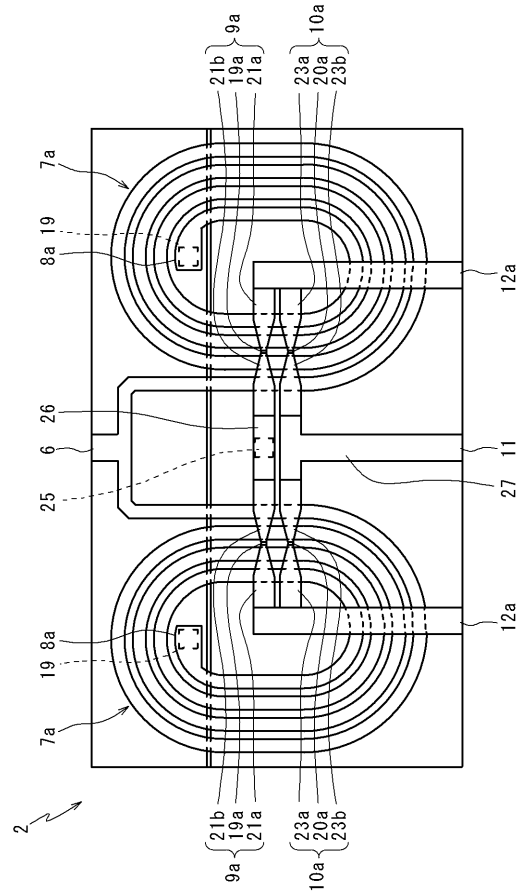
【図2】



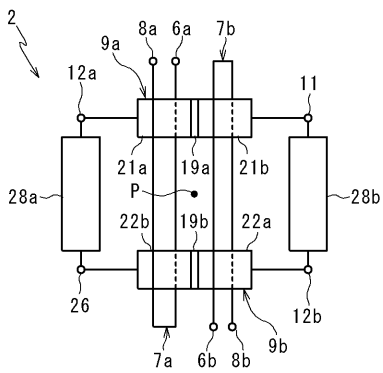
【図3】



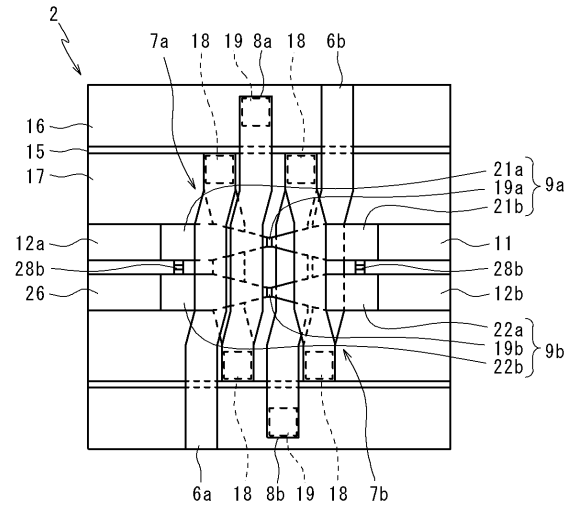
【図4】



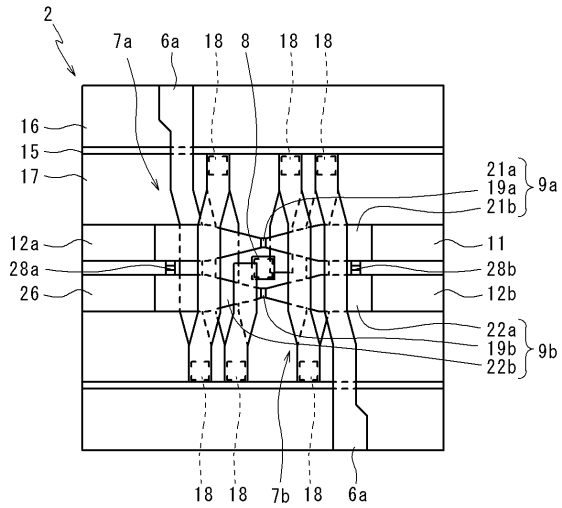
【図5】



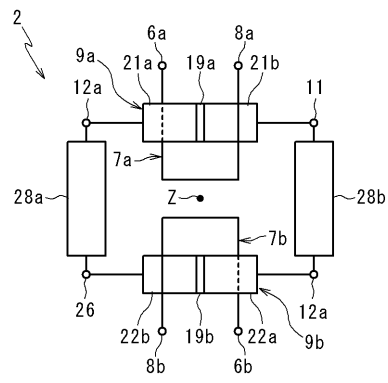
【図6】



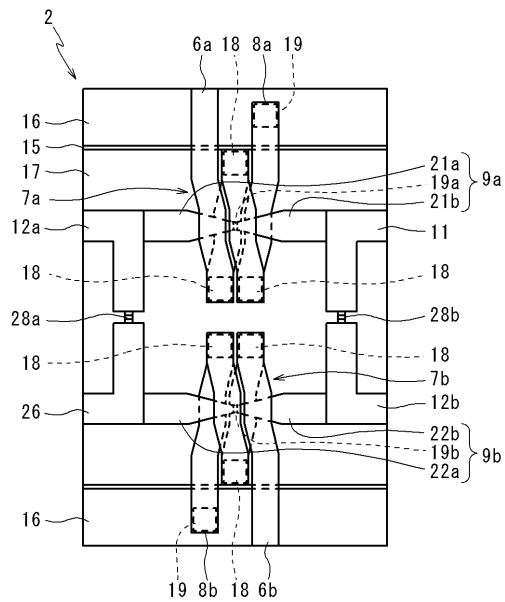
【図7】



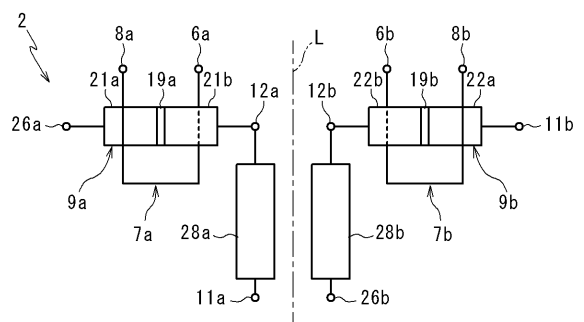
【図8】



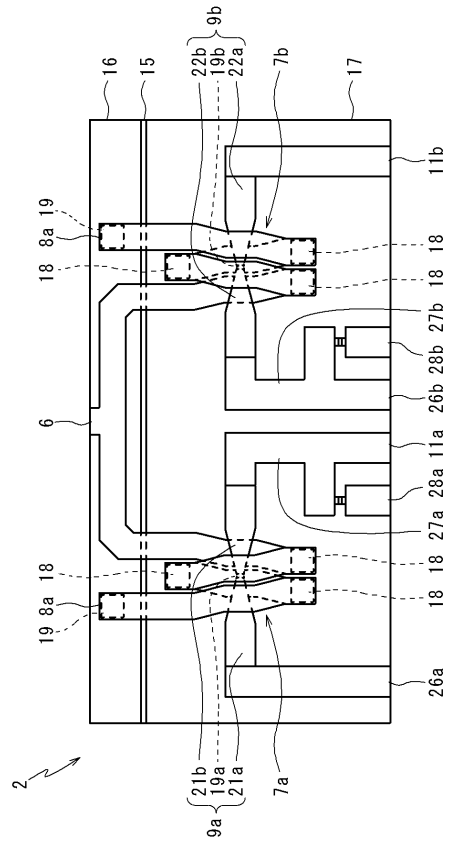
【図9】



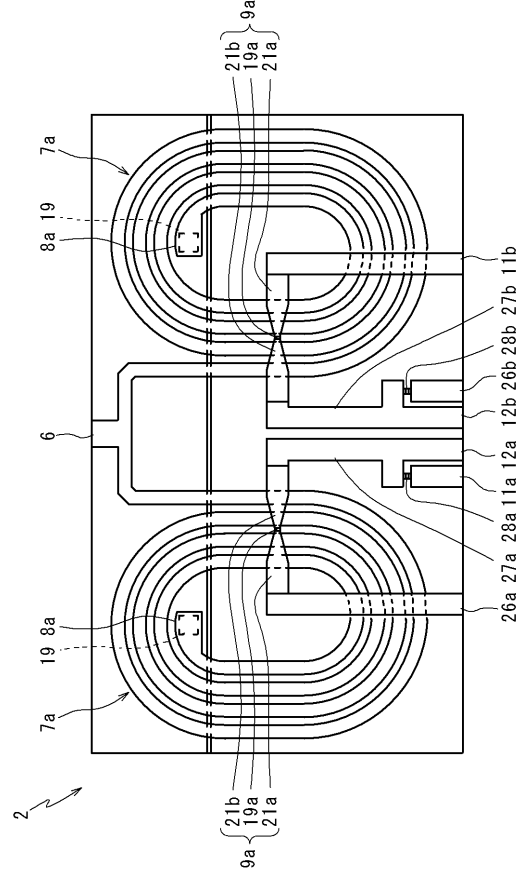
【図10】



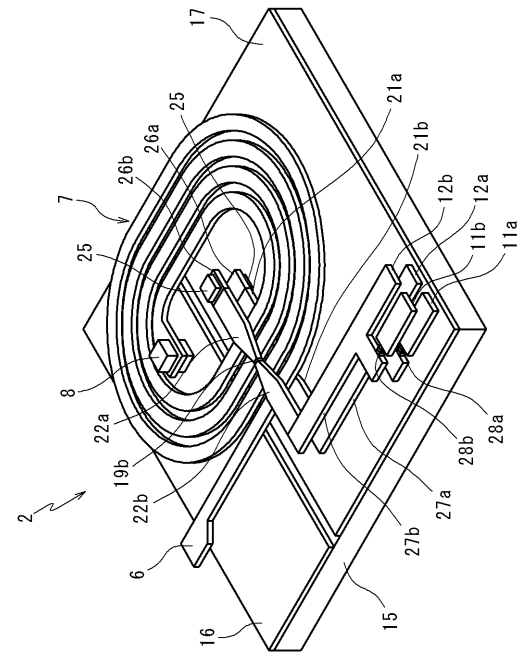
【図 1 1】



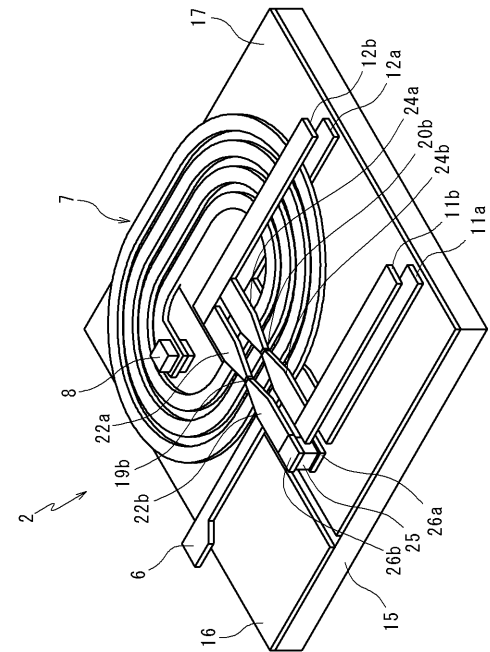
【図 1 2】



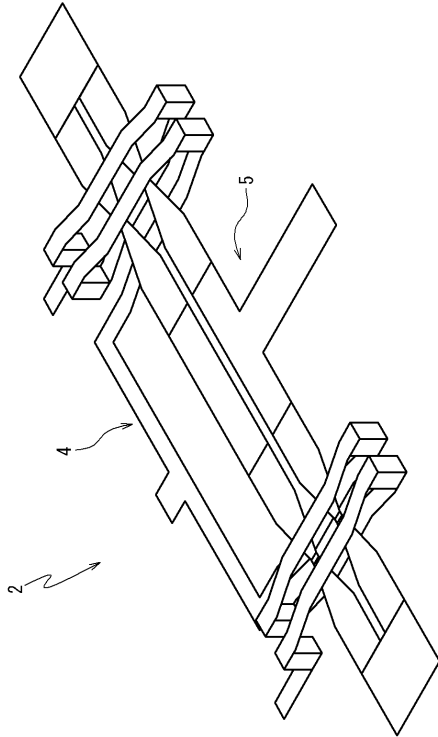
【図 1 3】



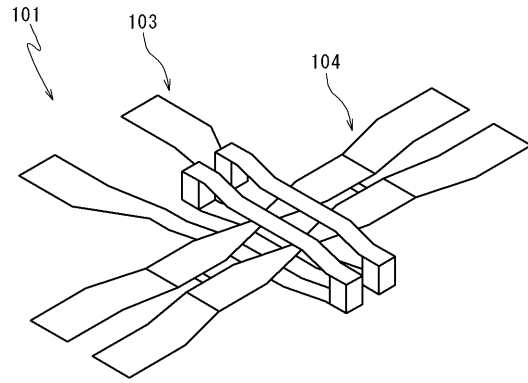
【図 1 4】



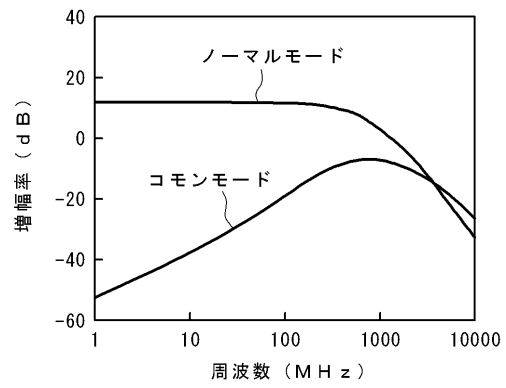
【図15】



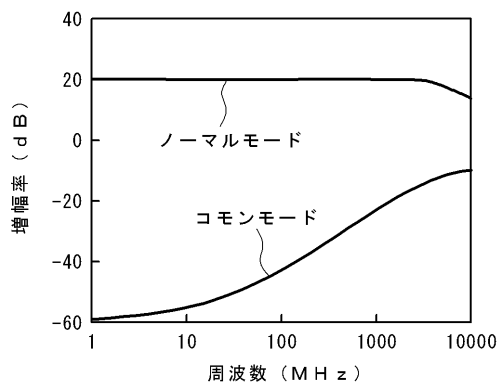
【図16】



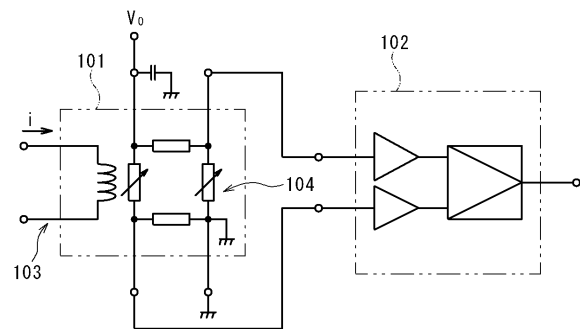
【図17】



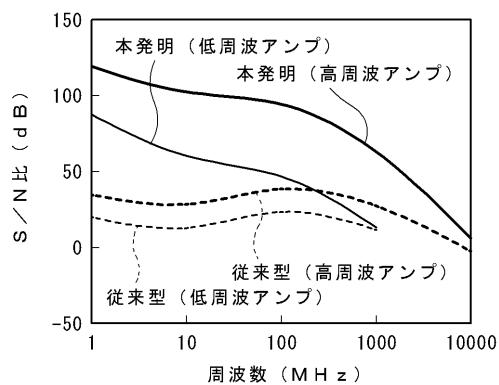
【図18】



【図20】



【図19】



フロントページの続き

- (72)発明者 山元 政昭
京都府京都市下京区塩小路通堀川東入南不動堂町801番地 オムロン株式会社内
- (72)発明者 飯屋 雄一
京都府京都市下京区塩小路通堀川東入南不動堂町801番地 オムロン株式会社内
- (72)発明者 豊島 克久
宮城県仙台市太白区八木山南2丁目1-1 財団法人電気磁気材料研究所内
- (72)発明者 小林 伸聖
宮城県仙台市太白区八木山南2丁目1-1 財団法人電気磁気材料研究所内
- (72)発明者 矢野 健
宮城県仙台市太白区八木山南2丁目1-1 財団法人電気磁気材料研究所内

審査官 川村 裕二

- (56)参考文献 特開2001-135537(JP,A)
国際公開第2006/098372(WO,A1)
特開2005-257605(JP,A)
特表2001-521160(JP,A)
特開2006-153697(JP,A)
特開昭62-040786(JP,A)
特表2003-533895(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 43/08
H01L 43/06
G01R 15/20
G01R 33/07
G01R 33/09
G11B 5/33
H01F 17/00
H01F 38/14
H04B 3/02
H04B 5/00