

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6700663号  
(P6700663)

(45) 発行日 令和2年5月27日(2020.5.27)

(24) 登録日 令和2年5月8日(2020.5.8)

(51) Int. Cl.	F I
<b>G09G 3/3233 (2016.01)</b>	G09G 3/3233
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 611H
<b>HO1L 51/50 (2006.01)</b>	G09G 3/20 642A
	G09G 3/20 624B
	請求項の数 4 (全 55 頁) 最終頁に続く

(21) 出願番号 特願2015-34681 (P2015-34681)  
 (22) 出願日 平成27年2月25日 (2015. 2. 25)  
 (65) 公開番号 特開2015-179259 (P2015-179259A)  
 (43) 公開日 平成27年10月8日 (2015. 10. 8)  
 審査請求日 平成30年2月19日 (2018. 2. 19)  
 (31) 優先権主張番号 特願2014-37156 (P2014-37156)  
 (32) 優先日 平成26年2月27日 (2014. 2. 27)  
 (33) 優先権主張国・地域又は機関  
 日本国(JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 三宅 博之  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 審査官 橋本 直明

最終頁に続く

(54) 【発明の名称】 半導体装置、並びにそれを備えるモジュールおよび電子機器

(57) 【特許請求の範囲】

【請求項1】

k (kは2以上の整数)個の画素と、k本の第1の配線と、第1の回路とを、同一基板上に有し、

前記k個の画素は、それぞれ、互いに異なる前記k本の第1の配線の何れか1と電氣的に接続され、

前記k個の画素のそれぞれは、

第1乃至第5のトランジスタと、

第1および第2の電極を有する第1のキャパシタと、

画素電極と、を有し、

前記第1のトランジスタ、並びに前記第3乃至前記第5のトランジスタは、導通状態を互いに独立して制御することが可能に設けられ、

前記第1のトランジスタおよび前記第4のトランジスタは、前記第1の配線と前記第2のトランジスタのゲートとの間に直列に電氣的に接続され、

前記第1のトランジスタと前記第4のトランジスタとが電氣的に接続されている第1のノードに、前記第1の電極が電氣的に接続され、

前記第2の電極は、前記画素電極と電氣的に接続され、

前記第2のトランジスタのソースおよびドレインの一方は、前記画素電極と電氣的に接続され、

前記第2のトランジスタのソースおよびドレインの他方には、第1の電位が印加され、

前記第3のトランジスタのソースおよびドレインの一方は、前記第2のトランジスタのゲートと電氣的に接続され、

前記第3のトランジスタのソースおよびドレインの他方には、第2の電位が印加され、前記第5のトランジスタのソースおよびドレインの一方は、前記画素電極と電氣的に接続され、

前記第5のトランジスタのソースおよびドレインの他方には第3の電位が印加され、

前記第1の回路は、

第1の入力ノードと、

第1乃至第kの出力ノードと、

第1乃至第kのスイッチと、を有し、

前記第1乃至前記第kのスイッチは、それぞれ、前記第1の入力ノードと、前記第1乃至前記第kの出力ノードとの間の導通状態を制御することができる機能を有し、

前記第1乃至前記第kの出力ノードは、それぞれ、互いに異なる前記k本の第1の配線の何れか1と電氣的に接続されていることを特徴とする半導体装置。

#### 【請求項2】

請求項1において、

前記第1乃至第5のトランジスタ、並びに、前記第1乃至第kのスイッチは、チャンネルが形成される領域を含む酸化半導体層を有する半導体装置。

#### 【請求項3】

請求項1または請求項2に記載の半導体装置と、タッチセンサ、または、回路基板の少なくとも一方と、を有するモジュール。

#### 【請求項4】

請求項1もしくは請求項2に記載の半導体装置、または請求項3に記載のモジュールのいずれか1つと、筐体、マイクロホン、スピーカー、または、操作キーの少なくとも1つと、を有する電子機器。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明の一形態は、半導体装置、その駆動方法、およびその作製方法等に関する。

#### 【0002】

なお、本発明の一形態は、上記の技術分野に限定されない。本明細書等で開示する発明の一形態の技術分野は、物、方法、または、製造方法に関する。または、本発明の一形態は、プロセス、マシン、マニファクチャ、または、組成物（コンポジション・オブ・マター）に関する。そのため、より具体的に本明細書で開示する本発明の一形態の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法を一例として挙げるることができる。

#### 【背景技術】

#### 【0003】

発光素子を用いたアクティブマトリクス型の表示装置の画素について、メーカー毎に様々な回路構成が提案されている。一般的に、画素には、発光素子、画素へのビデオ信号の入力を制御するトランジスタ（スイッチング用トランジスタ）、および発光素子に供給する電流を制御するトランジスタ（駆動用トランジスタ）が少なくとも設けられている。駆動用トランジスタを流れるソース-ドレイン電流（以下、ドレイン電流と呼ぶ場合がある。）を発光素子に供給することで、ドレイン電流の値に応じた輝度で発光素子を発光させている。駆動用トランジスタのドレイン電流値は、ビデオ信号の電位により制御される。

#### 【0004】

そのため、表示装置の画面を構成する複数の画素において、駆動用トランジスタのしきい値電圧にばらつきがあると、同じ電位のビデオ信号をこれらの画素に供給しても、発光素子の輝度にばらつきが生じてしまう。複数の画素間での駆動用トランジスタのしきい値電圧のばらつきは、表示装置の表示品位を低下させしまう原因の1つである。一方、アクテ

10

20

30

40

50

ィブマトリクス型の表示装置は高精細化のため多画素化が推し進められており、1つの表示装置に数十万乃至数千万もの画素が設けられている。例えば、画素数は、解像度が Full-HD であれば、 $1366 \times 768 \times 3 (RGB) = 1,049,088$  であり、8k4k (スーパーハイビジョン) であれば、 $7,680 \times 4,320 \times 3 (RGB) = 33,177,600$  である。このような多数の画素どうして駆動用トランジスタのしきい値電圧を完全に一致させるのは非常に困難である。そこで、しきい値電圧のばらつきの影響を抑えるために、駆動用トランジスタのしきい値電圧を補正することが可能な画素が提案されている (特許文献 1、2 参照)。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2012 - 256032 号公報

【特許文献 2】特開 2013 - 137498 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明の一形態の課題は、新規な半導体装置、または新規なその駆動方法、または新規なその作製方法などを提供することにある。例えば、本発明の一形態の課題は、表示品位を向上することが可能な半導体装置またはその駆動方法を提供すること、高精細な半導体装置またはその駆動方法を提供すること、もしくは、画素ごとの輝度のばらつきを抑制することが可能な半導体装置またはその駆動方法を提供すること、もしくは、端子数を削減することが可能な半導体装置またはその駆動方法を提供すること、等である。

【0007】

なお、複数の課題の記載は、互いの課題の存在を妨げるものではない。また、本発明の一形態は、例示したすべての課題を解決する必要はない。また、明細書、図面、請求項などの記載から、例示以外の課題が自ずと明らかとなるものであり、これらの課題も本発明の一形態の課題となり得る。

【課題を解決するための手段】

【0008】

本発明の一形態は、第 1 のトランジスタと、第 1 および第 2 の電極を有する第 1 のキャパシタと、画素電極と、第 1 乃至第 4 のスイッチと、第 1 乃至第 4 の配線と、を有する半導体装置であって、第 1 乃至第 4 のスイッチは、導通状態を互いに独立して制御することが可能に設けられており、第 1 のスイッチ、第 3 のスイッチ、および第 2 のスイッチは、第 1 の配線と第 3 の配線との間に直列に電氣的に接続されており、第 1 のスイッチと第 3 のスイッチとが電氣的に接続されている第 1 のノードに、第 1 の電極が電氣的に接続され、第 4 のスイッチは、画素電極と第 4 の配線との間の導通状態を制御できる機能を有し、第 2 の電極は、画素電極と電氣的に接続され、第 3 のスイッチと第 2 のスイッチとが電氣的に接続されている第 2 のノードに、第 1 のトランジスタのゲートが電氣的に接続され、第 1 のトランジスタのソースおよびドレインの一方は、第 2 の配線と電氣的に接続され、第 1 のトランジスタのソースおよびドレインの他方は、画素電極と電氣的に接続されていることを特徴とする半導体装置。

【0009】

上記形態において、第 1 乃至第 4 のスイッチとして機能する第 2 乃至第 5 トランジスタを設けてもよい。この場合、第 1 乃至第 5 のトランジスタは、チャンネルが形成される領域を含む酸化物半導体層を有していてもよい。または、上記形態において、画素電極を備える発光素子を有していてもよい。

【0010】

本明細書において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタおよびダイオードなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置、撮像装置、表示装置、発光装置等は、半導体装置の一態様である。また、撮

10

20

30

40

50

像装置、表示装置、液晶表示装置、発光装置、電気光学装置、発電装置（薄膜太陽電池、有機薄膜太陽電池等を含む）、電子機器、電気機器、および機械装置等は、半導体装置を有している場合がある。

【0011】

本明細書において、表示装置や発光装置には、表示素子が形成されている画素を有するパネル、および、駆動回路またはコントローラを含むIC等を当該パネルに実装した態様のモジュール等を、その範疇に含む。発光装置の場合、表示素子が発光素子で構成することができる。また、表示装置や発光装置には、当該パネルを作製する過程における、パネルが完成する前の一形態に相当する素子基板や、表示素子が完成する前の一形態に相当する素子基板をその範疇に含む。例えば、素子基板には、トランジスタと、トランジスタを介して電位または電流が供給される画素電極とが同一の基板に作製されている半導体装置を含む。画素電極は表示素子を構成する電極に相当する。

10

【0012】

本明細書等において、第1、第2、第3などの序数詞は、順序を表すだけでなく、構成要素の混同を避けるために使用する場合がある。この場合、序数詞の使用は構成要素の個数を限定するものではない。例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて、発明の一形態を説明することができる。

【0013】

本明細書等において、「平行」とは、二つの直線が $-10^\circ$ 以上 $10^\circ$ 以下の角度で配置されている状態をいう。従って、 $-5^\circ$ 以上 $5^\circ$ 以下の場合も含まれる。また、「垂直」とは、二つの直線が $80^\circ$ 以上 $100^\circ$ 以下の角度で配置されている状態をいう。従って、 $85^\circ$ 以上 $95^\circ$ 以下の場合も含まれる。

20

【0014】

また、本明細書等において、結晶が三方晶または菱面体晶である場合、その結晶を六方晶系として表す。

【0015】

本明細書等において、XとYとが接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とを含むものとする。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

30

【0016】

回路において、構成要素が電氣的に接続されているとは、電流、電圧または電位が、供給可能、或いは伝送可能にすることができるような構成になっていることを含む。よって、回路において、2つの構成要素が接続しているとは、それらが直接接続している回路構成に限定されるものではなく、電流、電圧または電位が、供給可能、或いは伝送可能であるように、配線、抵抗、ダイオード、トランジスタなどの素子を介して、それらが電氣的に接続している構成も、その範疇に含む。

【0017】

また、回路図上は独立している構成要素どうしが接続されている場合であっても、実際には、例えば配線の一部が電極としても機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において接続とは、このように、一の導電膜が複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

40

【0018】

なお、例えば、トランジスタのソース（または第1の端子など）が、Z1を介して（または介さず）、Xと電氣的に接続され、トランジスタのドレイン（または第2の端子など）が、Z2を介して（または介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（または第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（または第2の端子など）が、Z2の

50

一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合は、以下のように表現することができる。

【0019】

例えば、「XとYとトランジスタのソース（または第1の端子など）とドレイン（または第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（または第1の端子など）、トランジスタのドレイン（または第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（または第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（または第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（または第1の端子など）、トランジスタのドレイン（または第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（または第1の端子など）とドレイン（または第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（または第1の端子など）、トランジスタのドレイン（または第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（または第1の端子など）と、ドレイン（または第2の端子など）とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

10

20

【0020】

なお、電圧とは2点間における電位差のことをいい、電位とはある一点における静電場の中にある単位電荷が持つ静電エネルギー（電氣的な位置エネルギー）のことをいう。ただし、一般的に、ある一点における電位と基準となる電位（例えば接地電位）との電位差のことを、単に電位もしくは電圧と呼び、電位と電圧が同義語として用いられることが多い。このため、本明細書では特に指定する場合を除き、電位を電圧と読み替えてもよいし、電圧を電位と読み替えてもよいこととする。

【0021】

トランジスタは、ゲート、ソース、およびドレインと呼ばれる3つの端子を有する。ソースまたはドレインとして機能する2つの端子は、トランジスタのチャンネル型および各端子に与えられる電位の高低によって、一方がソースとして機能し、他方がドレインとして機能する。ソースはキャリアを一般的に、nチャンネル型トランジスタでは、低い電位が与えられる端子がソースと呼ばれ、高い電位が与えられる端子がドレインと呼ばれる。逆に、pチャンネル型トランジスタでは、低い電位が与えられる端子がドレインと呼ばれ、高い電位が与えられる端子がソースと呼ばれる。以下では、回路構成やその動作の理解を容易にするため、トランジスタの2つの端子の一方をソースに、他方をドレインに限定して説明する場合がある。もちろん、駆動方法によっては、トランジスタの各端子に印加される電圧の大小関係が変化し、ソースとドレインが入れ替わる場合がある。

30

【0022】

以下では、回路構成やその動作の理解を容易にするため、トランジスタの2端子の一方をソースに、他方をドレインに限定して説明する場合がある。nチャンネル型トランジスタの場合、ハイレベル（Hレベル）の信号および電源電位が主として入力される端子（電極）をドレインと呼び、ローレベル（Lレベル）の信号および電源電位が主として入力される端子（電極）をソースと呼ぶことにする。pチャンネル型トランジスタの場合は、その逆である。もちろん、駆動方法によっては、トランジスタの各端子に印加される電圧の大小関係が変化し、ソースとドレインが入れ替わる場合がある。したがって、本発明の一形態において、トランジスタのソースとドレインの区別は、明細書での記載に限定されるものではない。

40

【0023】

本発明の一形態において、スイッチとしては、様々な形態のものを用いることができる。

50

スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有し、例えば、経路1に電流を流すことができるようにするか、経路2に電流を流すことができるようにするかを選択して切り替える機能を有している。スイッチの一例としては、電氣的スイッチ又は機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。スイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOS（Metal Oxide Semiconductor）トランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。機械的なスイッチの一例としては、デジタルマイクロミラーデバイス（DMD）のように、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

10

#### 【0024】

本発明の一形態において、素子として意図的に設けられるキャパシタのデバイス構造に特段の制約はない。例えば、MIM型のキャパシタを用いることも、MOS型のキャパシタを用いることもできる。

20

#### 【発明の効果】

#### 【0025】

本発明の一形態により、新規な半導体装置、または新規なその駆動方法、または新規なその作製方法など提供をすることが可能になる。例えば、本発明の一形態により、表示品位が向上された半導体装置またはその駆動方法を提供すること、高精細な半導体装置またはその駆動方法を提供すること、もしくは、画素ごとの輝度のばらつきを抑制することが可能な半導体装置またはその駆動方法を提供すること、もしくは、端子数を削減することが可能な半導体装置またはその駆動方法を提供すること、等が可能になる。

#### 【0026】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。また、本発明の一形態は、必ずしも、例示した効果の全てを有する必要はない。また、本発明の一形態について、上記以外の課題、効果、および新規な特徴については、本明細書の記載および図面から自ずと明らかになるものである。

30

#### 【図面の簡単な説明】

#### 【0027】

【図1】画素の構成の一例を示す回路図。

【図2】画素の構成の一例を示す回路図。

【図3】画素の駆動方法の一例を示すタイミングチャート。

【図4】A、B：画素の動作の一例を示す回路図。

【図5】A、B：画素の動作の一例を示す回路図。

40

【図6】画素の動作の一例を示す回路図。

【図7】表示装置の構成の一例を示すブロック図。

【図8】表示装置の構成の一例を示す分解斜視図。

【図9】A - D：表示パネルの構成の一例を示す平面図。

【図10】表示パネル（素子基板）の構成の一例を示す図。

【図11】画素の構成の一例を示す回路図。

【図12】ゲートドライバ回路（GDL、GDR）の構成の一例を示す回路図。

【図13】A：GDL、GDRの基本回路（GSR）の構成の一例を示すブロック図。B：同ダミー基本回路（dumGSR）の構成の一例を示すブロック図。

【図14】GSRの構成の一例を示す回路図。

50

- 【図15】dumGSRの構成の一例を示す回路図。
- 【図16】A：GDL、GDRの基本回路（GdINV）の構成の一例を示すブロック図。B：GdINVの構成の一例を示す回路図。
- 【図17】GDL、GDRの駆動方法の一例を示すタイミングチャート。
- 【図18】回路SSDC1\_\_Oの構成の一例を示すブロック図。
- 【図19】回路SSDC1\_\_Eの構成の一例を示すブロック図。
- 【図20】A：SSDC1\_\_O、SSDC1\_\_Eの基本回路（SSD）の構成の一例を示すブロック図。B：SSDの構成の一例を示す回路図。
- 【図21】SSDおよび表示パネルの駆動方法の一例を示すタイミングチャート。
- 【図22】SSDおよび表示パネルの駆動方法の一例を示すタイミングチャート。 10
- 【図23】表示パネル（素子基板）の構成の一例を示すブロック図。
- 【図24】A：基本回路（SSD）の構成の一例を示すブロック図。B：SSDの構成の一例を示す回路図。
- 【図25】表示パネルの構成の一例を示す断面図。
- 【図26】A、B：画素の構成の一例を示す平面図。
- 【図27】A-E：素子基板の作製方法の一例を示す平面図。
- 【図28】A-E：素子基板の作製方法の一例を示す平面図。
- 【図29】A、B：トランジスタの構成の一例を示す平面図。C、D：トランジスタの構成の一例を示す断面図。
- 【図30】A、B：トランジスタの構成の一例を示す平面図。 20
- 【図31】A、B：トランジスタの構成の一例を示す断面図。
- 【図32】トランジスタの構成の一例を示す断面図。
- 【図33】A-D：表示パネルの作製方法の一例を示す断面図。
- 【図34】A、B：表示パネルの作製方法の一例を示す断面図。
- 【図35】A-D：表示パネルの作製方法の一例を示す断面図。
- 【図36】A、B：表示装置の構成の一例を説明する図。
- 【図37】表示装置の回路基板の構成の一例を説明する図。
- 【図38】A-E：情報処理装置の構成の一例を説明する図。
- 【図39】A-F：電子機器の構成の一例を説明する図。
- 【発明を実施するための形態】 30
- 【0028】
- 以下に、図面を用いて、本発明の実施の形態について詳細に説明する。ただし、本発明の一形態は、以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明の一形態は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。
- 【0029】
- また、以下に複数の本発明の実施の形態を示すが、互いの実施の形態を適宜組み合わせることが可能である。また、1つの実施の形態の中に、いくつかの構成例が示される場合は、互い構成例を適宜組み合わせることが可能である。 40
- 【0030】
- 本明細書において、発明の実施の形態の説明に用いられる図面において、同一部分または同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する場合がある。
- 【0031】
- また、本明細書において、クロック信号CLKを、単に信号CLK、CLK等と省略して記載する場合がある。これは、他の信号、電圧、電位、回路、および素子等についても同様である。
- 【0032】
- （実施の形態1） 50

本実施の形態では、半導体装置の一例として、発光素子を有する発光装置について説明する。本実施の形態の発光装置は、表示装置として機能させることが可能である。

【0033】

<<画素の構成例1>>

図1に、発光装置の画素の構成の一例を示す。図1に示すように、画素10は、スイッチSW1、スイッチSW3、スイッチSW4、スイッチSW5、トランジスタM2、キャパシタC1、および発光素子EL1を有する。画素10は、配線SL、配線PLa、配線PLb、および配線PLcに電気的に接続されている。発光装置の画素部は、アレイ状に配列された複数の画素10を備える。

【0034】

SW1の導通状態は信号Saにより制御される。SW3の導通状態は信号Sbにより制御される。SW4の導通状態は信号Sdにより制御される。スイッチSW5の導通状態は信号Scにより制御される。図1の例では、4つのスイッチ(SW1、SW3、SW4、SW5)は、互いに異なる信号により、導通状態が制御される。

【0035】

データ信号DATAは、階調を表す信号であり、配線SLは、データ信号DATAを画素10に供給するための配線として機能することが可能である。配線PLa、配線PLb、および配線PLcは、それぞれ電位VA、電位V0、および電位V1を画素10に供給するための配線として機能することが可能である。配線(PLa、PLb、PLc)を画素10に信号を供給する配線として機能させることも可能である。

【0036】

図1に示すように、ノードN1は、信号DATAの入力ノードである。ノードN2はトランジスタM2のゲートである。ノードN3、ノードN4は、キャパシタC1の一对の端子(電極)に相当するノードである。発光素子EL1は一对の端子(陽極および陰極)を有しており、ノードN4は、発光素子ELの1つの端子に相当する。発光素子のもう一方の端子には、電位VCが供給されている。

【0037】

発光素子EL1としては、電流または電圧によって輝度を制御することが可能な素子を用いることができる。発光素子EL1としては、LED(Light Emitting Diode)やOLED(Organic Light Emitting Diode)などが代表的である。例えば、OLEDの場合、発光素子EL1は、EL(エレクトロルミネセンス)層、陽極および陰極を少なくとも有する。EL層は陽極と陰極の間に設けられており、単層または複数の層で構成されている。EL層は、発光性の物質を含む層(発光層)を少なくとも含む。

【0038】

トランジスタM2のソースおよびドレインの一方は、配線PLaに接続され、他方はノードN4(EL1の端子の1つ)に接続されている。SW1、SW4およびSW3は直列に接続されている。スイッチSW3とスイッチSW4との接続部がトランジスタM2のゲート(ノードN2)に接続されている。スイッチSW1とスイッチSW4との接続部がキャパシタC1の端子(ノードN3)に接続されている。

【0039】

SW1は、配線SLとノードN3間の導通状態を制御するスイッチとして機能する。SW1により、信号DATAの画素10への供給が制御される。SW3は、ノードN2と配線PLb間の導通状態を制御する。SW3は、ノードN2の電位を一定電位V0にリセットするリセット回路の機能を有する。SW4は、ノードN3とノードN2間の導通状態を制御するスイッチとして機能する。また、直列に接続されたSW4およびSW3でなるスイッチ回路は、ノードN3の電位を一定電位(V0)にリセットするリセット回路として機能することが可能である。SW5は、ノードN4と配線PLc間の導通状態を制御する。SW5は、ノードN4の電位を一定電位(V1)にリセットするリセット回路として機能することが可能である。キャパシタC1は、ノードN4の電位を保持するための保持容量

10

20

30

40

50

として機能することが可能である。

【0040】

トランジスタM2のドレイン電流(以下、「ドレイン電流 $I_{d2}$ 」と呼ぶ場合がある。)により、ノードN4の電位が変化する。これに伴い、発光素子EL1の一对の端子間の電位差が変化し、この電位差が発光素子EL1のしきい値電圧 $V_{thEL}$ 以上となると、発光素子EL1が発光する。ドレイン電流 $I_{d2}$ はノードN2の電位により制御される。ノードN2の電位は、配線SLから供給される信号DATAの電位に応じた値に制御される。トランジスタM2は、駆動トランジスタに対応するトランジスタである。複数の画素10間でのトランジスタM2のしきい値電圧のばらつきは、これら画素10間での輝度のばらつきを生じさせる。そのため、画素10は、トランジスタM2のしきい値電圧を補正する機能を有する。具体的には、スイッチSW3-SW5およびキャパシタC1で構成される回路により、このしきい値電圧が補正される。スイッチSW3-SW5およびキャパシタC1で構成される回路は、スイッチSW3-SW5の導通状態を制御することで、トランジスタM2のゲート(ノードN2)に保持されている電荷を充電および放電する機能を有する。以下、画素10の具体的な回路構成を示し、画素10の機能等を説明する。

10

【0041】

<画素の回路構成例>

図2に、画素10のより具体的な回路構成の一例を示す。図2の画素20は、画素10の4つのスイッチ(SW1、SW3、SW4、SW5)をトランジスタ(M1、M3、M4、M5)で構成した回路に対応する。図2に示すように、画素20は、5つのトランジスタ(M1、M2、M3、M4、M5)、キャパシタC1、および発光素子EL1を有する。図2の例では、トランジスタM1-M5をnチャネル型トランジスタとしている。発光素子EL1の陽極がノードN4に対応する。発光素子EL1の陰極に電位VCが供給される。後述するように、発光装置は、複数の画素20がアレイ状に配列された画素部を有する。画素部において、各発光素子EL1の陰極は、1つのコモン電極で構成することが可能である。この場合、コモン電極に電位VCが供給される回路構成となる。

20

【0042】

トランジスタM1のゲートは配線GLaと接続され、トランジスタM3のゲートは配線GLbと接続され、トランジスタM4のゲートは配線GLdと接続され、トランジスタM5のゲートは配線GLcと接続されている。よって、トランジスタ(M1、M3、M4、M5)の導通状態は、それぞれ、配線(GLa、GLb、GLd、GLc)から入力される信号により制御される。ここでは配線GLa、配線GLb、配線GLcおよび配線GLdには、それぞれ、信号Sa、信号Sb、信号Scおよび信号Sdが入力される。

30

【0043】

<画素の駆動方法例>

図3-図6を参照して、画素20の駆動方法の一例を説明する。

【0044】

図3に画素20の駆動方法の一例を示す。図3はk行j列に配置されている画素20[k、j](k、jは1以上の整数)の駆動方法を示すタイミングチャートである。図3には、第k行の配線(GLa[k]、GLb[k]、GLc[k])に入力される信号(Sa、Sb、Sc)、および第j列の配線SL[j]に入力される信号DATAを示している。

40

【0045】

なお、以下の説明でも、配線、画素、信号等を行番号および/または列番号を用いて識別するため、[k]、[k、j]のような識別記号を用いることとする。

【0046】

図3に示すように、画素20の動作は、期間T1、期間T2、期間T3および期間T4で行われる4つの動作に大別される。これらの動作を図4-図6を参照して説明する。なお、図4-図6では、画素20の動作の理解を容易にするため、図1のように、4つのトランジスタ(M1、M3、M4、M5)をスイッチの回路記号で表している。また、トラン

50

ジスタM2のソース(S)およびドレイン(D)を区別することにする。ここでは、トランジスタM2において、配線PLaに接続されている端子をドレインとし、発光素子EL1の陽極(ノードN4)に接続されている端子をソースとする。

【0047】

[期間T1:初期化動作]

期間T1は、画素20のノードN1、N3、N4の電位を初期化する動作が行われる初期化期間である。図4Aには、初期化期間T1での画素20の動作を示す。初期化期間T1は、信号Scがハイレベルである期間に対応する。T1では、信号Saがローレベルであり、信号Sb、ScおよびSdがハイレベルである。なお、T1の何れかのタイミングで、信号Sbはローレベルからハイレベルに遷移すればよい。ここでは、信号Scと共に信号Sbをハイレベルにしている。初期化動作では、トランジスタM1は非導通状態となり、トランジスタ(M3、M5、M4)は導通状態となる。トランジスタM3およびトランジスタM4が導通状態となることで、ノードN2の電位Vn2およびノードN3の電位Vn3は、V0にリセットされる。トランジスタM5が導通状態となることで、ノードN4の電位Vn4はV1にリセットされる。

10

【0048】

電位V0、V1、VCは、下記式(1)、(2)を満たす値とする。なお、式(1)、(2)において、Vth2はトランジスタM2のしきい値電圧であり、VthELは、発光素子EL1のしきい値電圧である。発光素子のしきい値電圧とは、発光素子を発光状態とする陰極と陽極間の電位差の最小値である。発光素子EL1の陰極と陽極間の電位差がVthEL以上となると、発光素子EL1は発光状態となる。

20

【0049】

$$(V_0 - V_{th2}) - V_C < V_{thEL} \quad \dots (1)$$

$$V_0 - V_{th2} > V_1 \quad \dots (2)$$

【0050】

式(1)を満たすことにより、T1、T2およびT3において、発光素子ELを非発光状態にすることができる。また、式(2)を満たすことにより、期間T1において、トランジスタM2のゲート-ソース間電圧Vgs2はVth2よりも大きくなるため、トランジスタM2を導通状態にすることができる。

【0051】

[期間T2:しきい値電圧補正動作]

T2は、トランジスタM2のしきい値電圧の補正が行われる期間である。図4Bは、しきい値電圧補正期間T2での画素20の動作を説明する図である。T2では、信号Scがハイレベルからローレベルに遷移し、その他の信号(Sa、Sb、Sd)の電位レベルは変化しない。トランジスタM5は、導通状態から非導通状態になる。他のトランジスタ(M1、M3、M4)の状態はT1と同じである。T2では、トランジスタM3およびトランジスタM4の導通状態が維持されているため、Vn2、Vn3は変化せず、V0である。Vgs2がVth2よりも高いため、トランジスタM2は導通状態であり、ドレイン電流Id2が流れる。このドレイン電流Id2によりキャパシタC1が充電されるので、トランジスタM2のソース(ノードN4)の電位Vn4が上昇する。Vn4の上昇に伴い、トランジスタM2のVgs2 = Vn2 - Vn4が低下する。Vgs2がVth2まで低下すると、トランジスタM2はドレイン電流Id2が流れない状態となり、トランジスタM2のソース(ノードN4)の電位Vn4はV0 - Vth2となる。

30

40

【0052】

しきい値電圧補正動作は、発光期間(図6)に発光素子EL1に供給されるドレイン電流Id2を、Vth2の影響を受けない値とするための動作であり、図3の駆動方法例では、トランジスタM2のソースの電位(Vn4)をVth2に対応する電位にする動作となる。より具体的には、このソースの電位Vn4をある一定電位(V0)から、トランジスタM2のしきい値電圧Vth2を除いた電位にする動作である。

【0053】

50

T 2では、式(1)により、発光素子E L 1の陽極と陰極間の電圧はV t h E Lを超えないため、発光素子E L 1は非発光状態である。

【0054】

[期間T 3：データ書き込み動作]

期間T 3は、画素20にデータ信号D A T A [ k ]を書き込む動作が行われる期間である。具体的には、ノードN 3の電位V n 3を信号D A T A [ k ]に対応する電位V d a t aにするための動作が行われる。図3および図5を参照して、この期間の画素20の動作を説明する。

【0055】

図3の例では、T 3の開始は、信号S aの立ち上がり時であり、T 3の終了は信号S dの立ち上がり時である。期間T Hが、該当する行の一水平期間に対応し、期間T Hでは信号S aが常にハイレベルである。図5Aは、期間T Hでの画素20の状態を示している。図3の例では、期間V Hが終了する前に、信号S bをハイレベルからローレベルに遷移させている。また、期間T Hが終了してから、信号S dをローレベルからハイレベルに遷移させている。これにより、期間T 3の終了時点(図5B)で、ノードN 3に書き込まれた電位V n 3 (= V d a t a)の変動を抑えることができる。

10

【0056】

T 3では、まず、信号S aがハイレベルになり、信号S dがローレベルになる。これにより、トランジスタM 1が導通状態になり、トランジスタM 4が非導通状態になり、ノードN 3にはデータ信号D A T A [ k ]が書き込まれ、その電位V n 3は信号D A T A [ k ]の電位V d a t aとなる。ノードN 3の電位V n 3は、キャパシタC 1により保持される。トランジスタM 3とトランジスタM 5の状態は、T 2と同じであるため、V n 2 = V 0、V n 4 = V 0 - V t h 2である。よって、V g s 2 (= V n 2 - V n 4)はV t h 2を超えないため、トランジスタM 2は非導通状態のままである。

20

【0057】

ノードN 3に信号D A T A [ k ]を書き込んだ後、まず、信号S bをローレベルにして、トランジスタM 3を非導通状態にする。次いで、信号S aをローレベルにしてトランジスタM 1を非導通状態にする。図5Bは、期間T 3の終了時の画素20の状態を示している。図5Bに示すように、期間T 3の終了時点では、トランジスタ(M 1、M 2、M 4、M 5)は非導通状態であり、トランジスタM 3は導通状態であり、ノードN 3が電氣的に浮遊状態となる。なお、信号S aがハイレベルからローレベルになるタイミングと、信号S dがローレベルからハイレベルになるタイミングを同じにすることができる。

30

【0058】

[期間T 4：発光動作]

期間T 4は、電位V d a t aに対応した輝度で発光素子E L 1を発光させる発光期間である。図3および図6を参照して、この期間の画素20の動作を説明する。

【0059】

T 4では、画素20への入力信号(S a - S d)のうち信号S dのみがハイレベルとなる。トランジスタM 4が導通状態となるため、トランジスタM 2のゲートの電位V n 2がV d a t aとなる。トランジスタM 2のゲート-ソース間電圧V g s 2は、キャパシタC 1で保持され、その値は、V d a t a - (V 0 - V t h 2)となる。下記式(3)に示すように、トランジスタM 2のドレイン電流I d 2はV t h 2に無関係な値となる。式(4)に示すように、I d 2は、トランジスタM 2のサイズ(チャンネル長L、チャンネル幅W)、ゲート容量C o x、および電子移動度μによって決まる定数である。トランジスタM 2がpチャンネル型の場合、μはホール移動度が用いられる。

40

【0060】

$$\begin{aligned}
 I_{d2} &= 0.5 (V_{gs} - V_{th2})^2 \\
 &= 0.5 (V_{data} - V_0 + V_{th2} - V_{th2})^2 \\
 &= 0.5 (V_{data} - V_0)^2 \quad \dots (3) \\
 &= \mu C_{ox} (W/L) \quad \dots (4)
 \end{aligned}$$

50

## 【 0 0 6 1 】

式(3)で示されているように、発光素子E L 1の発光動作時に、画素2 0毎にV t h 2が異なっても、トランジスタM 2を流れるドレイン電流I d 2はその影響を受けない値とすることができる。これは、トランジスタM 2のしきい値電圧V t h 2に依存しない輝度で発光素子E L 1を発光させることが可能であることを示している。つまり、本実施の形態により、表示品位の優れた発光装置(表示装置)を提供することが可能になる。

## 【 0 0 6 2 】

図3の駆動方法例では、第k行の画素2 0でしきい値電圧補正が行われている期間T 2では、第k - 1行の画素2 0において、信号D A T A [ k - 1 ]の書き込みが行われている。このように、画素2 0(画素1 0)では、しきい値電圧補正動作とデータ書き込み動作を異なる期間で行うことが可能になるため、画素2 0(画素1 0)を画素部に備えた発光装置(表示装置)では、点順次駆動が可能となる。これについて、以下の実施の形態2において説明する。

10

## 【 0 0 6 3 】

(実施の形態2)

本実施の形態では、半導体装置の一例として、アクティブマトリクス型表示装置について説明する。具体的には、画素1 0を画素部に有するアクティブマトリクス型表示装置の構成例および駆動方法例などについて説明する。

## 【 0 0 6 4 】

<<表示装置の構成例>>

図7は、表示装置の構成の一例を示すブロック図である。

20

## 【 0 0 6 5 】

図7に示すように、表示装置5 0は、コントローラ5 1、電源管理装置(P M U)5 2、電源回路5 3、画素部6 0、ゲートドライバ回路6 1、ソースドライバ回路6 2等を有する。ここでは、ゲートドライバ回路6 1とソースドライバ回路6 2をまとめて周辺回路6 3と呼ぶ場合がある。

## 【 0 0 6 6 】

画素部6 0は、アレイ状に配列された複数の画素6 5、垂直方向に配列された複数の配線6 6、および水平方向に配列された複数の配線6 7を有する。同じ行の画素6 5はその行の配線6 6に接続され、同じ列の画素6 5はその列の配線6 7に接続されている。

30

## 【 0 0 6 7 】

コントローラ5 1は、表示装置5 0の制御を行う。コントローラ5 1には、ビデオ信号、および画面の書き換えを制御するための同期信号等が入力される。同期信号としては、例えば水平同期信号、垂直同期信号、および基準クロック信号等があり、コントローラ5 1は、これらの信号から周辺回路6 3の制御信号を生成する。また、コントローラ5 1は、P M U 5 2の制御を行う。コントローラ5 1または外部からの制御信号に基づいて、P M U 5 2は、電源回路5 3を制御する。

## 【 0 0 6 8 】

配線6 6は、ゲートドライバ回路6 1に接続されている。ゲートドライバ回路6 1は、コントローラ5 1からの制御信号に従い、画素部6 0に設けられたスイッチの導通状態を制御する制御信号を配線6 6に出力する機能を有する。配線6 6は、画素1 0の配線群(G L a、G L b、G L c、G L d)に対応する。配線6 7はソースドライバ回路6 2に接続されている。ソースドライバ回路6 2は、コントローラ5 1から入力されたビデオ信号D A T Aを配線6 7に出力する機能を有する。配線6 7は、画素1 0の配線S Lに対応する配線である。

40

## 【 0 0 6 9 】

図8を参照して、表示装置5 0のより具体的な構造を説明する。図8は、表示装置5 0の構成例を示す分解斜視図である。

## 【 0 0 7 0 】

図8に示すように、表示装置5 0は、上部カバー5 0 0 1と下部カバー5 0 0 2との間に

50

、FPC5003が接続されているタッチパネルユニット5004、FPC5005が接続されている表示パネル5006、フレーム5009、プリント基板5010、およびバッテリー5011を有する。なお、バッテリー5011、およびタッチパネルユニット5004等は設けられていない場合もある。上部カバー5001および下部カバー5002は、タッチパネルユニット5004および表示パネル5006のサイズに合わせて、形状や寸法を適宜変更することができる。

#### 【0071】

タッチパネルユニット5004は、抵抗膜方式または静電容量方式のタッチパネルを表示パネル5006に重畳して用いることができる。また、表示パネル5006の対向基板（封止基板）に、タッチパネル機能を持たせるようにすることも可能である。または、表示

10

#### 【0072】

フレーム5009は、表示パネル5006の保護機能の他、プリント基板5010の動作により発生する電磁波を遮断するための電磁シールドとしての機能を有する。またフレーム5009は、放熱板の機能を有していてもよい。プリント基板5010は、電源回路、ビデオ信号およびクロック信号を出力するための信号処理回路を有する。電源回路に電力を供給する電源としては、外部の商用電源であっても良いし、別途設けたバッテリー5011による電源であってもよい。バッテリー5011は、商用電源を用いる場合には、省

20

#### 【0073】

<<表示パネルの構成例>>

以下、図9を参照して、表示装置を構成する表示パネルの構成例を説明する。

#### 【0074】

図9Aには、画素部60と周辺回路63が同一基板に集積されている構造の表示パネルの構成例を示す。表示パネル71は、基板81、基板82を有する。基板81には、画素部60、周辺回路63、および端子部85が作製されている。図8Aの例では、ゲートドライバ回路61は、ゲートドライバ回路61Lとゲートドライバ回路61Rの2つの回路に

30

#### 【0075】

端子部85には、画素部60および周辺回路63を、外部の回路に接続するための複数の端子が形成されている。端子部85には、FPC(FPC; Flexible printed circuits)86が接続されている。ここでは、端子部85にFPC86を接続していない構造のデバイスも、表示パネルに含まれものとする。

#### 【0076】

シール部材83により基板81と基板82は隙間（セルギャップ）が維持された状態で対向している。また、図9Aに示すように、周辺回路63と重なるようにシール部材83を設けることにより、狭額縁の表示パネル71とすることができる。

40

#### 【0077】

周辺回路63の一部の回路をICチップに組み込み、このICチップを基板81またはFPC86に実装することも可能である。そのような構成の表示パネルの一例を図9B - 図9Dに示す。

#### 【0078】

図9Bに示すように、表示パネル72では、ソースドライバ回路62が組み込まれているICチップ91が基板81に実装されている。

#### 【0079】

50

図9Cおよび図9Dには、ソースドライバ回路62の一部の回路を、ICチップ92に組み込み、一部の回路95を、画素部60、ゲートドライバ(61L、61R)と共に基板81に集積した表示パネルを示す。図9Cの表示パネル73では、ICチップ92は、COG(Chip on Glass)方式で基板81に実装されている。図9Dに示す表示パネル74では、ICチップは、COF(Chip on Film)方式でFPCに実装されている。なお、ICチップ91、ICチップ92の実装方法は特に限定されない。また、TCPの代わりに、ICチップをSOF(System on Film)に組み込み、SOFを基板81に取り付けてもよい。

#### 【0080】

表示パネル71(図9A)は、回路(60、61L、61R、62)が基板81上に形成されているので、外部に設けるICチップ等の部品の数を削減できるため、コストの低減を図ることができる。基板81上に作製可能な半導体素子の性能の制約等の理由により、周辺回路63の全ての回路を画素部60と共に作製できない場合がある。この場合、表示パネル72乃至74のように、周辺回路63の一部の回路をICチップに組み込むことになる。このICチップと基板81上の周辺回路63および/または画素部60とを接続するには、基板81に端子を設ける必要があるため、表示パネル72乃至74は、表示パネル71よりも基板81上の端子数が増えてしまう。端子数の増加は、表示装置の狭額縁化の妨げや、端子とFPCとの接続工程による製造コストの増加につながる。

#### 【0081】

そこで、以下では、端子数を削減することが可能な表示パネルの構成例について説明する。

#### 【0082】

<<表示パネルの構成例1>>

図10に、表示パネルの構成例を示す。具体的には、図10は、表示パネルを構成する素子基板の構成例を説明する図である。表示パネル100の素子基板101は、基板110上に、画素部121、ゲートドライバ回路GDL、ゲートドライバ回路GDR、回路SSDC1\_\_E、回路SSDC1\_\_O、端子部112Eおよび端子部112Oを有する。なお、素子基板101において、画素部121以外の回路をまとめて周辺回路と呼ぶ場合がある。

#### 【0083】

画素部121は、アレイ状に配列された複数の画素21を有する。端子部112Eは、回路SSDC1\_\_Eと接続されている複数の端子111を有し、端子部112Oは、回路SSDC1\_\_Oと接続されている複数の端子111を有する。端子部112Eには、ソースドライバ回路を構成する1または複数のICチップが接続される。端子部112Oも同様である。

#### 【0084】

<<画素部、画素>>

図10および図11を参照して、画素部121および画素21の構成の一例を説明する。図11は、画素21の構成の一例を示す回路図である。図11に示すように、画素21は、画素20(図2)と同様回路構成を有しており、トランジスタ(M1-M3、M5)が、ゲートに接続されているバックゲートを有する点が、画素20と異なる。そのため、画素21も画素20と同様に、図3のタイミングチャートに従って駆動することが可能である。

#### 【0085】

トランジスタにゲートと接続されたバックゲートを設けることで、トランジスタのオン電流を増加させることができる。また、トランジスタの電界効果移動度を向上させることができる。また、トランジスタのしきい値電圧など電気特性の変動を抑えることができる。また、バックゲートを設けることで、トランジスタの強度を向上させることができる。つまり、トランジスタの支持基板の曲げ等の変形に対して、バックゲートが補強部材となってトランジスタを壊れにくくすることができる。

10

20

30

40

50

## 【0086】

画素部121は、複数の画素21の配列に対応して、複数の配線（GLa、GLb、GLc、GLd）、および複数の配線（PLa、PLb、PLc）を有する。なお、図面の明瞭化のため、図10では、配線（GLa、GLb、GLc、GLd）は、配線群GLSとして示されており、配線（PLa、PLb、PLc）は省略されている。

## 【0087】

図10の例では、画素21をサブ画素とし、赤色（R）、緑色（G）、青色（B）で発光する3つの画素21で、単位画素31（以下、画素31と呼ぶ場合がある。）を構成する構造の素子基板101を示している。画素部121には、 $n$ 行 $2m$ 列の画素21が設けられている（ $n$ 、 $m$ は1以上の整数）。画素部121の同じ列には、同じ発光色の画素21が配置されており、縦方向（列方向）にRGBストライプ配列となっている。

10

## 【0088】

本明細書では、画素で表示される色を用いて構成要素を区別する場合、 $\_R$ 、 $[R]$ 、 $R[1]$ 等の識別記号を付すことにする。例えば、画素21 $\_R$ は赤色の画素21を表す。配線SL $\_G[2]$ とは、緑色のデータ信号DATA $\_G$ が入力される第2列の配線SLを表している。なお、 $3n$ 本の配線SLにおいて、発光色を区別しない場合、配線SL $\_R[k]$ （ $k$ は1以上の整数）は、第 $3k-2$ 列の配線SL $[3k-2]$ となり、配線SL $\_G[k]$ は第 $3k-1$ 列の配線SLとなり、配線SL $\_B[k]$ は第 $3k$ 列の配線となる。また、共通の列番号を付された3つの配線（SL $\_R[k]$ 、SL $\_G[k]$ 、SL $\_B[k]$ ）を、まとめて、配線群SL $S[k]$ と呼ぶ場合がある。

20

## 【0089】

図10の例では、配線群GL $S[k]$ （ $k$ は、 $1 \leq k \leq n$ を満たす整数）は、GDLおよびGDRの両方に接続されている。その他の構成例として、例えば、GDLおよびGDRの何れか一方を設けることができる。例えば、奇数行の配線群GL $S$ をGDLに接続し、偶数行の配線群GL $S$ をGDRに接続することもできる。SSDC1 $\_O$ は、奇数列の配線群SL $S[2h-1]$ （ $h$ は、 $1 \leq h \leq m$ を満たす整数）に接続され、SSDC1 $\_E$ は、偶数列の配線群SL $S[2h]$ に接続されている。

## 【0090】

<<周辺回路>>

次に、素子基板101の周辺回路の構成例、および駆動方法例について説明する。

30

## 【0091】

<<ゲートドライバ回路GDL、GDR>>

図11 - 図17を参照して、GDLおよびGDRの構成例、駆動方法例を説明する。図12は、GDLおよびGDRの構成例を示す回路図である。ここでは、GDLおよびGDRは同じ回路構成を有する。以下では、GDLについて述べるが、GDRについても同様である。

## 【0092】

GDLは、 $n$ 段の基本回路（GSR）131、2段のダミー基本回路（dumGSR）132、および $n+2$ 個の基本回路（GdINV）131を有する。なお、以下の説明において、第 $h$ 段のGSR131を、GSR $[h]$ と表記する場合がある。これは、他の回路についても同様である。

40

## 【0093】

シフトレジスタ130は、 $n$ 段のGSR131および2段のdumGSR132を有する。GDLには、制御信号として、信号GSP、信号INIRES、信号（GPWC1A、GPWC1B、GPWC1C、GPWC1D）、信号（GPWC3A、GPWC3B、GPWC3C、GPWC3D）、信号（GPWC4A、GPWC4B、GPWC4C、GPWC4D）、並びに信号（GCLK1、GCLK2、GCLK3、GCLK4）が入力される。GDLは、これらの信号に従い複数のパルス信号を生成し、それらを配線群GL $S[1]$  - GL $S[n]$ に出力する機能を有する。

## 【0094】

50

GSR[1]には、ダミー配線(GLa[dum1]、GLd[dum1])、および配線(GLb[1]、GLc[1])が電氣的に接続されている。GSR[k](kは2以上n以下の整数)には、配線(GLa[k-1]、GLd[k-1]、GLb[k]、GLc[k])が電氣的に接続されている。初段のダミー回路(dumGSR[1])には、配線(GLa[n]、GLd[n])、およびダミー配線(GLb[dum1]、GLc[dum1])が電氣的に接続されている。dumGSR[2]には、ダミー配線(GLa[dum2]、GLd[dum2]、GLb[dum2]、GLc[dum2])が接続されている。

【0095】

GSR131、およびdumGSR132は、GdINV133を介して配線GLdと電氣的に接続されている。GdINV133は、GSR131またはdumGSR132から入力される信号の反転信号を生成し、それを出力する機能を有する。

10

【0096】

<基本回路GSR、ダミー基本回路dumGSR>

図13Aは、GSR131の構成例を示すブロック図であり、図13BはdumGSR132の構成例を示すブロック図である。図14はGSR131の構成例を示す回路図であり、図15は、dumGSR132の構成例を示す回路図である。

【0097】

GSR131には、高電源電位として、GVDDが入力され低電源電位としてGVSSおよびGVEE1が入力されている。GSR131は、入力ノード(LIN、RES、RIN、CK1、CK2、CK3、PWC1、PWC3、PWC4)、出力ノード(SROUT、GOUT2、GOUT3、GOUT4)、トランジスタ(Mg1-Mg23)およびキャパシタCg1を有する。ここでは、トランジスタ(Mg1-Mg23)は、nチャンネル型トランジスタとし、これらにバックゲートを設けている。これらトランジスタ(Mg1-Mg23)のうちの1または複数のトランジスタに、バックゲートを有していないトランジスタを適用することもできる。

20

【0098】

図12に示すように、GSR131の入力ノードRINは、2つ後段のGSR131の出力ノードSGOUTに接続されている。2つのdumGSR132は、それぞれ、GSR[n-1]、GSR[n]の入力ノードRINに信号を出力するために設けられている。そのため、dumGSR132自体には入力ノードRINが不要であり、dumGSR132はGSR131から、入力端RINおよびトランジスタMg7を除いた回路に相当する。

30

【0099】

GSR131およびdumGSR132の端子RESには、信号INIRESが入力される。信号INIRESは、出力ノード(SROUT、GOUT2、GOUT3、GOUT4)の電位レベルをローレベルにリセットするリセット信号として機能させることができる。初段のGSR131の入力ノードLINには、信号GSPが入力される。信号GSPはスタートパルス信号として機能させることができる。2段目以降のGSR131の入力ノードLINは、前段のGSRの出力ノードSGOUTと接続されている。

40

【0100】

<基本回路GdINV>

図16Aは、GdINV133の構成例を示すブロック図であり、図16Bは同回路図である。

【0101】

GdINV133には、高電源電位としてGVDDが入力され、低電源電位としてGVEE2が入力される。GdINV133は、入力ノード(IN、RIN4)、出力ノードOUT、トランジスタ(Mg31-Mg35)およびキャパシタCg31を有する。ここでは、トランジスタ(Mg31-Mg35)をnチャンネル型トランジスタとしている。また、これらにバックゲートを設けている。これらトランジスタ(Mg31-Mg35)の1

50

または複数のトランジスタを、バックゲートを有していないトランジスタとすることもできる。

#### 【0102】

<<GDL、GDRの駆動方法例>>

図17は、GDL、GDRの駆動方法の一例を示すタイミングチャートである。図17には、GDLおよびGDRに入力される各種信号の波形が示されている。さらに、GSR[1]-GSR[4]に電氣的に接続されている配線への出力信号の波形が示されている。具体的には、ダミー配線(GLa[dum1]、GLd[dum1])に出力される信号(Sa[dum1]、Sd[dum1])、並びに、配線群GLS[1]-[4]に出力される信号(Sa[1]-Sa[3]、Sb[1]-Sb[4]、Sc[1]-Sc[4]、Sd[3]-Sd[3])の波形が示されている。

10

#### 【0103】

図17の駆動方法例では、信号(GPWC4A、GPWC4B、GPWC4C、GPWC4D)は、それぞれ、信号(GPWC1A、GPWC1B、GPWC1C、GPWC1D)と同じ波形の信号が用いられている。また、図17には、GdINV133が、配線GLLa[h]に入力される信号Sa[h]の反転信号を生成し、信号Sd[h]として配線GLd[h]に出力していることが示されている。

#### 【0104】

<<回路SSDC1\_\_E、回路SSDC1\_\_O>>

以下、図10、図18-図22を参照して、SSDC1\_\_EおよびSSDC1\_\_Oの構成例およびその駆動方法例等について説明する。

20

#### 【0105】

図10に示すように、SSDC1\_\_E、回路SSDC1\_\_Oは、それぞれ、m個の基本回路(SSD)141を有する。SSD141は、デマルチプレクサの機能を有する回路である。図10の例では、SSD141は、1つの入力ノードと3つの出力ノードを有しており、入力ノードに入力された信号を、3つの出力ノードの何れか1つに出力することができる機能を有する。SSD141は、画素21の配列に応じて設けられている。ここでは3列(RGB)に1個のSSD141が設けられているため、SSDC1\_\_EおよびSSDC1\_\_Oは、それぞれ、m段のSSD141を有する。図10の例では、素子基板101には、2m個のSSD141を、2つの回路(SSDC1\_\_E、SSDC1\_\_O)に分けて設けているが、1つの回路として設けてもよいし、2以上の回路に分けて設けることもできる。

30

#### 【0106】

SSD141の入力ノードは、配線DTLと接続され、配線DTLは、端子111と接続されている。端子111は、ICチップに組み込まれたソースドライバ回路に接続されている。SSD141の3つの出力ノードは、それぞれ、配線(SL\_\_R、SL\_\_G、SL\_\_B)と接続されている。このような接続構造により、データ信号DATAは、端子111および配線DTLを経て、SSD141に入力される。SSD141は、配線(SL\_\_R、SL\_\_G、SL\_\_B)の何れか1つの配線に、データ信号DATAを出力することが可能である。

40

#### 【0107】

なお、図10には、配線DTLと接続されている端子111のみが示されているが、端子はこれに限らない。素子基板101には、このような端子111の他に、GDL、GDR、画素部121、SSDC1\_\_E、およびSSDC1\_\_Oに信号あるいは電位を供給するための端子が複数設けられている。

#### 【0108】

図18にSSDC1\_\_Eの構成の一例を示し、図19にSSDC1\_\_Oの構成の一例示す。図18および図19に示すように、SSDC1\_\_EとSSDC1\_\_Oとは、制御する配線群SLが奇数列あるいは偶数列であるかが相違しており、同様の回路構成を有する。そのため、SSDC1\_\_OおよびSSDC1\_\_Eで共通する構成要素(例えば信号や配線

50

)等を区別する場合は、識別記号“\_E”または“\_O”を付記することとする。

【0109】

図18に示すように、SSDC1\_\_Oは、配線(SML\_\_R\_\_O、SML\_\_G\_\_O、SML\_\_B\_\_O)、配線(PRL\_\_R\_\_O、PRL\_\_G\_\_O、PRL\_\_B\_\_O)およびm段のSSD141を有する。図19に示すように、SSDC1\_\_Eは、配線(SML\_\_R\_\_E、SML\_\_G\_\_E、SML\_\_B\_\_E)、配線(PRL\_\_R\_\_E、PRL\_\_G\_\_E、PRL\_\_B\_\_E)およびm段のSSD141を有する。

【0110】

SSDC1\_\_Oにおいて、配線(SML\_\_R\_\_O、SML\_\_G\_\_O、SML\_\_B\_\_O)には、それぞれ、信号(SMP\_\_R\_\_O、SMP\_\_G\_\_O、SMP\_\_B\_\_O)が入力される。信号(SMP\_\_R\_\_O、SMP\_\_G\_\_O、SMP\_\_B\_\_O)は、配線(SL\_\_R、SL\_\_G、SL\_\_B)のうち、配線DTLに接続される1つの配線を選択するための制御信号として用いることが可能である。また、配線(PRL\_\_R\_\_O、PRL\_\_G\_\_O、PRL\_\_B\_\_O)には、それぞれ、信号(PRE\_\_R\_\_O、PRE\_\_G\_\_O、PRE\_\_B\_\_O)が入力される。信号(PRE\_\_R\_\_O、PRE\_\_G\_\_O、PRE\_\_B\_\_O)は、配線(SL\_\_R、SL\_\_G、SL\_\_B)をプリチャージするための制御信号として用いることが可能である。図19に示すように、SSDC1\_\_Eにおいてもこれら配線、信号については同様のため、図18の説明を援用する。

【0111】

<基本回路SSD>

図20AにSSD141の構成の一例を示すブロック図を示し、図20BにSSD141の構成の一例を示す回路図を示す。

【0112】

SSD141は、データ信号DATAが入力される1つの入力ノードDIN、データ信号DATAが出力される3つの出力ノード(DOUT1、DOUT2、DOUT3)、信号(SMP\_\_R、SMP\_\_G、SMP\_\_B、PRE\_\_R、PRE\_\_G、PRE\_\_B)が入力される6つの入力ノード、配線(SML\_\_R、SML\_\_G、SML\_\_B)、および配線(PRL\_\_R、PRL\_\_G、PRL\_\_B)を有する。配線(SML\_\_R、SML\_\_G、SML\_\_B)には信号(SMP\_\_R、SMP\_\_G、SMP\_\_B)が入力される。配線(PRL\_\_R、PRL\_\_G、PRL\_\_B)には、信号(PRE\_\_R、PRE\_\_G、PRE\_\_B)が入力される。ノードDINには、配線DTLが接続され、データ信号DATAが入力される。出力ノード(DOUT1、DOUT2、DOUT3)には、それぞれ、配線(SL\_\_R、SL\_\_G、SL\_\_B)が接続される。SSD141は、信号(SMP\_\_R、SMP\_\_G、SMP\_\_B)により制御される回路(SMPC)41、および信号(PRE\_\_R、PRE\_\_G、PRE\_\_B)により制御される回路(PREC)42を有する。

【0113】

SMPC41はデマルチプレクサとして機能させることが可能である。SMPC41は、3つのノード(DOUT1、DOUT2、DOUT3)から、入力信号(DATA)を出力するノードを選択することが可能な回路である。SMPC41は、トランジスタ(Ms1、Ms2、Ms3)を有する回路であり、トランジスタ(Ms1、Ms2、Ms3)は、それぞれ、ノード(DOUT1、DOUT2、DOUT3)とノードDINとの間の導通状態を制御するスイッチとして機能することが可能である。トランジスタ(Ms1、Ms2、Ms3)のゲートは配線(SML\_\_R、SML\_\_G、SML\_\_B)と電氣的に接続されている。トランジスタ(Ms1、Ms2、Ms3)の導通状態は、信号(SMP\_\_R、SMP\_\_G、SMP\_\_B)により制御される。

【0114】

PREC42は、ノード(DOUT1、DOUT2、DOUT3)の電位を制御することが可能な回路であり、例えば、プリチャージ回路として機能させることが可能である。PREC42は、トランジスタ(Mr1、Mr2、Mr3)を有する。トランジスタ(Mr1、Mr2、Mr3)のゲートは配線(PRL\_\_R、PRL\_\_G、PRL\_\_B)と電氣的

10

20

30

40

50

に接続されている。トランジスタ (Mr1、Mr2、Mr3) の導通状態は、信号 (PRE\_R、PRE\_G、PRE\_B) により制御される。トランジスタ Mr1 は、ノード DOUT1 と、電位 VPR\_R が印加される配線との間の導通状態を制御するスイッチとして機能することができる。トランジスタ Mr2 は、ノード DOUT2 と、電位 VPR\_G が印加される配線との間の導通状態を制御するスイッチとして機能することができる。トランジスタ Mr3 は、ノード DOUT3 と、電位 VPR\_B が印加される配線との間の導通状態を制御するスイッチとして機能することができる。

#### 【0115】

図20Bの例では、トランジスタ (Ms1、Ms2、Ms3) 並びにトランジスタ (Mr1、Mr2、Mr3) を nチャネル型トランジスタとしているが、pチャネル型トランジスタとすることもできる。また、これらのトランジスタに、ゲートと接続されているバックゲートを設けている。なお、これらのトランジスタ (Ms1、Ms2、Ms3、Mr1、Mr2、Mr3) のうちの1または複数のトランジスタを、バックゲートを設けていないトランジスタとすることも可能である。

#### 【0116】

<<表示パネルの駆動方法例1>>

図21、図22のタイミングチャートを参照して、SSD141の駆動方法例、および表示パネル100の駆動方法例を説明する。図21には、SSD141の入力信号 (DATA、SMP\_R、SMP\_G、SMP\_B、PRE\_R、PRE\_G、PRE\_B)、および第h-1行、第h行、および第h+1行の配線 (GLa、GLb、GLc、GLd) への入力信号の波形が示されている。期間TH[h-1]、TH[h]、TH[h+1] は、それぞれ、画素部121の第h-1行、第h行、第h+1行の一水平期間である。図22は、図21を部分的に拡大したタイミングチャートに相当する。図21には、さらに、ゲートドライバ回路 (GDL、GDR) に入力される信号 (GCLK1、GCLK2、GCLK3、GCLK4) の波形も示されている。

#### 【0117】

<SSD141の駆動方法例>

一水平期間THにおいて、SMP\_R、SMP\_G、SMP\_Bの何れか1つの信号がハイレベルとなる。ここでは、信号 (SMP\_R、SMP\_G、SMP\_B) により、トランジスタ (Ms1、Ms2、Ms3) が複数個同時に導通状態とならないようにSMPC41は制御される。

#### 【0118】

配線 (SL\_R、SL\_G、SL\_B) には、それぞれ、信号 (SMP\_R、SMP\_G、SMP\_B) がハイレベルの期間に、配線DTLに入力されている信号DATAが入力される。そのため、データ信号DATAの形式は、表示色ごとに分割 (RGB分割) された点順次形式となっている。具体的には、表示色に対応する信号 (DATA\_R、DATA\_G、DATA\_B) が、それぞれ、画素 (21\_R、21\_G、21\_B) に書き込まれるように、データ信号DATAはDATA\_R、DATA\_G、DATA\_Bの順に分割されて、配線DTLに入力される。

#### 【0119】

画素21の回路構成では、しきい値電圧補正動作とデータ書き込み動作が異なる期間で行うことが可能である。つまり、SSD141 (SSDC1\_EおよびSSDC1\_O) と、画素21との組み合わせにより、点順次駆動が可能で、また表示品位の優れた表示パネル100を提供することが可能になる。

#### 【0120】

図10に示すように、表示パネル100において、配線 (SL\_R、SL\_G、SL\_B) の数は、それぞれ2m本となる。SSDC1\_OおよびSSDC1\_Eにより、一水平期間VHにおいて、信号DATAを書き込む配線として、まず、2m本のSL\_Rが同時に選択され、信号DATA\_Rが書き込まれる。次に、2m本SL\_Gが同時に選択され、信号DATA\_Gが書き込まれ、最後に、2m本のSL\_Bが同時に選択され、信号D

10

20

30

40

50

A T A \_\_ B が書き込まれる。つまり、表示パネル 1 0 0 では、S S D C 1 \_\_ O および S S D C 1 \_\_ E により、2 m 本の S L を同時にサンプリングすることが可能である。

【 0 1 2 1 】

図 1 0 に示すように、表示パネル 1 0 0 は、2 m × 3 ( R G B ) 本の配線 S L を有するが、これら配線 S L にデータ信号 D A T A を入力するための端子 1 1 1 の数は、その 3 分の 1 の 2 m 個である。つまり、S S D 1 4 1 を設けることで、端子 1 1 1 の数を配線 S L の数の 3 分の 1 にすることが可能になる。よって、S S D 1 4 1 で、サンプリングできる配線 S L の数が N 本 ( N は 2 以上の整数 ) であれば、端子 1 1 1 の数は、配線 S L の総数の 1 / N とすることができる。

【 0 1 2 2 】

また、S S D 1 4 1 の P R E C 4 2 では、配線 ( S L \_\_ R 、 S L \_\_ G 、 S L \_\_ B ) に信号 D A T A が書き込まれる前に、配線 ( S L \_\_ R 、 S L \_\_ G 、 S L \_\_ B ) の電位を所定の電位 ( V P R \_\_ R 、 V P R \_\_ G 、 V P R \_\_ B ) に昇圧するプリチャージが行われる。

【 0 1 2 3 】

P R E C 4 2 では、信号 ( P R E \_\_ R \_\_ E 、 P R E \_\_ G \_\_ E 、 P R E \_\_ B \_\_ E ) によりトランジスタ ( M r 1 、 M r 2 、 M r 3 ) が導通状態となると、配線 ( S L \_\_ R 、 S L \_\_ G 、 S L \_\_ B ) には、それぞれ、電位 ( V P R \_\_ R 、 V P R \_\_ G 、 V P R \_\_ B ) が印加される。このようなプリチャージ動作を行うことで、信号 ( S M P \_\_ R 、 S M P \_\_ G 、 S M P \_\_ B ) がハイレベルの期間 ( S S D 1 4 1 で配線 ( S L \_\_ R 、 S L \_\_ G 、 S L \_\_ B ) が選択されている期間 ) に、配線 ( S L \_\_ R 、 S L \_\_ G 、 S L \_\_ B ) の電位を、それぞれデータ信号 ( D A T A \_\_ R 、 D A T A \_\_ G 、 D A T A \_\_ B ) に対応する電位により確実にすることができる。

【 0 1 2 4 】

配線 ( S L \_\_ R 、 S L \_\_ G 、 S L \_\_ B ) の電位をデータ信号 D A T A に対応する電位にすることに必要な時間に対して、配線 ( S L \_\_ R 、 S L \_\_ G 、 S L \_\_ B ) が選択されている期間が十分長い場合は、S S D 1 4 1 に P R E C 4 2 を設けなくてもよい。または、配線 ( S L \_\_ R 、 S L \_\_ G 、 S L \_\_ B ) のうちの一部の配線のプリチャージ動作を行わないようにすることも可能である。例えば、信号 P R E \_\_ R は、表示パネル 1 0 0 を動作させている期間も常にローレベルとすることができる。この場合、トランジスタ M r 1 ( 図 1 9 ) は、非導通状態となり配線 S L \_\_ R に対するプリチャージが行われなくなる。

【 0 1 2 5 】

<< 表示パネルの構成例 2 >>

図 1 0 には、3 ( R G B ) 個の画素 2 1 ( サブ画素 ) で、1 個の単位画素 3 1 が構成されている例を示したが、単位画素はこれ限定されるものでない、サブ画素の数、サブ画素の発光色、および単位画素内におけるサブ画素の配列等は、適宜設定することが可能である。例えば、赤 ( R ) 、緑 ( G ) 、青 ( B ) 、黄 ( Y ) で発光する 4 個のサブ画素で、1 個の単位画素を構成することができる。以下、図 2 3 に、このような単位画素を備えた表示パネル 1 0 2 の構成の一例を示す。もちろん、単位画素を構成するサブ画素の表示色は、これに限定されるものでない、例えば、赤 ( R ) 、緑 ( G ) 、青 ( B ) 、白 ( W ) とすることもできる。

【 0 1 2 6 】

図 2 3 は、表示パネル 1 0 2 を構成する素子基板 1 0 3 の構成の一例を示すブロック図である。素子基板 1 0 3 は素子基板 1 0 1 と同様の構成を有する。表示パネル 1 0 2 は表示パネル 1 0 0 と同様に駆動することができる。以下、異なる点を示す。

【 0 1 2 7 】

素子基板 1 0 3 の画素部 1 2 2 は、単位画素 3 2 が R G B Y の 4 つの画素 2 1 で構成されている。素子基板 1 0 3 には、S S D 2 \_\_ E および S S D 2 \_\_ O が設けられている。S S D 2 \_\_ E および S S D 2 \_\_ O は、それぞれ m 個の基本回路 S S D 1 4 2 を有する。

【 0 1 2 8 】

< 基本回路 S S D >

10

20

30

40

50

図24AはSSD142の構成の一例を示すブロック図であり、図24Bは、同回路図である。図24Bに示すように、SSD142は、回路(SMPC)43および回路(PREC)44を有する。SMPC44は、SMPC41と同様の機能を有しており、SMPC41に、配線SML\_YおよびトランジスタMs4を追加した回路に相当する。回路PREC44は、回路PREC42と同様の機能を有しており、PREC42に、配線PRL\_YおよびトランジスタMr4を追加した回路に相当する。

【0129】

図23に示すように、表示パネル102は、表示パネル100よりも配線SLの本数が2m本増加しているが、2m個のSSD142を設けることで、端子111の数は表示パネル100と同じ2m個とすることが可能である。

10

【0130】

以上の通り、本実施の形態を適用することで、画素のトランジスタのしきい値電圧補正機能を備え、かつ点順次駆動が可能な表示装置を提供することが可能になる。または、本実施の形態を適用することで、端子数が削減された表示装置を提供することが可能になる。

【0131】

上述したように、本実施の形態に係る表示パネルでは、画素部、その他の周辺回路を、同じ導電型(単極性)のトランジスタで構成することが可能である。そのため、素子基板の製造工程数が削減できるため、表示パネルの製造コストを下げることが可能である。

【0132】

(実施の形態3)

20

本実施の形態では、半導体装置の一例として、アクティブマトリクス型表示装置について説明する。一例として、実施の形態2に係る表示パネルのデバイス構造、またこの作製方法などについて説明する。より具体的には、素子基板101が適用された表示パネル100(図10)の構成例、およびその作製方法例等について説明する。

【0133】

(半導体素子のデバイス構造等について)

素子基板101を構成するトランジスタ等の半導体素子のデバイス構造について、特段の制約はない。素子基板101に形成される回路の特性に適したトランジスタを選択すればよい。トランジスタのデバイス構造としては、例えば、トップゲート型、ボトムゲート型、およびゲート(フロントゲート)とボトムゲート双方を備えたデュアルゲート型、1つの半導体層に対して複数のゲート電極を有するマルチゲート型が挙げられる。また、トランジスタのチャンネルが形成される半導体層も特段の制約はない。半導体層を構成する半導体膜としては、単結晶半導体膜、非単結晶半導体膜に大別される。非単結晶半導体膜としては、多結晶半導体膜、微結晶半導体膜、非晶質半導体膜などが挙げられる。半導体層の半導体材料としては、Si、Ge、C等の第4族元素を1種または複数種含む第4族半導体(例えば、シリコン、炭化シリコン等)、酸化物半導体膜(例えば、In-Ga-Zn酸化物等)、化合物半導体膜等が挙げられる。

30

【0134】

<<表示パネルの構成例>>

図25は、表示パネルの構成の一例を示す断面図である。図26A、図26Bは、画素21の構成の一例を示すレイアウト図である。図25に示すように、表示パネル100は、素子基板101および対向基板171を有する。なお、本明細書では、表示パネルにおいて、素子基板に対向する基板を対向基板と呼ぶこととする。なお、対向基板は、カラーフィルタ基板、または封止基板と呼ばれることもある。

40

【0135】

ここでは、表示パネル100の一例として、同じ導電型(単一極性)のトランジスタで素子基板101が構成されている例を説明する。また、素子基板101のトランジスタが、チャンネルを含む酸化物半導体層を有するトランジスタ(以下、OSトランジスタと呼ぶ。)である例を説明する。

【0136】

50

また、図25の例では、表示パネル100は、発光素子EL1で発した光180を対向基板171側から取り出すトップエミッション構造である。また、画素部121の複数の発光素子EL1には、それぞれ、白色を呈する光を発する共通のEL層を設け、対向基板171に、RGBカラーフィルタを設けることで、表示パネル100でカラー表示を行うようにしている。なお、カラー表示が可能な表示パネルのデバイス構造は、図25の構造に限定されるものではない。例えば、カラーフィルタを素子基板に設けることもできる。また、画素21\_\_R、画素21\_\_G、画素21\_\_Bに、互いに異なる色で発光するEL層を形成することでも、カラー表示が可能である。この場合、素子基板または対向基板にカラーフィルタを設けてよいし、設けなくてもよい。

#### 【0137】

<素子基板の構成例>

(画素のレイアウト例)

図25および図26を参照して画素21の構成例を説明する。図26Aに、画素21のトランジスタM1-M5およびキャパシタC1のレイアウト例を示す。図26Bには、これら素子上に積層される発光素子EL1の画素電極(導電体層251)のレイアウト例を示す。図25は、図26Aの切断線a1-a2による断面図に相当し、図面の明瞭化のため、一部の開口に符号を付している。また、図26A、図26Bにおいて、図面の明確化のため、一部の層の記載、および開口の符号は省略し、一部の層にハッチングパターンを付している。

#### 【0138】

図26のレイアウト例では、表示エリアの対角サイズが13.3インチであり、解像度が8k4k(7,680×RGB×4,320)の表示パネル100の提供を可能とする。この仕様において、画素21のサイズは、12.75μm(H<sub>21</sub>)×8.25μm(V<sub>21</sub>)となる。

#### 【0139】

素子基板101は、基板110に、酸化物半導体(OS)層、複数の絶縁層、複数の導電体層、酸化物半導体(OS)層等を積層することで構成されている。画素21は、OS層201-205、第1層の導電体層211-216、第2層の導電体層221-227、第3層の導電体層231-235、および絶縁層271-273を有する。これらの層により、トランジスタM1-M5およびキャパシタC1が構成されている。画素21はさらに、第4層の導電体層241-243、導電体層251-253、EL層260、絶縁層274-277を有する。導電体層251-253、およびEL層260が積層している部分が発光素子EL1として機能する。

#### 【0140】

(周辺回路)

また、素子基板101には、周辺回路として、ゲートドライバ回路(GDL、GDR)および回路(SSDO1、SSDE1)が形成されている。これらの回路には、画素21と同様のデバイス構造を有するトランジスタおよびキャパシタが形成されている。

#### 【0141】

素子基板101を構成する導電体層(211-216、221-227、231-235、241-243、251-253等)は、単層の導電膜で、または2層以上の導電膜で形成することができる。このような導電膜としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム等の金属膜を用いることができる。また、これら金属を成分とする合金膜および化合物膜、リン等の不純物元素を含有させた多結晶シリコン膜、シリサイド膜等を用いることができる。また、素子基板101を構成する導電膜として、透光性導電膜を用いることができる。透光性導電膜としては、例えば酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(ITOと呼ばれる)、インジウム亜鉛酸化物、酸化ケイ素

10

20

30

40

50

を添加したインジウム錫酸化物等の金属酸化物を含む膜を挙げることができる。

【0142】

絶縁層(271-278)は、単層の絶縁膜で、または2層以上の絶縁膜で形成することができる。無機絶縁膜としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタル等なる膜があげられる。また、樹脂膜としては、アクリル樹脂、ポリイミド樹脂、ベンゾシクロブテン系樹脂、シロキサン系樹脂、ポリアミド樹脂、エポキシ樹脂等の有機樹脂膜がある。なお、本明細書において、酸化窒化物とは、窒素よりも酸素の含有量が多い化合物をいい、窒化酸化物とは、酸素よりも窒素の含有量が多い化合物をいう。

10

【0143】

表示パネル100を構成する、絶縁膜、導電膜や半導体膜等の成膜方法としては、スパッタ法や、プラズマCVD法が代表的である。その他の方法、例えば、塗布法、ナノインプリンティング法、蒸着法、熱CVD法、分子線エピタキシー(MBE)法等を挙げることができる。熱CVD法として、例えば、MOCVD(Metal Organic Chemical Vapor Deposition)法やALD(Atomic Layer Deposition)法を使用することができる。

【0144】

<対向基板の構成例>

20

図25、図28に示すように、対向基板171は、基板170、遮光層280、カラーフィルタ層(281\_\_R、281\_\_B、281\_\_G)を有する。各カラーフィルタ層(281\_\_R、281\_\_B、281\_\_G)は、EL層260で発した光(白色光)180を、異なる色の光に変換するための光学フィルター層である。遮光層280は、基板170を通過して表示パネル100内部に侵入する光を遮光する機能を有する。遮光層280は、単層構造であっても、2層以上の積層構造であってもよい。遮光層280を構成する膜としては、例えば、クロム、チタン、ニッケル、カーボンブラックを分散した高分子等なる膜があげられる。オーバーコート層282は、対向基板171表面の平坦化と不純物(代表的には水および/または酸素)の拡散を防ぐ機能を有する。オーバーコート層282は、例えば、ポリイミド樹脂、エポキシ樹脂、アクリル樹脂等で形成することができる。

30

【0145】

表示パネル71-74(図9)と同様に、表示パネル100も、素子基板101と対向基板171は、シール部材により固定される。なお、表示パネル100において、対向基板171に光学フィルム等を設けて光180の取り出し効率を向上させることができる。また、対向基板171に、発光素子EL1の劣化を防止するため乾燥剤を取り付けてもよい。また、同様の理由で、基板110と基板170の間の空間181には、窒素ガスやアルゴンガスなどの不活性気体を充填する、また樹脂材料などの固体物質を充填するとよい。また、空間181に屈折率の高い物質(樹脂等)を充填することで、光180の取り出し効率を向上させることができる。

【0146】

40

<素子基板の作製方法例>

以下、図25-図28を参照して、素子基板101の作製方法の一例を説明する。図27、図28は、画素(21\_\_R、21\_\_G、21\_\_B)の作製方法例を説明するための平面図である。また、素子基板101には、画素21を作製する工程により、周辺回路部(GDL、GDR、SSDO1、SSDE1)、および端子部(112O、112E)も同時に形成される。

【0147】

(第1層の導電体層)

基板110上に、単層または積層の導電膜を形成する。ここでは、導電体膜として、厚さ170nm乃至230nmの銅膜と、銅膜の下地膜として、厚さ5nm乃至15nmの窒

50

化タンタル膜を形成する。銅膜上に、レジストマスクRM1（図示せず）を形成する。レジストマスクRM1を用いて、窒化タンタル膜と銅膜の積層膜をエッチングして、第1層の導電体層211-216を形成する（図27A）。導電体層211は、配線GLaを構成し、トランジスタM1のゲート電極として機能する領域を有する。導電体層212は、配線GLbを構成し、トランジスタM3のゲート電極として機能する領域を有する。導電体層213は、配線GLcを構成し、トランジスタM5のゲート電極として機能する領域を有する。導電体層214は、配線GLdを構成し、トランジスタM4のゲート電極として機能する領域を有する。導電体層215は、トランジスタM2のゲート電極として機能する領域を有する。導電体層216は、キャパシタC1の端子（電極）として機能する領域を有する。

10

## 【0148】

導電体層211-216を覆って、絶縁層271を形成する。絶縁層271は、トランジスタM1-M5のゲート絶縁層として機能する領域、およびキャパシタC1の誘電体層として機能する領域を有する。ここでは、絶縁層271として2層構造の絶縁膜を形成する。例えば、1層目は、厚さ300nm乃至500nmの窒化シリコン膜とし、2層目は、厚さ20nm乃至100nmの酸化窒化シリコン膜を形成する。これらの膜は、PE（plasma-enhanced）CVD法で形成することができる。

## 【0149】

(OS層)

絶縁層271上に、酸化物半導体膜を形成する。酸化物半導体膜としては、In-Ga酸化物、In-Zn酸化物、In-M-Zn酸化物（MはAl、Ti、Ga、Y、Zr、La、Ce、Nd、またはHf）などの金属酸化物でなる半導体膜を形成することができる。ここでは、厚さ30nm乃至50nmのIn-Ga-Zn酸化物膜をスパッタ法で成膜する。レジストマスクRM2（図示せず）を用いてIn-Ga-Zn酸化物膜をエッチングして、OS層201-205を形成する（図27B）。OS層201-205は、それぞれ、トランジスタM1-M5のチャネル形成領域を有する半導体層を構成する。

20

## 【0150】

(第2層の導電体層)

絶縁層271に開口301および開口302を形成するために、レジストマスクRM3（図示せず）を用いて、絶縁層271をエッチングして、導電体層215に達する開口301、および導電体層216に達する開口302を形成する（図27C）。

30

## 【0151】

絶縁層271およびOS層201-205上に導電膜を形成する。ここでは、3層構造の導電膜を形成する。第1層に厚さ30nm乃至80nmのタングステン膜を形成し、第2層に厚さ200nm乃至500nmのアルミニウム膜を形成し、第3層に厚さ70nm乃至150nmのチタン膜を形成する。これらの膜はスパッタ法で形成することができる。レジストマスクRM4（図示せず）を用いて、この3層構造の導電膜をエッチングして、導電体層221-226を形成する（図27C）。

## 【0152】

導電体層221は配線PLbを構成し、トランジスタM3のソース電極またはドレイン電極として機能する領域を有する。導電体層222は、トランジスタM1のソース電極またはドレイン電極として機能する領域を有する。導電体層223は、トランジスタM1、M4のソース電極またはドレイン電極として機能する領域を有し、開口302において導電体層216と接している。導電体層224は、トランジスタM4、M5のソース電極またはドレイン電極として機能する領域を有し、開口301において導電体層215と接している。導電体層225は、トランジスタM2、M5のソース電極またはドレイン電極として機能する領域、およびキャパシタC1の電極として機能する領域を有する。導電体層226は配線PLcを構成し、トランジスタM5のソース電極またはドレイン電極として機能する領域を有する。導電体層227は、トランジスタM2のソース電極またはドレイン電極として機能する領域を有する。

40

50

## 【 0 1 5 3 】

(第3層の導電体層)

OS層201 - 205および導電体層221 - 227を覆って絶縁層272を形成する。絶縁層272として、例えば、PECVD法で、厚さ300nm乃至500nmの酸化窒化シリコン膜を形成する。レジストマスクRM5(図示せず)を用いて、絶縁層272をエッチングして、導電体層225に達する開口305を形成する(図27D)。さらに、このエッチング工程で、開口311 - 313が形成される領域の絶縁層272(酸化窒化シリコン膜)および絶縁層271の2層目(酸化窒化シリコン膜)が除去される。

## 【 0 1 5 4 】

絶縁層272を覆って、絶縁層273を形成する。絶縁層273として、例えば、厚さ75nm乃至125nmの窒化シリコン膜を形成する。レジストマスクRM6(図示せず)を用いて、絶縁層271 - 273をエッチングして、開口311 - 313、開口321、および開口322を形成する(図27D)。開口311 - 313は導電体層211 - 213に達する開口である。開口321は、導電体層223に達する開口であり、開口322は、導電体層224に達する開口である。

10

## 【 0 1 5 5 】

絶縁層273上に導電膜を形成する。ここでは、単層の透光性導電膜を形成する。ここでは、スパッタ法で、厚さ75nm乃至125nmの酸化シリコン( $SiO_x$ )を含有させた、酸化インジウムスズ(ITO)膜を形成する。透光性導電膜上にレジストマスクRM7(図示せず)を形成し、透光性導電膜をエッチングして、導電体層231 - 235を形成する(図27D)。

20

## 【 0 1 5 6 】

導電体層231は、トランジスタM1のバックゲート電極として機能する領域を有し、開口311において導電体層211に接している。導電体層232は、トランジスタM3のバックゲート電極として機能する領域を有し、開口312において導電体層212に接している。導電体層233は、トランジスタM5のバックゲート電極として機能する領域を有し、開口313において導電体層213に接している。導電体層234は、トランジスタM2のバックゲート電極として機能する領域を有し、開口322により導電体層215に接している。導電体層235は、キャパシタC1の電極として機能する領域を有し、開口321において導電体層223に接している。

30

## 【 0 1 5 7 】

以上の工程で、トランジスタM1 - M5およびキャパシタC1が作製される。図25に示すように、キャパシタC1は、導電体(216、224、225、235)を電極に、絶縁層271および絶縁層272を誘電体として含む。また、画素21\_\_R、画素21\_\_G、画素21\_\_Bで、トランジスタM1 - M5のうちの1又は複数のトランジスタのサイズ(チャンネル長L、チャンネル幅W)を異ならせてもよい。例えば、トランジスタM2のL/W(チャンネル長とチャンネル幅との比)を、画素21\_\_G > 画素21\_\_G > 画素21\_\_Bとなるようにしてもよい。これにより、画素21の発光色によって、ゲート - ソース間電圧 $V_{gs2}$ が同じでも、トランジスタM2を流れる $I_{d2}$ を異ならせることができる(前掲実施の形態1の式(3)、(4)参照)。

40

## 【 0 1 5 8 】

(第4層の導電体層)

絶縁層273および導電体層231 - 235を覆って絶縁層274を形成する。絶縁層274は、画素21において、トランジスタM1 - M5およびキャパシタC1による凹凸を平坦化するための平坦化膜として形成することが好ましい。絶縁層274としては樹脂膜が好ましい。ここでは、塗布法により、厚さ1.5 $\mu$ m乃至2.5 $\mu$ mのポリイミド膜を形成する。ここでは、マスクMK8(図示せず)を用いる露光工程を行うことで、開口331 - 333を有する絶縁層274を形成する(図27E)。開口331は、導電体層222に達する開口であり、開口332は、導電体層227に達する開口であり、開口333は、導電体層225に達する開口である。これらの開口により、第2層の導電体層と第

50

4層の導電体層とが電氣的に接続される。

【0159】

絶縁層274上に導電膜を形成する。ここでは、3層構造の導電膜を形成する。第1層および第3層は、厚さ75nm乃至125nmのチタン膜とし、第2層は、厚さ350nm乃至450nmのアルミニウム膜とする。チタン膜、アルミニウム膜はスパッタ法等で形成することができる。レジストマスクRM9(図示せず)を用いて、3層構造の導電膜をエッチングして、導電体層241-243を形成する(図27E)。導電体層241は、配線SLを構成し、開口331において、導電体層222と接している。導電体層242は、配線PLaとして機能する領域を有し、開口332において、導電体層227と接している。導電体層243は、発光素子EL1の画素電極(導電体層251)を、トランジスタM2等と電氣的に接続するための電極として機能する領域を有する。導電体層243は、開口333において導電体層225と接している。

10

【0160】

(発光素子EL1)

絶縁層274および導電体層241-243を覆って、絶縁層275を形成する。絶縁層275は絶縁層274と同様に形成することができる。塗布法により、厚さ1.5μm乃至2.5μmのポリイミド膜を形成する。マスクMK10(図示せず)を用いる露光工程を行うことで、開口341を有する絶縁層275を形成する(図28A)。絶縁層275上に、光180を反射することが可能な光反射性の導電膜を形成する。ここでは、3層構造の金属膜を形成する。第1層は、厚さ30nm乃至70nmのチタン膜とし、第2層は、厚さ175nm乃至225nmのアルミニウム膜とし、第3層は厚さ5nm乃至10nmのチタン膜とする。レジストマスクRM10(図示せず)を用いて、3層構造の導電膜をエッチングして、導電体層251を形成する(図28A)。導電体層251は、画素電極として機能し、また発光素子EL1の陽極として機能する。導電体層251は、開口341において導電体層243に接している。

20

【0161】

導電体層251に重ねて、導電体層252を形成する(図28B)。導電体層252は、透光性導電膜から形成される。導電体層252は、発光素子EL1をマイクロキャピティ構造とするために設けられる。導電体層252は、導電体層251と導電体層253間の光路長を調節する調整層として機能する導電体層252の厚さは、画素21から取り出す光の波長(色)に対応して、その厚さが調節される。例えば、導電体層252の厚さは5nm乃至100nmの範囲で調節すればよい。ここでは、導電体層252を、酸化シリコンを含む酸化インジウムスズ膜(ここでは、便宜上、“SiO<sub>x</sub>含有ITO膜”と呼ぶ。)で形成する。また、光180の波長が長いほど、導電体層252を厚くしている。ここでは、透光性導電膜の積層数により、導電体層252の厚さを調節している。

30

【0162】

まず、1層目のSiO<sub>x</sub>含有ITO膜を形成し、レジストマスクRM11(図示せず)を用いて、このSiO<sub>x</sub>含有ITO膜をエッチングして、画素(21\_\_R、21\_\_G、21\_\_B)に、1層目の透光性導電体層を形成する。これにより、画素21\_\_Bの導電体層252が完成する。次に2層目のSiO<sub>x</sub>含有ITO膜を形成し、レジストマスクRM12(図示せず)を用いてこのSiO<sub>x</sub>含有ITO膜を、エッチングして、画素21\_\_Rおよび画素21\_\_Gの2層目の透光性導電体層を形成する。この工程で、画素21\_\_Gの導電体層252が完成する。最後に3層目のSiO<sub>x</sub>含有ITO膜を形成し、レジストマスクRM13(図示せず)を用いてこれをエッチングして、画素21\_\_Rに3層目の透光性導電体層を形成する。この工程で、画素21\_\_Rの導電体層252が完成する。

40

【0163】

絶縁層275上に、絶縁層276を形成する。塗布法により、厚さ0.8μm乃至1.2μmのポリイミド膜を形成する。マスクMK14(図示せず)を用いる露光工程を行うことで、開口351を有する絶縁層276を形成する(図28C、図25)。開口351において、導電体層252の表面が露出される。

50

## 【0164】

絶縁層276上に、スペーサとして機能する絶縁層277を形成する(図25、図28D)。絶縁層277は、絶縁層276と同様に形成すればよい。ここでは、塗布工程およびマスクMK15(図示せず)を用いた露光工程を行って、絶縁層277として、厚さ1.5 $\mu$ m乃至2.2 $\mu$ mのポリイミド膜を形成する。図28Dに示すように、絶縁層277は、配線SLに沿って、導電体層251(画素電極)と一部重なるように帯状の構造物として形成される。

## 【0165】

絶縁層277、絶縁層276および導電体層252を覆って、画素部121全体に、EL層260を形成する。EL層260は、少なくとも発光物質を含む発光層を1つ以上備えていればよく、発光層以外の層と積層された構造であってもよい。発光層以外の層としては、例えば正孔注入性の高い物質、正孔輸送性の高い物質、正孔輸送性に乏しい物質(正孔をブロックする物質)、電子輸送性の高い物質、電子注入性の高い物質、並びにバイポーラ性の物質(電子および正孔の輸送性の高い物質)等を含む層が挙げられる。ここでは、EL層260に、2層以上の発光層を設けて、発光素子EL1が白色の光180を発するようにしている。

10

## 【0166】

EL層260を覆って、画素部121全体に、導電体層253を形成する。導電体層253は、画素部121のコモン電極として機能し、また発光素子EL1の陰極として機能する。絶縁層276の開口351において、導電体層251-253およびEL層260が積層している領域が、発光領域(発光素子EL1)として機能する。導電体層253は、光180(可視光)を透過する透光性導電膜で形成される。また、導電体層253を、光反射性と光透過性の両方の性質を有する半透光性電極(半反射電極)として形成することもできる。この場合、薄い金属膜(好ましくは厚さ20nm以下、更に好ましくは10nm以下)と上記の透光性導電膜との積層膜で、導電体層253を形成することができる。薄い金属膜としては、銀、マグネシウム、またはこれらの金属材料を含む合金でなる単層構造または積層構造の膜を用いることができる。

20

## 【0167】

以上の工程を経て、素子基板101を作製することができる。

## 【0168】

<<対向基板の作製方法例>>

図25、および図28を参照して、対向基板171の作製方法の一例を示す。基板170上に、まず、ブラックマトリクスとして機能する遮光層280を形成する。次に、カラーフィルタ層(281\_\_R、281\_\_G、281\_\_B)を形成する。図28Eに示すように、配線SL(導電体層241)に沿って、RGBに対応するカラーフィルタ層(281\_\_R、281\_\_G、281\_\_B)が帯状に形成されている。

30

## 【0169】

なお、ここでは、画素21\_\_R、画素21\_\_G、画素21\_\_Bのサイズ( $H_{21}$ 、 $V_{21}$ ) (図26B)を等しくしているが、発光色毎に異ならせてもよい。例えば、 $V_{21}$ は画素21\_\_R、画素21\_\_G、画素21\_\_Bでサイズを等しくし、 $H_{21}$ は、画素21\_\_Bを最も長くし、画素21\_\_Gと画素21\_\_Bは同じ長さとするすることができる。

40

## 【0170】

<<表示パネルの組み立て>>

以上の工程で、対向基板171が完成する。素子基板101と対向基板171を対向した状態で重ね合わせる。この状態で、それらの周辺部にシール部材を設けて、素子基板101に対向基板171を固定する。さらに、対向基板171に光学部材を取り付ける、タッチパネルを取り付ける、FPCを取り付けるなどの必要な組み立て工程を行い、表示パネル100を完成させる。

## 【0171】

(基板)

50

基板 110 および基板 170 に適用可能な基板としては、例えば、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどが挙げられる。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート (PET)、ポリエチレンナフタレート (PEN)、ポリエーテルサルフォン (PES) に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。貼り合わせフィルムの一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、又はポリ塩化ビニルなどがある。基材フィルムの一例としては、ポリエステル、ポリアミド、ポリイミド、アラミド、エポキシ、無機蒸着フィルム、又は紙類などがある。なお、図 25 の例では、基板 170 は光 180 (可視光) を透過する基板が用いられる。

10

## 【0172】

基板 110 は素子基板 101 を作製するために使用される支持基板 (ガラス基板など) でなくてよい。画素 21 等を作製した後、支持基板を剥離して、接着層により可撓性基板を取り付けてもよい。また、同様に、基板 170 もカラーフィルタ層 (281\_R、281\_B、281\_G) 等の作製に使用される支持基板 (ガラス基板等) でなくてもよく、オーバーコート層 282 の形成後、支持基板を剥離して、接着層により可撓性基板を取り付けてもよい。このような作製方法例については、実施の形態 5 で後述する。

## 【0173】

(実施の形態 4)

本実施の形態では、半導体装置に含まれるトランジスタのいくつかの構成例を示す。

20

## 【0174】

&lt;&lt; 構成例 1 &gt;&gt;

ここでは、OS トランジスタの構成の一例を説明する。図 29A、図 29B に、デバイス構造の異なるトランジスタ (TA1、TA2) の上面図 (レイアウト図) を示す。図 29C、図 29D は、トランジスタ (TA1、TA2) の断面図である。トランジスタ TA1 の  $x_1 - x_2$  線および  $y_1 - y_2$  線による断面図、並びにトランジスタ TA2 の  $x_3 - x_4$  線および  $y_3 - y_4$  線による断面図を、図 29C、図 29D に示す。つまり、トランジスタ (TA1、TA2) のチャンネル長方向の断面構造が、図 29C に示され、同チャンネル幅方向の断面構造が図 29D に示されている。

30

## 【0175】

図 29C、図 29D に示すように、トランジスタ (TA1、TA2) は、同一絶縁表面 (基板 600) 上に集積されており、これらのトランジスタは、同一の作製工程で作製することが可能である。なお、ここではデバイス構造の明瞭化のため、各トランジスタのゲート (G)、ソース (S)、およびドレイン (D) へ信号や電位を供給するための配線との電気的な接続は省略している。また、この構成例では、OS トランジスタのチャンネル長は、ソース電極とドレイン電極間の距離とする。また、OS トランジスタのチャンネル幅は、酸化物半導体層とゲート電極が重なる領域でのソース電極またはドレイン電極の幅とする。例えば、図 29A、図 29B に示すように、トランジスタ TA1、TA2 のチャンネル長は  $L_{a1}$  であり、チャンネル幅は  $W_{a1}$  である。

40

## 【0176】

トランジスタ TA1 (図 29A)、トランジスタ TA2 (図 29B) は、ゲート (G) とバックゲート (BG) とを有するトランジスタである。トランジスタ TA1、トランジスタ TA2 は、バックゲートをゲートと接続した構造としている。なお、トランジスタ TA1、トランジスタ TA2 において、BG を設けないようにすることもできる。

## 【0177】

&lt; トランジスタ TA1 &gt;

トランジスタ TA1 は基板 600 上に形成されており、ゲート電極 GE1、ソース電極 SE1、ドレイン電極 DE1、バックゲート電極 BGE1、および酸化物半導体層 OS1 を

50

有する。

【0178】

層OS1は、絶縁層621を介して電極GE1と重なっている。層OS1の上面および側面に接して一対の電極(SE1、DE1)が形成されている。図29Aに示すように、層OS1は、電極GE1および一対の電極(SE1、DE1)と重ならない部分を有している。層OS1は、チャンネル長方向の長さがチャンネル長La1よりも長く、かつチャンネル幅方向の長さがチャンネル幅Wa1よりも長い。

【0179】

層OS1、電極GE1、電極SE1および電極DE1を覆って、絶縁層622および絶縁層623が形成されている。絶縁層623上に電極BGE1が形成されている。電極BGE1は、層OS1および電極GE1と重なるように設けられている。ここでは、一例として、レイアウト図において、電極GE1と同じ形状で、同じ位置に配置されるように電極BGE1を設けている。電極BGE1は、絶縁層621-23および絶縁膜を貫通する開口CG1において、電極GE1に接している。この構造により、トランジスタTA1のゲート(G)とバックゲート(BG)が電氣的に接続される。

10

【0180】

図29Dのチャンネル幅方向の断面図が示すように、トランジスタTA1は、チャンネル形成領域(チャンネル)は、電極GE1および電極BGE1で囲まれているデバイス構造を有する。そのため、TA1のチャンネル形成領域には、電極GE1だけでなく電極BGE1により形成される電場の影響を受けることになる。そのため、バックゲート電極BGE1をゲート電極GE1に接続することで、トランジスタTA1のオン電流を増加させることができる。また、トランジスタTA1の電界効果移動度を向上させることができる。また、トランジスタTA1のしきい値電圧など電気特性の変動を抑えることができる。

20

【0181】

また、バックゲート電極BGE1を設けることで、トランジスタTA1の強度を向上させることができる。基板600の曲げ等の変形に対して、電極BGE1が補強部材となってトランジスタTA1を壊れにくくすることができる。

【0182】

チャンネル形成領域を含む層OS1は多層構造であり、ここでは、一例として3つの酸化物半導体膜(631、632、633)でなる3層構造としている。層OS1を構成する酸化物半導体膜は、少なくとも1つ同じ金属元素を含む金属酸化物膜であることが好ましく、Inを含むことが特に好ましい。トランジスタの半導体層を構成することが可能なInを含む金属酸化物としては、In-Ga酸化物膜、In-M-Zn酸化物膜(MはAl、Ga、Y、Zr、La、Ce、またはNd)が代表的である。また、このような金属酸化物膜に他の元素や材料を添加した膜を用いることもできる。

30

【0183】

酸化物半導体膜632は、トランジスタTA1のチャンネル形成領域を構成する膜である。また、酸化物半導体膜633は、後述するトランジスタTA2では、チャンネル形成領域を構成する膜である。そのため、トランジスタTA1では酸化物半導体膜632に、トランジスタTA2では酸化物半導体膜633にチャンネルが形成されるように、酸化物半導体膜631-633の主成分である金属元素の原子数比を調節することが好ましい。

40

【0184】

トランジスタTA1において、酸化物半導体膜632にチャンネルが形成されるようにすることで、チャンネル形成領域が絶縁層621、絶縁層622に接しないようにすることができる。また、酸化物半導体膜631-633を少なくとも1つ同じ金属元素を含む金属酸化物膜とすることで、酸化物半導体膜632と酸化物半導体膜631の界面、および酸化物半導体膜632と酸化物半導体膜633の界面において、界面散乱が起こりにくくすることができる。これにより、トランジスタTA1の電界効果移動度をトランジスタTA2やトランジスタTB1よりも高くすることができる。また、オン状態でのドレイン電流(オン電流)を増加させることができる。

50

## 【 0 1 8 5 】

<トランジスタ T A 2 >

トランジスタ T A 2 は、ゲート電極 G E 2、ソース電極 S E 2、ドレイン電極 D E 2、バックゲート電極 B G E 2、および酸化物半導体層 O S 2 を有する。電極 B G E 2 は、絶縁層 6 2 1 - 2 3 を貫通する開口 G C 2 において電極 G E 2 に接している。トランジスタ T A 2 は、トランジスタ T A 1 の変形例であり、層 O S 2 が酸化物半導体膜 6 3 3 となる単層構造である点でトランジスタ T A 1 と異なり、その他については同様である。ここでは、トランジスタ T A 2 のチャンネル長 L a 2、チャンネル幅 W a 2 は、トランジスタ T A 1 のチャンネル長 L a 1、チャンネル幅 W a 1 と等しくなるようにしている。

## 【 0 1 8 6 】

[ 絶縁層 ]

絶縁層 6 2 1 絶縁層 6 2 2 および絶縁層 6 2 3 は、トランジスタ ( T A 1、T A 2 ) が形成される領域全体に形成される膜である。絶縁層 6 2 1、2 2 および 2 3 は、単層あるいは複数層の絶縁膜で形成される。絶縁層 6 2 1 は、トランジスタ ( T A 1、T A 2 ) のゲート絶縁層を構成する膜である。また、絶縁層 6 2 2 および絶縁層 6 2 3 は、トランジスタ ( T A 1、T A 2 ) のバックチャンネル側のゲート絶縁層を構成する膜である。また、最上面の絶縁層 6 2 3 は、基板 6 0 0 に形成されるトランジスタの保護膜として機能するような材料で形成することが好ましい。絶縁層 6 2 3 は適宜設ければよい。3 層目の電極 B G E 1 と 2 層目の電極 ( S E 1、D E 1 ) を絶縁するために、これらの間に少なくとも 1 層絶縁膜が存在していればよい。

## 【 0 1 8 7 】

[ 酸化物半導体膜 ]

ここでは、トランジスタ T A 1、T A 2 の半導体層を構成する酸化物半導体膜について説明する。層 O S 1 のように半導体層を多層構造とする場合、これらを構成する酸化物半導体膜は、少なくとも 1 つ同じ金属元素を含む金属酸化物膜であることが好ましく、I n を含むことが好ましい。

## 【 0 1 8 8 】

例えば、酸化物半導体膜 6 3 1 が I n - G a 酸化物膜の場合、I n の原子数比を G a の原子数比よりも小さくする。I n - M - Z n 酸化物膜の場合、I n の原子数比を M の原子数比よりも小さくする。この場合、Z n の原子数比が最も大きくなるようにすることができる。

## 【 0 1 8 9 】

例えば、酸化物半導体膜 6 3 2 が I n - G a 酸化物膜の場合、I n の原子数比を G a の原子数比よりも大きくする。I n - M - Z n 酸化物膜 ( M は A l、G a、Y、Z r、L a、C e、または N d ) の場合、I n の原子数比を M の原子数比よりも大きくする。I n - M - Z n 酸化物膜では、I n の原子数比が M および Z n の原子数比よりも大きくすることが好ましい。

## 【 0 1 9 0 】

例えば、酸化物半導体膜 6 3 3 が I n - G a 酸化物膜の場合、I n の原子数比を G a の原子数比と同じにする、または小さくする。I n - M - Z n 酸化物膜の場合、I n の原子数比を M の原子数比と同じにする。この場合、Z n の原子数比が、I n および M よりも大きくすることができる。ここでは、酸化物半導体膜 6 3 3 は、後述するトランジスタ T A 2、トランジスタ T B 1 のチャンネル形成領域を構成する膜でもある。

## 【 0 1 9 1 】

酸化物半導体膜 6 3 1 - 6 3 3 の原子数比は、スパッタリング法で成膜する場合は、ターゲットの構成材料の原子数比等を調節することで可能である。また、C V D 法で成膜する場合は、原料ガスの流量比などを調節することで可能である。以下、酸化物半導体膜 6 3 1 - 6 3 3 として、スパッタリング法で I n - M - Z n 酸化物膜を形成する場合を例に、成膜に使用されるターゲットについて述べる。

## 【 0 1 9 2 】

10

20

30

40

50

酸化物半導体膜631のターゲットの金属元素の原子数比を $I_n : M : Z_n = x_1 : y_1 : z_1$ とすると、 $x_1 / y_1$ は、 $1/6$ 以上1未満であることが好ましい。また、 $z_1 / y_1$ は、 $1/3$ 以上6以下、さらには1以上6以下であることが好ましい。

【0193】

ターゲットの金属元素の原子数比の代表例としては、 $I_n : M : Z_n = 1 : 3 : 2$ 、 $I_n : M : Z_n = 1 : 3 : 4$ 、 $I_n : M : Z_n = 1 : 3 : 6$ 、 $I_n : M : Z_n = 1 : 3 : 8$ 、 $I_n : M : Z_n = 1 : 4 : 4$ 、 $I_n : M : Z_n = 1 : 4 : 5$ 、 $I_n : M : Z_n = 1 : 4 : 6$ 、 $I_n : M : Z_n = 1 : 4 : 7$ 、 $I_n : M : Z_n = 1 : 4 : 8$ 、 $I_n : M : Z_n = 1 : 5 : 5$ 、 $I_n : M : Z_n = 1 : 5 : 6$ 、 $I_n : M : Z_n = 1 : 5 : 7$ 、 $I_n : M : Z_n = 1 : 5 : 8$ 、 $I_n : M : Z_n = 1 : 6 : 8$ 等がある。

10

【0194】

酸化物半導体膜632のターゲットの金属元素の原子数比を $I_n : M : Z_n = x_2 : y_2 : z_2$ とすると、 $x_2 / y_2$ は、1より大きく6以下であることが好ましい。また、 $z_2 / y_2$ は1より大きく6以下であることが好ましい。ターゲットの金属元素の原子数比の代表例としては、 $I_n : M : Z_n = 2 : 1 : 1.5$ 、 $I_n : M : Z_n = 2 : 1 : 2.3$ 、 $I_n : M : Z_n = 2 : 1 : 3$ 、 $I_n : M : Z_n = 3 : 1 : 2$ 、 $I_n : M : Z_n = 3 : 1 : 3$ 、 $I_n : M : Z_n = 3 : 1 : 4$ 等がある。

【0195】

酸化物半導体膜633のターゲットの金属元素の原子数比を $I_n : M : Z_n = x_3 : y_3 : z_3$ とすると、 $x_3 / y_3$ は、 $1/6$ 以上1以下であることが好ましい。また、 $z_3 / y_3$ は、 $1/3$ 以上6以下、さらには1以上6以下であることが好ましい。ターゲットの金属元素の原子数比の代表例としては、 $I_n : M : Z_n = 1 : 1 : 1$ 、 $I_n : M : Z_n = 1 : 1 : 1.2$ 、 $I_n : M : Z_n = 1 : 3 : 2$ 、 $I_n : M : Z_n = 1 : 3 : 4$ 、 $I_n : M : Z_n = 1 : 3 : 6$ 、 $I_n : M : Z_n = 1 : 3 : 8$ 、 $I_n : M : Z_n = 1 : 4 : 4$ 、 $I_n : M : Z_n = 1 : 4 : 5$ 、 $I_n : M : Z_n = 1 : 4 : 6$ 、 $I_n : M : Z_n = 1 : 4 : 7$ 、 $I_n : M : Z_n = 1 : 4 : 8$ 、 $I_n : M : Z_n = 1 : 5 : 5$ 、 $I_n : M : Z_n = 1 : 5 : 6$ 、 $I_n : M : Z_n = 1 : 5 : 7$ 、 $I_n : M : Z_n = 1 : 5 : 8$ 、 $I_n : M : Z_n = 1 : 6 : 8$ 等がある。

20

【0196】

$I_n - M - Z_n$ 酸化物膜の成膜用ターゲットにおいて、金属元素の原子数比を $I_n : M : Z_n = x : y : z$ とした場合、 $z / y > 6$ とすることで、 $I_n - M - Z_n$ 酸化物膜としてCAAC-OS膜が形成されやすくなるため好ましい。なお、CAAC-OS膜については後述する。

30

【0197】

酸化物半導体膜631-633としては、キャリア密度の低い酸化物半導体膜を用いる。例えば、酸化物半導体膜631-633として、キャリア密度が $1 \times 10^{17}$ 個/cm<sup>3</sup>以下、好ましくは $1 \times 10^{15}$ 個/cm<sup>3</sup>以下、さらに好ましくは $1 \times 10^{13}$ 個/cm<sup>3</sup>以下、より好ましくは $1 \times 10^{11}$ 個/cm<sup>3</sup>以下の酸化物半導体膜を用いる。

【0198】

酸化物半導体膜631-633として、不純物濃度が低く、欠陥準位密度の低い酸化物半導体膜を用いることで、さらに優れた電気特性を有するトランジスタを作製することができる。ここでは、不純物濃度が低く、欠陥準位密度の低い(酸素欠損の少ない)ことを高純度真性または実質的に高純度真性とよぶ。高純度真性または実質的に高純度真性である酸化物半導体は、キャリア発生源が少ないため、キャリア密度を低くすることができる場合がある。従って、当該酸化物半導体膜にチャネル領域が形成されるトランジスタは、しきい値電圧がマイナスとなる電気特性(ノーマリーオンともいう。)になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、オフ電流が著しく小さく、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長Lが $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧(ド

40

50

レイン電圧)が1Vから10Vの範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13}$  A以下という特性を得ることができる。従って、当該酸化物半導体膜にチャネル領域が形成されるトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。不純物としては、水素、窒素、アルカリ金属、またはアルカリ土類金属等がある。

【0199】

酸化物半導体膜に含まれる水素は金属原子と結合する酸素と反応して水になると共に、酸素が脱離した格子(または酸素が脱離した部分)に酸素欠損が形成される。当該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合することで、キャリアである電子を生成する場合がある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。

10

【0200】

このため、酸化物半導体膜631-633は酸素欠損と共に、水素ができる限り低減されていることが好ましい。具体的には、酸化物半導体膜631-633において、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)により得られる水素濃度を、 $5 \times 10^{19}$  atoms/cm<sup>3</sup>以下、より好ましくは $1 \times 10^{19}$  atoms/cm<sup>3</sup>以下、 $5 \times 10^{18}$  atoms/cm<sup>3</sup>未満、好ましくは $1 \times 10^{18}$  atoms/cm<sup>3</sup>以下、より好ましくは $5 \times 10^{17}$  atoms/cm<sup>3</sup>以下、さらに好ましくは $1 \times 10^{16}$  atoms/cm<sup>3</sup>以下とする。

20

【0201】

酸化物半導体膜631-633に第14族元素の一つであるシリコンや炭素が含まれると、膜中の酸素欠損が増加し、これらの膜がn型化してしまう。このため、酸化物半導体膜631-633におけるシリコンや炭素の濃度(二次イオン質量分析法により得られる濃度)を、 $2 \times 10^{18}$  atoms/cm<sup>3</sup>以下、好ましくは $2 \times 10^{17}$  atoms/cm<sup>3</sup>以下とする。

【0202】

また、酸化物半導体膜631-633において、二次イオン質量分析法により得られるアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18}$  atoms/cm<sup>3</sup>以下、好ましくは $2 \times 10^{16}$  atoms/cm<sup>3</sup>以下にする。アルカリ金属およびアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があり、トランジスタのオフ電流が増大してしまうことがある。このため、酸化物半導体膜631-633のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。

30

【0203】

酸化物半導体膜631-633に窒素が含まれていると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。そのため窒素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすいので、酸化物半導体膜631-633の窒素含有量はできる限り低減されていることが好ましい、例えば、二次イオン質量分析法により得られる窒素濃度を $5 \times 10^{18}$  atoms/cm<sup>3</sup>以下にすることが好ましい。

40

【0204】

以上、酸化物半導体膜631-633について述べたが、これらに限られず、必要とするトランジスタの半導体特性および電気特性(電界効果移動度、しきい値電圧等)に応じて適切な組成の酸化物半導体膜を用いればよい。また、必要とするトランジスタの半導体特性および電気特性を得るために、酸化物半導体膜631-633のキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとすることが好ましい。

【0205】

トランジスタTA1は、GaまたはM(MはAl、Ga、Y、Zr、La、Ce、またはNd)の原子数比よりもInの原子数比が大きい酸化物半導体膜632でチャネルが形成

50

されるため、電界効果移動度を高くすることができる。代表的には、その電界効果移動度は、 $10\text{ cm}^2/\text{Vs}$ より大きく $60\text{ cm}^2/\text{Vs}$ 未満、好ましくは $15\text{ cm}^2/\text{Vs}$ 以上 $50\text{ cm}^2/\text{Vs}$ 未満である。そのため、アクティブマトリクス型表示装置の回路にトランジスタTA1を用いる場合は、高速動作が要求される駆動回路に好適である。

#### 【0206】

チャンネル形成領域が酸化物半導体膜633で形成されるトランジスタTA2は、トランジスタTA1よりも電界効果移動度が低く、その大きさは、 $3\text{ cm}^2/\text{Vs}$ 以上 $10\text{ cm}^2/\text{Vs}$ 以下程度である。トランジスタTA2は、酸化物半導体膜632を有していないため、トランジスタTA1よりも光によって劣化しにくく、光照射によるオフ電流の増大量が少ない。そのため、チャンネル形成領域が酸化物半導体膜633で形成されるトランジスタTA2は光が照射されるような画素部に好適である。このような $10\text{ cm}^2/\text{Vs}$ 以下程度の電界効果移動度とする場合、トランジスタのチャンネル長は $2.5\text{ }\mu\text{m}$ 以上とすることができる。

10

#### 【0207】

トランジスタTA1は、酸化物半導体膜632を有しないトランジスタTA2と比較して、光が照射されるとオフ状態における電流が増大しやすい。これがトランジスタTA1が画素部のように遮光が十分できない画素部よりも光の影響が少ない画素部の周辺回路（例えば、駆動回路）に適している理由の1つである。また、もちろん、トランジスタTA2のような構成のトランジスタも、駆動回路などの画素部以外の回路に設けることが可能である。

20

#### 【0208】

以上、トランジスタ(TA1、TA2)について述べたが、これらに限られず、必要とするトランジスタの半導体特性および電気特性に応じて、トランジスタの構成を変更すればよい。例えば、バックゲート電極の有無、酸化物半導体層の積層構造、酸化物半導体層ゲート電極、ソース電極およびドレイン電極の形状や配置等を適宜変更することができる。

#### 【0209】

<<トランジスタの構成例2>>

図30、図31に、トップゲート構造のOSトランジスタの構成の一例を示す。図30A、図30Bに、デバイス構造の異なるトランジスタ(TA3、TA4)の上面図(レイアウト図)を示す。図31は、トランジスタ(TA3、TA4)の断面図である。トランジスタTA3のx5-x6線およびy5-y6線による断面図、トランジスタTA2のx7-x8線およびy7-y8線による断面図を、図29C、図29Dに示す。トランジスタTA3、TA4のチャンネル長方向の断面構造が、図31Bに示され、同チャンネル幅方向の断面構造が図31Cに示されている。

30

#### 【0210】

トランジスタTA3、TA4は、基板650上に形成されている。トランジスタTA3は、バックゲート電極BGE3、絶縁層651上の酸化物半導体層OS3、ソース電極SE3、ドレイン電極DE3、絶縁層652、およびゲート電極GE3を有する。トランジスタTA4は、酸化物半導体層OS4、ソース電極SE4、ドレイン電極DE4、絶縁層653、およびゲート電極GE4を有する。なお、トランジスタTA3、TA4は絶縁層654に覆われている。絶縁層653および絶縁層652はゲート絶縁膜として機能する。酸化物半導体層OS3および酸化物半導体層OS4は、単層の酸化物半導体膜、または酸化物半導体膜の積層膜で形成されている。

40

#### 【0211】

開口CG3においてゲート電極GE3がバックゲート電極BGE3に接している。ゲート電極GE3とバックゲート電極BGE3を接続せず、それぞれ異なる電位を印加することで、トランジスタTA3のしきい値電圧を制御することができる。あるいは、図31Bに示すように、ゲート電極GE3とバックゲート電極BGE3とを接続し、同じ電位を印加することで、オン電流の増加、初期特性バラツキの低減、-GBTストレス試験の劣化の抑制、および異なるドレイン電圧におけるオン電流の立ち上がり電圧の変動の抑制が可能

50

である。

【0212】

トランジスタTA4およびトランジスタTA3において、ゲート電極GE4と、ソース電極SE4およびドレイン電極DE4とが重ならないことで、ゲート電極GE4と、ソース電極SE4およびドレイン電極DE4との間の寄生容量を低減することが可能である。また、ゲート電極GE3と、ソース電極SE3およびドレイン電極DE3とが重ならないことで、ゲート電極GE3と、ソース電極SE3およびドレイン電極DE3との間の寄生容量を低減することが可能である。この結果、基板650として大面積基板を用いた場合、ソース電極SE4、ドレイン電極DE4およびゲート電極GE4、並びにソース電極SE3およびドレイン電極DE3およびゲート電極GE3における信号遅延を低減することが可能である。

10

【0213】

トランジスタTA3において、ソース電極SE3、ドレイン電極DE3およびゲート電極GE3をマスクとして、不純物元素が酸化物半導体層OS3に添加することで、酸素欠損を有する領域が形成される。トランジスタTA4において、ソース電極SE4、ドレイン電極DE4およびゲート電極GE4をマスクとして、希ガス元素を酸化物半導体層OS4に添加することで、酸素欠損を有する領域が形成される。絶縁層654を水素を含む絶縁膜で形成する場合、トランジスタTA3、TA4においては、酸素欠損を有する領域が、水素を含む絶縁層654と接するため、絶縁層654に含まれる水素が酸素欠損を有する領域に拡散することで、低抵抗領域が形成される。すなわち、セルフラインで低抵抗領域を形成することができる。

20

【0214】

<酸化物半導体膜について>

以下では、酸化物半導体膜の構造について説明する。

【0215】

酸化物半導体膜は、単結晶酸化物半導体膜と非単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、非晶質酸化物半導体膜、微結晶酸化物半導体膜、多結晶酸化物半導体膜、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜などをいう。OSTランジスタの酸化物半導体層は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、CAAC-OS膜のうち、二種以上を有する積層膜であってもよい。

30

【0216】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶成分を有さない酸化物半導体膜である。微小領域においても結晶部を有さず、膜全体が完全な非晶質構造の酸化物半導体膜が典型である。

【0217】

微結晶酸化物半導体膜は、例えば、1nm以上10nm未満の大きさの微結晶(ナノ結晶ともいう。)を含む。従って、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも原子配列の規則性が高い。そのため、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。

40

【0218】

CAAC-OS膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が100nm未満の立方体内に収まる大きさである。従って、CAAC-OS膜に含まれる結晶部は、一辺が10nm未満、5nm未満または3nm未満の立方体内に収まる大きさの場合も含まれる。CAAC-OS膜は、微結晶酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。以下、CAAC-OS膜について詳細な説明を行う。

【0219】

CAAC-OS膜を透過型電子顕微鏡(TEM:Transmission Electron Microscope)によって観察すると、結晶部同士の明確な境界、即ち結

50

晶粒界（グレインバウンダリーともいう。）を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0220】

CAAC-OS膜を、試料面と概略平行な方向からTEMによって観察（断面TEM観察）すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面（被形成面ともいう。）または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

【0221】

一方、CAAC-OS膜を、試料面と概略垂直な方向からTEMによって観察（平面TEM観察）すると、結晶部において、金属原子が三角形または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

10

【0222】

断面TEM観察および平面TEM観察より、CAAC-OS膜の結晶部は配向性を有していることがわかる。

【0223】

CAAC-OS膜に対し、X線回折（XRD：X-Ray Diffraction）装置を用いて構造解析を行うと、例えばInGaZnO<sub>4</sub>の結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角（ $2\theta$ ）が31°近傍にピークが現れる場合がある。このピークは、InGaZnO<sub>4</sub>の結晶の（009）面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

20

【0224】

一方、CAAC-OS膜に対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、 $2\theta$ が56°近傍にピークが現れる場合がある。このピークは、InGaZnO<sub>4</sub>の結晶の（110）面に帰属される。InGaZnO<sub>4</sub>の単結晶酸化物半導体膜であれば、 $2\theta$ を56°近傍に固定し、試料面の法線ベクトルを軸（ $\omega$ 軸）として試料を回転させながら分析（ $\omega$ スキャン）を行うと、（110）面と等価な結晶面に帰属されるピークが6本観察される。これに対し、CAAC-OS膜の場合は、 $2\theta$ を56°近傍に固定してスキャンした場合でも、明瞭なピークが現れない。

30

【0225】

以上のことから、CAAC-OS膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

【0226】

なお、結晶部は、CAAC-OS膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、CAAC-OS膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、CAAC-OS膜の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC-OS膜の被形成面または上面の法線ベクトルと平行にならないこともある。

40

【0227】

また、CAAC-OS膜中の結晶化度が均一でなくてもよい。例えば、CAAC-OS膜の結晶部が、CAAC-OS膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることもある。また、CAAC-OS膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

【0228】

なお、InGaZnO<sub>4</sub>の結晶を有するCAAC-OS膜のout-of-plane法による解析では、 $2\theta$ が31°近傍のピークの他に、 $2\theta$ が36°近傍にもピークが現れ

50

る場合がある。2θが36°近傍のピークは、CAAC-OSS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OSS膜は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

#### 【0229】

CAAC-OSS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

#### 【0230】

<<トランジスタの構成例3>>

本発明の一形態にかかる半導体装置に用いられるトランジスタは、非晶質、微結晶、多結晶または単結晶である、シリコン又はゲルマニウムなどの半導体膜または半導体基板に、チャンネル形成領域を有していてもよい。シリコンの薄膜を用いて、当該トランジスタを形成することもできる。ここでは、チャンネル形成領域を含む半導体層がシリコン膜で形成されているトランジスタの構成例を説明する。シリコン膜としては、プラズマCVD法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンをレーザーアニールなどの処理により結晶化させた多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

#### 【0231】

図32に、トップゲート構造のトランジスタ(TA5、TA6)の構成の一例を示す。トランジスタTA5は、nチャンネル型のトランジスタであり、トランジスタTA6はpチャンネル型のトランジスタである。トランジスタTA5、TA6は、絶縁表面を有する基板671上に形成されている。

#### 【0232】

トランジスタTA5は、導電体層660、導電体層662、導電体層664、導電体層666、導電体層667、絶縁層671、絶縁層672、絶縁層673、絶縁層674、および半導体層680を有する。トランジスタTA6は、導電体層661、導電体層663、導電体層665、導電体層668、導電体層669、絶縁層671、絶縁層672、絶縁層673、絶縁層674、および半導体層681を有する。

#### 【0233】

絶縁層672は、トランジスタTA5およびトランジスタTA6の絶縁層として機能する領域を含む。半導体層680は、チャンネル形成領域682、一对のLDD(Light Doped Drain)領域683、並びに一对の一对の不純物領域684を有する。チャンネル形成領域682は、半導体層680の導電体層664と重畳する領域である。一对の不純物領域684はソース領域およびドレイン領域として機能する。LDD領域683、および不純物領域684は、n型の導電性を半導体層680に付与する不純物元素、例えば、ボロン(B)、アルミニウム(Al)、ガリウム(Ga)等が添加されている。半導体層681は、チャンネル形成領域685、および一对の不純物領域686を有する。チャンネル形成領域685は、半導体層681の導電体層665と重なる領域である。一对の不純物領域686はソース領域およびドレイン領域として機能する。不純物領域686は、p型の導電性を半導体層681に付与する不純物元素、例えば、リン(P)、ヒ素(As)等が添加されている。

#### 【0234】

半導体層680または半導体層681は、様々な技術により結晶化しても良い。結晶化方法として、例えば、レーザー光を用いたレーザー結晶化法、触媒元素を用いる結晶化法がある。或いは、触媒元素を用いる結晶化法とレーザー結晶化法とを組み合わせることもできる。また、基板671として石英のような耐熱性に優れている基板を用いる場合、電熱炉を使用した熱結晶化方法、赤外光を用いたランプアニール結晶化法、触媒元素を用いる結晶化法、950程度の高温度アニールを組み合わせた結晶法を用いてもよい。

#### 【0235】

導電体層660、導電体層661は、第1層の導電体層である。導電体層660は、トランジスタTA5のバックゲート電極として機能する領域を含み、導電体層661は、トラ

10

20

30

40

50

ンジスタT A 6のバックゲート電極として機能する領域を含む。導電体層6 6 2、導電体層6 6 3は、第2層の導電体層であり、導電体層6 6 4、導電体層6 6 5は第3層の導電体層である。導電体層6 6 4は、チャンネル長方向における幅が導電体層6 6 2よりも短く、導電体層6 6 5は、チャンネル長方向における幅が導電体層6 6 3よりも短い。導電体層6 6 2および導電体層6 6 4において、絶縁層6 7 2を介して半導体層6 8 0と重なる領域は、トランジスタT A 5のゲート電極として機能する。

【0 2 3 6】

導電体層6 6 6 - 6 6 9は、第4層の導電体層である。導電体層6 6 6および導電体層6 6 8は、トランジスタT A 5のソース電極およびドレイン電極として機能する領域を含み、絶縁層6 7 3および絶縁層6 7 4に設けられた開口において半導体層6 8 0に接している。導電体層6 6 8および導電体層6 6 9は、トランジスタT A 6のソース電極およびドレイン電極として機能する領域を含み、絶縁層6 7 3および絶縁層6 7 4に設けられた開口において半導体層6 8 1に接している。

10

【0 2 3 7】

例えば、導電体層6 6 2と導電体層6 6 3を一体的に形成し、かつ導電体層6 6 4と導電体層6 6 5を一体的に形成し、かつ導電体層6 6 7と導電体層6 6 8を一体的に形成することで、CMOSインバータを構成することができる。

【0 2 3 8】

(実施の形態5)

実施の形態3で述べたように、半導体装置を一部あるいは全部完成させた後、半導体装置を作製に使用した基板から分離して、他の基板に転載することが可能である。このような作製方法を用いることで、トランジスタを耐熱性の劣る基板や可撓性の基板にも転載できる。

20

【0 2 3 9】

トランジスタが転載される転載用基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、アラミドフィルム基板、ポリイミドフィルム基板、石材基板、木材基板、布基板(天然繊維(絹、綿、麻)、合成繊維(ナイロン、ポリウレタン、ポリエステル)若しくは再生繊維(アセテート、キュプラ、レーヨン、再生ポリエステル)などを含む)、皮革基板、又はゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

30

【0 2 4 0】

転載用基板は、可撓性の基板のように、半導体装置の使用時に変形が可能な基板とすることができる。また、転載用基板は、使用時に変形させない基板であってもよく、この場合、平板上に限定されるものでなく、湾曲部を有する基板でもよい。

【0 2 4 1】

以下、図面を参照して、このような半導体装置の作製方法について説明する。ここでは、半導体装置として表示パネル4 0 0の作製する例について説明する。

【0 2 4 2】

<<作製方法例1>>

図3 3および図3 4を用いて、表示パネル4 0 0の作製方法の一例について、説明する。

40

【0 2 4 3】

基板4 6 2上に絶縁層4 2 0を形成し、絶縁層4 2 0上に素子層4 1 0を形成する(図3 3 A)。素子層4 1 0には、トランジスタ等の半導体素子が形成されている。或いは、素子層4 1 0には、半導体素子に加え、表示素子、または画素電極などの表示素子の一部が形成されていてもよい。ここでは、素子層4 1 0には、画素部、周辺回路および端子部が形成される。

【0 2 4 4】

基板4 6 2としては、少なくとも、後の熱処理に耐えうる程度の耐熱性を有している必要

50

がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板等を、基板 462 として用いてもよい。

【0245】

基板 462 にガラス基板を用いる場合、基板 462 と絶縁層 420 との間に、酸化シリコン膜、酸化窒化珪素膜、窒化珪素膜、窒化酸化シリコン膜等の絶縁膜を形成すると、ガラス基板からの汚染を防止でき、好ましい。

【0246】

絶縁層 420 には、例えば、エポキシ樹脂、アラミド樹脂、アクリル樹脂、ポリイミド樹脂、ポリアミド樹脂、ポリアミドイミド樹脂等の有機樹脂膜を用いることができる。中でもポリイミド樹脂を用いると耐熱性が高いため好ましい。絶縁層 420 として、例えば、10ポリイミド樹脂を用いる場合、該ポリイミド樹脂の膜厚は、3 nm 以上 20 μm 以下、好ましくは 500 nm 以上 2 μm 以下である。絶縁層 420 として、ポリイミド樹脂を用いる場合、スピンコート法、ディップコート法、ドクターブレード法等により形成することができる。例えば、絶縁層 420 としてポリイミド樹脂を用いる場合、ドクターブレード法により、当該ポリイミド樹脂を用いた膜の一部を除去することで、所望の厚さを有する絶縁層 420 を得ることができる。

【0247】

素子層 410 は、その作製工程における温度が室温以上 300 以下であると好ましい。例えば、素子層 410 に含まれる、無機材料を用いた絶縁膜または導電膜は、成膜温度が 150 以上 300 以下、さらには 200 以上 270 以下で形成されることが好ま20しい。また、素子層 410 に含まれる、有機樹脂材料を用いた絶縁膜等は、成膜温度が室温以上 100 以下で形成されると好ましい。

【0248】

素子層 410 に含まれるトランジスタを O S トランジスタとする場合、その酸化物半導体層は、前述した C A A C - O S 膜を用いることが好ましい。C A A C - O S 膜を用いると、例えば、表示パネル 400 を折り曲げる際に、チャンネル形成領域にクラック等が入りづらく、曲げに対する耐性を高めることが可能となる。素子層 410 に含まれる導電膜として、酸化シリコンを添加したインジウム錫酸化物を用いると、表示パネル 400 を折り曲げる際に、当該導電膜にクラック等が入りづらくなるため、好ましい。

【0249】

素子層 410 と、仮支持基板 466 とを、剥離用接着剤 464 を用いて接着し、基板 462 から絶縁層 420 と素子層 410 を剥離する。これにより、絶縁層 420 と素子層 410 は、仮支持基板 466 側に設けられる(図 33B)。仮支持基板 466 としては、ガラス基板、石英基板、サファイア基板、セラミック基板、金属基板などを用いることができる。また、本実施の形態の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよいし、フィルムのような可撓性基板を用いてもよい。剥離用接着剤 464 としては、水や溶媒に可溶なものや、紫外線などの照射により可塑化させることが可能であるもののように、必要時に仮支持基板 466 と素子層 410 とを化学的もしくは物理的に分離することが可能な接着剤を用いる。30

【0250】

仮支持基板 466 への転置工程は、様々な方法を適宜用いることができる。例えば、基板 462 の絶縁層 420 が形成されていない側、すなわち図 33B に示す下方側より絶縁層 420 にレーザ光 468 を照射することで、絶縁層 420 を脆弱化させることで基板 462 と絶縁層 420 を剥離することができる。また、上記レーザ光 468 の照射エネルギー密度を調整することで、基板 462 と絶縁層 420 の密着性が高い領域と、基板 462 と絶縁層 420 の密着性が低い領域を作り分けてから剥離してもよい。40

【0251】

本実施の形態においては、基板 462 と絶縁層 420 の界面で剥離する方法について例示したが、剥離方法はこれに限定されない。例えば、絶縁層 420 と素子層 410 との界面で剥離してもよい。また、基板 462 と絶縁層 420 との界面に液体を浸透させて基板 450

62から絶縁層420を剥離してもよい。または、絶縁層420と素子層410との界面に液体を浸透させて絶縁層420から素子層410を剥離してもよい。上記液体としては、例えば、水、極性溶媒等を用いることができる。絶縁層420を剥離する界面、具体的には基板462と絶縁層420との界面または絶縁層420と素子層410との界面に液体を浸透させることによって、素子層410に与えられる剥離に伴い発生する静電気等の影響を抑制することができる。

#### 【0252】

接着層418を用いて、絶縁層420に基板401を接着させる(図33C)。次に、剥離用接着剤464を溶解または可塑化させて、素子層410から剥離用接着剤464および仮支持基板466を取り外す(図33D)。素子層410の表面が露出するように剥離用接着剤464を水や溶媒などで除去すると好ましい。以上により、基板401上に素子層410を有する素子基板400aが作製することができる。

10

#### 【0253】

図33に示す工程と同様の工程により、基板405上に、接着層412と、接着層412上の絶縁層440と、素子層411とを形成する(図34A)。素子層411が有する絶縁層440としては、絶縁層420と同様の材料、ここでは有機樹脂を用いて形成することができる。例えば、素子層411として、カラーフィルタ層および遮光層を設ければよい。この工程で、素子基板(対向基板)400bを作製することができる。

#### 【0254】

次に、素子層410と素子層411の間に、封止層432を充填し、素子層410と素子層411とを貼り合わせる(図34B)。封止層432により、例えば、固体封止させることができる。ただし、封止層432としては、可撓性を有する構成が好ましい。封止層432としては、例えば、ガラスフリットなどのガラス材料や、二液混合型の樹脂などの常温で硬化する硬化樹脂、光硬化性の樹脂、熱硬化性の樹脂などの樹脂材料を用いることができる。以上により、素子基板400aおよび素子基板(対向基板)400bを有する表示パネル400を作製することができる。

20

#### 【0255】

<<作製方法例2>>

次いで、本発明の一形態にかかる表示パネル400の別の作製方法について、図35を用いて説明する。なお、図35では、絶縁層420および絶縁層440として無機絶縁膜を用いる構成について説明する。

30

#### 【0256】

まず、基板462上に剥離層463を形成する。次に、剥離層463上に絶縁層420を形成し、絶縁層420上に素子層410を形成する。(図35A)。

#### 【0257】

剥離層463としては、例えば、タングステン、モリブデン、チタン、タンタル、ニオブ、ニッケル、コバルト、ジルコニウム、亜鉛、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、シリコンから選択された元素、該元素を含む合金材料、または該元素を含む化合物材料を含み、単層または積層された構造を用いることができる。また、シリコンを含む層の場合、該シリコンを含む層の結晶構造としては、非晶質、微結晶、多結晶、単結晶のいずれでもよい。剥離層463としては、スパッタリング法、PECVD法、塗布法、印刷法等により形成できる。なお、塗布法は、スピンコーティング法、液滴吐出法、ディスペンス法を含む。

40

#### 【0258】

剥離層463が単層構造の場合、タングステン、モリブデン、またはタングステンとモリブデンの混合物を含む層を形成することが好ましい。また、タングステンの酸化物もしくは酸化窒化物を含む層、モリブデンの酸化物もしくは酸化窒化物を含む層、またはタングステンとモリブデンの混合物の酸化物もしくは酸化窒化物を含む層を形成してもよい。なお、タングステンとモリブデンの混合物とは、例えば、タングステンとモリブデンの合金に相当する。

50

## 【0259】

また、剥離層463として、タングステンを含む層とタングステンの酸化物を含む層の積層構造を形成する場合、タングステンを含む層を形成し、その上層に酸化物で形成される絶縁層を形成することで、タングステン層と絶縁層との界面に、タングステンの酸化物を含む層が形成されることを活用してもよい。また、タングステンを含む層の表面を、熱酸化処理、酸素プラズマ処理、亜酸化窒素(N<sub>2</sub>O)プラズマ処理、オゾン水等の酸化力の強い溶液での処理等を行ってタングステンの酸化物を含む層を形成してもよい。またプラズマ処理や加熱処理は、酸素、窒素、亜酸化窒素単独、あるいは該ガスとその他のガスとの混合気体雰囲気下で行ってもよい。上記プラズマ処理や加熱処理により、剥離層463の表面状態を変えることにより、剥離層463と後に形成される絶縁層420との密着性を制御することが可能である。

10

## 【0260】

絶縁層420には、例えば、酸化シリコン膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化シリコン膜、酸化アルミニウム膜などの透湿性の低い無機絶縁膜を用いることができる。上記無機絶縁膜は、例えば、スパッタリング法、PECVD法等を用いて形成することができる。

## 【0261】

次に、素子層410と、仮支持基板466とを、剥離用接着剤464を用いて接着し、剥離層463から絶縁層420と素子層410を剥離する。これにより、絶縁層420と素子層410は、仮支持基板466側に設けられる(図35B)。

20

## 【0262】

なお、仮支持基板466への転置工程は、様々な方法を適宜用いることができる。例えば、剥離層463と絶縁層420との界面に金属酸化膜を含む層を形成した場合は、該金属酸化膜を結晶化により脆弱化して、剥離層463から絶縁層420を剥離することができる。また、剥離層463をタングステン膜で形成した場合は、アンモニア水と過酸化水素水の混合溶液によりタングステン膜をエッチングしながら剥離を行ってもよい。

## 【0263】

また、剥離層463と絶縁層420との界面に液体を浸透させて剥離層463から絶縁層420を剥離してもよい。上記液体としては、例えば、水、極性溶媒等を用いることができる。絶縁層420を剥離する界面、具体的には剥離層463と絶縁層420との界面に液体を浸透させることによって、素子層410に与えられる剥離に伴い発生する静電気等の影響を抑制することができる。

30

## 【0264】

次に、絶縁層420に接着層418を用いて基板401を接着する(図35C)。次に、剥離用接着剤464を溶解または可塑化させて、素子層410から剥離用接着剤464と仮支持基板466を取り除く(図35D)。なお、素子層410の表面が露出するように剥離用接着剤464を水や溶媒などで除去すると好ましい。以上により、基板401上に素子層410を有する素子基板400aを作製することができる。

## 【0265】

次に、図35に示す工程と同様の作製方法により、基板405と、基板405上の接着層412と、接着層412上の絶縁層440と、素子層411とを有する素子基板(対向基板)400bを形成する。そして、図31Dに示すように、素子層410と素子層411の間に、封止層432を充填し、素子層410と素子層411とを貼り合わせる。以上の工程で、表示パネル400を作製することができる。

40

## 【0266】

図31Dに示す表示パネル400には、素子層410の端子部に異方性導電膜によりFPCを接続すればよい。また、必要に応じて、ICチップなどを実装すればよい。

## 【0267】

(実施の形態6)

本実施の形態では、半導体装置の一例として、表示装置および、表示部(表示装置)を備

50

えた電気機器などについて説明する。実施の形態1等で説明した表示装置（あるいは、表示パネル）は、電子機器の表示部に適用することが可能である。

【0268】

<<表示装置>>

図36Aは、表示装置の外観の一例を示す、斜視図である。図36Aに示すように、表示装置1610は、パネル1601、回路基板1602および接続部1603を有する。パネル1601は、画素が複数設けられた画素部1604と、複数の画素を行ごとに選択する駆動回路1605と、選択された行内の画素への画像信号Sigの入力を制御する駆動回路1606とを有する。回路基板1602は、コントローラ、電源回路、画像処理回路、画像メモリ、CPUなどを有する。

10

【0269】

回路基板1602から、接続部1603を介して、各種信号と、電源の電位とが、パネル1601に入力される。接続部1603には、FPCなどを用いることができる。FPCにチップを実装したものをCOFテープと呼び、COFテープを用いると、より小さい面積でより高密度の実装を行うことができる。また、接続部1603にCOFテープを用いる場合、回路基板1602内の一部の回路、或いはパネル1601が有する駆動回路1605や駆動回路1606の一部などを別途用意したチップに形成しておき、COF法を用いて当該チップをCOFテープに接続しておいても良い。

【0270】

また、COFテープ1607を用いた表示装置の外観の一例を示す斜視図を図36Bに示す。図36Bに示すように、表示装置1611において、チップ1608は、パンパなどの端子を表面に有する半導体ベアチップ（IC、LSIなど）である。さらに、COFテープ1607に、CR部品も実装でき、回路基板1602の面積縮小も図れる。フレキシブル基板の配線パターンは、実装するチップの端子に対応して複数形成される。チップ1608は、ボンダー装置などにより、配線パターンを有するフレキシブル基板上に位置決めして配置し、熱圧着することによって実装される。

20

【0271】

図36Bには、一つのチップ1608を実装した一つのCOFテープ1607の例を示したが特に限定されない。一つのCOFテープ1607の片面または両面に複数列のチップを実装することができるが、コスト削減のためには、実装するチップ数を少なくするため

30

【0272】

<回路基板の構成例>

図37に、回路基板2003の外観図を示す。回路基板2003は、スリット2211を有するFPC2201上に、Bluetooth（登録商標。IEEE802.15.1に同じ。）規格の通信装置2101、マイコン2102、記憶装置2103、FPGA2104、DAコンバータ2105、充電制御IC2106、レベルシフタ2107を設けた構成を有する。また、回路基板2003は、入出力コネクタ2108を介して、本発明の一形態に係る表示装置と電氣的に接続する。また、FPC2201にスリット2211を設けることにより、FPC2201を用いた回路基板2003の可撓性を高めている。

40

【0273】

表示装置に可撓性を有する基板を用いることで、回路基板2003と共に表示装置も湾曲させることができる。よって、可撓性を有する基板を用いた表示装置と、回路基板2003とは、装着部位の形状に合わせて繰り返し変形することができるので、腕や足などの身体に装着可能な電子機器に利用するのに適している。

【0274】

<<情報処理装置の構成例>>

図38Aは情報処理装置1000の外観を説明する模式図であり、図38Bは、図38Aのz1-z2線による断面の構造を説明する模式図である。図38Cおよび図38Dは、情報処理装置1000の外観を説明する模式図であり、図38Eは、図38Cおよび図3

50

8 Dのz 3 - z 4線による断面の構造を説明する模式図である。図3 8 Cは情報処理装置1 0 0 0の正面を説明する模式図であり、図3 8 Dは情報処理装置1 0 0 0の背面を説明する模式図である。

【0 2 7 5】

図3 8 C、図3 8 Dに示すように、位置入力部1 0 0 1または表示部1 0 0 2は、情報処理装置1 0 0 0の正面だけでなく、側面や背面にも設けられていてもよい。また、位置入力部1 0 0 1または表示部1 0 0 2は、情報処理装置1 0 0 0の上面に設けられていてもよい。また、位置入力部1 0 0 1または表示部1 0 0 2は、情報処理装置1 0 0 0の底面に設けられていてもよい。

【0 2 7 6】

なお、筐体1 0 0 3の表面には位置入力部1 0 0 1のほか、ハードウェアボタンや外部接続端子等を有していてもよい。

【0 2 7 7】

このような構成とすることで、従来の情報処理装置のように筐体1 0 0 3の正面に平行な面にのみ表示するのではなく、筐体1 0 0 3の側面にも表示を行うことが可能となる。特に、筐体1 0 0 3の2以上の側面に沿って表示領域を設けると、表示の多様性がより高まるため好ましい。

【0 2 7 8】

情報処理装置の正面に沿って配置される表示領域と、側面に沿って配置された各表示領域は、それぞれ独立な表示領域として用いて異なる画像等を表示してもよいし、いずれか2つ以上の表示領域にわたって一つの画像等を表示してもよい。例えば、情報処理装置の正面に沿って配置された表示領域に表示する画像を、情報処理装置の側面に沿って設けられる表示領域などに連続して表示してもよい。

【0 2 7 9】

また、演算装置1 0 0 5は、筐体1 0 0 3の内部に設けられている。図3 8 Bでは、演算装置1 0 0 5が表示部1 0 0 2と離隔した位置に設けられている。図3 8 Eでは、演算装置1 0 0 5が表示部1 0 0 2と重なる位置に設けられている。

【0 2 8 0】

位置入力部1 0 0 1は、一例としては、第1の領域1 0 0 1 ( 1 )と、第1の領域1 0 0 1 ( 1 )に対向する第2の領域1 0 0 1 ( 2 )と、第1の領域1 0 0 1 ( 1 )および第2の領域1 0 0 1 ( 2 )の間に第3の領域1 0 0 1 ( 3 )と、が形成されるように折り曲げることができる可撓性を有する(図3 8 B参照)。また、他の一例として、第1の領域1 0 0 1 ( 1 )と、第3の領域1 0 0 1 ( 3 )と、第3の領域1 0 0 1 ( 3 )に対向する第4の領域1 0 0 1 ( 4 )と、が形成されるように折り曲げることができる可撓性を有する(図3 8 E参照)。

【0 2 8 1】

また、他の一例として、第3の領域1 0 0 1 ( 3 )と、第5の領域1 0 0 1 ( 5 )と、第3の領域1 0 0 1 ( 3 )に対向する第4の領域1 0 0 1 ( 4 )と、が形成されるように折り曲げることができる可撓性を有していても良い。

【0 2 8 2】

なお、第1の領域1 0 0 1 ( 1 )に対向する第2の領域1 0 0 1 ( 2 )の配置は、第1の領域1 0 0 1 ( 1 )に正対する配置に限られず、第1の領域1 0 0 1 ( 1 )に傾きを持って向き合う配置も含むものとする。また、第3の領域1 0 0 1 ( 3 )に対向する第4の領域1 0 0 1 ( 4 )の配置は、第3の領域1 0 0 1 ( 3 )に正対する配置に限られず、第3の領域1 0 0 1 ( 3 )に傾きを持って向き合う配置も含むものとする。

【0 2 8 3】

表示部1 0 0 2は、少なくとも第1の領域1 0 0 1 ( 1 )、第2の領域1 0 0 1 ( 2 )、第3の領域1 0 0 1 ( 3 )、または第4の領域1 0 0 1 ( 4 )の一部と重なるように配置される。

【0 2 8 4】

10

20

30

40

50

情報処理装置 1000 は、近接または接触するものを検知する可撓性の位置入力部 1001 を含んで構成される。そして、位置入力部 1001 は、例えば、第 1 の領域 1001 (1) と、第 1 の領域に対向する第 2 の領域 1001 (2) と、第 1 の領域 1001 (1) および第 2 の領域 1001 (2) の間に表示部 1002 と重なる第 3 の領域 1001 (3) と、が形成されるように折り曲げることができる。これにより、例えば掌もしくは手の指の何れかが、第 1 の領域 1001 (1) または第 2 の領域 1001 (2) などの何れかに近接したのかを知ることができる。その結果、操作性に優れたヒューマンインターフェイスを提供できる。または、操作性に優れた新規な情報処理装置を提供できる。

#### 【0285】

表示部 1002 に用いられる基板としては、可撓性を有する程度の厚さの樹脂が適用できる。樹脂としては、例えばポリエステル、ポリオレフィン、ポリアミド、ポリイミド、アラミド、エポキシ、ポリカーボネート若しくはアクリル樹脂等を挙げることができる。また、可撓性を有さないような通常の基板としては、ガラス基板、石英基板、半導体基板などを用いることが出来る。

#### 【0286】

<< 電子機器の構成例 >>

本発明の一形態に係る半導体装置は、表示装置、ノート型パーソナルコンピュータ (PC)、記録媒体を備えた画像再生装置 (代表的には DVD: Digital Versatile Disc 等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置) に用いることができる。その他に、本発明の一形態に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型ゲーム機、携帯情報端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラなどのカメラ、ゴーグル型ディスプレイ (ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置 (カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機 (ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図 39 に示す。

#### 【0287】

図 39 A に表示装置の構成の一例を示す。表示装置 5200 は、筐体 5201、表示部 5202、支持台 5203 等を有する。なお、表示装置 5200 の用途に特段の制約はない、例えば、パーソナルコンピュータ用、TV 放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

#### 【0288】

図 39 B に携帯情報端末の構成の一例を示す。携帯情報端末 5100 は、筐体 5101、表示部 5102、および操作キー 5103 等を有する。

#### 【0289】

図 39 C に表示装置の構成の一例を示す。表示装置 5700 は、筐体 5701、および表示部 5702 等を有する。表示部 5702 は、曲面を有する筐体 5701 に支持されている。表示部 5702 には、可撓性基板が用いられた表示パネルを備えているため、フレキシブルかつ軽くて使い勝手の良い表示装置 5700 を提供することができる。

#### 【0290】

図 39 D に携帯型ゲーム機の構成の一例を示す。携帯型ゲーム機 5300 は、筐体 5301、筐体 5302、表示部 5303、表示部 5304、マイクロホン 5305、スピーカー 5306、操作キー 5307、およびスタイラス 5308 等を有する。携帯型ゲーム機 5300 は、2 つの表示部 5303 と表示部 5304 とを有しているが、表示部の数は、これに限定されず、1 つでもよいし、3 以上でもよい。

#### 【0291】

図 39 E に電子書籍端末の構成の一例を示す。電子書籍端末 5600 は、筐体 5601、および表示部 5602 等を有する。表示部 5602 は可撓性基板が用いられた表示パネルを備える。これにより、フレキシブルかつ軽くて使い勝手の良い電子書籍端末 5600 を提供することができる。

10

20

30

40

50

【 0 2 9 2 】

図 3 9 F に情報端末 5 9 0 0 の構成の一例を示す。情報端末 5 9 0 0 は、筐体 5 9 0 1 に、表示部 5 9 0 2、マイクロホン 5 9 0 7、スピーカー 5 9 0 4、カメラ 5 9 0 3、外部接続部 5 9 0 6、および操作のボタン 5 9 0 5 等を有する。表示部 5 9 0 2 には、可撓性基板が用いられた表示パネルを備える。情報端末 5 9 0 0 は、例えば、スマートフォン、携帯電話、タブレット型情報端末、タブレット型 P C、電子書籍端末等として用いることができる。

【符号の説明】

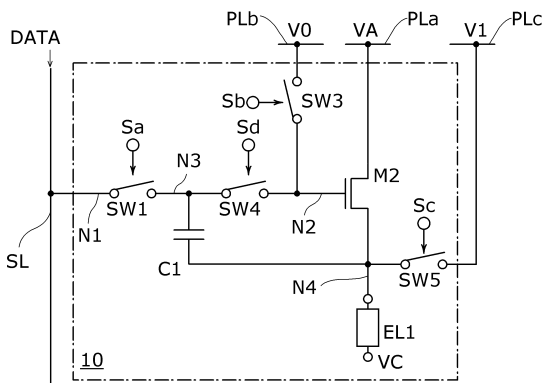
【 0 2 9 3 】

- 1 0、2 0、2 1 画素
- M 1、M 2、M 3、M 4、M 5 トランジスタ
- C 1 キャパシタ
- E L 1 発光素子

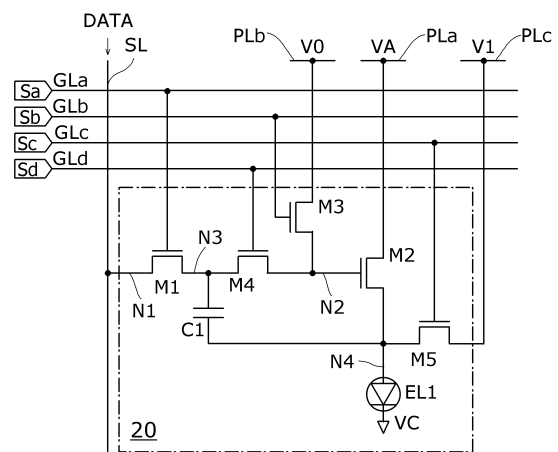
【 0 2 9 4 】

本出願は、日本特許庁に 2 0 1 4 年 2 月 2 7 日に出願された日本出願第 2 0 1 4 - 0 3 7 1 5 6 に基づく優先権を主張し、当該日本出願に記載された全ての記載内容を参照することにより援用される。

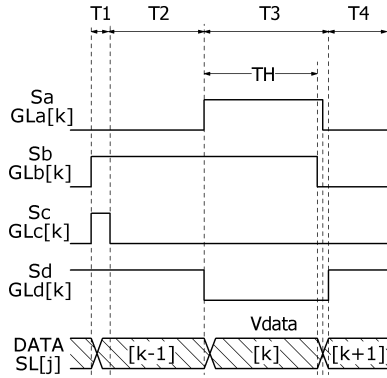
【 図 1 】  
FIG. 1



【 図 2 】  
FIG. 2



【図3】  
FIG. 3



【図4】  
FIG. 4A

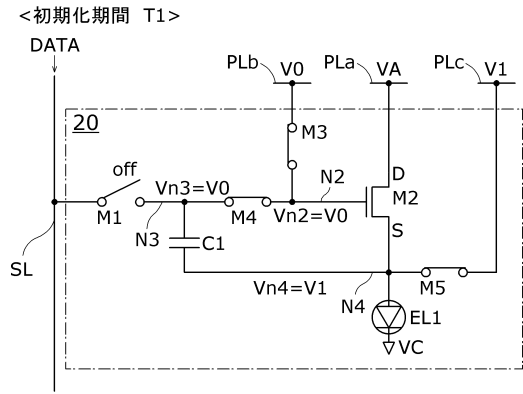
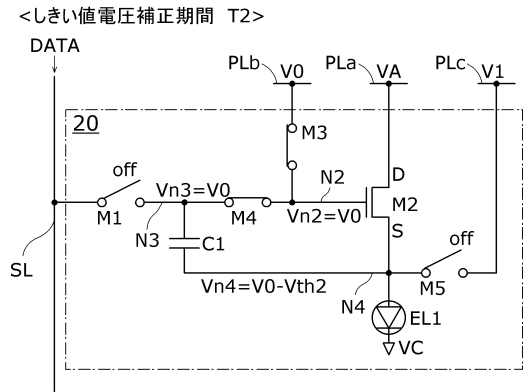


FIG. 4B



【図5】  
FIG. 5A

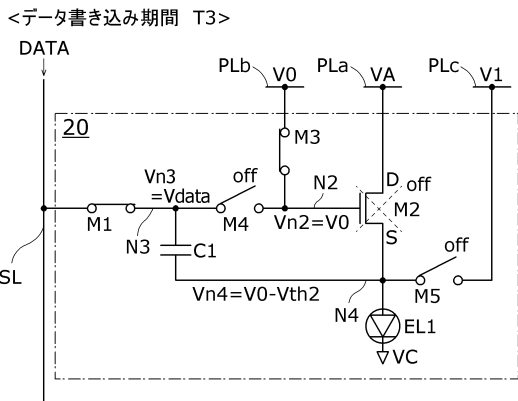
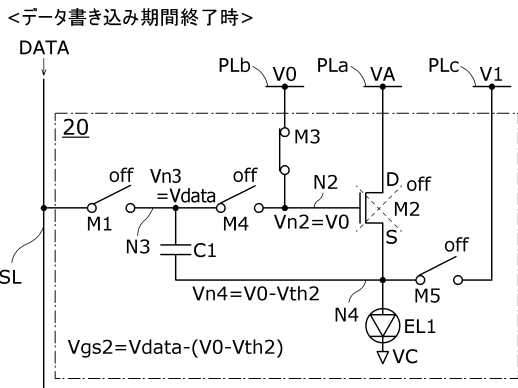
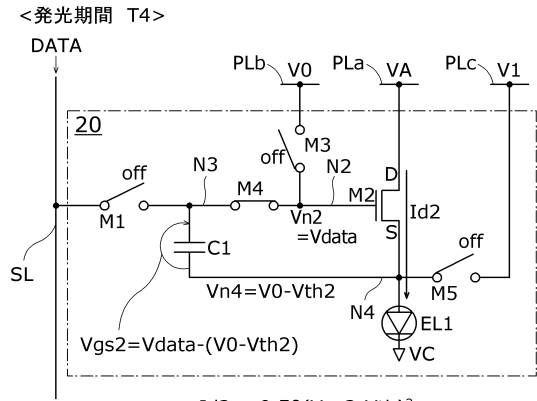


FIG. 5B

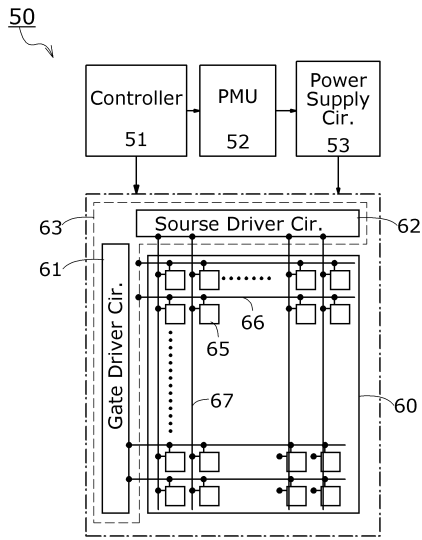


【図6】  
FIG. 6

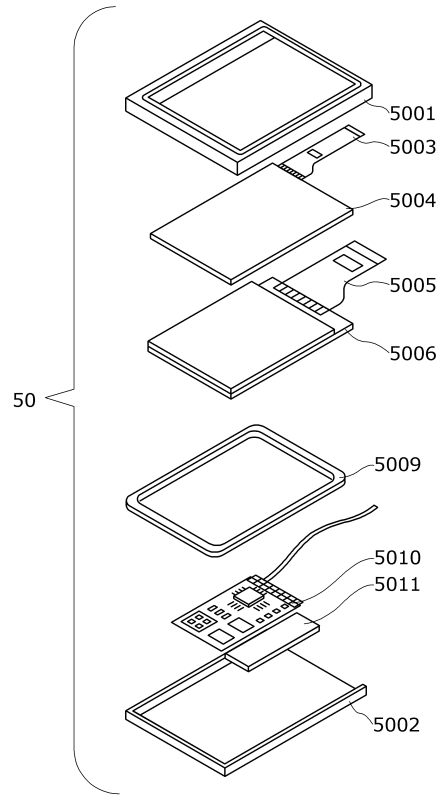


$$\begin{aligned}
 I_{d2} &= 0.5\beta(V_{gs2}-V_{th})^2 \\
 &= 0.5\beta(V_{data}-V_0+V_{th2}-V_{th})^2 \\
 &= 0.5\beta(V_{data}-V_0)^2
 \end{aligned}$$

【 図 7 】  
FIG. 7



【 図 8 】  
FIG. 8



【 図 9 】  
FIG. 9A

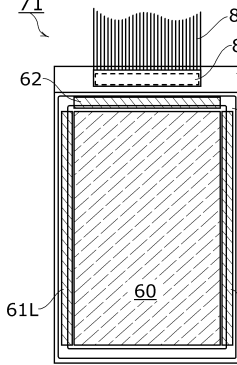


FIG. 9B

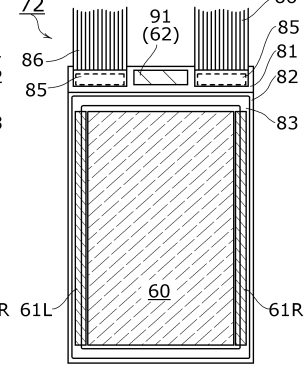


FIG. 9C

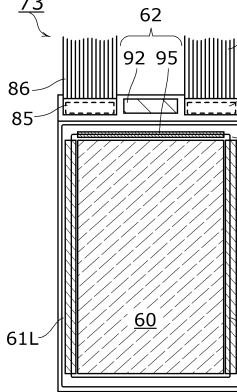
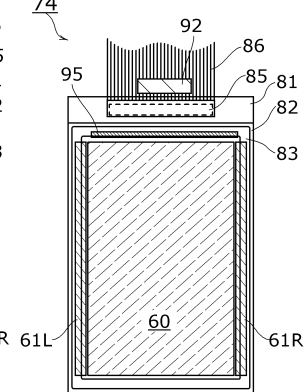
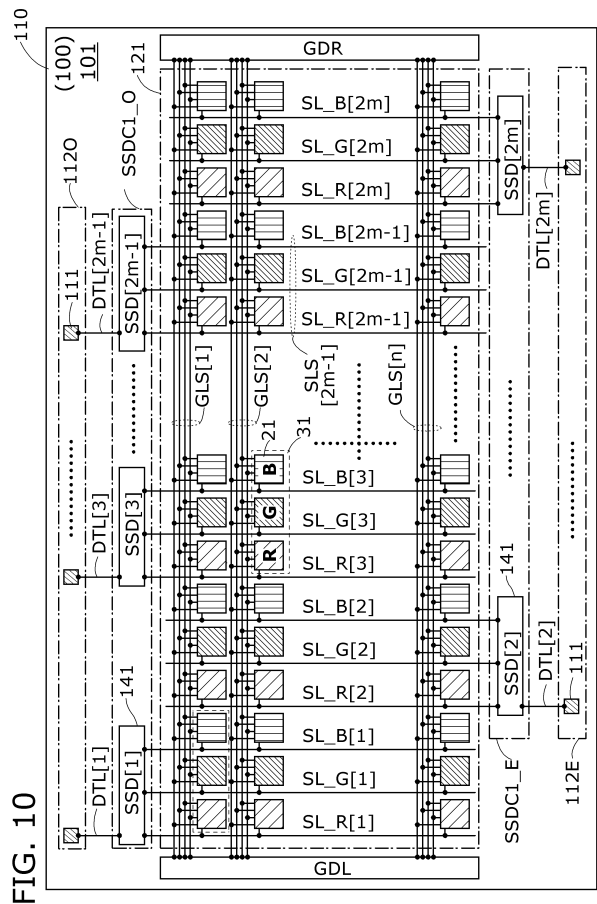


FIG. 9D

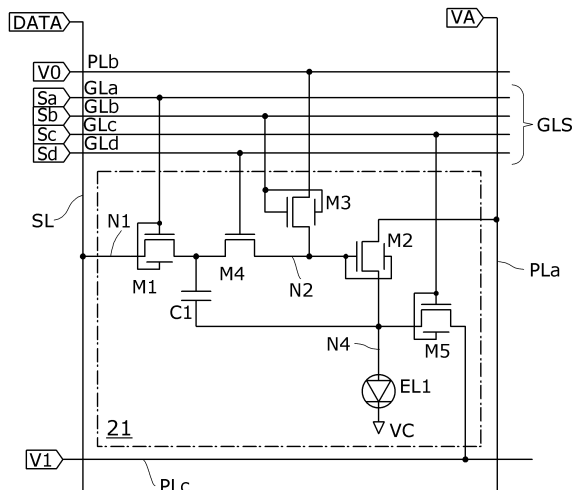


【 図 10 】



【 図 1 1 】

FIG. 11



【 図 1 2 】

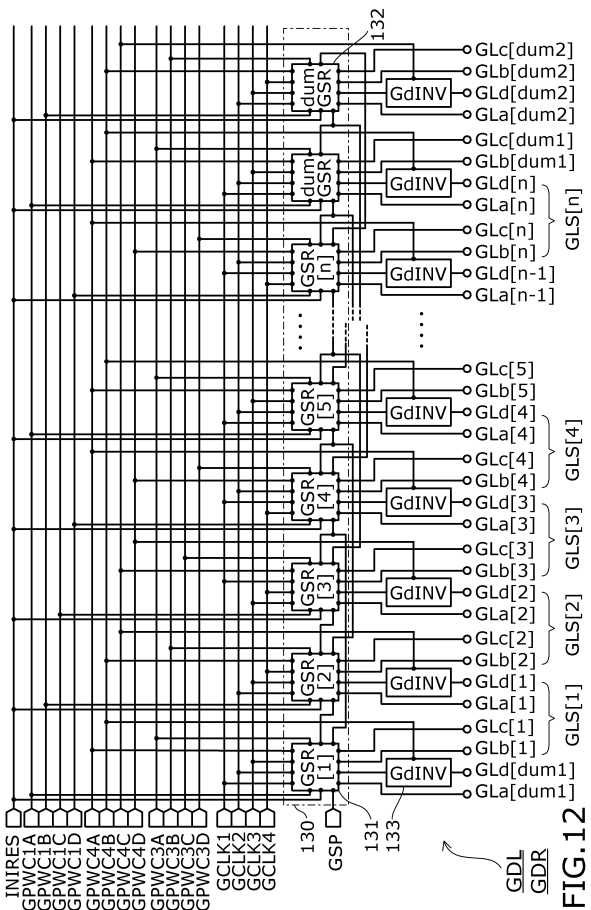


FIG. 12

【 図 1 3 】

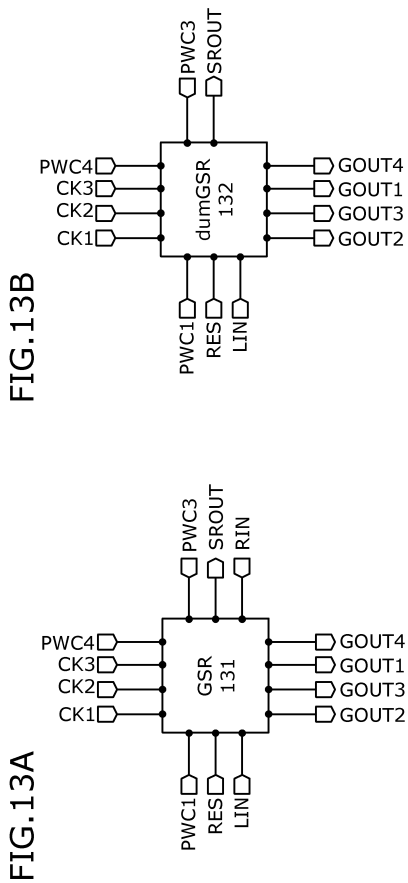


FIG. 13A

FIG. 13B

【 図 1 4 】

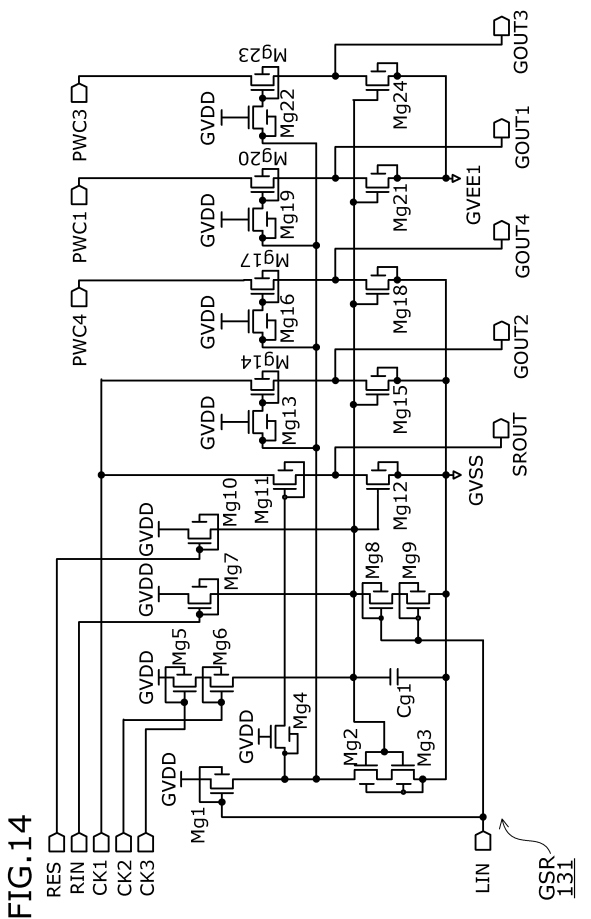


FIG. 14

【 図 1 5 】

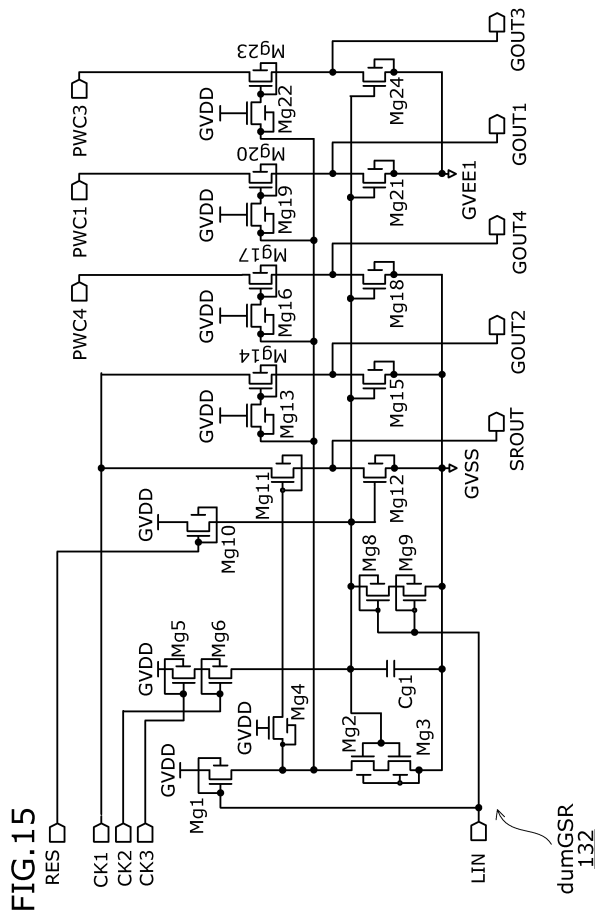


FIG. 15

【 図 1 7 】

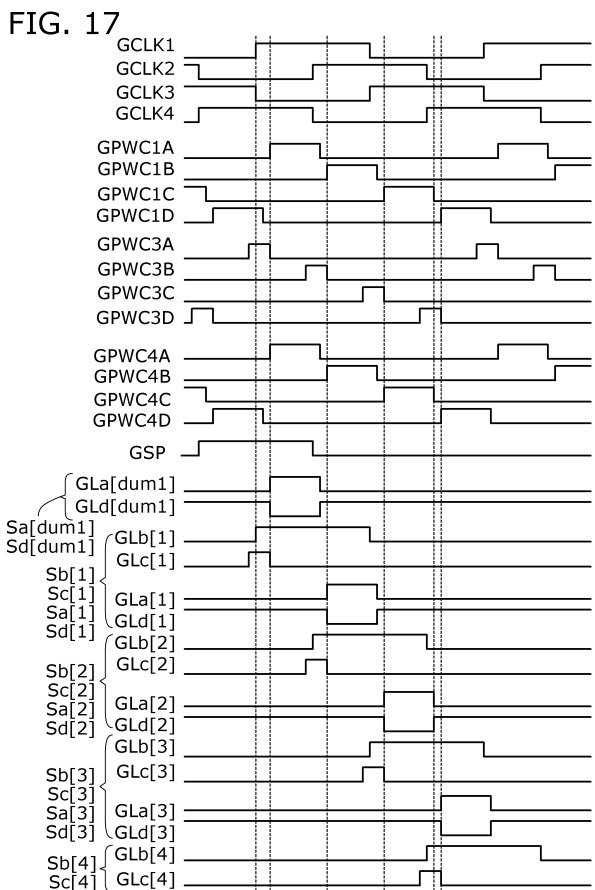


FIG. 17

【 図 1 6 】

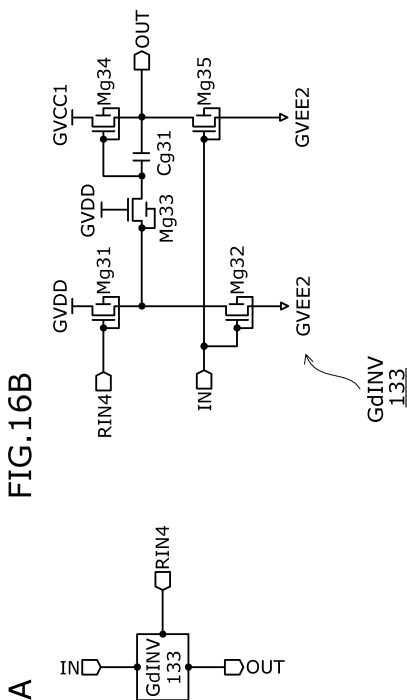


FIG. 16B

FIG. 16A

【 図 1 8 】

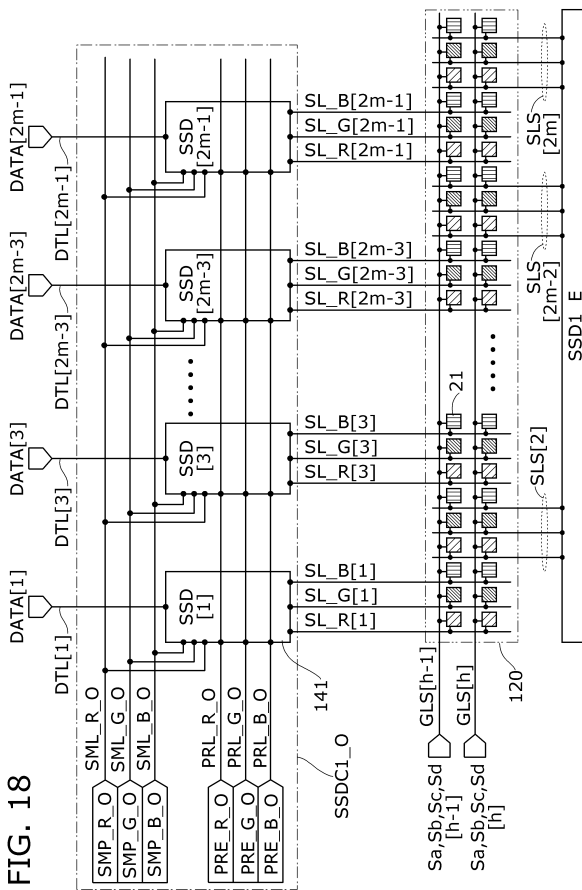


FIG. 18

【 図 19 】

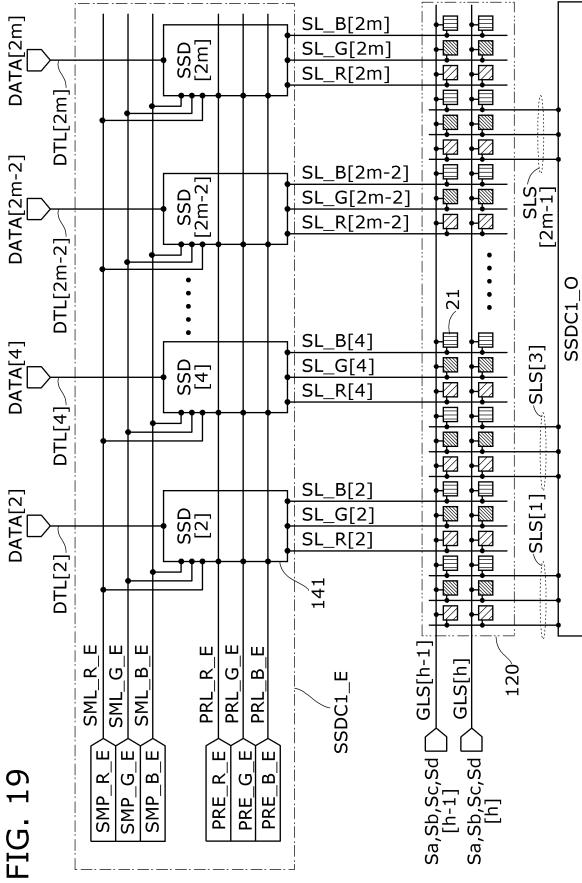


FIG. 19

【 図 20 】

FIG. 20A

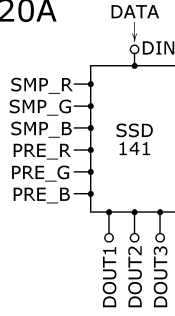
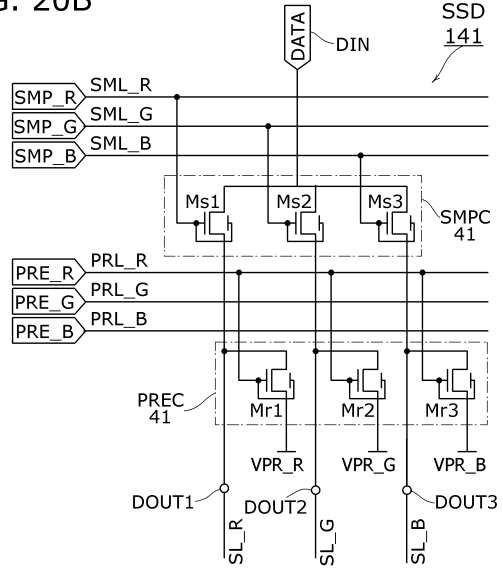
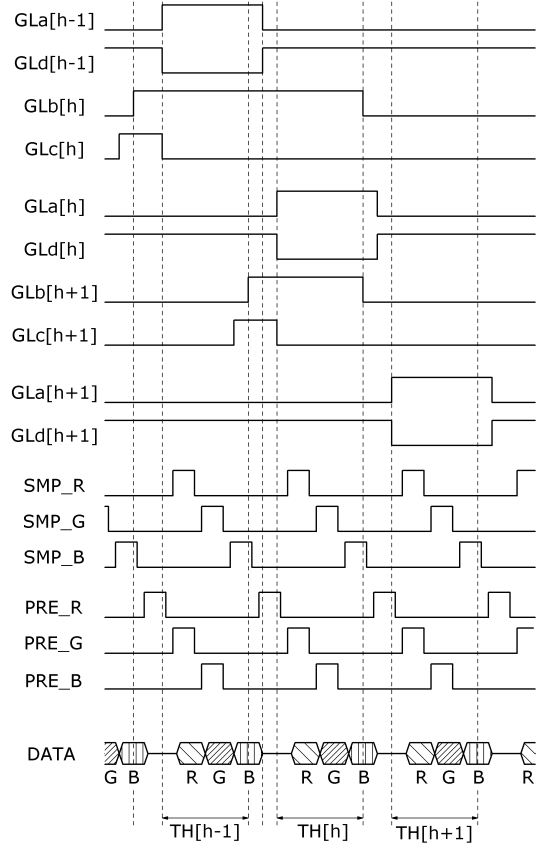


FIG. 20B



【 図 21 】

FIG. 21



【 図 22 】

FIG. 22

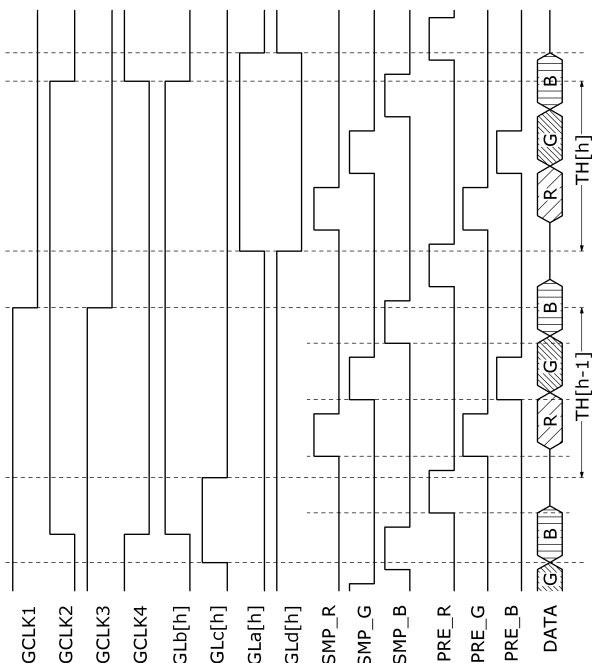


FIG. 22

FIG. 23

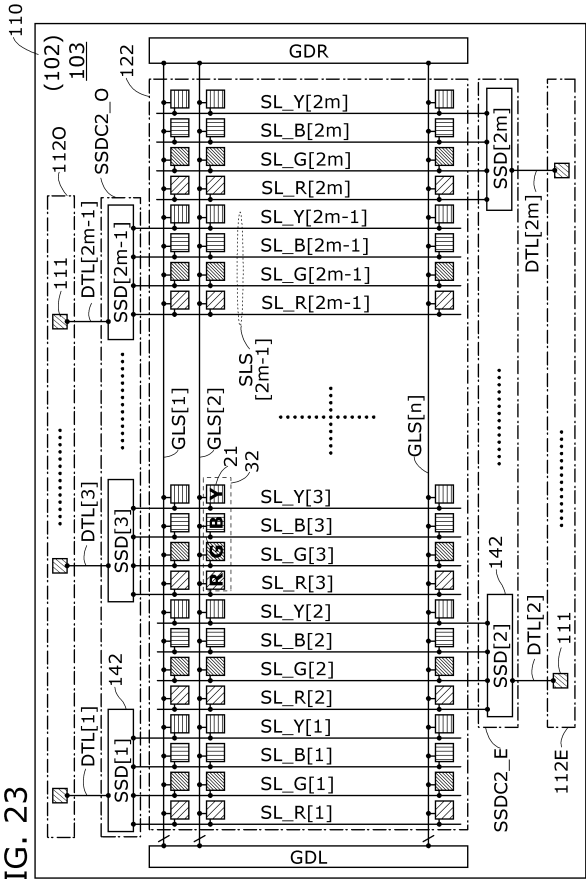


FIG. 23

FIG. 25

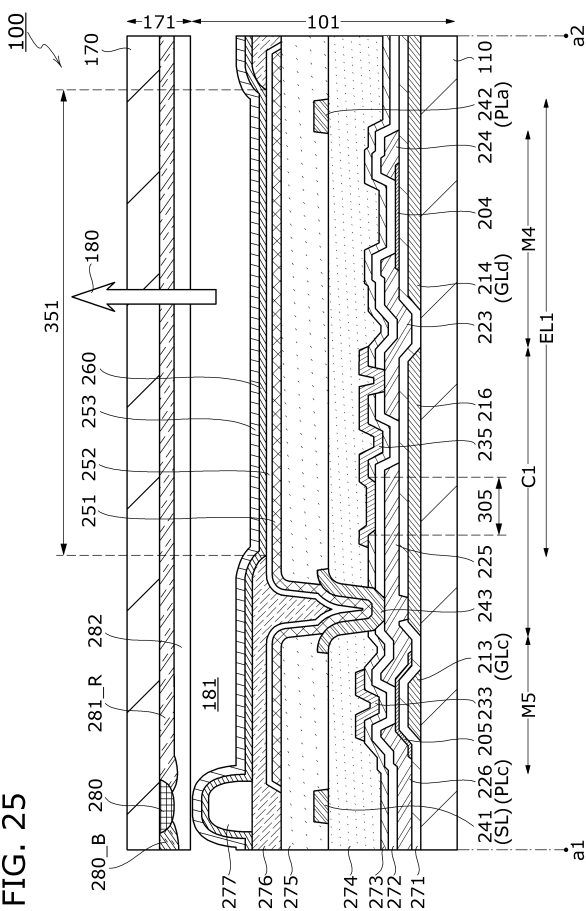


FIG. 25

FIG. 24A

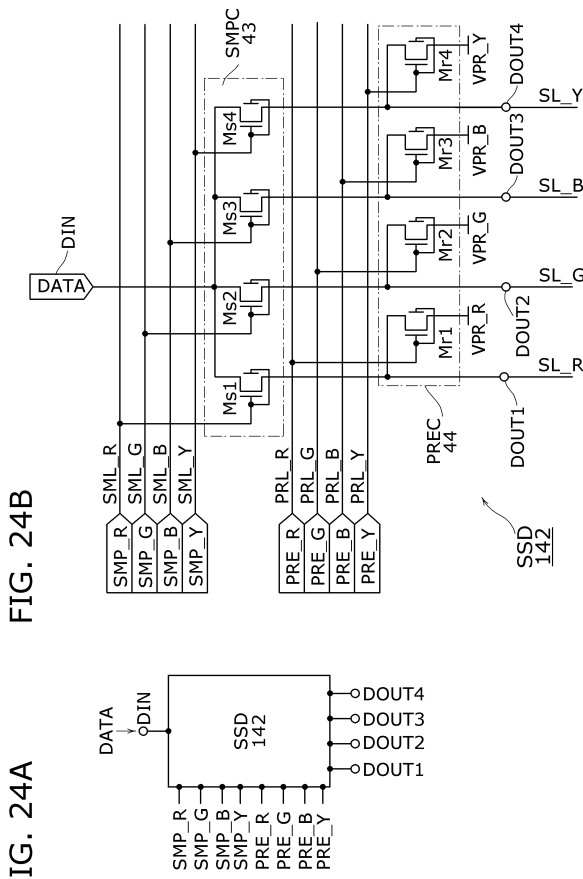


FIG. 24A

FIG. 26A

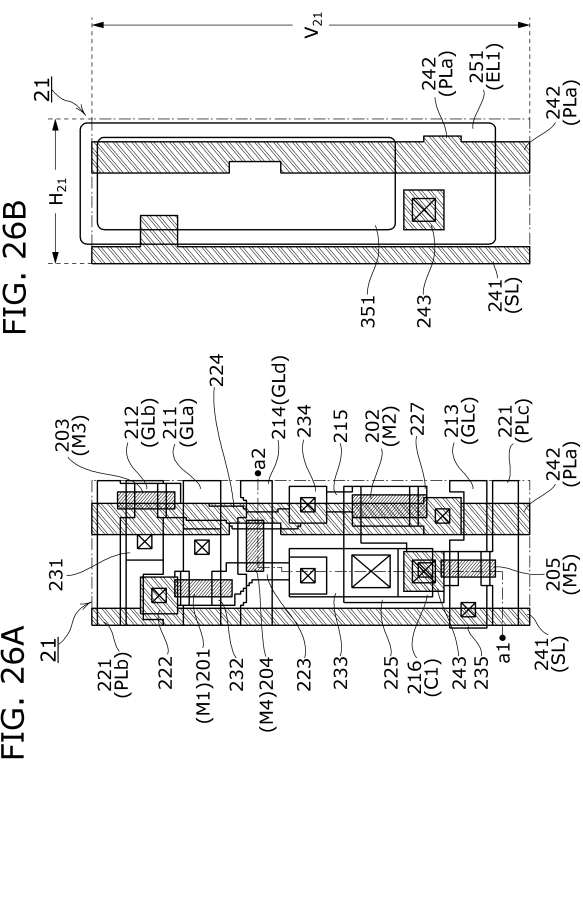


FIG. 26A

FIG. 26B

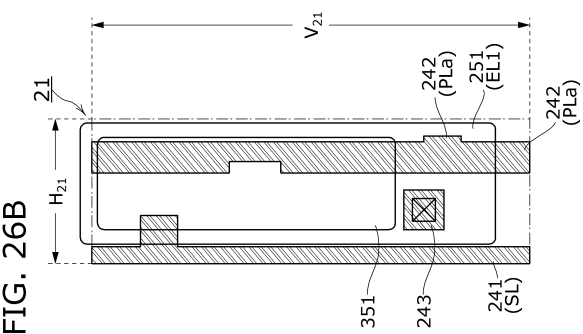


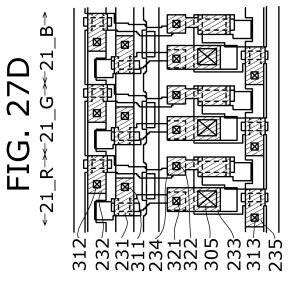
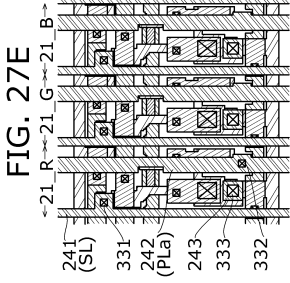
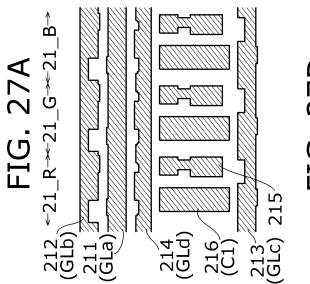
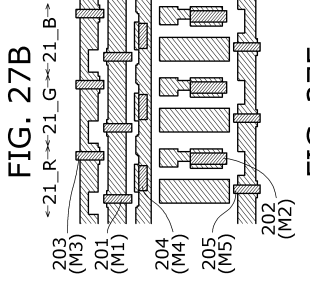
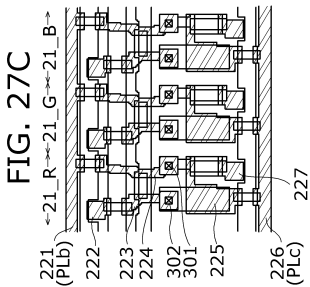
FIG. 24B



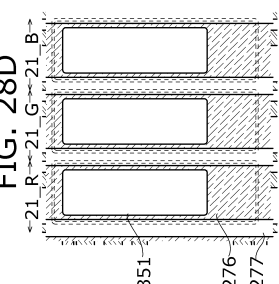
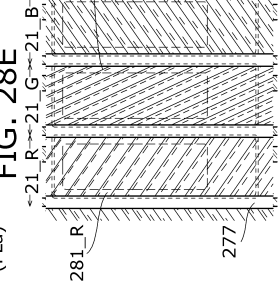
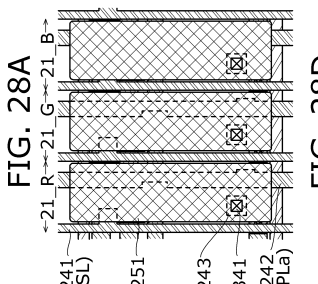
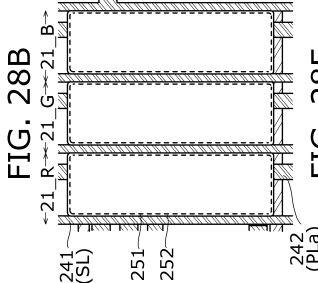
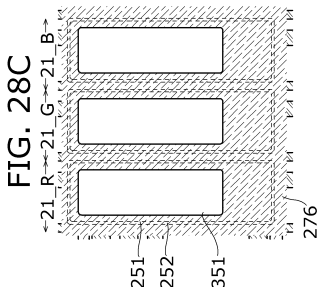
FIG. 24B



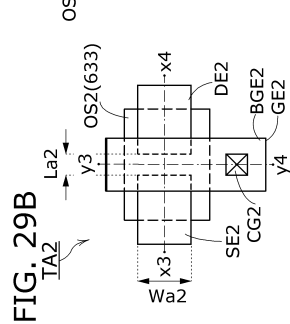
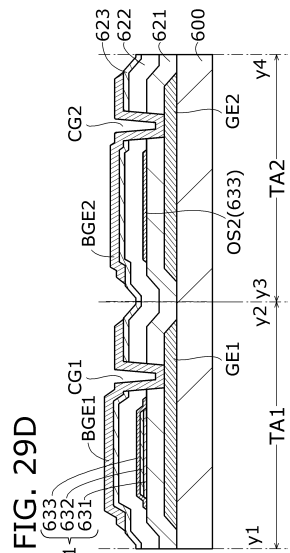
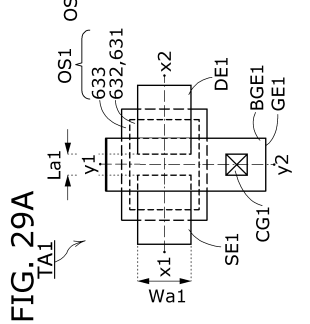
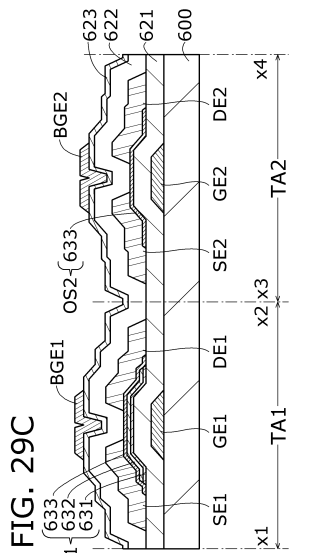
【 27】



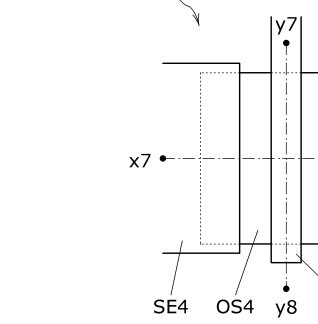
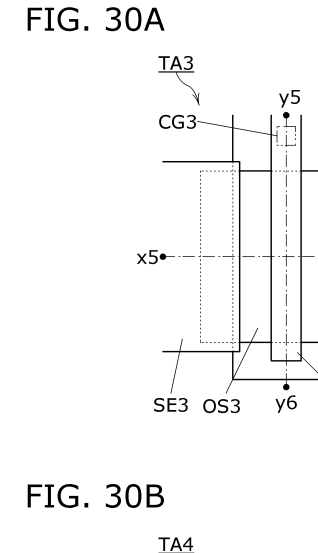
【 28】



【 29】



【 30】



【 図 3 1 】  
FIG. 31A

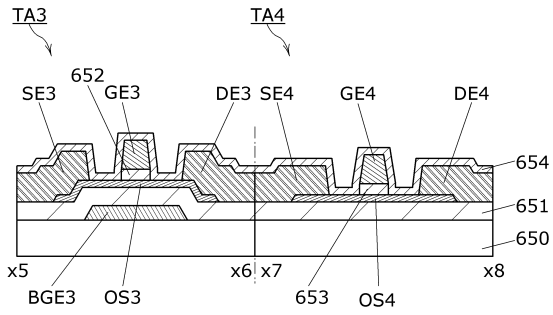
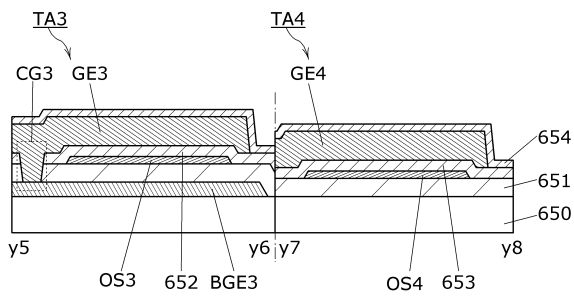
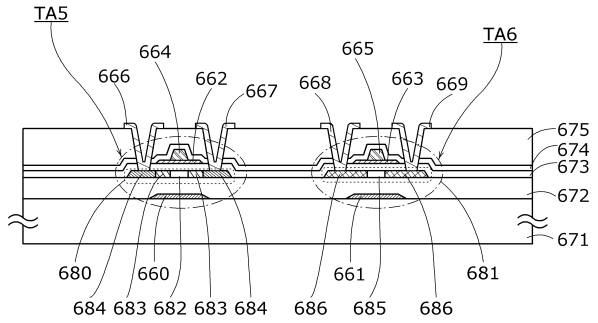


FIG. 31B



【 図 3 2 】  
FIG. 32



【 図 3 3 】  
FIG. 33A

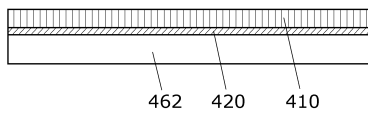


FIG. 33B

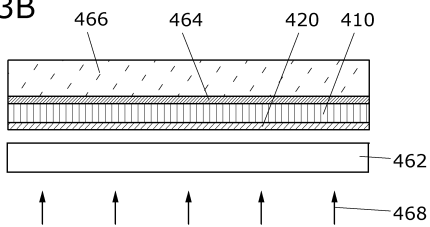


FIG. 33C

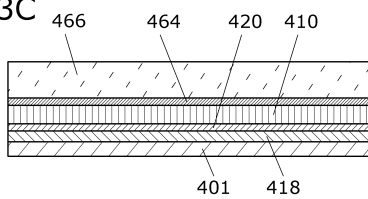
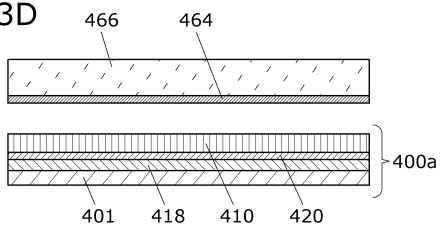


FIG. 33D



【 図 3 4 】  
FIG. 34A

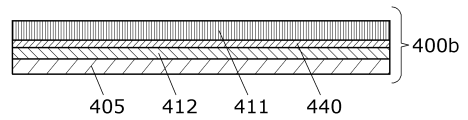
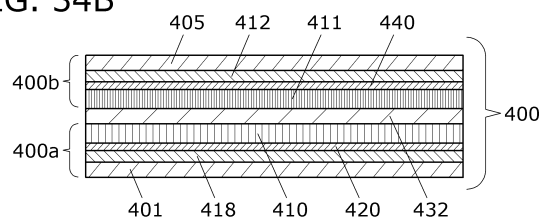


FIG. 34B



【図35】  
FIG. 35A

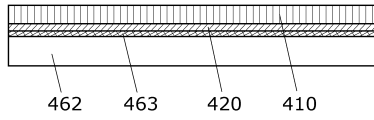


FIG. 35B

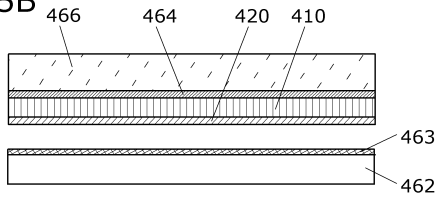


FIG. 35C

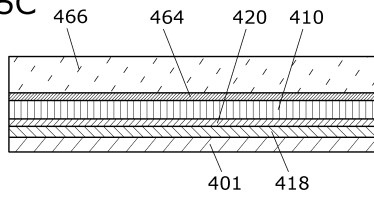
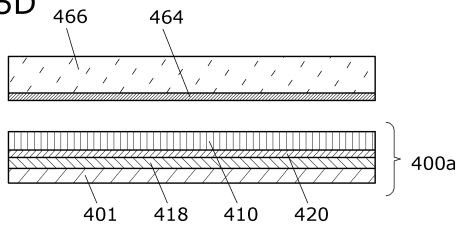
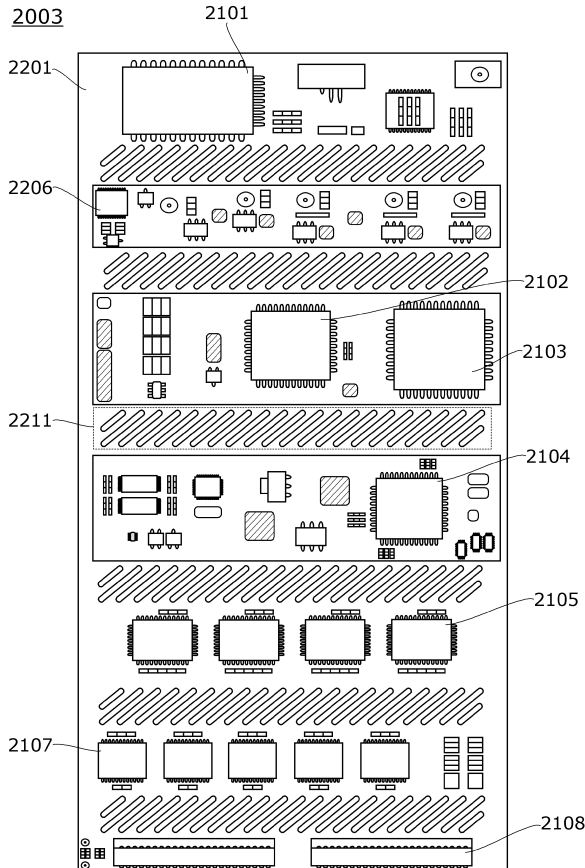


FIG. 35D



【図37】  
FIG. 37



【図36】  
FIG. 36A

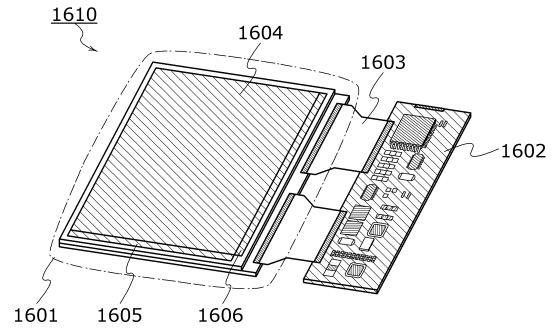
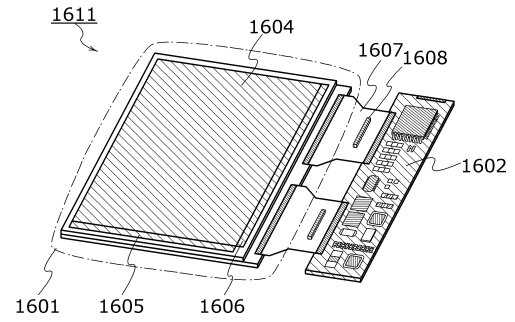


FIG. 36B



【図38】  
FIG. 38A

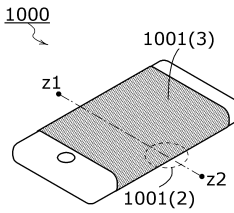


FIG. 38B

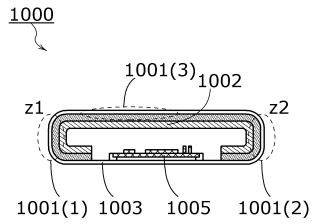


FIG. 38C

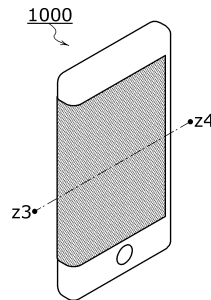


FIG. 38D

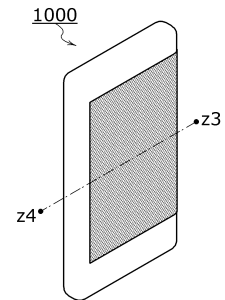
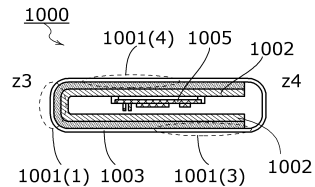


FIG. 38E



【 3 9 】  
FIG. 39A

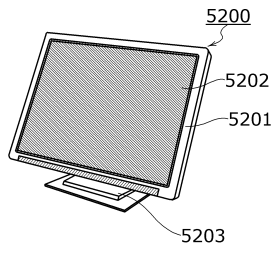


FIG. 39B

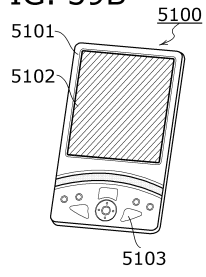


FIG. 39C

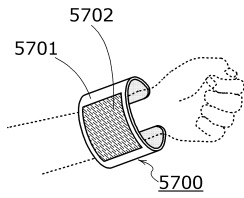


FIG. 39D

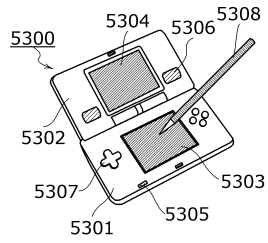


FIG. 39E

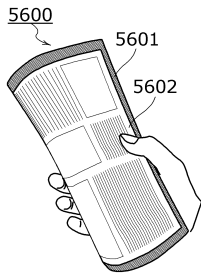
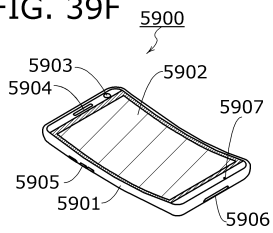


FIG. 39F



---

フロントページの続き

(51)Int.Cl. F I  
H 0 5 B 33/14 A

(56)参考文献 国際公開第2013/021623(WO,A1)  
国際公開第2013/171938(WO,A1)  
特開2011-164591(JP,A)  
国際公開第2014/021158(WO,A1)  
特開2007-179042(JP,A)  
特開2007-298973(JP,A)  
特開2013-137498(JP,A)  
国際公開第2015/033496(WO,A1)

(58)調査した分野(Int.Cl.,DB名)  
G 0 9 G 3 / 3 2 3 3  
G 0 9 G 3 / 2 0  
G 0 9 G 3 / 3 0  
H 0 1 L 5 1 / 5 0