

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-500623

(P2004-500623A)

(43) 公表日 平成16年1月8日(2004.1.8)

(51) Int.C1.⁷**G06F 12/16****G06F 11/10****G11C 29/00**

F 1

G06F	12/16	320B	5B001
G06F	12/16	320L	5B018
G06F	11/10	320A	5L106
G06F	11/10	320F	
G06F	11/10	330B	

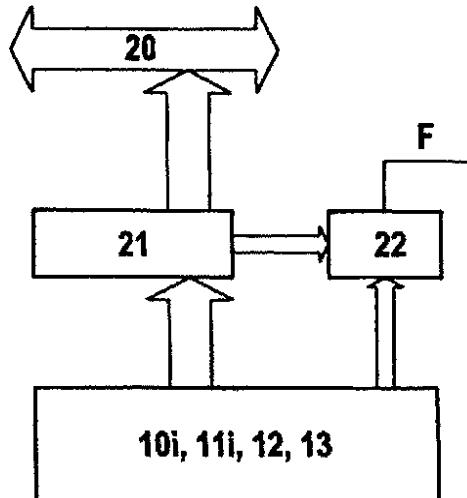
審査請求 未請求 予備審査請求 有 (全 30 頁) 最終頁に続く

(21) 出願番号	特願2001-525526 (P2001-525526)	(71) 出願人	399023800 コンティネンタル・テーベス・アクチエン ゲゼルシヤフト・ウント・コンパニー・オ ッフェネ・ハンデルスゲゼルシヤフト ドイツ連邦共和国、60488 フランク フルト・アム・マイン、ゲーリッケストラ ーゼ、7
(86) (22) 出願日	平成12年8月29日 (2000.8.29)	(74) 代理人	100069556 弁理士 江崎 光史
(85) 翻訳文提出日	平成14年3月22日 (2002.3.22)	(74) 代理人	100092244 弁理士 三原 恒男
(86) 國際出願番号	PCT/EP2000/008398	(74) 代理人	100093919 弁理士 奥村 義道
(87) 國際公開番号	W02001/022225	(74) 代理人	100111486 弁理士 鍛治澤 實
(87) 國際公開日	平成13年3月29日 (2001.3.29)		
(31) 優先権主張番号	199 45 494.9		
(32) 優先日	平成11年9月22日 (1999.9.22)		
(33) 優先権主張国	ドイツ (DE)		
(31) 優先権主張番号	100 18 722.6		
(32) 優先日	平成12年4月15日 (2000.4.15)		
(33) 優先権主張国	ドイツ (DE)		
(81) 指定国	EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP, US		

(54) 【発明の名称】 RAMモジュールにデータ語を記憶する方法と回路装置

(57) 【要約】

本発明は、特に安全上重要な用途に適している、RAMモジュールにデータ語を記憶する方法に関し、少なくとも1つのデータ語をRAMモジュールに書き込む際に少なくとも1つのデータ語からチェックビット語を発生し、チェックビット語を記憶し、RAMモジュールから少なくとも1つのデータ語を読み出す際に前記チェックビット語を読み出し、読み出された少なくとも1つのデータ語から、チェックビット語を新たに発生し、読み出された前記チェックビット語を新たに発生した前記チェックビット語と比較し、この両チェックビット語が一致しないときに、エラーメッセージを発生することを特徴とする。本発明は更に、対応する回路装置に関する。



【特許請求の範囲】**【請求項 1】**

R A M モジュールにデータ語を記憶する方法において、少なくとも 1 つのデータ語を R A M モジュールに書き込む際に少なくとも 1 つのデータ語からチェックビット語を発生し、チェックビット語を記憶し、R A M モジュールから少なくとも 1 つのデータ語を読み出す際に前記チェックビット語を読み出し、読み出された少なくとも 1 つのデータ語から、チェックビット語を新たに発生し、読み出された前記チェックビット語を新たに発生した前記チェックビット語と比較し、この両チェックビット語が一致しないときに、エラーメッセージを発生することを特徴とする方法。 10

【請求項 2】

チェックビット語がパリティビットの決定によって発生させられることを特徴とする請求項 1 記載の方法。

【請求項 3】

各データ語から 1 つの 2 ビットパリティ語を発生し、この場合各々のデータ半語からそれぞれ 1 つのパリティビットを決定することを特徴とする請求項 2 記載の方法。

【請求項 4】

多数のデータ語から 1 つのパリティ語を発生し、このパリティ語のパリティビットをそれぞれ、すべてのデータ語の同じ桁から決定することを特徴とする請求項 1 または 2 記載の方法。 20

【請求項 5】

C R C 語を演算することによってチェックビット語を発生することを特徴とする請求項 1 記載の方法。

【請求項 6】

その都度多数のデータ語を 1 つのメモリ語にまとめ、このメモリ語から、対応する C R C 語を演算することを特徴とする請求項 5 記載の方法。

【請求項 7】

R A M モジュールにデータ語を記憶するための回路装置において、少なくとも 1 つのデータ語の書き込みおよび読み取りの際に少なくとも 1 つのデータ語からチェックビット語を発生するための第 1 の回路ユニット (2 1) と、データ語のためのチェックビット語を割り当てて記憶するための多数のレジスタ (1 1 i , 6 1 i) と、データ語を読み取る際に、割り当てられたチェックビット語を、第 1 の回路ユニット (2 1) によって新たに発生したチェックビット語と比較し、チェックビット語が一致しないときにエラーメッセージ (F) を発生するための第 2 の回路ユニット (2 2) とを備えていることを特徴とする回路層。 30

【請求項 8】

多数のレジスタが第 1 の 2 ビットパリティレジスタ (1 1 i) によって形成され、各々のデータ語に 1 つの 2 ビットパリティレジスタが割り当てられていることを特徴とする請求項 7 記載の回路装置。 40

【請求項 9】

多数のレジスタが C R C レジスタ (6 1 i) によって形成され、それぞれ 4 個のデータ語に 1 つの C R C レジスタが割り当てられていることを特徴とする請求項 7 記載の回路装置。

【請求項 10】

それぞれ 4 個のデータ語を 1 つのメモリ語として記憶するためのマルチプレクサ (7 1) と、1 つのメモリ語から C R C 語を演算し、割り当てられた C R C レジスタ (6 1 i , 7 4) に C R C 語を記憶するための C R C 演算装置 (7 3) とを備えていることを特徴とす 50

る請求項 9 記載の回路装置。

【請求項 1 1】

データ語が 32 ビット語であり、CRC 語が 9 ビット語であることを特徴とする請求項 10 記載の回路装置。

【請求項 1 2】

ビットがそれぞれすべてのデータ語の同じ桁から決定されるチェックビット語を記憶するための第 2 のレジスタ(12)と、第 2 のレジスタ(12)の内容から決定されるチェックビット語を記憶するための第 3 のレジスタ(13)を備えていることを特徴とする請求項 7 ~ 11 のいずれか一つに記載の回路装置。

【発明の詳細な説明】

10

【0001】

本発明は、特に安全上重要な用途のための、RAM モジュールにデータ語を記憶するための方法と回路装置に関する。

【0002】

RAM(随時書き込み読み出しメモリ)モジュールは一般的に知られており、広く普及している。RAM は多数の用途のためのデータを繰り返し記憶および読み出す役目を果たす。RAM モジュールに記憶されたデータの安全性は、メモリアーキテクチャを設計する際に特別な注意を払う必要がある。公知のアーキテクチャの場合、データ安全性はモジュールの完全に冗長的な設計によって比較的に確実に保証される。この場合しかし、回路コストとシリコン接合の必要性が比較的に高いという重要な欠点がある。

20

【0003】

そこで、本発明の根底をなす課題は、データ安全性に関する制約を受け入れることなく、接合の要求が大幅に少ない、RAM モジュールにデータ語を記憶するための方法と回路装置を提供することである。

【0004】

この課題は請求項 1 記載の方法に従い、少なくとも 1 つのデータ語を RAM モジュールに書き込む際に少なくとも 1 つのデータ語からチェックビット語を発生し、チェックビット語を記憶し、RAM モジュールから少なくとも 1 つのデータ語を読み出す際に前記チェックビット語を読み出し、読み出された少なくとも 1 つのデータ語から、チェックビット語を新たに発生し、読み出された前記チェックビット語を新たに発生した前記チェックビット語と比較し、この両チェックビット語が一致しないときに、エラーメッセージを発生することによって解決される。

30

【0005】

課題は更に、請求項 7 記載の装置に従い、少なくとも 1 つのデータ語の書き込みおよび読み取りの際に少なくとも 1 つのデータ語からチェックビット語を発生するための第 1 の回路ユニットと、データ語のためのチェックビット語を割り当てて記憶するための多数のレジスタと、データ語を読み取る際に、割り当てられたチェックビット語を、第 1 の回路ユニットによって新たに発生したチェックビット語と比較し、チェックビット語が一致しないときにエラーメッセージを発生するための第 2 の回路ユニットとを備えていることによって解決される。

40

【0006】

この解決策の特別な利点は、冒頭に述べた完全に冗長的な設計の場合とほぼ同じデータ信頼性で、必要なシリコン接合、ひいては回路設計努力およびコストが大幅に低減されることにある。

【0007】

従属請求項は本発明の有利な実施形を含んでいる。

【0008】

本発明の他の詳細、特徴および効果は、図に基づく好ましい実施の形態の次の説明から明らかになる。

【0009】

50

R A M モジュールは図 1 に従って、多数の 3 2 ビットのデータ語レジスタ $10a \dots 10i \dots 10x$ からなる語指向のアレイを含んでいる。このデータ語は互いに列をなして配置して示してある。各々のデータ語レジスタには 2 ビットのパリティ語レジスタ $11a \dots 11i \dots 11x$ が割り当てられている。それによって、2 ビットのパリティアレイ 11 が生じる。更に、3 2 ビットのパリティ語レジスタ 12 が設けられ、このパリティ語レジスタには 2 ビットのパリティ語レジスタが割り当てられている。

【 0 0 1 0 】

データ交換のために、この構造体は公知のごとくバスインターフェースユニット 14 に接続されている。このバスインターフェースユニットを介して C P U バスとの接続を行うことができる。バスインターフェースユニット 14 は更に、図 $2, 3$ に示した書き込み操作および読み取り操作時にパリティ語を発生および比較するための回路ユニットを備えている。

10

【 0 0 1 1 】

R A M モジュールに書き込むために、図 2 に従って、当該のデータ語が 3 2 ビットデータバス 20 から第 1 の回路ユニット 21 に送られる。この第 1 の回路ユニットによって、各々のデータ語について 2 ビットのパリティ語が発生させられる。続いて、データ語は R A M モジュール内のデータ語レジスタ $10i$ に書き込まれ、2 ビットパリティ語は関連する 2 ビットパリティ語レジスタ $11i$ に書き込まれる。

【 0 0 1 2 】

R A M モジュールからデータ語を読み取るために、図 3 に従って、アドレス指定されたデータ語が先ず最初に第 1 の回路ユニット 21 に送られる。同時に、関連する 2 ビットパリティ語が第 2 の回路ユニット 22 に伝送される。第 1 の回路ユニット 21 では、読み出されたデータ語から 2 ビットパリティ語が発生させられる。このパリティ語は第 2 の回路ユニット 22 に送られ、そこで R A M モジュールから直接読み出された 2 ビットパリティ語と比較される。この両パリティ語が一致していないと、エラー信号 F が発生させられるかまたは適当なエラーフラグがセットされる。2 ビットパリティ語が一致すると、読み出されたデータ語がデータバス 20 に伝送される。

20

【 0 0 1 3 】

図 4 では、各 3 2 ビットデータ語が第 1 と第 2 の 1 6 ビット半語 $H W$ からなっている。この場合、各半語から 2 ビットパリティ語のビット B が発生させられる。

30

【 0 0 1 4 】

これらの語指向のパリティを自動的に発生および自動的に比較することにより、R A M モジュールからの読み出し時に、個々のビット誤りを直ちに“オンライン”で検出することができる。

【 0 0 1 5 】

一層高いエラー防止性を達成するために、2 ビットパリティ発生は、各々のデータ語について多項式で計算された C R C (周期的冗長検査) 語を有する C R C チェックによって置き換えることができる。データ語の長さと C R C 語の長さの適切な比を達成するために、メモリアーキテクチャは、記憶されたデータ語 (メモリ語) の長さがデータバスにおけるデータ語の長さの数倍になるように選定される。3 2 ビットのデータ語長さの場合、メモリ語は好ましくは 1 2 8 ビットの長さを有し、最適なエラー防止のための C R C 語は 9 ビットの長さを有する。

40

【 0 0 1 6 】

図 5 はバスインターフェースユニット 14 を介して 3 2 ビットデータバス (図示していない) に接続された然るべき構造体を示している。

【 0 0 1 7 】

R A M モジュールは互いに列状に配置して示した多数の 1 2 8 ビットメモリ語レジスタ $60a \dots 60x$ からなるアレイ 60 を備えている。各々のメモリ語レジスタには、例えばそれぞれ 9 ビットを有する C R C レジスタ $61a \dots 61x$ が割り当てられている。それによって、C R C アレイ 61 が生じる。

【 0 0 1 8 】

50

アレイ 60 とバスインターフェースユニット 14 の間には、ユニット 70 が接続配置されている。このユニットはそれぞれ 4 つの 32 ビットデータ語のためのマルチプレクサ 71 と、4 つの 32 ビットデータ語を収容するための CRC 演算レジスタ 72 を備えている。ユニット 70 は更に、CRC 演算装置 73 を備えている。この CRC 演算装置によって、9 ビット CRC 語が 128 ビット CRC 演算レジスタ 72 から公知の計算方法で計算され、バスインターフェースユニット 14 に接続された 9 ビット CRC レジスタ 74 に一時記憶される。

【0019】

書き込みと読み取り操作は図 2, 3 に示した方法とほぼ同じ方法で行われる。

【0020】

RAM モジュールに書き込む際にその都度、バスインターフェースユニット 14 を経て供給された 4 つの 32 ビットデータ語がマルチプレクサ 71 によって、128 ビット CRC 演算レジスタ 72 に周期的に順々に記憶されるので、128 ビットメモリ語が生じる。これから、CRC 演算装置 73 によって 9 ビット CRC 語が計算され、9 ビット CRC レジスタ 74 に記録される。続いて、128 ビット CRC 演算レジスタ 72 の内容が RAM アレイの 128 ビットメモリ語レジスタ 60i の一つに記憶され、9 ビット CRC レジスタ 74 の内容が関連する 9 ビット CRC 語レジスタ 61i に記憶される。

【0021】

新しい 32 ビットデータ語（または小さな語単位）を RAM モジュールに書き込む際に、当該の 128 ビットメモリ語レジスタ 60i の CRC 語を新たに計算する必要がある。これは、新しいデータ語を書き込む前に先ず最初に当該の 128 ビットメモリ語レジスタ 60i の内容を完全に読み出し、CRC 演算レジスタ 72 に記憶しなければならないことを意味する。それによって、CRC 演算装置 73 によって新しいデータ語に基づいて、9 ビット CRC 語が新たに演算され、CRC レジスタ 74 に記憶される。両レジスタ 72, 74 の内容は対応するレジスタ 60i, 61i に伝送される。

【0022】

新しい 32 ビットデータ語を書き込む前に、例えばソフトウェアによって所定の時間間隔でトリガされるエラーチェックを行うべきである場合に、上述のように先ず最初に、当該の 128 ビットメモリ語レジスタ 60i の内容と、対応する CRC レジスタ 61i の内容が読み出される。続いて、CRC 演算装置 73 によって新たに 9 ビット CRC 語が発生させられ、読み出された CRC 語と比較される。この両 CRC 語が一致しないと、エラー信号 F（または対応すエラーフラグ）が発生させられる。CRC 語が一致すると、上述のように、新しい 32 ビットデータ語を含む 128 ビットメモリ語から、新しい 9 ビット CRC 語が演算され、両者が対応する 128 ビットメモリ語レジスタ 60i または RAM モジュールの対応する 9 ビット CRC レジスタ 61i に読み込まれる。

【0023】

エラーチェックは、データバス 20 の RAM モジュールからデータ語を読み出すべきときにも行うことができる。そのため、当該のデータ語を含むメモリ語レジスタ 60i の内容は CRC 演算レジスタ 72 に伝送され、それから新たに CRC 語が演算計算される。この CRC 語は対応する CRC 語レジスタ 61i に記憶された CRC 語と比較される。両語が一致しないと、エラーメッセージ F が発生させられるかあるいは然るべきエラーフラグがセットされる。両語が一致すると、読み出された 32 ビットデータ語がデータバス 20 に伝送される。続いて、CRC 演算レジスタ 72 の内容が対応する 128 ビットメモリ語レジスタ 60i に戻される。

【0024】

図 6 は 32 ビットデータ語のための複数のメモリ語レジスタ 10a, 10b, ..., 10x と、32 ビットパリティ語レジスタ 12 を示している。この場合、各々の桁について、例示的に値 0 または 1 を有するビットが示してある。

【0025】

図 4, 5 に示した語指向のチェックビット発生と異なり、図 6 では、カラム指向のパリテ

10

20

30

40

50

イが発生させられる。このパリティの場合、すべてのデータ語のそれぞれ同じ桁について1つのパリティビットが決定される。このパリティビットは32ビットパリティ語レジスタ12の関連する桁に書き込まれる。これにより、32ビットパリティ語が生じる。更に、この32ビットパリティ語について、語指向のパリティに関する図4に基づく説明と同様に、2ビットパリティ語を発生し、2ビットパリティ語レジスタ13(図1参照)に記憶することができる。前述と同様に更に、図5の実施の形態の場合カラム指向のパリティチェックを128ビットの長さのデータ語によって行うことができる。

【0026】

RAMモジュールの1つの語レジスタ10iへの新しいデータ語の書き込み中、先ず最初にRAMモジュール内の書き込むべきメモリ桁のデータ語の内容、すなわち例えば32ビットデータ語レジスタ10iと32ビットパリティ語レジスタ12の内容が読み出される。続いて、カラム指向の32ビットパリティ語が新たに決定されて書き込まれる。

【0027】

それに続いて、新しいデータ語が対応するデータ語レジスタ10iに再書き込みされ、32ビットパリティ語レジスタ12の内容が新たに決定される。続いて、32ビットパリティ語に関して再び2ビットパリティを発生し、2ビットパリティ語レジスタ13(図1参照)に記憶することができる。

【0028】

普通の読み取り操作の間、好ましくはエラーチェックは行われない。付加的なエラーチェックは、前述のように例えば読み取り操作の間の時点で、すべてのデータ語レジスタ10iの内容を読み出し、カラム指向の32ビットパリティ語を新たに発生し、そしてパリティ語レジスタ12に記憶されたパリティ語と比較することによって行うことができる。パリティ語が一致しないと、エラーメッセージFが発生させられるかあるいは適当なエラーフラグがセットされる。パリティ語が一致すると、読み出されたデータ語がデータバス20に伝送される。ここで説明した、RAM全体のカラム指向のエラーチェックについての実施の形態は、書き込み操作または読み取り操作時には適切ではなく、所定の時間の時間間隔をおいて行われる。この時間間隔は使用されるソフトウェアによって設定することができる。このエラーチェックを行うか否かの決定は好ましくは使用されるソフトウェアによって行われる。

【0029】

32ビットパリティ語の2ビットパリティ語はデータ語の2ビットパリティ語について図2~4に基づいて説明した方法と同じ方法で、エラーチェックを行うために使用可能である。

【0030】

カラム指向のパリティの代わりに、カラム指向のCRC(周期的冗長検査)サムを求め、エラーチェックのために使用することができる。この場合にも、語の書き込みおよびまたは読み取りの前に、先ず最初にすべてのデータ語レジスタ10iとチェックビットレジスタ12の内容が読み出され、新たにCRC語が決定される。このCRC語が記憶されたCRC語と一致しないときには、エラーメッセージFが発生させられるかあるいは対応するエラーフラグがセットされる。両CRC語が一致すると、書き込み操作または読み取り操作が、カラム指向のパリティ語発生について上述したように決定される。

【0031】

カラム指向のパリティと周期的に行われるパリティチェックまたはCRCチェックサムと周期的なCRC演算によって更に、アドレスデコーダ内のエラーと二重ビットエラーと他のエラーを検出することができる。チェックまたは演算は好ましくは適当なソフトウェアによって行われる。

【図面の簡単な説明】

【図1】

第1のメモリアーキテクチャを概略的に示す図である。

【図2】

10

20

30

40

50

書き込み操作の過程を概略的に示す図である。

【図3】

読み取り操作の過程を概略的に示す図である。

【図4】

語指向のパリティの発生を示す図である。

【図5】

第2のメモリーアクセスを概略的に示す図である。

【図6】

カラム指向のパリティの発生を示す図である。

【国際公開パンフレット】

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

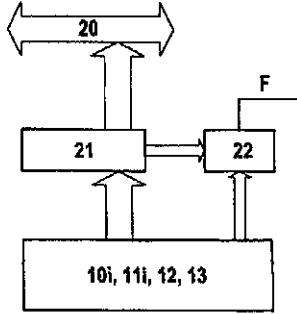
(19) Weltorganisation für geistiges Eigentum Internationales Büro		
		(10) Internationale Veröffentlichungsnummer WO 01/22225 A1
PCT		
(21) Internationales Patentklassifikation ¹ :	G06F 11/10	(72) Erfinder; und
(21) Internationales Aktenzeichen:	PCT/EP0008398	(75) Erfinder/Anmelder (<i>insofern für US</i>): PEY, Wolfgang (DE/DE); Nesselweg 17, D-6552 Niedernhausen (DE).
(22) Internationales Anmeldedatum:	29. März 2001 (29.03.2001)	TRASKOV, Adrian [DE/DE]; Hardtbergstrasse 8, D-61449 Steinbach (DE). TRUOEL, Jan [DE/DE]; Kantstrasse 2, D-64347 Griesheim (DE).
(25) Einreichungssprache:	Deutsch	(74) Gemeinsamer Vertreter: CONTINENTAL TEVES AG & CO. OHG; Guerickestrasse 7, D-60488 Frankfurt am Main (US).
(26) Veröffentlichungssprache:	Deutsch	(81) Bestimmungsstaaten (<i>national</i>): JP, US.
(30) Angaben zur Priorität:	1994 494,9 22. September 1999 (22.09.1999) DE 100 18 722,6 15. April 2000 (15.04.2000) DE	(84) Bestimmungsstaaten (<i>regional</i>): europäisches Patent (A1); BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE.
(71) Anmelder (<i>für alle Bestimmungsstaaten mit Ausnahme von US</i>):	CONTINENTAL TEVES AG & CO. OHG [USAS]; Guerickestrasse 7, D-60488 Frankfurt am Main (US).	Veröffentlicht: <i>Mit internationalem Recherchebericht.</i> <i>(Fürsetzung auf der nächsten Seite)</i>

(54) Titel: METHOD AND CIRCUIT CONFIGURATION FOR STORING DATA WORDS IN A RAM MODULE

(54) Bezeichnung: VERFAHREN UND SCHALTUNGSANORDNUNG ZUM SPEICHERN VON DATENWORTEN IN EINEM RAM MODUL



WO 01/22225 A1



Vergleichen des ausgelesenen Prüfbit-Wortes mit dem erneut erzeugten Prüfbit-Wort und Erzeugen einer Fehlermeldung, wenn diese nicht übereinstimmen. Weiterhin wird eine entsprechende Schaltungsanordnung beschrieben.

(57) Abstract: The invention relates to a method for storing data words in a RAM module that is especially suited for applications that are critical with regard to safety. The inventive method is characterized by the following steps: producing a test bit word from at least one data word when writing the at least one data word into the RAM module; storing the test bit word, reading out test bit word when reading out the at least one data word from the RAM module, regenerating the test bit word from the at least one read out data word, comparing the read out test bit word with the regenerated test bit word and generating an error message if they do not correspond. The invention further relates to a corresponding circuit configuration.

(57) Zusammenfassung: Es wird ein Verfahren zum Speichern von Datenworten in einem RAM Modul beschrieben, das insbesondere für sicherheitskritische Anwendungen geeignet ist und sich durch folgende Schritte auszeichnet: Erzeugen eines Prüfbit-Wortes aus mindestens einem Datenwort beim Schreiben des mindestens einen Datenwortes in das RAM Modul. Speichern des Prüfbit-Wortes, Auslesen des Prüfbit-Wortes beim Auslesen des mindestens einen Datenwortes aus dem RAM Modul, erneutes Erzeugen des Prüfbit-Wortes aus dem mindestens einen ausgeliesenen Datenwort. Vergleichen des ausgelesenen Prüfbit-Wortes mit dem erneut erzeugten Prüfbit-Wort und Erzeugen einer Fehlermeldung, wenn diese nicht übereinstimmen. Weiterhin wird eine entsprechende Schaltungsanordnung beschrieben.

WO 01/22225 A1

Zur Erklärung der Zweiibuchstaben-Codes, und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

WO 01/22225

PCT/EP00/08398

- 1 -

Verfahren und Schaltungsanordnung zum Speichern von Datenworten in einem RAM Modul

Die Erfindung betrifft ein Verfahren und eine Schaltungsanordnung zum Speichern von Datenworten in einem RAM Modul, insbesondere für sicherheitskritische Anwendungen.

RAM (Random Access Memory) Module sind allgemein bekannt und weit verbreitet. Sie dienen zum wiederholten Speichern und Auslesen von Daten für eine Vielzahl von Anwendungen. Der Sicherheit der in dem RAM Modul gespeicherten Daten muss bei der Auslegung der Speicherarchitektur besondere Beachtung geschenkt werden. Bei einer bekannten Architektur wird die Datensicherheit durch eine voll redundante Auslegung des Moduls in relativ zuverlässiger Weise gewährleistet. Ein wesentlicher Nachteil hierbei besteht jedoch darin, dass der Schaltungsaufwand und der Bedarf an Siliziumfläche relativ hoch ist.

Der Erfindung liegt deshalb die Aufgabe zugrunde, ein Verfahren und eine Schaltungsanordnung zum Speichern von Datenworten in einem RAM Modul zu schaffen, dessen Flächenbedarf wesentlich geringer ist, ohne dass Einschränkungen im Hinblick auf die Datensicherheit hinzunehmen sind.

Gelöst wird diese Aufgabe mit einem Verfahren gemäß Anspruch 1, dass sich durch folgende Schritte auszeichnet: Erzeugen eines Prüfbit-Wortes aus mindestens einem Datenwort beim Schreiben des mindestens einen Datenwortes in das

- 2 -

RAM Modul, Speichern des Prüfbit-Wortes, Auslesen des Prüfbit-Wortes beim Auslesen des mindestens einen Datenwortes aus dem RAM Modul, Erneutes Erzeugen des Prüfbit-Wortes aus dem mindestens einen ausgelesenen Datenwort, Vergleichen des ausgelesenen Prüfbit-Wortes mit dem erneut erzeugten Prüfbit-Wort und Erzeugen einer Fehlermeldung, wenn diese nicht übereinstimmen.

Die Aufgabe wird ferner mit einer Schaltungseinordnung gemäß Anspruch 7 gelöst, die sich auszeichnet durch: eine erste Schaltungseinheit zur Erzeugung eines Prüfbit-Wortes aus mindestens einem Datenwort beim Schreiben und Lesen des mindestens einen Datenwortes, eine Anzahl von Registern zur zugeordneten Speicherung von Prüfbit-Worten für die Datenworte, sowie eine zweite Schaltungseinheit, mit der beim Lesen von Datenworten das zugeordnete Prüfbit-Wort mit dem durch die erste Schaltungseinheit erneut erzeugten Prüfbit-Wort verglichen wird, sowie zur Erzeugung einer Fehlermeldung, wenn die Prüfbit-Worte nicht übereinstimmen.

Ein besonderer Vorteil dieser Lösung besteht darin, dass bei im wesentlichen gleicher Datensicherheit wie bei der eingangs genannten voll redundanten Auslegung die erforderliche Siliziumfläche und damit auch der Schaltungsaufwand und die Kosten wesentlich geringer sind.

Die Unteransprüche haben vorteilhafte Weiterbildungen der Erfindung zum Inhalt.

WO 01/22225

PCT/EP00/08398

- 3 -

Weitere Einzelheiten, Merkmale und Vorteile der Erfindung ergeben sich aus der folgenden Beschreibung einer bevorzugten Ausführungsform anhand der Zeichnung. Es zeigt:

Fig. 1 eine schematische Darstellung einer ersten Speicherarchitektur;

Fig. 2 eine schematische Darstellung des Ablaufes eines Schreibvorgangs;

Fig. 3 eine schematische Darstellung des Ablaufes eines Lesevorgangs;

Fig. 4 die Erzeugung einer wortorientierten Parität;

Fig. 5 eine schematische Darstellung einer zweiten Speicherarchitektur; und

Fig. 6 die Erzeugung einer spaltenorientierten Parität.

Ein RAM Modul umfasst gemäß Figur 1 im wesentlichen ein wortorientiertes Array 10 aus einer Anzahl von 32 Bit Datenwort-Registern 10a,...10i,...10x, die reihenweise untereinander angeordnet dargestellt sind. Jeden Datenwortregister ist ein 2 Bit Paritätswort-Register 11a,...11i,...11x zugeordnet, so dass sich ein 2 Bit Paritäts-Array 11 ergibt. Weiterhin ist ein 32 Bit Paritätswort-Register 12 vorgesehen, dem wiederum ein 2 Bit Paritätswort-Register 13 zugeordnet ist.

WO 01/22225

PCT/EP00/08398

- 4 -

Zum Datenaustausch ist diese Anordnung in bekannter Weise mit einer Bus-Interfaceeinheit 14 verbunden, über die eine Verbindung zu einem CPU-Bus hergestellt werden kann. Die Bus-Interfaceeinheit 14 umfasst weiterhin Schaltungseinheiten zum Erzeugen und zum Vergleich der Paritätswörter bei Schreib- und Lesevorgängen, die in den Figuren 2 und 3 dargestellt sind.

Zum Schreiben in das RAM Modul werden gemäß Figur 2 die betreffenden Datenwörter von einem 32 Bit Datenbus 20 zu einer ersten Schaltungseinheit 21 geführt, mit der zu jedem Datenwort ein 2 Bit Paritätswort erzeugt wird. Anschließend wird das Datenwort in eines der Datenwort-Register 10i in dem RAM Modul und das 2 Bit Paritätswort in das zugeordnete 2 Bit Paritätswort-Register 11i eingeschrieben.

Zum Lesen von Datenwörtern aus dem RAM Modul wird gemäß Figur 3 das adressierte Datenwort zunächst in die erste Schaltungseinheit 21 überführt. Gleichzeitig wird das zugeordnete 2 Bit Paritätswort in eine zweite Schaltungseinheit 22 übertragen. In der ersten Schaltungseinheit 21 wird aus dem ausgelesenen Datenwort wiederum ein 2 Bit Paritätswort erzeugt, das in die zweite Schaltungseinheit 22 überführt und dort mit dem direkt aus dem RAM Modul ausgelesenen 2 Bit Paritätswort verglichen wird. Wenn diese beiden Wörter nicht übereinstimmen, wird ein Fehlersignal F erzeugt oder ein entsprechendes Fehler-Flag gesetzt. Wenn die 2 Bit Paritätswörter übereinstimmen, wird das ausgelesene Datenwort auf den Datenbus 20 übertragen.

Gemäß Figur 4 setzt sich jedes 32 Bit Datenwort aus einem ersten und einem zweiten 16 Bit Halbwort HW zusammen, wobei

WO 01/22225

PCT/EP00/08398

- 5 -

aus jedem Halbwort ein Bit B des 2 Bit Paritätswortes erzeugt wird.

Durch die automatische Erzeugung und den automatischen Vergleich dieser wortorientierten Paritäten können einzelne Bitfehler sofort "online" beim Auslesen aus dem RAM Modul erkannt werden.

Um eine noch höhere Fehlersicherheit zu erreichen, lässt sich die 2 Bit Paritätserzeugung auch durch eine CRC (cyclic redundancy check) -Prüfung mit einem für jedes Datenwort gemäß einem Polynom berechneten CRC-Wort ersetzen. Um ein sinnvolles Verhältnis zwischen der Breite eines Datenwertes und der Breite eines CRC-Wortes zu erreichen, wird die Speicherarchitektur so gewählt, dass die Breite der gespeicherten Datenworte (Speicherworte) ein Vielfaches der Breite der Datenworte auf dem Datenbus ist. Bei einer Datenwort-Breite von 32 Bit hat das Speicherwort vorzugsweise eine Breite von 128 Bit und das CRC-Wort für eine optimale Fehlersicherheit eine Breite von 9 Bit.

Figur 5 zeigt eine entsprechende Anordnung, die über die Bus-Interfaceeinheit 14 mit einem 32 Bit Datenbus (nicht dargestellt) verbunden ist.

Das RAM Modul umfasst ein Array 60 aus einer Anzahl von 128 Bit Speicherwort-Registern 60a,...60x, die reihenweise untereinander angeordnet dargestellt sind. Jedem Speicherwort-Register ist ein CRC-Register 61a,...61x mit zum Beispiel jeweils 9 Bit zugeordnet, so dass sich ein CRC-Array 61 ergibt.

- 6 -

Zwischen das Array 60 und die Bus-Interfaceeinheit 14 ist eine Einheit 70 geschaltet, die einen Multiplexer 71 für jeweils vier 32 Bit Datenworte sowie ein 128 Bit CRC-Rechenregister 72 zur Aufnahme von vier 32 Bit Datenworten aufweist. Weiterhin umfasst die Einheit 70 eine CRC-Recheneinheit 73, mit der aus dem Inhalt des 128 Bit CRC-Rechenregisters 72 mit bekannten Rechenverfahren ein 9 Bit CRC-Wort berechnet und in einem 9 Bit CRC-Register 74 zwischengespeichert wird, das wiederum mit der Bus-Interfaceeinheit 14 verbunden ist.

Die Schreib- und Lesevorgänge laufen im wesentlichen in gleicher Weise ab, wie es in den Figuren 2 und 3 dargestellt ist.

Beim Einschreiben in das RAM Modul werden jeweils vier über die Bus-Interfaceeinheit 14 zugeführte 32 Bit Datenworte mit dem Multiplexer 71 zyklisch nacheinander in das 128 Bit CRC-Rechenregister 72 eingespeichert, so dass sich ein 128 Bit Speicherwort ergibt. Mit der CRC-Recheneinheit 73 wird daraus dann das 9 Bit CRC-Wort berechnet und in das 9 Bit CRC-Register 74 eingetragen. Anschließend wird der Inhalt des 128 Bit CRC-Rechenregisters 72 in eines der 128 Bit Speicherwort-Register 60i des RAM Arrays und der Inhalt des 9 Bit CRC-Registers 74 in das zugeordnete 9 Bit CRC-Wortregister 61i eingespeichert.

Beim Schreiben eines neuen 32 Bit Datenwortes (oder kleinerer Worteinheiten) in das RAM Modul ist es erforderlich, das CRC-Wort des betreffenden 128 Bit Speicherwort-Registers 60i neu zu berechnen. Dies bedeutet, dass vor dem Schreiben des neuen Datenwortes zunächst der Inhalt des be-

WO 01/22225

PCT/EP00/08398

- 7 -

treffenden 128 Bit Speicherwort-Registers 60i vollständig ausgelesen und in das CRC-Rechenregister 72 eingespeichert werden muss, um dann mit der CRC-Recheneinheit 73 auf der Grundlage des neuen Datenwortes das 9 Bit CRC-Wort neu zu berechnen und in dem CRC-Register 74 abzulegen. Die Inhalte beider Register 72, 74 werden dann in die entsprechenden Register 60i, 61i übertragen.

Sofern vor dem Schreiben eines neuen 32 Bit Datenwortes eine Fehlerprüfung durchgeführt werden soll, die zum Beispiel durch eine Software mit bestimmten Zeittabständen veranlasst werden kann, wird wie oben erwähnt zunächst der Inhalt des betreffenden 128 Bit Speicherwort-Registers 60i und der Inhalt des zugeordneten CRC-Registers 61i ausgelesen. Anschließend wird mit der CRC-Recheneinheit 73 daraus erneut das 9 Bit CRC-Wort erzeugt und mit dem ausgelesenen CRC-Wort verglichen. Wenn diese beiden CRC-Worte nicht übereinstimmen, wird ein Fehlersignal F (oder ein entsprechendes Fehler-Flag) erzeugt. Wenn die CRC-Worte übereinstimmen, wird, wie oben erläutert wurde, aus dem das neue 32 Bit Datenwort enthaltenden 128 Bit Speicherwort ein neues 9 Bit CRC Wort berechnet, und beide werden in das entsprechende 128 Bit Speicherwort-Register 60i bzw. das zugeordnete 9 Bit CRC Register 61i des RAM Moduls eingelesen.

Die Fehlerprüfung kann auch dann durchgeführt werden, wenn ein Datenwort aus dem RAM Modul auf den Datenbus 20 ausgelesen werden soll. Zu diesem Zweck wird der Inhalt des das betreffende Datenwort enthaltenden Speicherwort-Registers 60i in das CRC-Rechenregister 72 übertragen und daraus erneut das CRC-Wort berechnet. Dieses CRC-Wort wird mit dem in dem zugeordneten CRC-Wort-Register 61i gespeicherten

WO 01/22225

PCT/EP00/08398

- 8 -

CRC-Wort verglichen. Wenn beide Worte nicht übereinstimmen, wird eine Fehlermeldung F erzeugt oder ein entsprechendes Fehler-Flag gesetzt. Wenn beide CRC-Worte übereinstimmen, wird das ausgelesene 32 Bit Datenwort auf den Datenbus 20 übertragen. Anschließend wird der Inhalt des CRC-Rechenregisters 72 in das entsprechende 128 Bit Speicherwort-Register 60i zurückgeführt.

Figur 6 zeigt mehrere Speicherwort-Register 10a, 10b,.. 10x, für 32 Bit Datenworte sowie ein 32 Bit Paritätswort-Register 12, wobei für jede Stelle beispielhaft ein Bit mit dem Wert 0 oder 1 dargestellt ist.

Im Unterschied zu der in den Figuren 4 und 5 gezeigten, wortorientierten Prüfbit-Erzeugung wird gemäß Figur 6 eine spaltenorientierte Parität erzeugt, bei der für jeweils gleiche Stellen aller Datenworte ein Paritäts-Bit ermittelt wird, das an eine zugeordnete Stelle in dem 32 Bit Paritätswort-Register 12 eingeschrieben wird. Auf diese Weise ergibt sich ein 32 Bit Paritätswort. Weiterhin kann nun zu diesem 32 Bit Paritätswort in gleicher Weise wie es für die wortorientierte Parität anhand der Figur 4 beschrieben wurde, ein 2 Bit Paritätswort erzeugt und in dem 2 Bit Paritätswort-Register 13 (siehe Figur 1) abgespeichert werden. Entsprechend der vorstehend beschriebenen Weise kann auch eine spaltenorientierte Paritätsprüfung bei der Ausführungsform gemäß Fig. 5 mit 128 Bit breiten Datenworten durchgeführt werden.

WO 01/22225

PCT/EP00/08398

- 9 -

Während des Schreibens eines neuen Datenwortes in einem der Wortregister 10i des RAM Moduls wird zunächst der Inhalt des Datenwortes der zu beschreibenden Speicherstelle im RAM Modul, d.h. im Beispiel ein 32 Bit Datenwort-Register 10i, sowie das 32 Bit Paritätswort-Register 12 ausgelesen. Anschließend wird der Wert des spaltenorientierten 32 Bit Paritätsworts erneut ermittelt und beschrieben.

Darauffolgend wird das neue Datenwort in die entsprechenden Datenwort-Register 10i zurückgeschrieben und der Inhalt des 32 Bit Paritätswort-Registers 12 neu ermittelt. Im Anschluss daran kann zu dem 32 Bit Paritätswort wieder eine 2 Bit Parität erzeugt und in dem 2 Bit Paritätswort-Register 13 (siehe Figur 1) gespeichert werden.

Während eines normalen Lesevorgangs wird vorzugsweise keine Fehlerüberprüfung durchgeführt. Eine zusätzliche Fehlerprüfung kann dadurch erfolgen, daß in der vorstehend beschriebenen Weise beispielsweise zum Zeitpunkt während eines Lesevorgangs der Inhalt sämtlicher Datenwort-Register 10i ausgelesen wird, das spaltenorientierte 32 Bit Paritätswort erneut erzeugt und mit dem in dem Paritätswort-Register 12 gespeicherten Paritätswort verglichen wird. Wenn die Paritätsworte nicht übereinstimmen, wird eine Fehlermeldung F erzeugt oder ein entsprechendes Fehler-Flag gesetzt. Wenn die Paritätsworte übereinstimmen, wird das ausgelesene Datenwort auf den Datenbus 20 übertragen. Die hier beschriebene Ausführungsform zur spaltenorientierten Fehlerprüfung im ganzen RAM wird sinnvollerweise nicht bei jedem Schreib- oder Lesevorgang, sondern mit bestimmten Zeitabständen vorgenommen, wobei die Zeitabstände durch die verwendete Software vorgegeben sein können. Die Entscheidung, ob diese

WO 01/22225

PCT/EP00/08398

- 10 -

Fehlerprüfung erfolgt oder nicht, wird bevorzugt durch die verwendete Software vorgenommen.

Das 2 Bit Paritätswort des 32 Bit Paritätswortes kann in gleicher Weise zur Fehlerüberprüfung verwendet werden, wie es anhand der Figuren 2 bis 4 für die 2 Bit Paritätswoerte der Datenwörter beschrieben wurde.

Anstelle der spaltenorientierten Parität kann auch eine spaltenorientierte CRC (Cyclic Redundancy Check) -Summe gebildet und zur Fehlerprüfung verwendet werden. Auch hierbei wird vor dem Schreiben und / oder Lesen eines Wortes zunächst der Inhalt sämtlicher Datenwort-Register 10i sowie des Prüfbit-Registers 12 ausgelesen und erneut das CRC-Wort ermittelt. Wenn dieses CRC-Wort nicht mit dem gespeicherten CRC-Wort übereinstimmt, wird eine Fehlermeldung F erzeugt oder ein entsprechendes Fehler-Flag gesetzt. Wenn beide CRC-Worte übereinstimmen, wird der Schreib- oder Lesevorgang in der oben für die spaltenorientierte Paritätswort- Erzeugung beschriebenen Weise abgeschlossen.

Mit der spaltenorientierten Parität sowie einem zyklisch ablaufenden Paritäts-Test bzw. der CRC-Prüfsumme und einer zyklischen CRC-Berechnung lassen sich auch Fehler im Adress-Decoder sowie Doppel-Bitfehler und weitere Fehler ermitteln. Die Tests bzw. Berechnungen werden vorzugsweise durch eine entsprechende Software durchgeführt.

- 11 -

Patentansprüche

1. Verfahren zum Speichern von Datenworten in einem RAM Modul, gekennzeichnet durch folgende Verfahrensschritte:
Erzeugen eines Prüfbit-Wortes aus mindestens einem Datenwort beim Schreiben des mindestens einen Datenwortes in das RAM Modul,
Speichern des Prüfbit-Wortes,
Auslesen des Prüfbit-Wortes beim Auslesen des mindestens einen Datenwortes aus dem RAM Modul,
Erneutes Erzeugen des Prüfbit-Wortes aus dem mindestens einen ausgelesenen Datenwort,
Vergleichen des ausgelesenen Prüfbit-Wortes mit dem erneut erzeugten Prüfbit-Wort und Erzeugen einer Fehlermeldung, wenn diese nicht übereinstimmen.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass das Prüfbit-Wort durch Ermittlung von Paritätsbits gebildet wird.
3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, dass aus jedem Datenwort ein 2 Bit Paritätswort gebildet wird, wobei aus jedem Daten-Halbwort jeweils ein Paritätsbit ermittelt wird.
4. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass aus einer Anzahl von Datenworten ein Paritätswort erzeugt wird, dessen Paritätsbits jeweils aus gleichen Stellen aller Datenworte ermittelt werden.

- 12 -

5. Verfahren nach Anspruch 1, dadurch **gekennzeichnet**, dass die Prüfbit-Worte durch Berechnung von CRC-Worten gebildet werden.
6. Verfahren nach Anspruch 5, dadurch **gekennzeichnet**, dass jeweils eine Anzahl von Datenworten zu einem Speicherwort zusammengefasst wird und daraus ein zugeordnetes CRC-Wort berechnet wird.
7. Schaltungsanordnung zum Speichern von Datenworten in einem RAM Modul, **gekennzeichnet** durch:
eine erste Schaltungseinheit (21) zur Erzeugung eines Prüfbit-Wortes aus mindestens einem Datenwort beim Schreiben und Lesen des mindestens einen Datenwortes, eine Anzahl von Registern (11i, 61i) zur zugeordneten Speicherung von Prüfbit-Worten für die Datenworte, sowie eine zweite Schaltungseinheit (22), mit der beim Lesen von Datenworten das zugeordnete Prüfbit-Wort mit dem durch die erste Schaltungseinheit (21) erneut erzeugten Prüfbit-Wort verglichen wird, sowie zur Erzeugung einer Fehlermeldung (F), wenn die Prüfbit-Worte nicht übereinstimmen.
8. Schaltungsanordnung nach Anspruch 7, dadurch **gekennzeichnet**, dass die Anzahl von Registern durch erste 2 Bit Paritätsregister (11i) gebildet ist, wobei jedem Datenwort ein 2 Bit Paritätsregister zugeordnet ist.
9. Schaltungsanordnung nach Anspruch 7, dadurch **gekennzeichnet**, dass die Anzahl von Registern durch CRC-Register (61i) gebildet ist, wobei jeweils vier Datenwörter ein CRC-Register zugeordnet ist.

- 13 -

10. Schaltungsanordnung nach Anspruch 9, gekennzeichnet durch einen Multiplexer (71) zur Speicherung von jeweils vier Datenworten als ein Speicherwort, sowie eine CRC-Recheneinheit (73) zur Berechnung des CRC-Wortes aus einem Speicherwort sowie zur Speicherung des CRC-Wortes in einem zugeordneten CRC-Register (61i, 74).
11. Schaltungsanordnung nach Anspruch 10, dadurch gekennzeichnet, dass die Datenworte 32 Bit Worte und die CRC-Worte 9 Bit Worte sind.
12. Schaltungsanordnung nach einem der Ansprüche 7 bis 11, gekennzeichnet durch ein zweites Register (12) zur Speicherung eines Prüfbit-Wortes, dessen Bits jeweils aus gleichen Stellen aller Datenworte ermittelt werden, sowie ein drittes Register (13) zur Speicherung eines Prüfbit-Wortes, das aus dem Inhalt des zweiten Registers (12) ermittelt wird.

WO 01/22225

PCT/EP00/08398

1/3

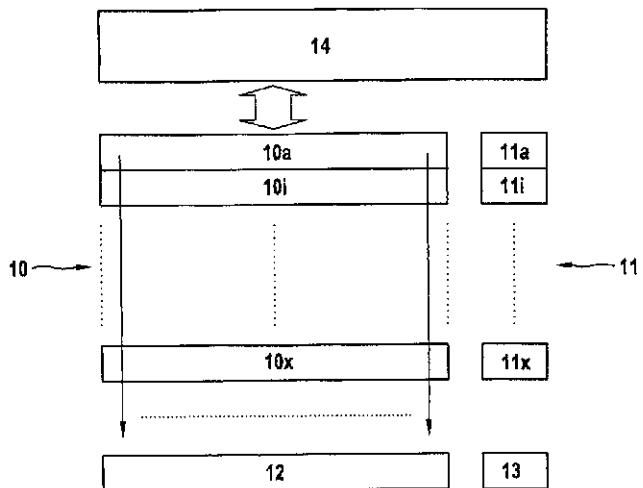


Fig. 1

WO 01/22225

PCT/EP00/08398

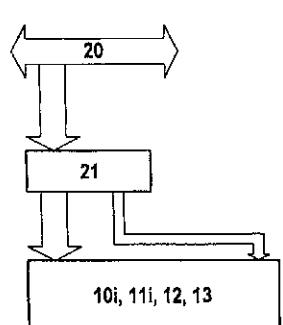


Fig. 2

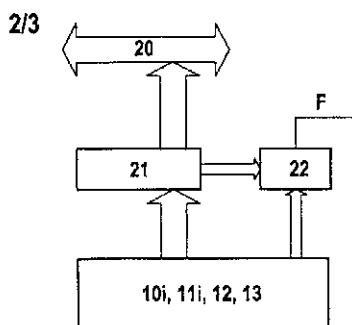


Fig. 3

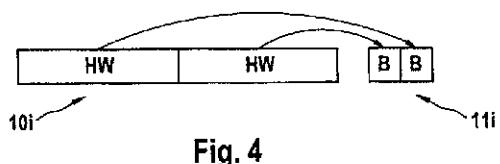


Fig. 4

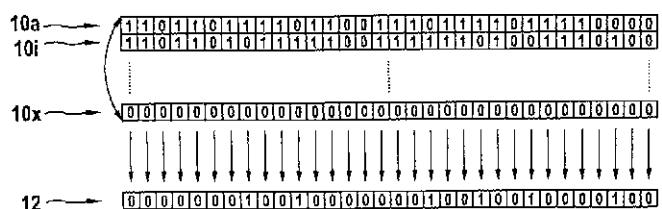


Fig. 6

WO 01/22225

PCT/EP00/08398

3/3

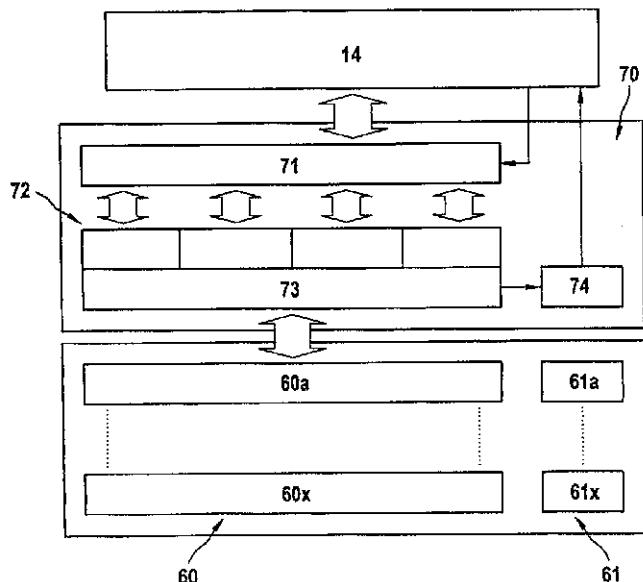


Fig. 5

【国際調査報告】

INTERNATIONAL SEARCH REPORT		
International Application No PCT/EP 00/08398		
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G06F11/10		
<small>According to International Patent Classification (IPC) or to both national classification and IPC</small>		
B. FIELDS SEARCHED <small>Minimum documentation searched (classification system followed by classification symbols)</small> IPC 7 G06F		
<small>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched</small>		
<small>Electronic data base consulted during the international search (name of data base and, where practical, search terms used)</small> EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 3 972 033 A (CISLAGHI EZIO ET AL) 27 July 1976 (1976-07-27) claim 1 -----	1-3
X	US 4 710 934 A (TRAYNOR KEVIN) 1 December 1987 (1987-12-01) column 1, line 52 -column 2, line 10 column 2, line 62 -column 3, line 12 -----	1,4,7,8
X	US 4 277 844 A (BURNS WILLIAM A ET AL) 7 July 1981 (1981-07-07) claims 1,3; figure 4 -----	1,5,6
A		7-12
<input type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex
<small>* Special categories of cited documents :</small>		
<small>*A* document defining the general state of the art which is not considered to be of particular relevance</small>		
<small>*E* earlier document but published on or after the international filing date</small>		
<small>*L* document which may relate to prior art claimed in another document to help establish the publication date of another document or other special reason (as specified)</small>		
<small>*O* document referring to an oral disclosure, use, exhibition or other means</small>		
<small>*P* document published prior to the international filing date but later than the priority date claimed</small>		
<small>*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</small>		
<small>*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</small>		
<small>*Y* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</small>		
<small>Date of the actual completion of the international search</small> 17 November 2000		<small>Date of mailing of the International search report</small> 24/11/2000
<small>Name and mailing address of the ISA</small> European Patent Office, P.O. 5610 Patentlan 2 NL - 2280 HV Rijswijk Tel (+31-70) 340-2040, TX. 31 851 epo nl Fax (+31-70) 340-3916		<small>Authorized officer</small> Huyghe, E

1

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT			Information on patent family members	
			Internat'l Application No.	PCT/EP 00/08398
Patent document cited in search report	Publication date	Patent family member(s)	Publication date	
US 3972033 A	27-07-1976	IT 1002271 B FR 2272466 A JP 1153421 C JP 50118633 A JP 57038997 B	20-05-1976 19-12-1975 30-06-1983 17-09-1975 18-03-1982	
US 4710934 A	01-12-1987	JP 62175846 A	01-08-1987	
US 4277844 A	07-07-1981	NONE		

Form PCT/ISA/210 (patent family annex) (July 1992)

INTERNATIONALER RECHERCHENBERICHT

Intern: jales Aktionzeichen
PCT/EP 00/08398

A. KLASSERFIZIERUNG DES ANMELDUNGSGEGENSTANDES IPK 7 G06F11/10		
Nach der internationalem Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK		
B. RECHERCHIERTE GEBIETE Recherchierte Meldesprälatot (Klassifikationssystem und Klassifikationssymbol) IPK 7 G06F		
Recherchierte aber nicht zum Meldesprälatot gehörende Veröffentlichungen, sowie diese unter die nachstehenden Gebiete fallen:		
Während der internationalen Recherche heruntergeladene elektronische Datenbank (Name der Datenbank, und evtl. verwendete Suchbegriffe) EPO-Internal		
C. ALS WESENTLICH ANGEGEHENDE UNTERLAGEN		
Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Bekl. Anspruch Nr.
X	US 3 972 033 A (CISLAGHI EZIO ET AL) 27. Juli 1976 (1976-07-27) Anspruch 1 -----	1-3
X	US 4 710 934 A (TRAYNOR KEVIN) 1. Dezember 1987 (1987-12-01) Spalte 1, Zeile 52 -Spalte 2, Zeile 10 Spalte 2, Zeile 62 -Spalte 3, Zeile 12 -----	1,4,7,8
X	US 4 277 844 A (BURNS WILLIAM A ET AL) 7. Juli 1981 (1981-07-07) Ansprüche 1,3; Abbildung 4 -----	1,5,6
A		7-12
<input type="checkbox"/> Weitere Veröffentlichungen seit der Fortsetzung von Feld C zu entnehmen		<input checked="" type="checkbox"/> Seite Anhang Patentfamilie
<p>* Benennende Kategorie von angegebenen Veröffentlichungen : *A* Veröffentlichung, die den allgemeinen Stand der Technik darstellt, ohne dass sie einen technischen Fortschritt bringt. *E* älteres Dokument, das jedoch erst am oder nach dem internationale Anmeldeatum veröffentlicht worden ist. *T* Veröffentlichung, die gleicher ist, einer Prioritätsanspruch zweckmäßig erscheinen zu lassen, oder durch die das Veröffentlichungsdatum der vorliegenden Anmeldung bestimmt werden soll oder die aus einem anderen bestehenden Grund angegeben ist (wie ausgewertet). *O* Veröffentlichung, die sich auf eine manuelle Ordnung, eine Norm, eine Anmerkung oder andere Maßnahmen bezieht. *P* Veröffentlichung, die vor dem internationale Anmeldeatum, aber nach dem beanspruchten Prioritätsatum veröffentlicht worden ist.</p> <p>*T* Später Veröffentlichung, die nach dem internationale Anmeldeatum, aber dem Prioritätsatum veröffentlicht worden ist und mit der Anmeldung nicht konsolidiert, sondern nur zum Vorläufer der Errichtung zugrundeliegenden Prinzipia oder der ihr zugrundeliegenden Theorie bestimmt wird. *X* Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf anwendbarer Tauglichkeit beruhend beschrieben werden. *Y* Veröffentlichung, die eine andere Veröffentlichung als die beanspruchte Erfindung, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen zusammengezogen in Verbindung gebracht wird und diese Veröffentlichung hat einen Fiktiven Anmeldedatum. *Z* Veröffentlichung, die Mitglied innerhalb Patentfamilie ist.</p>		
Datum des Abschlusses der internationalen Recherche	Abschlußdatum des internationalen Recherchenberichts	
17. November 2000	24/11/2000	
Name und Postanschrift der internationales Recherchenbehörde Europäisches Patentamt, P.O. 5818 Patentamt 2 NL - 2200 HV Rijswijk Tel. (+31-70) 340-3010 Fax (+31-70) 340-3019	Bevollmächtigter Dienstleister Huyghe, E	

Formular PCT/Inv2/0 (Blatt 2) (Ach 1992)

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Intern. des Aktenzeichen
PCT/EP 00/08398

im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 3972033 A	27-07-1976	IT 1002271 B FR 2272466 A JP 1153421 C JP 50118633 A JP 57038997 B	20-05-1976 19-12-1975 30-06-1983 17-09-1975 18-08-1982
US 4710934 A	01-12-1987	JP 62175846 A	01-08-1987
US 4277844 A	07-07-1981	KEINE	

Formblatt PCTISA210 (Anhang Patentfamilie), v. 1.1.1, 1992

フロントページの続き(51) Int.Cl.⁷

F I

テーマコード(参考)

G 1 1 C 29/00 6 3 1 D

(72)発明者 ファイ・ヴォルフガング

ドイツ連邦共和国、ニーデルンハウゼン、ネッセルヴェーク、17

(72)発明者 トラスコフ・アードリアーン

ドイツ連邦共和国、シュタインバッハ、ハルトベルクストラーセ、8

(72)発明者 トルエル・ヤン

ドイツ連邦共和国、グリースハイム、カントストラーセ、2

F ターム(参考) 5B001 AA01 AA02 AA04 AB01 AC04 AC08 AD03 AE02

5B018 GA01 HA12 HA13 HA35 MA32 NA01 QA16 RA02

5L106 BB02 GG05