

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 8 月 25 日(25.08.2011)

(10) 国際公開番号
WO 2011/102140 A1

PCT

- (51) 国際特許分類:
H01L 21/3065 (2006.01) H01L 21/027 (2006.01)
- (21) 国際出願番号: PCT/JP2011/000901
- (22) 国際出願日: 2011 年 2 月 18 日(18.02.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-035294 2010 年 2 月 19 日(19.02.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): 東京エレクトロン株式会社(TOKYO ELECTRON LIMITED) [JP/JP]; 〒1076325 東京都港区赤坂五丁目 3 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 小山 賢一(OYAMA, Kenichi) [JP/JP]; 〒4070192 山梨県韮崎市穂坂町三ツ沢 6 5 0 東京エレクトロン株式会社内 Yamanashi (JP). 矢部 和雄(YABE, Kazuo) [JP/JP]; 〒4070192 山梨県韮崎市穂坂町三ツ沢 6 5 0 東京エレクトロン株式会社内 Yamanashi (JP). 八重樫 英民(YAEGASHI, Hidetami) [JP/JP]; 〒4070192 山梨県韮崎市穂坂町三ツ沢 6 5 0 東京エレクトロン株式会社内 Yamanashi (JP).

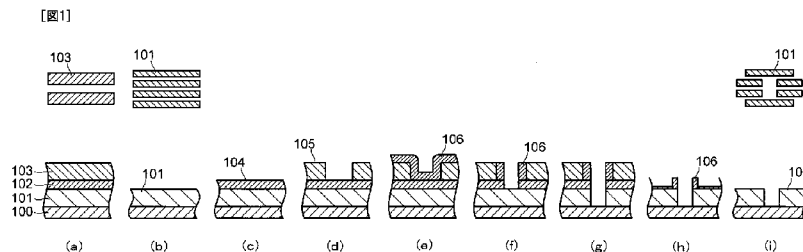
- (74) 代理人: 特許業務法人サクラ国際特許事務所 (SAKURA PATENT OFFICE, p.c.); 〒1010046 東京都千代田区神田多町二丁目 1 番地 神田東山ビル Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: METHOD FOR MANUFACTURING A SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法



(57) Abstract: Disclosed is a method for manufacturing a semiconductor device. Said method includes: a step in which a thin film is formed on a substrate; a resist-mask formation step in which a photoresist mask, in which an elliptical hole pattern is formed, is formed on the aforementioned thin film; a reduction step in which an insulating film is formed on the side walls of the elliptical hole pattern, thereby reducing the diameter of the hole in the hole pattern; and a step in which the thin film is etched using, as a mask, the photoresist layer and insulating film that form the aforementioned reduced-diameter elliptical hole pattern.

(57) 要約: 基板上に薄膜を形成する工程と、前記薄膜上に、楕円ホールパターンの形成されたフォトリソマスクを形成するレジストマスク形成工程と、前記楕円ホールパターンの側壁に絶縁膜を形成することにより、前記楕円ホールパターンのホール径を縮小する縮小工程と、前記ホール径を縮小した楕円ホールパターンを形成する前記フォトリソマスク層と前記絶縁膜をマスクとして前記薄膜をエッチングする工程とを備えた半導体装置の製造方法。



WO 2011/102140 A1

明 細 書

発明の名称：半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置の製造方法に関する。

背景技術

[0002] 従来から、半導体装置の製造工程では、フォトレジストを用いたフォトリソグラフィ技術により、微細な回路パターンの形成が行われている。また、回路パターンのさらなる微細化を行うために、サイドウォールトランスファー（SWT（side wall transfer））プロセスや、その他のダブルパターンニング（DP）プロセスが検討されている。

[0003] 上記のようなフォトリソグラフィにおける微細化技術では、例えば、初めに形成したフォトレジストのパターンをハードマスクに転写し、ハードマスクとレジストマスクを用いる技術が知られている。

[0004] また、フォトレジストパターンの開口を形成した後、フォトレジストをガラス転移点以上の温度に加熱して、開口部の寸法を縮小し、この縮小したフォトレジストパターンをマスクとしてエッチングする技術が知られている（例えば、特許文献1参照。）。

先行技術文献

特許文献

[0005] 特許文献1：特開2005-150222公報

発明の概要

発明が解決しようとする課題

[0006] 上記のフォトリソグラフィにおける微細化技術では、さらに効率良く所望の微細化パターンを精度良く形成できるようにし、半導体装置の生産効率を向上させることが求められている。

[0007] 本発明は、上記従来の事情に対処してなされたもので、従来に比べて効率良く所望の微細化パターンを精度良く形成することのできる半導体装置の製

造方法を提供しようとするものである。

課題を解決するための手段

- [0008] 本発明の半導体装置の製造方法の一態様は、基板上に薄膜を形成する工程と、前記薄膜上に、楕円ホールパターンの形成されたフォトリソマスクを形成するレジソマスク形成工程と、前記楕円ホールパターンの側壁に絶縁膜を形成することにより、前記楕円ホールパターンのホール径を縮小する縮小工程と、前記ホール径を縮小した楕円ホールパターンを形成する前記フォトリソ層と前記絶縁膜をマスクとして前記薄膜をエッチングする工程とを備えたことを特徴とする。

発明の効果

- [0009] 本発明によれば、従来に比べて効率良く所望の微細化パターンを精度良く形成することのできる半導体装置の製造方法を提供することができる。

図面の簡単な説明

- [0010] [図1]本発明の半導体装置の製造方法の一実施形態の工程を説明するための図。
。
[図2]図1の半導体装置の製造方法の工程を示すフローチャート。
[図3]実施形態におけるポリシリコン膜の形状を示す電子顕微鏡写真。
[図4]実施形態における第2フォトリソパターンの形状を示す電子顕微鏡写真。
[図5]実施形態におけるホール径を縮小した第2フォトリソパターンの形状を示す電子顕微鏡写真。
[図6]実施形態におけるポリシリコン膜の形状を示す電子顕微鏡写真。
[図7]比較例の半導体装置の製造方法の工程を示すフローチャート。
[図8]他の比較例の半導体装置の製造方法の工程を示すフローチャート。
[図9]比較例におけるポリシリコン膜の形状を模式的に示す図。
[図10]実施形態とケミカルシュリンクとの相違を示す電子顕微鏡写真。
[図11]シュリンク量とホールサイズの関係を示すグラフ。
[図12]他の実施形態におけるポリシリコン膜の形状を示す電子顕微鏡写真。

[図13]他の実施形態におけるポリシリコン膜の形状を示す電子顕微鏡写真。

[図14]他の実施形態の工程を説明するための図。

発明を実施するための形態

[0011] 以下、本発明の詳細を、図面を参照して実施形態について説明する。

[0012] 図1は、本発明の一実施形態に係る基板としての半導体ウエハの一部を拡大して模式的に示し、一実施形態にかかる半導体装置の製造方法の工程を示すものである。また、図2は、一実施形態にかかる半導体装置の製造方法の工程を示すフローチャートである。

[0013] 図1(a)に示すように、半導体ウエハ100の上には、被エッチング膜としてのポリシリコン膜101が形成されている。そして、このポリシリコン膜101の上に反射防止膜102を形成した後、反射防止膜102の上にフォトレジスト層を形成し、露光現像してラインアンドスペース形状の第1フォトレジストパターン103を形成する(図2の工程201)。なお、図1(a)の上部に、上面から見た第1フォトレジストパターン103の形状を模式的に示す。この第1フォトレジストパターン103のピッチは、例えば、80nm~100nm(線幅40nm~50nm)程度であり、このような第1フォトレジストパターン103の形成は、例えばArF液浸露光等によって行うことができる。

[0014] 次に、図1(b)に示すように、上記の第1フォトレジストパターン103を基に、サイドウォールトランスファーによって、第1フォトレジストパターン103の約半分(略20nm程度)の線幅のラインアンドスペースパターンのマスクを形成し、ポリシリコン膜101をラインアンドスペース状にエッチングする(図2の工程202)。なお、図1(b)の上部に、上面から見たポリシリコン膜101の形状を模式的に示す。また、図3に、実際に作成したポリシリコン膜101の形状を写した電子顕微鏡写真を示す。

[0015] 上記のサイドウォールトランスファーでは、まず、第1フォトレジストパターン103をスリミングし、その側壁部に二酸化シリコン膜等を形成した後第1フォトレジストパターン103を除去することによって、最初の第1

フォトレジストパターン103の約半分以下の線幅及びピッチのラインアンドスペースパターンのマスクを形成することができる。なお、この工程では、サイドウォールトランスファーに限らず、周知のLLE (Litho-Litho-Etch)、LELE (Litho-Etch-Litho-Etch) 等の他のダブルパターニング技術を用いてもよい。

[0016] 次に、図1(c)に示すように、ラインアンドスペース状にエッチングしたポリシリコン膜101の上に、反射防止膜104を形成する(図2の工程203)。

[0017] 次に、図1(d)に示すように、反射防止膜104の上に、フォトレジスト層を形成し、露光現像してホール形状の第2フォトレジストパターン105を形成する(図2の工程204)。この第2フォトレジストパターン105のホール径は、例えば、50nm程度であり、このような第2フォトレジストパターン105の形成は、例えばArF液浸露光等によって行うことができる。図4に、実際に作成した第2フォトレジストパターン105の形状を写した電子顕微鏡写真を示す。この電子顕微鏡写真に示されるように、本実施形態ではホール形状は楕円状となっている。

[0018] 次に、図1(e)に示すように、第2フォトレジストパターン105のホール内を含めて二酸化シリコン(SiO_2)膜(絶縁膜)106を形成し、ホール径を縮小する縮小工程を行う(図2の工程205)。この工程では、低温(140℃以下)で二酸化シリコン膜106を形成することのできるMLD (Molecular Layer Deposition) 法を用いることが好ましい。なお、ホール径を縮小する絶縁膜は、二酸化シリコン膜に限らず、絶縁膜の成膜時にフォトレジストにダメージを与えないようなレジストのガラス転移温度以下の温度で形成可能な膜であればよく、例えば、酸化アルミニウム(Al_2O_3)膜、窒化アルミニウム(AlN)膜、酸化チタン(TiO_2)膜、アモルファスシリコン膜、又は、その他の酸化メタル(HfO_2 、 ZrO_2 等)、窒化シリコン(SiN (枚葉プラズマで形成可能))、 SiON 等でもよい。図5に、実際にホール径を縮小した第2フォトレジストパターン105の形状を

写した電子顕微鏡写真を示す。図5に示す例の場合、ホール径が略20nmに縮小されている。

[0019] 次に、図1(f)に示すように、RIEによる異方性エッチングにより、ホール内の側壁部分の二酸化シリコン膜106を残して、第2フォトリジストパターン105上面及びホール底部の二酸化シリコン膜106と、ホール底部の反射防止膜104をエッチングにより除去する(図2の工程206)。

[0020] 次に、図1(g)に示すように、第2フォトリジストパターン105及びホール内の二酸化シリコン膜106をマスクとして、ポリシリコン層101をエッチングする(図2の工程207)。

[0021] 次に、図1(h)に示すように、第2フォトリジストパターン105及び反射防止膜104をエッチング(アッシング)により除去する(図2の工程208)。

[0022] 上記の二酸化シリコン膜106と反射防止膜104のエッチング工程、ポリシリコン層101のエッチング工程、及び、第2フォトリジストパターン105及び反射防止膜104のエッチング(アッシング)工程は、例えば、上部電極と下部電極との間に高周波電力を印加してプラズマを発生させるCCPエッチング装置を用いて以下のようなレシピにより、一連の連続した工程として行うことができる。

[0023] (二酸化シリコン膜と反射防止膜のエッチング)

処理ガス: $\text{CF}_4 = 200 \text{ sccm}$

高周波電力(上部電極/下部電極): $600 \text{ W} / 100 \text{ W}$

圧力: 2.66 Pa (20 mTorr)

温度(天井部/側壁部/ウエハ載置台): $80^\circ\text{C} / 60^\circ\text{C} / 30^\circ\text{C}$

時間: 45秒

[0024] (ポリシリコン層のエッチング)

処理ガス: $\text{HBr} / \text{CF}_4 / \text{Ar} = 380 / 50 / 100 \text{ sccm}$

高周波電力(上部電極/下部電極): $300 \text{ W} / 100 \text{ W}$

圧力：2.66 Pa（20 mTorr）

温度（天井部／側壁部／ウエハ載置台）：80℃／60℃／60℃

時間：180秒

[0025]（第2フォトリソパターン及び反射防止膜のエッチング（アッシング））

処理ガス：O₂ = 350 sccm

高周波電力（上部電極／下部電極）：300W／100W

圧力：13.3 Pa（100 mTorr）

温度（天井部／側壁部／ウエハ載置台）：80℃／60℃／60℃

時間：180秒

[0026] 次に、図1（i）に示すように、フッ酸、SPM（硫酸／過酸化水素）、APM（アンモニア／過酸化水素）等を用いたウェット洗浄等により、残った二酸化シリコン膜106を除去する（図2の工程209）。

[0027] 上記の工程によって、島状のパターンが所定の狭ピッチで多数配列されたポリシリコンのアイランドパターンを形成することができる。図6に実際に形成したポリシリコンのアイランドパターンの形状を写した電子顕微鏡写真を示す。この電子顕微鏡写真に示されるように、線幅及び間隔が略20 nmのライン状のパターンを、間隔が略20 nmとなるように切断した形状のポリシリコンのアイランドパターンを形成することができた。このようなポリシリコンのアイランドパターンは、例えば、SRAMのゲート層として使用することができる。

[0028] 以上のように、本実施形態によれば、従来に比べて効率良く所望の微細化パターンを精度良く形成することができる。

[0029] なお、上記の工程において、第2フォトリソパターン105のホール内を含めて二酸化シリコン（SiO₂）膜（絶縁膜）106を形成し、ホール径を縮小する縮小工程（図2の工程205）を行う前に、第2フォトリソパターン105のスリミングを行ってもよい。このようにスリミングを行うことによって、フォトリソの中間露光領域が選択的に除去され、パタ

ーン形状を良好な形状とすることができるとともに、ホール底部のスカム（レジスト残渣）除去も行うことができる。

- [0030] 第2フォトリソパターン105のホール形状の制御では、図5に示したホール径を縮小した第2フォトリソパターン105の形状において、楕円状のホールの縦方向の寸法（長径）と横方向の寸法（短径）との比を制御することができ、スリミングを行うことによって、縮小工程後の形状をより細長い（横方向の寸法の短い）形状とすることができる。
- [0031] 例えば、縦方向の寸法／横方向の寸法＝2.14（縦方向の寸法137.2nm、横方向の寸法64.1nm）のフォトリソパターンに対して、直接二酸化シリコン（SiO₂）膜（絶縁膜）を形成し、ホール径を縮小する縮小工程を行った場合、縦方向の寸法／横方向の寸法＝3.74となった。これに対して、同一のフォトリソパターンに対して、スリミング工程を実施した後、二酸化シリコン（SiO₂）膜（絶縁膜）を形成し、ホール径を縮小する縮小工程を行った場合、縦方向の寸法／横方向の寸法＝4.02となった。
- [0032] このスリミング工程は、第2フォトリソパターン105の形成後に、塗布、現像装置によって連続的にウェットプロセスで行ってもよく、二酸化シリコン（SiO₂）膜（絶縁膜）106の形成前にバッチ処理炉によりドライプロセスで行ってもよい。ドライプロセスでは、酸素プラズマ（例えば、酸素ガス流量1000sccm、圧力20Pa（150mTorr）、高周波電力50W程度の容量結合プラズマ）等を用いて行うことができる。また、ウェットプロセスでは、スリミング剤（直接レジストを融かさない溶剤）塗布、ベーク（70℃前後（レジスト表層部分を若干酸性にする。）、TMAH（Tetra Methyl Ammonium Hydroxide）による現像処理（レジスト表層の酸性部分を溶解する）等の工程で実施することができる。
- [0033] ところで、上記の実施形態における絶縁膜（二酸化シリコン膜）の形成によるホール径の縮小工程の代わりに、図7及び図8に示すフローチャートに示すように、化学薬品を使用したケミカルシュリンクを行った場合、ホール

径の微細化に限界があり、また、ホール形状が、最初に楕円形状であると次第に真円形状に近付いてしまう。このため、楕円の短径を30 nm以下に制御することが難しく、図9に示すように、ライン状のパターンの間隔を略30 nm程度以下とすることができなかった。

[0034] なお、図7のフローチャートは、ケミカルシュリンク（図7の工程705）を行った後、反射防止膜のエッチング（図7の工程706）を行い、この後にポリシリコンのエッチング（図7の工程707）を行った場合を示している。また、図8のフローチャートは、反射防止膜のエッチング（図8の工程805）を行った後にケミカルシュリンクを行い（図8の工程806）、この後にポリシリコンのエッチング（図8の工程807）を行った場合を示している。他の工程については、図2のフローチャートに示した実施形態の場合と同様である。

[0035] 図10は、楕円形状のホールを、本実施形態における二酸化シリコン膜（ SiO_2 膜）のMLDによってシュリンクさせた場合と、ケミカルシュリンクさせた場合の相違を調べた結果を示すもので、上段がケミカルシュリンク場合の顕微鏡写真及びホールのX、Y方向のサイズ、下段が二酸化シリコン膜（ SiO_2 膜）のMLDによるシュリンク場合の顕微鏡写真及びホールのX、Y方向のサイズを示している。また、図11は、縦軸をホールサイズ、横軸をシュリンク量として、シュリンク量とホールサイズの関係性をグラフに示したものである。

[0036] なお、シュリンク前の初期のホールサイズは、 $Y=54.5\text{ nm}$ 、 $X=118.8\text{ nm}$ である。また、ケミカルシュリンクは、薬液としてRELACS（商品名）を用い、処理温度150～200℃で処理を行った。

[0037] 図10、11に示されるように、二酸化シリコン膜（ SiO_2 膜）のMLDによるシュリンクの場合、楕円形状を維持しつつホールサイズをシュリンクさせることができるが、ケミカルシュリンクさせた場合、X方向のシュリンク量が大きくなり、ホール形状が真円形状に近付いてしまい、楕円形状を維持することができなかった。

- [0038] 以上、本発明を実施形態について説明したが、本発明は、上述した実施形態に限定されるものではなく、各種の変形が可能であることは勿論である。例えば、上記した実施形態では、SRAMのゲート層として使用するポリシリコンのアイランドパターンを形成する場合について説明したが、パターンの形状はこれに限定されるものではない。
- [0039] 例えば、上記実施形態では、ポリシリコン膜101を直線状のラインアンドスペースパターンとした場合について説明したが、図12の電子顕微鏡写真に示すように、波打った形状のパターンとしてもよく、図13の電子顕微鏡写真に示すように、略直角に曲がった形状のパターンとしてもよい。
- [0040] さらに、例えば、図14に示すように、ロジックのパターニング等にも使用することができる。図14に示す例では、まず図14(a)に示すように、略直角に曲がった形状のフォトレジストパターンを形成し、図14(b)に示すように、このパターンをサイドウォールトランスファーによって狭ピッチ化した後ポリシリコンをエッチングする。次に、図14(c)に示すように、パターンを切断するためのマスクをフォトレジストにより形成し、図14(d)に示すように、絶縁膜によってシュリンクさせた後このマスクを用いてポリシリコンをエッチングする。

産業上の利用可能性

- [0041] 本発明の半導体装置の製造方法は、半導体装置の製造分野等で利用することができる。したがって、産業上の利用可能性を有する。

符号の説明

- [0042] 100……半導体ウエハ、101……ポリシリコン層、102……反射防止膜(BARC)、103……第1フォトレジストパターン、104……反射防止膜(BARC)、105……第2フォトレジストパターン、106……二酸化シリコン膜。

請求の範囲

- [請求項1] 基板上に薄膜を形成する工程と、
 前記薄膜上に、楕円ホールパターンの形成されたフォトレジストマスクを形成するレジストマスク形成工程と、
 前記楕円ホールパターンの側壁に絶縁膜を形成することにより、前記楕円ホールパターンのホール径を縮小する縮小工程と、
 前記ホール径を縮小した楕円ホールパターンを形成する前記フォトレジスト層と前記絶縁膜をマスクとして前記薄膜をエッチングする工程と
 を備えたことを特徴とする半導体装置の製造方法。
- [請求項2] 基板上に成膜された薄膜を第1のパターンに基づいてエッチングする第1のエッチング工程と、
 前記薄膜に形成された前記第1のパターンを埋める第1の成膜工程と、
 前記第1のパターンの上に、第2のパターンが形成されたフォトレジストマスクを形成するマスク形成工程と、
 前記フォトレジストマスクの前記第2のパターン内の側壁に絶縁膜を形成することにより前記第2のパターンのホール径を縮小する縮小工程と、
 前記ホール径の縮小した第2のパターンを形成する前記フォトレジスト層と前記絶縁膜をマスクとして前記薄膜をエッチングする工程と
 を備えたことを特徴とする半導体装置の製造方法。
- [請求項3] 前記絶縁膜は、酸化シリコン (SiO_2)、窒化シリコン (SiN)、酸化アルミニウム (Al_2O_3)、窒化アルミニウム (AlN)、酸化チタン (TiO_2)、アモルファスシリコンのいずれかを含むことを特徴とする請求項2に記載の半導体装置の製造方法。
- [請求項4] 前記絶縁膜は、 140°C 以下の温度で形成されることを特徴とする請求項2又は3に記載の半導体装置の製造方法。

[請求項5] 前記縮小工程の前に、前記第2のパターンをスリミングするスリミング工程を含むことを特徴とする請求項2乃至4いずれか1項記載の半導体装置の製造方法。

[請求項6] 半導体ウエハ基板上に成膜されたポリシリコン膜を、前記ポリシリコン膜に形成した少なくとも一部が平行な第1のパターンを有するフォトリソットに基づいてエッチングすることで、前記第1の平行パターンを有するポリシリコンを形成する工程と、

前記ポリシリコンの第1のパターンを反射防止膜で埋める工程と、

前記第1のパターンの上に第2のパターンを有するフォトリソットを形成する工程と、

前記フォトリソットの上に絶縁膜を形成することにより前記第2のパターンのホールの径を縮小する工程と、

前記縮小した第2のパターンを形成する前記フォトリソットと前記絶縁膜をマスクとして前記ホールの底の前記絶縁膜と前記反射防止膜とをエッチングして前記ポリシリコン膜を露出させる露出工程と、

前記露出工程で得られた新たなホールに基づいて前記ポリシリコン膜をエッチングすることで、ポリシリコンのパターンを形成するエッチング工程と

を備えたことを特徴とする半導体装置の製造方法。

[請求項7] 前記絶縁膜は、酸化シリコン (SiO_2)、窒化シリコン (SiN)、酸化アルミニウム (Al_2O_3)、窒化アルミニウム (AlN)、酸化チタン (TiO_2)、アモルファスシリコンのいずれかを含むことを特徴とする請求項6に記載の半導体装置の製造方法。

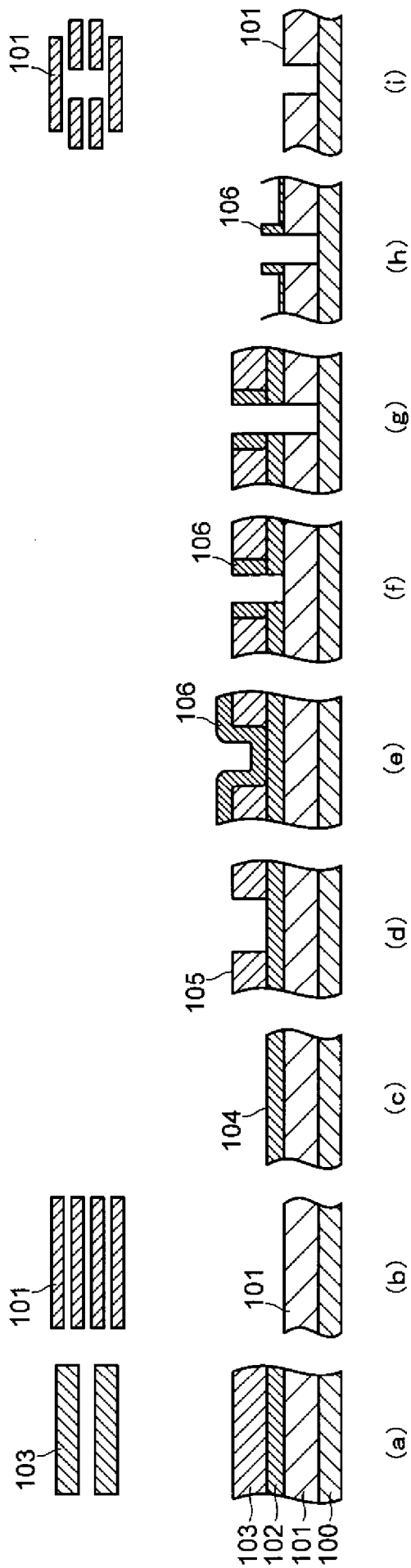
[請求項8] 前記絶縁膜は、 140°C 以下の温度で形成されることを特徴とする請求項6又は7に記載の半導体装置の製造方法。

[請求項9] 前記ポリシリコン上の反射防止膜及びフォトリソットをアッシングとウェット洗浄により除去する工程を備えたことを特徴とする請求項6乃至8いずれか1項記載の半導体

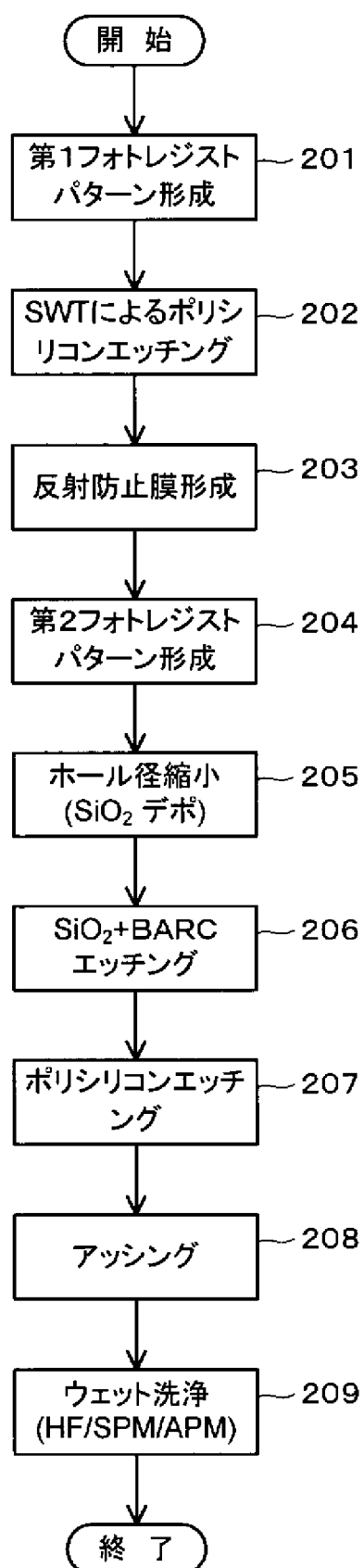
装置の製造方法。

- [請求項10] 前記縮小工程の前に、前記第2のパターンをスリミングするスリミング工程を含むことを特徴とする請求項6乃至9いずれか1項記載の半導体装置の製造方法。

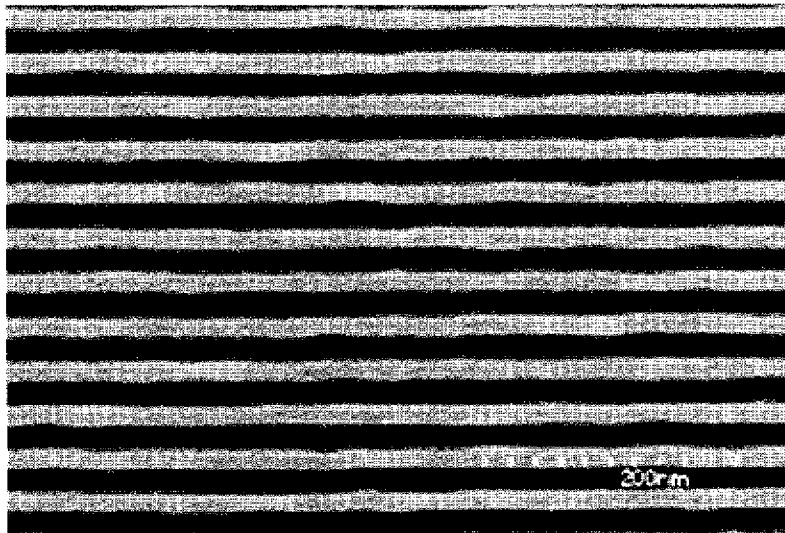
[図1]



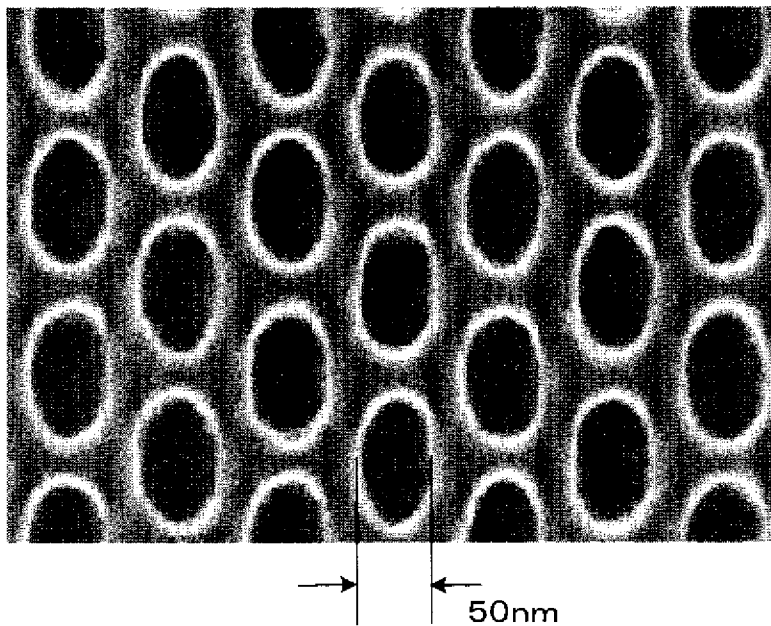
[図2]



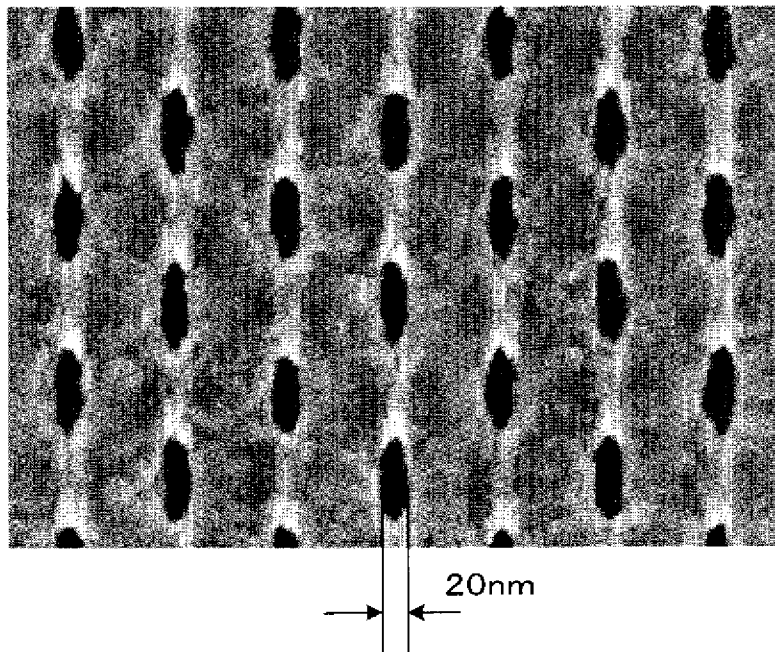
[図3]



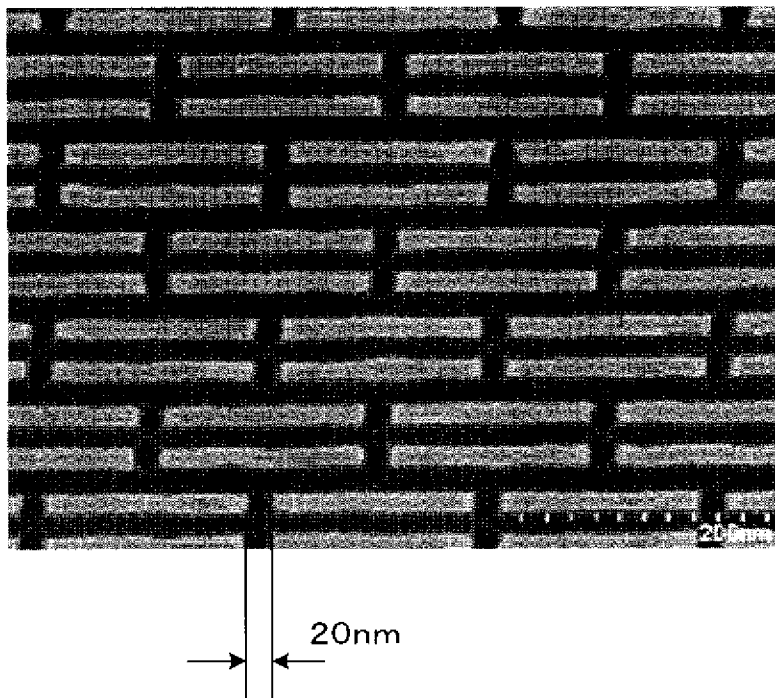
[図4]



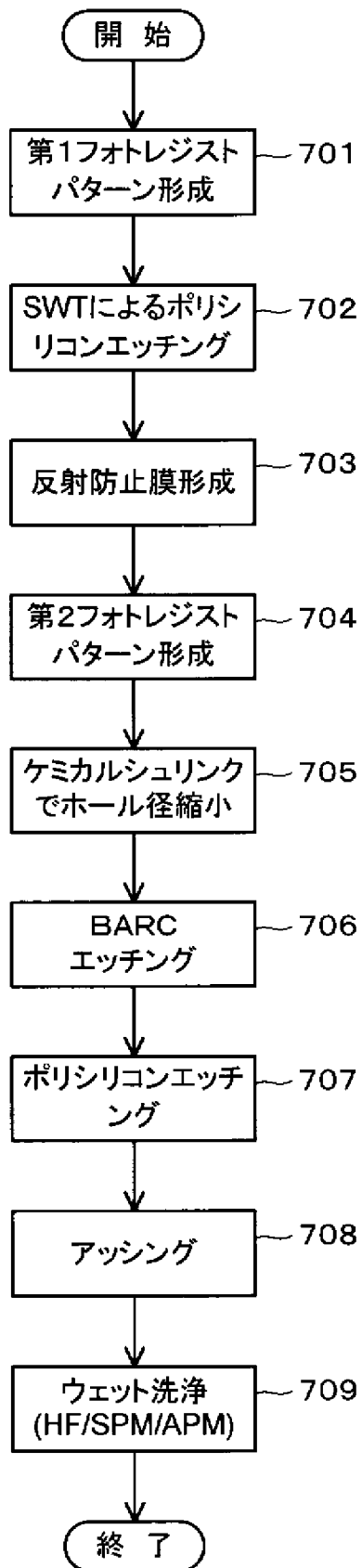
[図5]



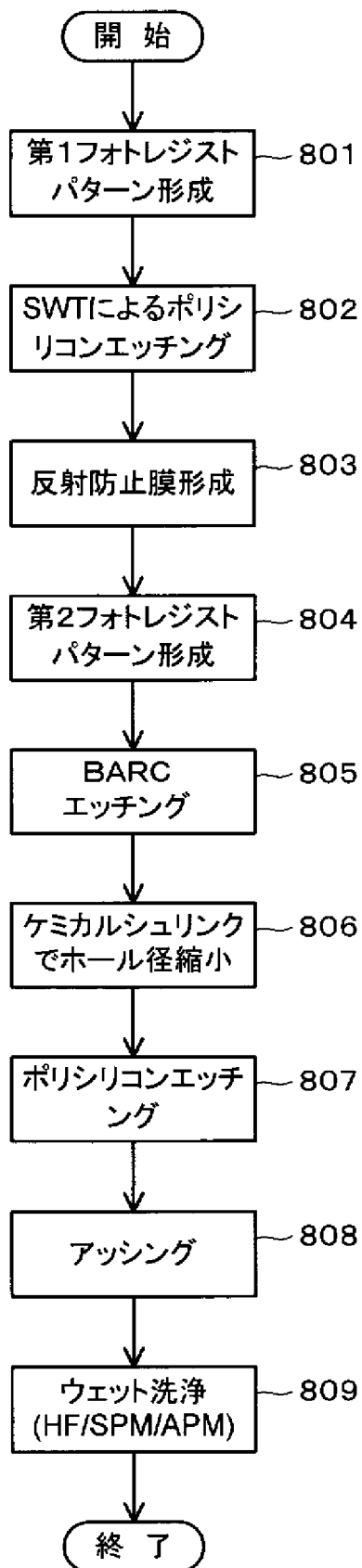
[図6]



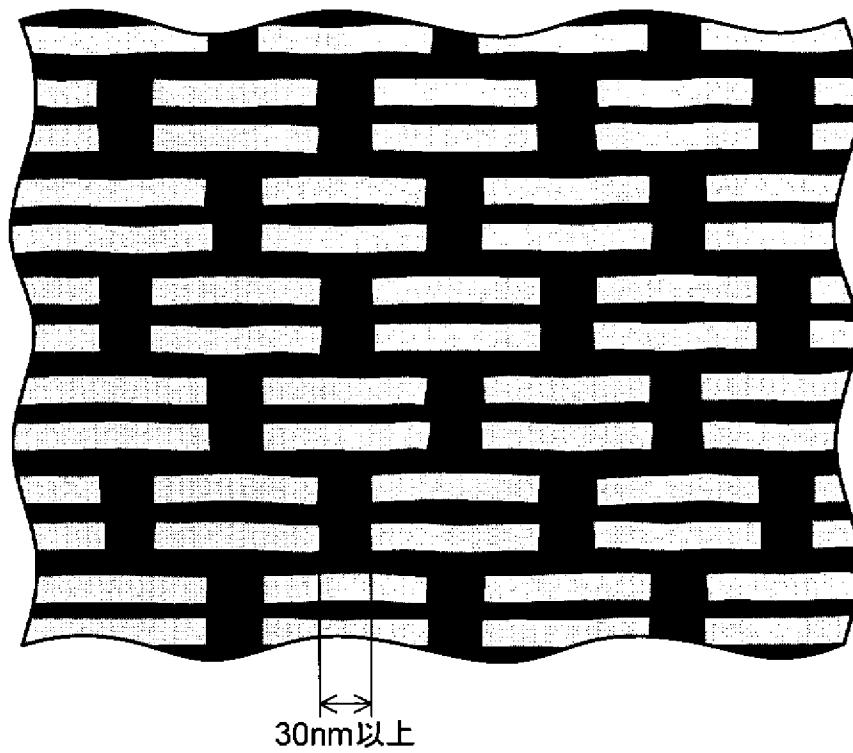
[図7]



[図8]



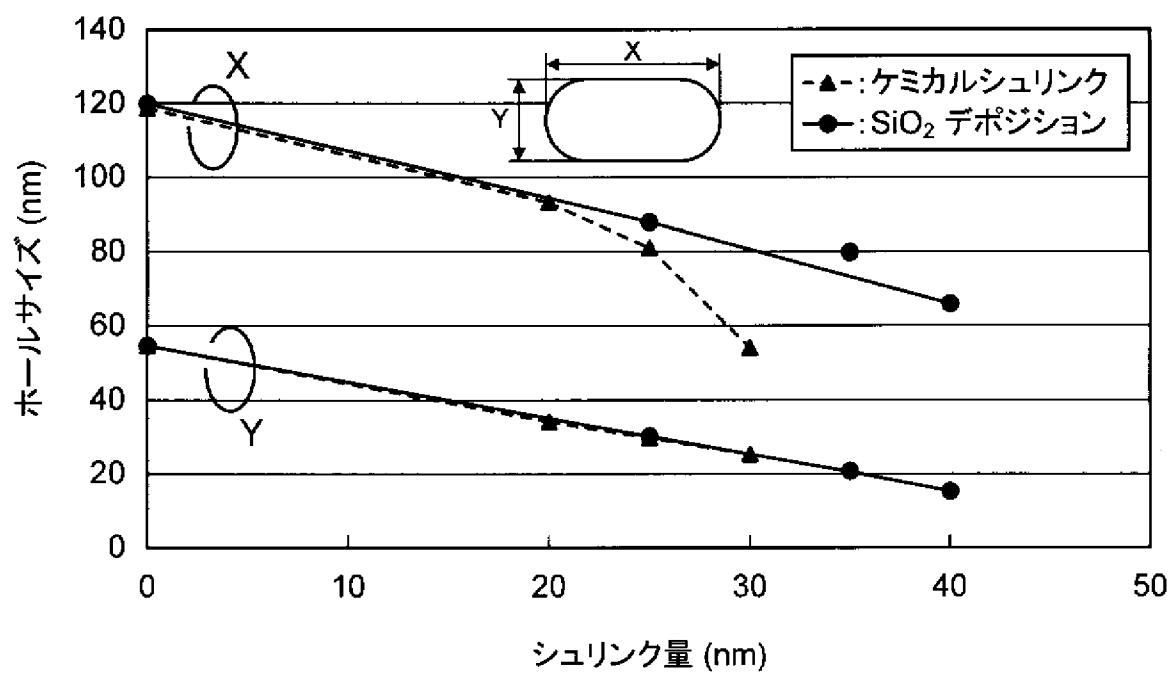
[図9]



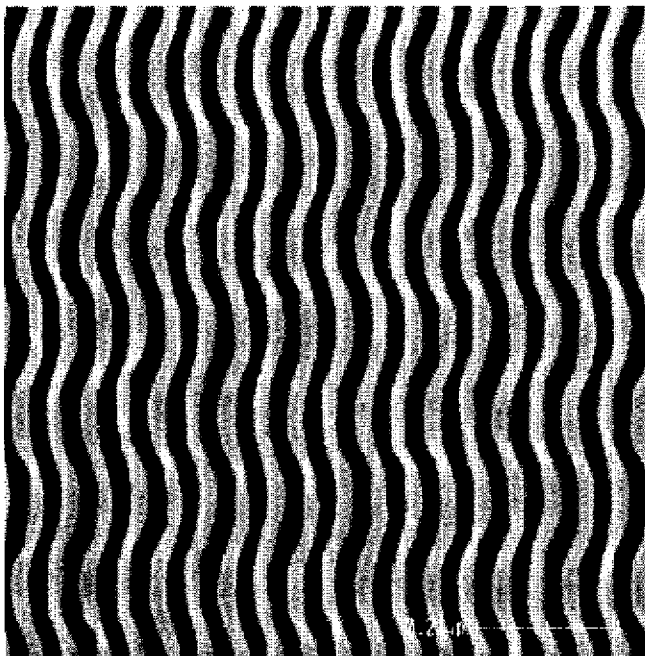
[図10]

	control	$\Delta 20\text{nm}$	$\Delta 25\text{nm}$	$\Delta 30 \sim 35\text{nm}$	$\Delta 40\text{nm}$
ケミカルシュリンク					
	Y=54.5nm	Y=34.4nm	Y=30.7nm	Y=25.3nm	...
	X=118.8nm	X=93.5nm	X=81.3nm	X=54.4nm	...
SiO ₂ デポジション		skip			
	Y=54.5nm			Y=30.1nm	Y=21.2nm
	X=118.8nm	...	X=87.7nm	X=79.7nm	X=65.8nm

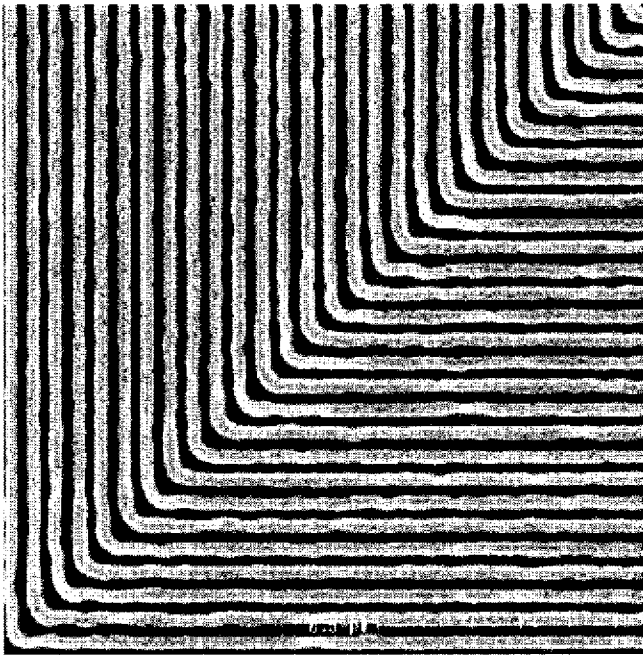
[図11]



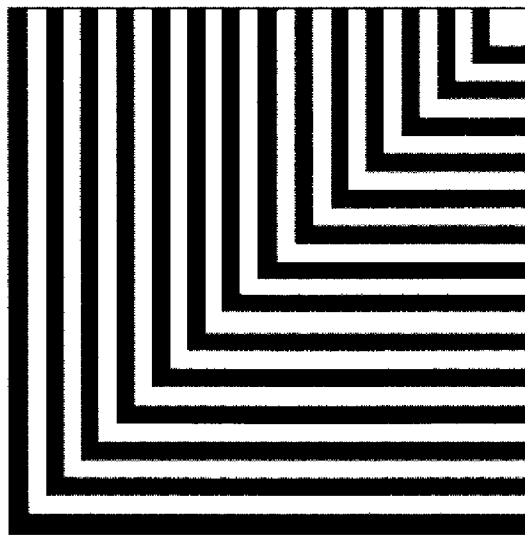
[図12]



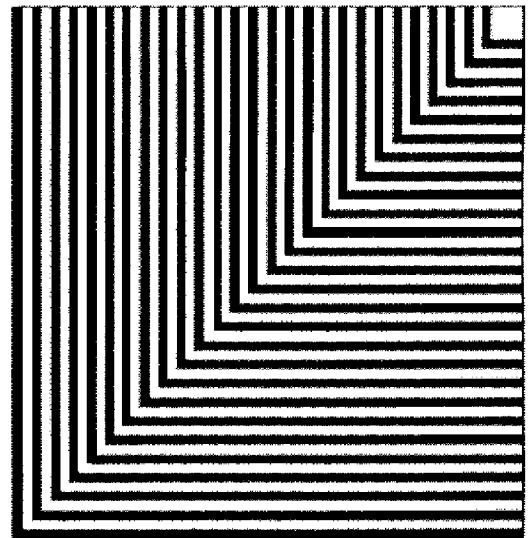
[図13]



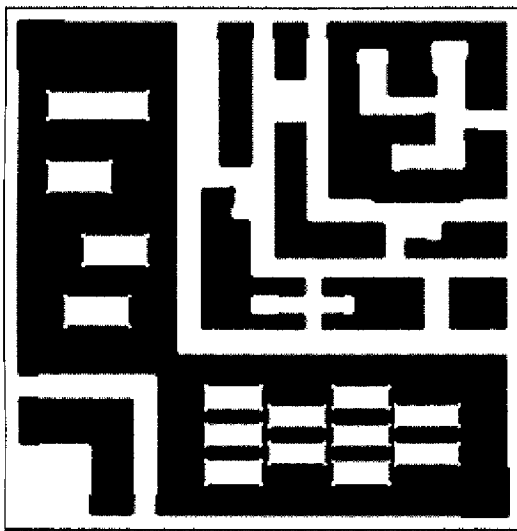
[図14]



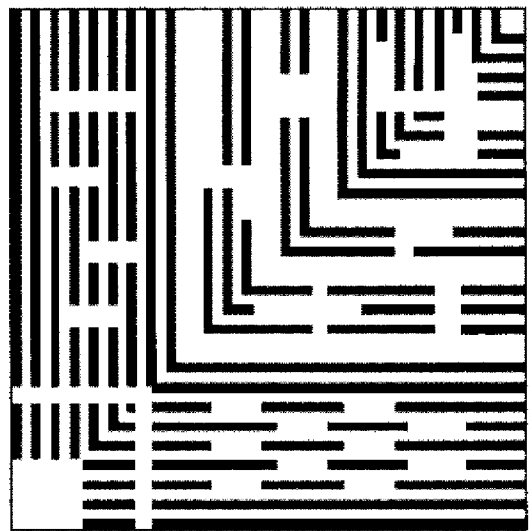
(a)



(b)



(c)



(d)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/000901

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/3065(2006.01) i, H01L21/027(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/3065, H01L21/027

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2008-300740 A (Toshiba Corp.), 11 December 2008 (11.12.2008), paragraphs [0052] to [0062]; fig. 7 & US 2008/0299773 A1 & CN 101315903 A & KR 10-2008-0106100 A	1
Y	JP 2009-044090 A (Tokyo Electron Ltd.), 26 February 2009 (26.02.2009), paragraphs [0041] to [0043]; fig. 8 & US 2009/0047794 A1	2-10
Y	JP 2009-094279 A (Elpida Memory, Inc.), 30 April 2009 (30.04.2009), paragraphs [0045] to [0058]; fig. 1 to 3 & US 2009/0093120 A1	2-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
24 March, 2011 (24.03.11)

Date of mailing of the international search report
05 April, 2011 (05.04.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/000901

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-099938 A (Tokyo Electron Ltd.), 07 May 2009 (07.05.2009), paragraphs [0023] to [0036]; fig. 1 & US 2009/0087990 A1 & CN 101399189 A & KR 10-2009-0032938 A	5-10

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L21/3065(2006.01)i, H01L21/027(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/3065, H01L21/027

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2008-300740 A（株式会社東芝）2008.12.11, 【0052】－【0062】、【図7】 & US 2008/0299773 A1 & CN 101315903 A & KR 10-2008-0106100 A	1
Y	JP 2009-044090 A（東京エレクトロン株式会社）2009.02.26, 【0041】－【0043】、【図8】 & US 2009/0047794 A1	2-10
Y	JP 2009-094279 A（エルピーダメモリ株式会社）2009.04.30, 【0045】－【0058】、【図1】－【図3】 & US 2009/0093120 A1	2-10

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

2 4 . 0 3 . 2 0 1 1

国際調査報告の発送日

0 5 . 0 4 . 2 0 1 1

国際調査機関の名称及びあて先
日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

今井 淳一

4 R

4 6 6 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-099938 A (東京エレクトロン株式会社) 2009.05.07, 【0 0 2 3】－【0 0 3 6】、【図 1】 & US 2009/0087990 A1 & CN 101399189 A & KR 10-2009-0032938 A	5-10