

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-158366

(P2008-158366A)

(43) 公開日 平成20年7月10日(2008.7.10)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/28 (2006.01)	G09G 3/28 J	5C080
G09G 3/288 (2006.01)	G09G 3/28 B	5C580
G09G 3/20 (2006.01)	G09G 3/20 624P	
	G09G 3/20 624M	
	G09G 3/20 611A	
審査請求 未請求 請求項の数 5 O L (全 11 頁)		

(21) 出願番号 特願2006-348744 (P2006-348744)
 (22) 出願日 平成18年12月26日 (2006.12.26)

(71) 出願人 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 100100310
 弁理士 井上 学
 (72) 発明者 大沢通孝
 神奈川県横浜市戸塚区吉田町292番地
 株式会社日立製作所製品開発事業部内
 Fターム(参考) 5C080 AA05 BB05 DD25 DD26 FF01
 HH04 HH05 JJ02 JJ03 JJ04
 5C580 AA03 BA03 BA10 BA12 BA13
 BA19 BB03 BB27 BC03

(54) 【発明の名称】 プラズマディスプレイ装置

(57) 【要約】

【課題】

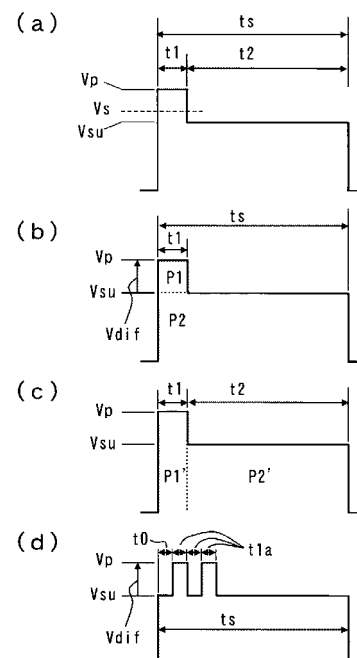
高電圧の細幅パルスとこれに伴う低電圧の広幅パルスとからなる高発光効率を得られる維持放電駆動波形を用いて、大型のPDPを良好に駆動できるプラズマディスプレイ装置を提供する。

【解決手段】

サステイン期間に維持放電電極間に印加されるサステインパルスを、ベースパルス(P2)と、このベースパルス(P2)の前縁部に重畳される重畳パルス(P1)で構成する。重畳パルス(P1)は、かつ維持放電を開始させるための電圧(V_p)と、壁電荷を形成して維持放電を停止させるための電圧(V_{su})との差電圧(V_{dif})を持ち、かつ維持放電の開始から自己停止までの期間よりも短いパルス幅(T_1)を持つ。またベースパルス(P2)は、上記 T_1 とこの T_1 よりも大きい T_2 の和に等しいパルス幅(T_s)を持ち、かつ上記電圧(V_{su})を有する。

【選択図】 図1

図1



【特許請求の範囲】

【請求項 1】

プラズマディスプレイ装置において、

対を成す維持電極間に所定の時間間隔で交互に極性の異なる駆動電圧を印加して維持放電を行う AC 型プラズマディスプレイパネルと、

維持放電期間に前記 AC 型プラズマディスプレイパネルを交互に駆動するための駆動電圧を前記維持電極に印加する維持放電駆動回路とを備え、

前記維持放電駆動回路が出力する駆動電圧の波形は、第 1 電圧パルスと、第 2 電圧パルスとを含み、

前記第 1 電圧パルスは、前記維持放電を開始させるための第 1 電圧と、第 1 パルス幅を有し、

前記第 2 電圧パルスは、前記第 1 電圧よりも低く、前記維持放電を停止させるための第 2 電圧と、前記第 1 パルス幅よりも大きい第 2 パルス幅を有し、

前記維持放電駆動回路は、前記第 2 電圧を有し、かつ前記第 1 パルス幅と第 2 パルス幅との合計に対応するベースパルス発生するベースパルス発生部と、

前記第 1 電圧レベルと前記第 2 電圧との差に対応する電圧を有し、かつ前記第 1 パルス幅の重畳パルスを生成し、前記ベースパルスの前縁部に前記重畳パルスを重畳する重畳パルス生成部と、を含むことを特徴とするプラズマディスプレイ装置。

【請求項 2】

前記前記第 1 パルス幅は、前記維持放電の開始から自己停止までの時間よりも短く、前記第 2 電圧は、壁電荷を形成することで前記維持放電を停止するのに必要な電圧であることを特徴とするプラズマディスプレイ装置。

【請求項 3】

前記重畳パルス生成部の基準電位が、前記ベースパルス生成部の基準電位に対してフローティングされていることを特徴とする請求項 1 に記載のプラズマディスプレイ装置。

【請求項 4】

前記重畳パルス生成部で形成する重畳パルスが複数のパルスで構成されることを特徴とする請求項 1 または 2 に記載のプラズマディスプレイ装置。

【請求項 5】

前記ベースパルス発生部及び前記重畳パルス生成部が、能動素子を含んで構成されることを特徴とする請求項 1 に記載のプラズマディスプレイ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、AC 型（交流型）プラズマディスプレイパネルを用いた表示装置であるプラズマディスプレイ装置に係わり、プラズマディスプレイパネルの発光効率を向上するために、維持放電期間に、高電圧の細幅パルスとこれに続く低電圧の広幅パルスとで構成されたサステインパルスで、プラズマディスプレイパネルを駆動する駆動回路に係する。

【背景技術】

【0002】

プラズマディスプレイパネル（Plasma Display Panel:以下、「PDP」と略称する）、特に交流型（AC 型）PDP において、維持放電期間（サステイン期間）における放電効率を向上させるために、サステイン期間において走査電極（Y 電極）と共通電極（X 電極またはサステイン電極）間に印加される放電維持パルス（サステインパルス）の波形について改良を為した技術が、例えば特許文献 1 に開示されている。

【0003】

特許文献 1 に開示された維持放電パルスは、第 1 電圧パルスと第 2 電圧パルスで構成されている。第 1 電圧パルスは、放電を開始させるに十分な電圧レベルを有し、かつこの放電で形成された壁電荷による逆電界の発生によって、放電が自己停止に至る時間より短いパルス幅（例えば 0.6 μ S 程度）を有している（以下、「細幅パルス」という）。第 2

10

20

30

40

50

電圧パルスは、上記細幅パルスで発生した放電を継続できる電圧よりも低い電圧レベルを有し、かつ細幅パルスによる放電によって生成された空間電荷の一部が壁電荷として付着するようなパルス幅（例えば $2 \sim 3 \mu\text{S}$ 程度）を有している（以下、「広幅パルス」という）。

【0004】

このようなサステインパルスを形成するための回路の一例が、例えば特許文献2に開示されている。特許文献2は、上記細幅パルスを発生させるために、その図7のように、直流電源 SVP から、スイッチ $p1$ 、コイル L 、PDPが有する容量（以下、「パネル容量」と称する） C_{panel} を直列接続の構成にすること、及びスイッチ $p1$ のオン時に、電源 SVP からコイル L を通じてパネル容量 C_{panel} を充電する共振動作で、サステイン電極に電源電圧 SVP の2倍の電圧を発生させることを開示する。

10

【0005】

【特許文献1】特許第2876688号公報

【特許文献2】特開2001-13919号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

特許文献1に記載の技術を例えば42インチのPDPに適用する場合、細幅パルス（例えば約 160V 、約 $0.5 \mu\text{S}$ ）を、パネル容量（42インチのサステイン電極を垂直方向に2分割で約 $0.05 \mu\text{F}$ ）に印加して、その間に放電電流（数十Aピーク）を流すためには、立ち上がり時間 $0.1 \sim 0.2 \mu\text{S}$ の間に、パネル容量を約 160V まで充電して、その後放電させなければならない。そのためには、オン/オフスピードが早い半導体スイッチが必要であり、実現が容易ではない。一般に、半導体は、オン/オフスピードが早くなる程耐電圧が低くなり、耐電圧 150V を越えるような高速大電流半導体素子は高価でありIC化することも難しい。

20

【0007】

一方、特許文献2では、コイル L とパネル容量 C_{panel} とでLC直列共振回路を構成し、共振現象を利用して細幅パルスを形成しているが、この直列共振回路には、サステイン電極に存在する寄生抵抗 R が含まれる。実際のサステイン電極に寄生している寄生抵抗 R は、PDPが大型になればなるほど大きくなり、例えば42インチパネルで数～数十 Ω あると考えられる。寄生抵抗 R が大きいと、LC直列共振回路の Q （Quality factor： $\omega L / R$ ）が小さくなり、例えば電圧値約 160V を有する細幅パルスを生成することが困難となる。従って、LC直列共振回路で細幅パルスを生成する技術は、例えば42インチを越えるような大型のPDPになる程、適用が難しくなる。

30

【0008】

本発明は、上記課題に鑑みてなされたもので、その目的は、プラズマディスプレイ装置において、細幅パルスを用いて大型のPDPを良好に駆動できる技術を提供することにある。

【課題を解決するための手段】

【0009】

上記目的を達成するための本発明に係るプラズマディスプレイ装置は、細幅パルス（パルス幅 t_1 、電圧 V_p ）と広幅パルスの（パルス幅 t_2 、電圧 V_{su} ）とで構成されるサステインパルスを発生するために、電圧 V_{su} を持ち、かつパルス幅（ $t_1 + t_2$ ）のベースパルスを発生するベースパルス発生部と、ベースパルスの前縁部に重畳される、電圧（ $V_p - V_{su}$ ）持ち、かつパルス幅 t_1 の重畳パルスを発生する重畳パルス発生部を設けたことを特徴とするものである。

40

【0010】

また上記重畳パルス生成部の基準電位を前記ベースパルス生成部の基準電位に対してフローティングさせてもよい。

【0011】

50

これにより、重畳パルスの波高値電圧 ($V_p - V_{su}$) を小さくすることができ、重畳パルスを高速動作可能な半導体スイッチ (例えば高速スイッチング用の MOS トランジスタ) を用いて生成することが可能となる。従って、大型の PDP であっても、LC 直列共振回路を用いることなく、好適なサステインパルスを形成することができる。また波形発生に能動素子を用いることで制御可能となる為、動作の最適化のために波形を調整することも可能となる。

【発明の効果】

【0012】

以上述べたように、本発明によれば、細幅パルスを用いて大型の PDP を良好に駆動できる。

10

【発明を実施するための最良の形態】

【0013】

以下、本発明の実施形態について、図を用いて詳細に説明する。尚、全図において、共通な機能を有する部分には同一符号を付して示し、一度説明したものについては、煩雑さを避けるため、繰り返した説明を省略する。

【0014】

まず、本実施形態の概要について、図 1 を用いて説明する。図 1 は、本発明によるプラズマディスプレイ装置のサステイン期間における PDP の電圧駆動波形を説明する図である。

【0015】

20

図 1 (a) に示す駆動波形は、サステインパルスとして、特許文献 1 で開示された細幅パルスと広幅パルスとを組み合わせ構成した場合における電圧駆動波形である。かかるサステインパルスは、図 1 (c) に示すように、細幅パルス P_1' と広幅パルス P_2' で構成される。細幅パルス P_1' は、維持放電 (サステイン放電ともいう) を開始させるに十分な高電圧 V_p を有する。更に、維持放電の開始から、維持放電で形成された壁電荷による逆電界の発生によって維持放電が自己停止までの期間より短いパルス幅 t_1 を有している。また広幅パルス P_2' は、細幅パルス P_1' で発生した維持放電を継続できる電圧よりも低く、かつ、維持放電によって生成された空間電荷の一部が壁電荷として付着するような低電圧 V_{su} を有する。更に広幅パルス P_2' は、パルス幅 t_1 よりも長いパルス幅 t_2 を有している。なお、電圧 V_s は、維持放電を開始させるために PDP に印加される従来のサステインパルス (パルス幅 t_s : 通常 $2 \sim 3 \mu S$ 程度) の電圧レベルで、一般に、42 インチの PDP では、約 $160 \sim 220 V$ 程度に設定される。

30

【0016】

本実施形態では、図 1 (b) に示すように、前記電圧駆動波形を、低電圧 V_{su} を有するパルス幅 ($t_s = t_1 + t_2$) の広幅パルス (以下、「ベースパルス」と称する) P_2 と、このベースパルス P_2 の前縁部に重畳され、電圧 ($V_p - V_{su}$) を持つとともにパルス幅 t_1 の細幅パルス (以下、「重畳パルス」と称する) P_1 とで構成する。なお、具体的回路の詳細については後述するが、ベースパルス P_2 に重畳パルス P_1 を重畳するためには、重畳パルス P_1 を生成する重畳パルス生成部の基準電位 (仮想 GND) は、ベースパルス P_2 を生成するベースパルス生成部の基準電位 (GND) に対して、フローティングさせる必要がある。

40

【0017】

広幅パルスであるベースパルス P_2 は、従来技術によるサステインパルスに略等しく、従来のサステイン回路で生成することができる。また、細幅パルスである重畳パルス P_1 は、その振幅電圧が電圧 V_p と電圧 V_{su} との差電圧 V_{dif} でよい。このため、重畳パルス P_1 の電圧レベルを十分小さくすることが可能である。従って、スイッチング速度の早い半導体素子を集積化した IC 技術を適用することができる。

【0018】

上記したように、本実施例によれば、重畳パルス P_1 の波高値電圧 ($V_{dif} = V_p - V_{su}$) を小さくすることができ、重畳パルスを半導体スイッチ (例えば MOS トランジ

50

スタ)を用いて生成することでき、IC回路で構成することが可能となる。

【0019】

なお、以下に述べる実施例では、図1(d)に示すように、重畳パルスP1として、複数の細幅パルス列を用いる。ここでは、例えば一例としてパルス幅 $t_{1a} = 100\text{ ns}$ 、IC化も可能となる振幅60~70Vを有する細幅パルスを2個重畳する。しかし、本発明は、これに限定されるものではないことはいうまでもない。

【0020】

発光効率は、特許文献1に記載の如く、パルス幅が狭くなる程向上する。しかし、パルス幅が狭いので、輝度が低下する恐れがある。そこで、本実施形態では、細幅パルスを複数個(ここでは2個)重畳して、放電を複数回(ここでは2回)引き起こし、輝度を従来とほぼ同等となるようにする。すなわち、複数個の細幅パルスを重畳することによって、発光効率の向上を図りながら、輝度を従来とほぼ同等とすることができる。

【0021】

また、本実施例では、先頭の重畳パルスをベースパルスの先端(立ち上がりポイント)から所定時間 t_0 をおいて重畳させるようにすることもでき、放電形態をシステムの要望に合せ自由に設定できる。

【実施例1】

【0022】

次に、本発明による一実施例であるAC型PDPを用いたプラズマディスプレイ装置(以下、「PDP装置」と省略する)について説明する。なお、本実施例は、PDPの維持放電時における対をなすY電極とX電極からなるサステイン電極の駆動方法に係わるものである。従って、以下では、PDPを駆動するPDP周辺駆動部について説明するが、リセット期間やアドレス期間における駆動については概要を述べるに留め、維持放電の駆動に関して詳細に説明する。

【0023】

図2は、本発明による実施例1に係わるPDP装置におけるPDP駆動部の模式ブロック構成図である。

【0024】

図2に示すように、PDP装置のPDP周辺駆動部は、PDP1と、PDP1をY電極3側から駆動する一方の維持放電駆動回路であるY駆動部6と、PDP1をX電極4側から駆動する他方の維持放電駆動回路であるX駆動部7と、タイミング制御部8と、画像処理部9と、アドレス駆動部10とを含んでなる。

【0025】

PDP1は、互いに対向して配置された前面板2Fと背面板2Rとからなる。前面板2Fは、対を成すサステイン電極(維持電極)を構成するY電極3とX電極4を複数備えている。プラズマディスプレイ装置としては、前面板2Fを通して発光した光を見ることがになる。Y電極3およびX電極4は、例えばガラス基板である前面板2Fの内面側に銀や銅などの金属電極とITOなどの透明電極がストライプ状に積層されて形成されたもので、それらの電極を覆うように誘電体(図示せず、ガラスを成分としている)が配置されている。

【0026】

背面板2R上には、Y電極3とX電極4に直交するようにアドレス電極(以下、「A電極」と称する)5が形成されている。

【0027】

そして、対をなすサステイン電極(Y電極3とX電極4)と各A電極5との交点部分にそれぞれ画素となる図示しない表示セルが形成されている。

【0028】

タイミング制御部8は、図示しない同期信号抽出回路からの同期信号に基づいて、種々のタイミング信号を生成する。種々のタイミング信号としては、例えば、アドレス期間のY電極走査(スキャン)に合わせてA電極を制御するアドレス電極制御信号(以下、「A電

10

20

30

40

50

極制御信号」と称する) 85や、アドレス期間におけるスキャンを指示するスキャン制御信号83, 維持放電駆動を行わせるサステイン制御信号などを生成する。サステイン制御信号には、ベースパルスP2の生成を制御するベースパルス制御信号81y, 71xや重畳パルスP1の生成を制御する重畳パルス制御信号82y, 72xなどが含まれる。

【0029】

一方の維持放電駆動回路であるY駆動部6は、Y電極に印加するベースパルスP2を生成するベースパルス生成部であるYサステイン回路61と、重畳パルスP1を生成する重畳パルス生成部であるY重畳パルス生成回路62と、スキャン回路63とを含んでなる。

【0030】

スキャン回路63は、タイミング制御部8からのスキャン制御信号83に基づき、アドレス期間にY電極3のスキャン(走査)を行う。

10

【0031】

Yサステイン回路61は、タイミング制御部7からのベースパルス制御信号81yを受けて、サステイン期間にY電極3を維持放電駆動するベースパルスP2を生成する。

【0032】

また、Y重畳パルス生成回路62は、タイミング制御部7からの重畳パルス制御信号82yを受けて、重畳パルスP1を生成し、図1(d)に示すように、ベースパルスP2の前縁部に生成した重畳パルスP1を重畳する。Y重畳パルス生成回路62の基準電位(仮想GND)は、重畳パルスP1をベースパルスP2に重畳するため、Yサステイン回路61の基準電位(基準GND)に対してフローティングされている(詳細は後述する)。

20

【0033】

他方の維持放電駆動回路であるX駆動部7は、X電極に印加するベースパルスP2を生成するベースパルス生成部であるXサステイン回路71と、重畳パルスP1を生成する重畳パルス生成部であるX重畳パルス生成回路72とを含んでなる。

【0034】

Xサステイン回路71は、タイミング制御部7からのベースパルス制御信号81xを受けて、サステイン期間にX電極4を維持放電駆動するベースパルスP2を生成する。

【0035】

また、X重畳パルス生成回路72は、タイミング制御部7からの重畳パルス制御信号82xを受けて、重畳パルスP2を生成し、図1(d)に示すように、ベースパルスP2の前縁部に生成した重畳パルスP1を重畳する。X重畳パルス生成回路72の基準電位(仮想GND)もまた、重畳パルスP1をベースパルスP2に重畳するため、Xサステイン回路71の基準電位(基準GND)に対してフローティングされている(詳細は後述する)。

30

【0036】

画像処理回路9は、入力された画像データ(図示せず)の1フィールドデータを複数のサブフィールドデータに変換する。そして、変換したサブフィールドデータをタイミング制御部8からのA電極制御信号85に基づいて、アドレス駆動部10に供給する。

【0037】

アドレス駆動部10は、画像処理部9からの信号をY駆動部6のスキャン回路63によるスキャン(行走査)に同期して、サステイン期間に点灯させるべき表示セルに対応したA電極5にアドレスパルス(図示せず)を印加する。

40

【0038】

次に、図3, 図4と図5を用いて、図1(d)に示した発光効率を高める維持放電駆動波形を生成するための駆動回路であるY駆動部6とX駆動部7の一実施例について説明する。

【0039】

図3は、本実施例によるY駆動部の要部を模式的に示した回路構成図、図4は、本実施例によるX駆動部の要部を模式的に示した回路構成図、図5は、本実施例における駆動回路の動作を説明するための各部のタイミング波形および出力波形である。

50

【 0 0 4 0 】

なお、図 3 , 図 4 では、分かり易くするために、各回路の出力段のみ図示している。また、図 3 のスキャン回路は、各 Y 電極を駆動するために、Y 電極数と同数の出力段を有するが、ここでは、便宜上 2 つの出力段のみを示し、その動作については、一つの出力段（ここでは、トランジスタ Q 6 3 1 , Q 6 3 2 からなる出力段）を用いて説明する。また、サステイン期間における Y 駆動部 6 と X 駆動部 7 の動作は、同じであり、以下では、P D P 1 を Y 電極側から駆動する場合における駆動回路の動作について説明する。

【 0 0 4 1 】

図 3 に示すように、ベースパルス生成する Y サステイン回路 6 1 は、電源 P W 6 1 8（電源電圧 V s u）と、電力回収回路 6 1 6 と、スイッチ用のトランジスタ Q 6 1 1 , Q 6 1 2 とを含んでなる。また、重畳パルス生成する Y 重畳パルス生成回路 6 2 は、フローティングした電源 P W 6 2 8（Y 重畳パルス生成回路 6 2 の仮想 G N D に対する電源電圧 V d i f）と、スイッチ用のトランジスタ Q 6 2 1 , 6 2 2 とを含んでなる。また、アドレス期間に走査（スキャン）を行うスキャン回路 6 3 は、フローティングした電源 P W 6 3 8（スキャン回路 6 3 の仮想 G N D に対する電源電圧 V s c a n）と、スイッチ用のトランジスタ Q 6 3 1 , Q 6 3 2 , Q 6 3 3 , Q 6 3 4 , ... とを含んでなる。そして、各スイッチ用のトランジスタには、同一符番のダイオードが形成されている。

【 0 0 4 2 】

同様に、図 4 に示すように、ベースパルス生成する X サステイン回路 7 1 は、電源 P W 7 1 8（電源電圧 V s u）と、電力回収回路 7 1 6 と、スイッチ用のトランジスタ Q 7 1 1 , Q 7 1 2 とを含んでなる。また、重畳パルス生成する X 重畳パルス生成回路 7 2 は、フローティングした電源 P W 7 2 8（X 重畳パルス生成回路 7 2 の仮想 G N D に対する電源電圧 V d i f）と、スイッチ用のトランジスタ Q 7 2 1 , 7 2 2 とを含んでなる。そして、各スイッチ用のトランジスタには、同一符番のダイオードが形成されている。

【 0 0 4 3 】

なお、フローティングした電源は、例えば、絶縁トランス（図示せず）の 2 次巻線に得られる高周波パルスを整流することにより、容易に実現することができる。

【 0 0 4 4 】

電力回収回路 6 1 6 / 7 1 6 は、周知の電力回収回路で構成され、ベースパルス P 2 の立ち上がり時に、以前回収しておいた電力で P D P 1 のパネル容量を充電するとともに、ベースパルス P 2 の立ち下がり時に、P D P 1 のパネル容量に充電されている電力を回収するものである。

【 0 0 4 5 】

スキャン回路 6 3 は、サステイン期間では、単なるスルー回路であり、P D P 1 に電流が流れる場合には、ダイオード D 6 3 1 , D 6 3 3 , ... を通って電流が流れ、P D P 1 から電流が流れ込む場合には、下側のトランジスタ Q 6 3 1 , Q 6 3 3 , ... がオンして、Y 重畳パルス生成回路 6 2 , Y サステイン回路 6 1 に流れ込む（詳細は後述する）。

【 0 0 4 6 】

また、重畳パルス生成回路 6 2 , 7 2 は、重畳パルスを生成しない期間においては、スキャン回路 6 3 と同様に、サステイン回路 6 1 , 7 1 から P D P 1 に電流が流れる場合には、ダイオード D 6 2 1 , D 7 2 1 を通って電流が流れ、P D P 1 から電流が流れ込む場合には、下側のトランジスタ Q 6 2 1 , Q 7 2 1 がオンするようになっている（詳細は後述する）。

【 0 0 4 7 】

次に、図 5 を用いて、ベースパルス P 2 の前縁部に重畳パルスを重畳させる回路動作について説明する。最初に、ベースパルス生成について述べ、その後に重畳パルス生成について述べる。

【 0 0 4 8 】

図 5 において、P D P 1 を X 電極側から維持放電駆動する期間が時刻 T₀ で終わると、スキャン回路 6 3 のトランジスタ Q 6 3 1 , Y 重畳パルス生成回路 6 2 のトランジスタ Q

10

20

30

40

50

6 2 1, Y サステイン回路 6 1 のトランジスタ Q 6 1 1 がオフされる。そして、所定の休止期間において、時刻 T_1 で次の PDP 1 を Y 電極側から維持放電駆動する期間に移る。Y 電極側から維持放電駆動する期間に移ると、まず、X 重畳パルス生成回路 7 2 のトランジスタ Q 7 2 1 と X サステイン回路 7 1 のトランジスタ Q 7 1 1 がオンし、PDP 1 の X 電極が GND 電位に接地される。そして、電力回収回路 6 1 6 から Y 重畳パルス生成回路 6 2 のダイオード D 6 2 1, スキャン回路 6 3 のダイオード D 6 3 1 を通って電流が流れ、PDP 1 の図示しないパネル容量が充電される。パネル容量がほぼ充電された時刻 T_2 でサステイン回路 6 1 の上側スイッチであるトランジスタ Q 6 1 2 がオンし、時刻 T_3 に至るまで PDP 1 に電源 PW 6 1 8 の電源電圧 V_{su} が印加される。時刻 T_3 になると、トランジスタ Q 6 1 2 がオフし、また、Y 重畳パルス生成回路 6 2 のトランジスタ Q 6 2 1 とスキャン回路 6 3 のトランジスタ Q 6 3 1 がオンして、今度は、電力回収回路 6 1 6 は PDP 1 からパネル容量に蓄積された電力を回収する。そして、電力が回収され、PDP 1 の Y 電極電位がほぼ 0 V となる時刻 T_4 でトランジスタ Q 7 2 1, Q 7 1 1 がオフする。このような動作により、Y 電極には、Y サステイン回路 6 1 の出力波形、すなわち、ベースパルス P 1 が印加される。この後、所定の休止期間において、時刻 T_5 で、トランジスタ Q 6 3 1, Q 6 2 1, Q 6 1 1 がオンして、Y 電極が接地され、PDP 1 を X 電極側から維持放電駆動する期間に移行する。

10

【0049】

次に、重畳パルス P 2 の生成について説明する。

【0050】

20

時刻 T_2 で Y サステイン回路 6 1 のトランジスタ Q 6 1 2 がオンし、PDP 1 に電圧 V_{su} が印加された後、所定期間 t_0 において、Y 重畳パルス生成回路 6 2 の上側スイッチのトランジスタ Q 6 2 2 が時間 $t_1 a$ の間オンする。トランジスタ Q 6 2 2 がオンすると、フローティング電源 PW 6 2 8 の電源電圧 V_{dif} の振幅を有する重畳パルス P 2 が Y 重畳パルス生成回路 6 2 から出力される。この重畳パルスは、Y サステイン回路 6 1 から出力されるベースパルス P 1 に加算（重畳）されて、振幅 $(V_{su} + V_{dif}) = V_p$ を有する高電圧の細幅パルスとされる。この動作は、インターバル $t_1 a$ において、再び繰り返され、本実施例では、パルス幅 $t_1 a$ を有する重畳パルスが 2 回生成される。

【0051】

以上述べたように、本実施例によれば、サステイン回路（6 1, 7 1）でベースパルス P 1 を生成し、サステイン回路（6 1, 7 1）の出力ライン上に設けられ、フローティングした重畳パルス生成回路で重畳パルス P 2 を生成し、ベースパルス P 1 の前縁部に重畳パルス P 2 を加算（重畳）することにより、図 1（d）に示す高発光効率な駆動波形を生成することができる。

30

【0052】

低電圧な重畳パルスは、高速動作が可能な半導体素子を使えるようになるだけでなく IC 化が可能な 60 ~ 70 V 程度とすることができる。

【実施例 2】

【0053】

実施例 1 では、Y 駆動部において、重畳パルス生成回路をスキャン回路とは別に設けたが、本発明はこれに限定されるものではない。

40

【0054】

本発明によれば、重畳パルス生成回路で生成する重畳パルスの振幅（波高値）を、IC 化が可能な 60 ~ 70 V 程度とすることができる。従って、これとほぼ同等の電圧値のフローティング電源を有するスキャン回路で重畳パルスを生成するようにしてもよい。

【0055】

図 6 は、実施例 2 による Y 駆動部の要部を模式的に示した回路構成図である。なお、図 3 と同一な機能を有する要素には同一な符号を付して示し、その反復する説明を省略する。

【0056】

50

本実施例では、図 6 に示すように、Y 駆動部 6 A は、Y サステイン回路 6 1 と、スキャン回路 6 3 A とからなる。

【 0 0 5 7 】

スキャン回路 6 3 A は、図 3 で述べたスキャン機能に加え、重畳パルス生成機能を備えている。そのため、スキャン用のフローティング電源 P W 6 3 8 と、重畳パルス生成用のフローティング電源 P W 6 4 8 とを有し、更に、これらを切り替えるスイッチ S W 6 4 1 と S W 6 4 2 とを有している。すなわち、スキャンパルス生成の場合には、S W 6 4 1 を閉じて、仮想 G N D に対して電源電圧 V s c a n を有する電源 P W 6 3 8 を用い、スキャンパルス（図示せず）を生成し、P D P 1 に供給する。また、重畳パルス生成の場合には、S W 6 4 2 を閉じて、仮想 G N D に対して電源電圧 V d i f を有する電源 P W 6 4 8 を用い、図 3 の重畳パルス生成回路と同様に、各出力トランジスタ（例えば、Q 6 3 1 , Q 6 3 2 , D 6 3 1 , D 6 3 2 ）を制御して、重畳パルスを生成し、Y サステイン回路 6 1 で生成したベースパルスの前縁部に加算（重畳）し、P D P 1 に供給する。

10

【 0 0 5 8 】

なお、電圧 V d i f と電圧 V s c a n とを同一にできる場合には、フローティング電源を統合し、一つのフローティング電源で、スキャンパルスおよび重畳パルスを生成するようにしてもよい。

【 図面の簡単な説明 】

【 0 0 5 9 】

【 図 1 】本発明によるプラズマディスプレイ装置のサステイン期間における P D P の電圧駆動波形を説明する図である。

20

【 図 2 】実施例 1 に係わる P D P 装置における P D P 駆動部の模式ブロック構成図である。

【 図 3 】実施例 1 による Y 駆動部の要部を模式的に示した回路構成図である。

【 図 4 】実施例 1 による X 駆動部の要部を模式的に示した回路構成図である。

【 図 5 】実施例 1 における駆動回路の動作を説明するための各部のタイミング波形および出力波形である。

【 図 6 】実施例 2 による Y 駆動部の要部を模式的に示した回路構成図である。

【 符号の説明 】

【 0 0 6 0 】

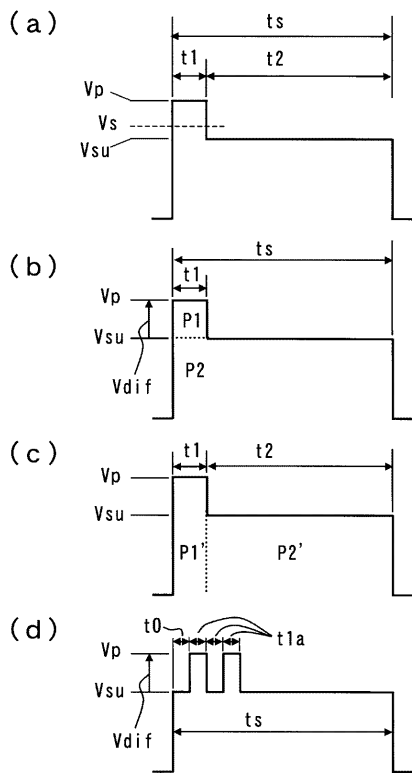
30

1 ... P D P 、 2 F ... 前面板、 2 R ... 背面板、 3 ... Y 電極、 4 ... X 電極、 5 ... A 電極、 6 ... Y 駆動部、 7 ... X 駆動部、 8 ... タイミング制御部、 9 ... 画像処理部、 1 0 ... アドレス駆動部、 6 1 ... Y サステイン回路、 6 2 ... Y 重畳パルス生成回路、 6 3 ... スキャン回路、 7 1 ... X サステイン回路、 7 2 ... X 重畳パルス生成回路、 8 1 ... ベースパルス制御信号、 8 2 ... 重畳パルス制御信号、 8 3 ... スキャン制御信号、 8 5 ... A 電極制御信号、 6 1 6 ... 電力回収回路、 Q 6 1 1 , 6 1 2 ... トランジスタ、 D 6 1 1 , 6 1 2 ... ダイオード、 P W 6 1 8 ... 電源、 Q 6 2 1 , 6 2 2 ... トランジスタ、 D 6 2 1 , 6 2 2 ... ダイオード、 P W 6 2 8 ... 電源、 Q 6 3 1 ~ 6 3 4 ... トランジスタ、 D 6 3 1 ~ 6 3 4 ... ダイオード、 P W 6 3 8 ... 電源、 7 1 6 ... 電力回収回路、 Q 7 1 1 , 7 1 2 ... トランジスタ、 D 7 1 1 , 7 1 2 ... ダイオード、 P W 7 1 8 ... 電源、 Q 7 2 1 , 7 2 2 ... トランジスタ、 D 7 2 1 , 7 2 2 ... ダイオード、 P W 7 2 8 ... 電源、

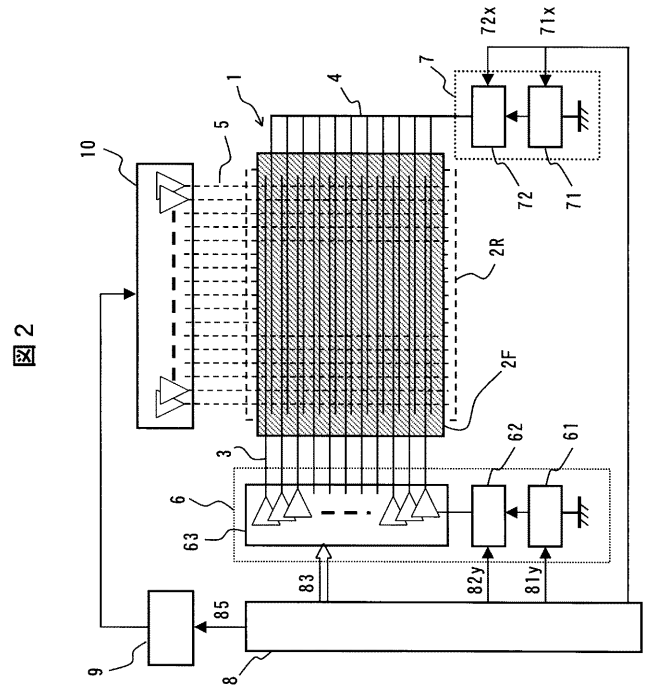
40

【 図 1 】

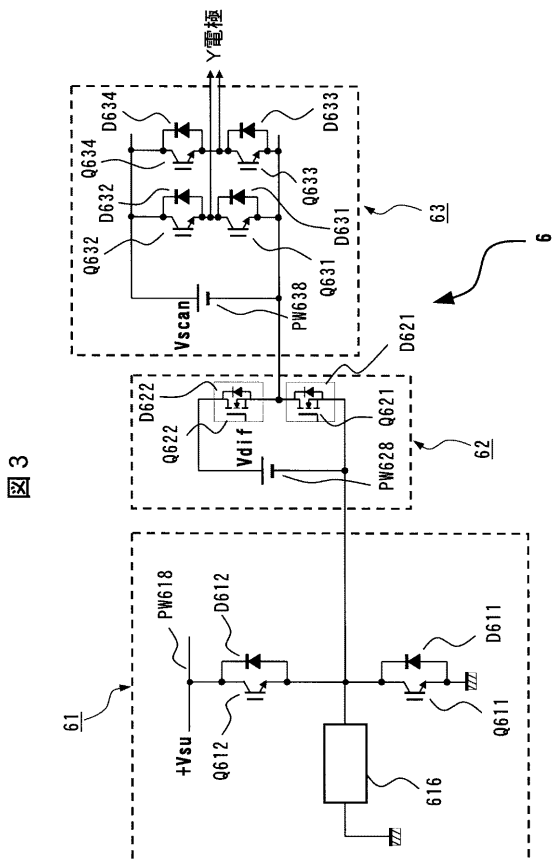
图 1



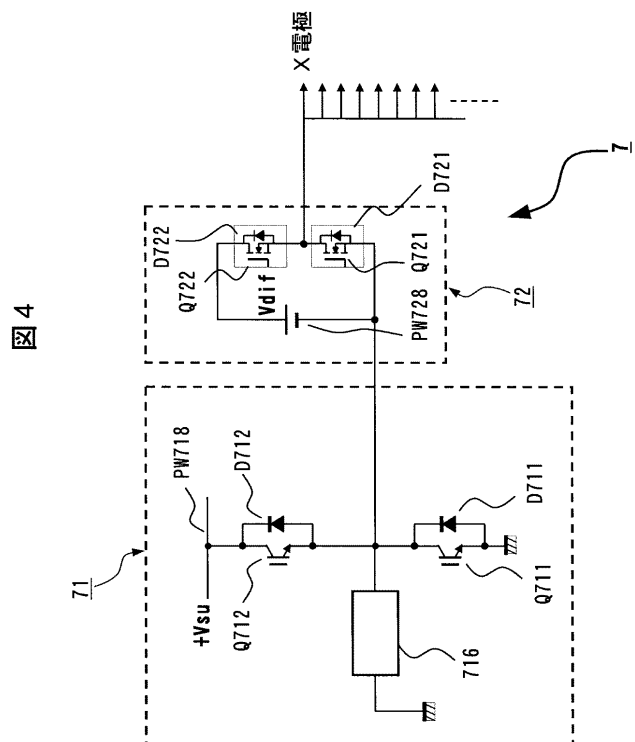
【 図 2 】



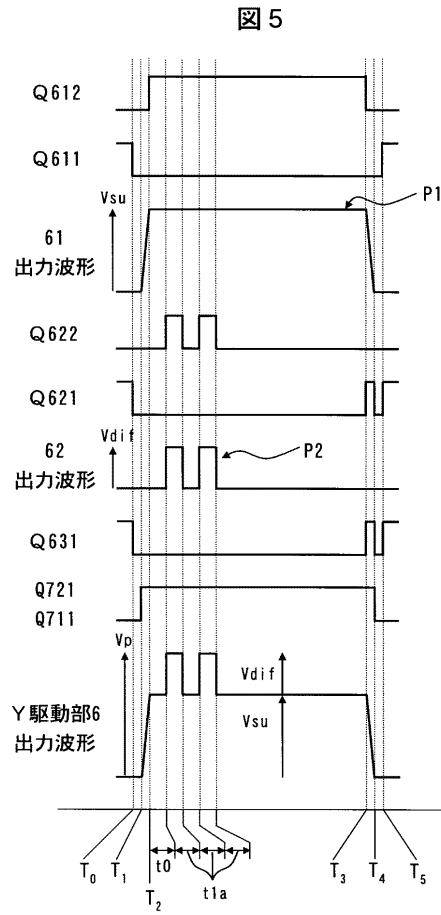
【 図 3 】



【 図 4 】



【図 5】



【図 6】

図 6

