

(72) 발명자

어윤성

서울 강동구 길2동 삼익파크아파트 506동 907호

이수웅

경기 수원시 영통구 영통동 993-7번지 201호

특허청구의 범위

청구항 1

공진 신호를 발진시키는 교차결합 발진부;

상기 공진 신호의 공진 주파수 결정을 위한 인덕턴스를 제공하는 인덕턴스부;

상기 인덕턴스부에 병렬로 연결되고 기설정된 바랙터 커패시턴스를 갖는 복수의 스위치블 가변용량 회로를 포함하고, 상기 복수의 스위치블 가변용량 회로중 적어도 하나가 제1 스위칭신호에 의해 선택되어 튜닝전압에 따라 가변되는 바랙터 커패시턴스를 갖는 바랙터 뱅크부;

상기 인덕턴스부에 병렬로 연결되고 기설정된 서브 커패시턴스를 갖는 복수의 스위치블 서브 캡부를 포함하고, 상기 복수의 스위치블 서브 캡부 각각은 제2 스위칭신호에 의해 스위칭되고 이에 따라 가변되는 서브 커패시턴스를 갖는 서브캡 뱅크부; 및

상기 인덕턴스부에 병렬로 연결되는 복수의 커패시터 뱅크부와, 상기 복수의 커패시터 뱅크부중 하나의 커패시터 뱅크부를 뱅크 선택신호에 따라 선택하는 뱅크 선택부를 포함하고, 상기 복수의 커패시터 뱅크부 각각은 서로 병렬로 연결되는 복수의 스위치블 가중치 캡부를 포함하고, 상기 복수의 스위치블 가중치 캡부 각각은 제3 스위칭신호에 따라 스위칭되고 이에 따라 가변되는 가중치 커패시턴스를 갖는 2진-가중캡 뱅크부를 포함하여,

상기 바랙터 뱅크부의 바랙터 커패시턴스와, 상기 서브캡 뱅크부와 2진-가중캡 뱅크부의 합 커패시턴스와의 비율을 기설정된 복수의 주파수 영역1 내지 영역4에 대해 일정하게 유지하는 것을 특징으로 하는 광대역 전압제어 발진기.

청구항 2

제1항에 있어서, 상기 바랙터 커패시턴스의 가변 비율은,

상기 서브 커패시턴스와 상기 가중치 커패시턴스의 전체 가변 비율과 동일하게 설정되는 것을 특징으로 하는 광대역 전압제어 발진기.

청구항 3

제2항에 있어서, 상기 교차결합 발진부는

전원측에 연결되어, 게이트-드레인 교차 결합된 PMOS 트랜지스터 쌍으로 이루어진 제1 발진부; 및

접지측에 연결되어, 게이트-드레인 교차 결합된 NMOS 트랜지스터 쌍으로 이루어진 제2 발진부

를 포함하는 것을 특징으로 하는 광대역 전압제어 발진기.

청구항 4

제3항에 있어서, 상기 복수의 스위치블 가변용량 회로 각각은,

상기 튜닝전압에 의해 용량 가변되는 적어도 하나의 바랙터 다이오드; 및

상기 바랙터 다이오드와 상기 튜닝전압 사이에 연결되어, 상기 제1 스위칭신호에 따라 상기 튜닝전압을 상기 바랙터 다이오드에 공급하는 스위치

를 포함하는 것을 특징으로 하는 광대역 전압제어 발진기.

청구항 5

제2항에 있어서, 상기 복수의 스위치블 서브 캡부 각각은,

적어도 하나의 커패시터;

상기 커패시터와 직렬로 연결되어, 상기 제2 스위칭신호에 따라 스위칭되는 스위치

를 포함하는 것을 특징으로 하는 광대역 전압제어 발진기.

청구항 6

제2항에 있어서, 상기 복수의 스위처블 가중치 캡부 각각은,
 적어도 하나의 커패시터;
 상기 커패시터와 직렬로 연결되어, 상기 제3 스위칭신호에 따라 스위칭되는 스위치
 를 포함하는 것을 특징으로 하는 광대역 전압제어 발진기.

청구항 7

제2항에 있어서, 상기 광대역 전압제어 발진기는,
 디지털 제어 신호를 이용하여 상기 제1 스위칭신호, 상기 제2 스위칭신호, 상기 बैं크 선택신호 및 상기
 제3 스위칭신호를 생성하는 엔코더를 더 포함하는 것을 특징으로 하는 광대역 전압제어 발진기.

청구항 8

제7항에 있어서, 상기 엔코더는,
 디지털 제어신호를 상위 비트와 하위 비트로 구분하고, 상기 디지털 제어신호의 상위 비트를 이용하여
 상기 제1 스위칭 신호, 상기 제2 스위칭 신호 및 상기 बैं크 선택신호를 생성하고, 하위 비트를 이용하여 상기
 제3 스위칭신호를 생성하는 것을 특징으로 하는 광대역 전압제어 발진기.

청구항 9

제8항에 있어서, 상기 엔코더는,
 상기 디지털 제어신호가 6비트로 이루어지고, 상기 6비트 디지털 제어신호중 상위 2비트를 이용하여 3
 비트의 제1 스위칭 신호를 제공하는 제1 엔코딩부;
 상기 디지털 제어신호중 상위 2비트를 이용하여 3비트의 제2 스위칭 신호를 제공하는 제2 엔코딩부; 및
 상기 디지털 제어신호중 상위 2비트를 이용하여 4비트의 बैं크 선택신호를 제공하는 제3 엔코딩부
 를 포함하는 것을 특징으로 하는 광대역 전압 제어 발진기.

청구항 10

제9항에 있어서, 상기 바랙터 बैं크부는,
 상기 3비트의 제1 스위칭 신호에 의해 선택되는 제1 내지 제4 스위처블 가변용량 회로를 포함하는 것을
 특징으로 하는 광대역 전압 제어 발진기.

청구항 11

제10항에 있어서, 상기 서브캡 बैं크부는,
 상기 3비트의 제2 스위칭신호에 의해 선택되는 제1 내지 제3 스위처블 서브 캡부를 포함하는 것을 특징
 으로 하는 광대역 전압 제어 발진기.

청구항 12

제11항에 있어서, 상기 2진-가중캡 बैं크부는,
 제1 내지 제4 커패시터 बैं크부를 포함하고,
 상기 बैं크 선택부는,
 상기 4비트의 बैं크 선택신호에 따라 상기 제1 내지 제4 커패시터 बैं크부중 하나의 커패시터 बैं크부를
 선택하여, 선택된 커패시터 बैं크부에 상기 6비트 디지털 제어신호중 하위 4비트를 제공하는 것을 특징으로 하는
 광대역 전압 제어 발진기.

청구항 13

제9항에 있어서, 상기 제1 엔코딩부는,

상기 디지털 제어신호의 상위 2비트를 이용하여 제1 신호, 제2 신호 및 제3 신호를 포함하는 제1 스위칭신호를 출력하는 것을 특징으로 하는 광대역 전압 제어 발진기.

청구항 14

제13항에 있어서, 상기 제1 엔코딩부는,

상기 디지털 제어신호의 상위 2비트를 논리합하여 상기 제1 스위칭신호의 제1 신호를 제공하는 오아 게이트; 및

상기 디지털 제어신호의 상위 2비트를 논리곱하여 상기 제1 스위칭신호의 제3 신호를 제공하는 앤드 게이트를 포함하며,

상기 디지털 제어신호의 상위 2비트중 최상위 비트를 상기 제1 스위칭신호의 제2 신호를 제공하며,

상기 디지털 제어신호의 상위 2비트중 최상위 비트를 제1 스위칭신호의 제2 신호를 제공하는 것을 특징으로 하는 광대역 전압 제어 발진기.

청구항 15

제9항에 있어서, 상기 제2 엔코딩부는,

상기 디지털 제어신호의 상위 2비트를 이용하여 제1 신호, 제2 신호 및 제3 신호를 포함하는 제2 스위칭신호를 출력하는 것을 특징으로 하는 광대역 전압 제어 발진기.

청구항 16

제15항에 있어서, 상기 제2 엔코딩부는,

상기 디지털 제어신호의 상위 2비트를 논리합하여 제2 스위칭신호의 제1 신호를 제공하는 오아 게이트; 및

상기 디지털 제어신호의 상위 2비트를 논리곱하여 제2 스위칭신호의 제3 신호를 제공하는 앤드 게이트를 포함하며,

상기 디지털 제어신호의 상위 2비트중 최상위 비트를 제2 스위칭신호의 제2 신호를 제공하는 것을 특징으로 하는 광대역 전압 제어 발진기.

청구항 17

제9항에 있어서, 상기 제3 엔코딩부는,

상기 디지털 제어신호의 상위 2비트중 최상위 비트를 인버트하는 제1 인버터;

상기 디지털 제어신호의 상위 2비트중 두 번째 상위비트를 인버트하는 제2 인버터;

상기 제1 및 제2 인버터의 두 출력을 논리곱하여 제1 신호를 출력하는 제1 앤드 게이트;

상기 제1 인버터의 출력과 상기 디지털 제어신호의 상위 2비트중 두 번째 상위비트를 논리곱하여 제2 신호를 출력하는 제2 앤드 게이트;

상기 디지털 제어신호의 상위 2비트중 최상위 비트와 상기 제2 인버터의 출력을 논리곱하여 제3 신호를 출력하는 제3 앤드 게이트; 및

상기 디지털 제어신호의 상위 2비트중 최상위 비트와 상기 디지털 제어신호의 상위 2비트중 두 번째 상위 비트를 논리곱하여 제4 신호를 출력하는 제4 앤드 게이트

를 포함하는 것을 특징으로 하는 광대역 전압 제어 발진기.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 광대역 무선 통신에 이용되는 광대역 전압 제어 발진기에 관한 것으로, 특히 가-지수 가중치(Pseudo-exponentially Weigthed)를 갖는 커패시터 뱅크를 이용하여, 제어신호에 대한 주파수 변화량과 그에 따른 전압 제어발진기의 이득(Kvco)을 일정하게 유지할 수 있도록 함으로서, 광대역 주파수 튜닝 특성을 가지면서, 광대역에 걸쳐서 선형적 주파수 가변을 가능하게 하는 광대역 전압 제어 발진기에 관한 것이다.

배경기술

<2> 최근, 다중대역 다중모드 무선 통신을 지원하는 RF 송수신기를 위해서는, 광대역 특성을 가지는 전압제어발진기가 많이 요구되고 있으며, 일반적인 RF 전압 제어 발진기는 고정된 LC 탱크를 사용하게 되면 협대역(Narrow bandwidth)특성을 가지므로, 광대역을 얻기 위해 LC 탱크를 구성하는 바랙터 다이오드를 크게 하면 되지만 그에 따른 이득(Kvco)이 커져서 발진기의 위상잡음 특성이 나빠지기 때문에 실제 적용하는데 문제점이 따르게 된다.

<3> 따라서 바랙터 다이오드의 크기는 작게 유지하면서 발진기의 LC 탱크를 구성하는 커패시턴스를 원하는 대역에 따라 변화시킬 수 있도록 구현하는 방식을 일반적으로 따르게 된다.

<4> 이때 커패시터 뱅크는 단위 커패시터를 이진가중치를 갖도록 배열하여 구성한다.

<5> 여기에 이진 디지털 코드를 입력하면 그에 따른 커패시턴스가 선형적으로 변화하게 되고 따라서 발진주파수가 변하게 된다.

<6> 이러한 구조의 커패시터 뱅크를 사용하게 되면 발진주파수에 따라 낮은 주파수와 높은 주파수에서 이득(Kvco)의 차이가 크게 되어 PLL의 루프 특성이 많이 달라지고 따라서 PLL 시스템의 성능에 큰 영향을 미치게 된다.

<7> 또한 입력코드사이의 주파수 변화량이 발진주파수에 따라 크게 변하게 되어, 디지털 코드 입력에 따른 전압 제어 발진기의 주파수 튜닝시, 동일 주파수에서 중복되는 튜닝커브수의 변화로 인해 PLL 시스템 설계에 어려움을 주게 된다.

<8> 도 1은 종래기술에 따른 전압 제어 발진기의 회로도이다.

<9> 도 1에 도시된 종래기술에 따른 전압 제어 발진기는, CMOS 공정을 이용한 광대역 전압 제어 발진기로써, 이는 LC 탱크로부터 발생하는 감쇄를 보상하기 위한 이득을 제공하는 상호형 교차결합 발진부(10)와, 인덕터(LT)로 이루어져 공진을 위한 인덕턴스를 제공하는 인덕턴스부(20)와, 상기 인덕턴스부(20)에 의한 인덕턴스와 함께 공진 주파수를 결정하기 위해, 튜닝전압(VT)에 따라 용량이 가변되는 바랙터 다이오드 회로부(30)와, 서로 병렬로 연결된 복수의 커패시터를 포함하고, 제어신호에 따라 복수의 커패시터를 선택하는 커패시터 뱅크(40)를 포함한다

<10> 상기 상호형 교차결합 발진부(10)는, 전원(Vdd)측에 연결된 제1 발진부(11)와, 접지측에 연결된 제2 발진부(12)를 포함하는데, 이러한 양측에 발진부를 두어, 발진에 필요한 충분한 발진 이득을 제공할 수 있다.

<11> 예를 들면, 상기 제1 발진부(11)는 게이트-드레인 교차결합된 PMOS 트랜지스터 쌍(MP1,MP2)으로 이루어지고, 상기 제2 발진부(12)는, 게이트-드레인 교차결합된 NMOS 트랜지스터 쌍(MN1,MN2)으로 이루어진다.

<12> 이러한 광대역 전압 제어 발진기의 회로 설계시, 광대역 특성을 얻기 위해서는, 공진주파수를 결정하는 커패시턴스를 조정할 수 있는 구조를 사용한다.

<13> 예를 들어, 커패시터 뱅크(40)내의 개별 커패시터를 단위 커패시터(C)에 대한 이진 가중치(Binary weigthed)를 갖는 형태($2^n C$)로 배열하게 되면, 이진 디지털 제어 신호에 따라 선택되는 커패시터 뱅크(40)의 전체 커패시턴스(Ctot)가 선형적으로 변하게 된다. 이때 출력신호의 발진 주파수는 하기 수학적 1과 같이 결정된다.

수학식 1

$$f_c = \frac{1}{2\pi\sqrt{LT \cdot C_{tot}}}$$

<14>

<15> 여기서, LT는 인덕턴스부의 인덕턴스이고, C_{tot}는 상기 바랙터 다이오드 회로부(30)와 상기 커패시터 뱅크(40)에 의한 전체 커패시턴스에 해당된다.

<16> 상기 수학식1에서, 바랙터 다이오드 회로부(30)에 의한 커패시턴스가 전체 커패시턴스보다 충분히 작다면, 상기 발진주파수(f_c)는 디지털 제어 신호에 따라 가변되며, 이 경우 상기 수학식 1에 따른 발진기의 주파수-튜닝전압 특성은 도 2의 (a)에 도시한 바와같이 나타나게 된다.

<17> 도 2의 (a)를 참조하면, 발진 주파수가 높아짐에 따라 이득(K_{vco})이 급격히 커짐을 알 수 있다.

<18> 또한, 도 2의 (b)는 주파수-디지털 제어신호 특성을 보이는 그래프로서, 도 2의 (b)의 특성 그래프는, 튜닝 전압(V_{tune})을 고정했을 때 제어신호에 따른 발진주파수 변화를 보이고 있다.

<19> 도 2의 (b)를 참조하면, 발진 주파수가 높아짐에 따라 디지털 제어신호간 주파수 변화 정도가 급격히 커짐을 알 수 있다.

<20> 그 이유에 대해 설명하면, 커패시터 뱅크를 가장 큰값으로 설정했을 때의 발진 주파수는 하기 수학식 2와 같이 결정될 수 있다.

수학식 2

$$f_c = \frac{1}{2\pi\sqrt{LT \cdot (C_{var} + C_{max})}}$$

<21>

<22> 상기 수학식 2에서, C_{var}은 상기 바랙터 다이오드 회로부(30)에 의한 커패시턴스이고, C_{max}는 상기 커패시터 뱅크(40)의 최대 커패시턴스이다.

<23> 한편, 커패시터 뱅크를 가장 작은 값으로 설정했을 때의 발진주파수는 하기 수학식3으로 결정된다.

수학식 3

$$f_c = \frac{1}{2\pi\sqrt{LT \cdot (C_{var} + C_{min})}}$$

<24>

<25> 상기 수학식 2 및 3에서 알 수 있는 바와같이, 발진 주파수가 가장 낮을 때는 상기 바랙터 다이오드 회로부(30)에 의한 커패시턴스(C_{var})의 변화량이 커패시터 뱅크(40)의 커패시턴스(C_{max}) 크기보다 상대적으로 작게 되고, 발진주파수가 증가할수록 상기 바랙터 다이오드 회로부(30)에 의한 커패시턴스(C_{var})의 변화량이 상기 커패시터 뱅크(C_{max})의 크기에 비교해 상대적으로 커지게 되어, 도 2의 (a)에 보인 바와같은 특성을 보이게 된다.

<26> 이와 같이, 동작주파수 영역에 따라 이득(K_{vco})과 주파수 변화량이 많은 차이를 보이게 되는 경우, 적용되는 시스템(예, PLL 시스템)의 동작 주파수에 따른 락 타임(Lock Time) 및 위상잡음을 악화시킬 수 있게 되는 문제점이 있다.

<27> 이러한 이득(K_{vco})이 변하는 문제점은 커패시터 뱅크의 커패시턴스 크기에 따라 바랙터 크기도 같은 비율로 크기를 바꿔줌으로써 개선시킬 수 있으나, 바랙터만 커패시터 뱅크의 크기에 따라 조정하게 되면 디지털 코드에 따른 주파수 변화량은 보상시킬 수 없게 되는 문제점이 있다.

<28> 또한, 높은 주파수 영역에서는 동일한 주파수를 발생하는 중첩된 주파수 특성 커브의 수가 줄어들어서 PLL 동작 주파수를 연속적으로 만들어 내지 못하거나, 목표주파수가 설정됐을 때 최적의 디지털코드를 자동으로 찾아가게 되는 PLL 동작에서 큰 오차를 유발시킬 가능성이 커지게 되는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

<29> 본 발명은 상기한 문제점을 해결하기 위해 제안된 것으로, 그 목적은, 가-지수 가중치(Pseudo-exponentially Weigthed)를 갖는 커패시터 뱅크를 이용하여, 제어신호에 대한 주파수 변화량과 그에 따른 전압제어발전기의 이득(Kvco)을 일정하게 유지할 수 있도록 함으로서, 광대역 주파수 튜닝 특성을 가지면서, 광대역에 걸쳐서 선형적 주파수 가변을 가능하게 하는 광대역 전압 제어 발전기를 제공하는데 있다.

과제 해결수단

<30> 상기한 본 발명의 목적을 달성하기 위해서, 본 발명에 따른 광대역 전압 제어 발전기의 일실시예는, 공진 신호를 발전시키는 교차결합 발전부; 상기 공진 신호의 공진 주파수 결정을 위한 인덕턴스를 제공하는 인덕턴스부; 상기 인덕턴스부에 병렬로 연결되고 기설정된 바랙터 커패시턴스를 갖는 복수의 스위처블 가변용량 회로를 포함하고, 상기 복수의 스위처블 가변용량 회로중 적어도 하나가 제1 스위칭신호에 의해 선택되어 튜닝전압에 따라 가변되는 바랙터 커패시턴스를 갖는 바랙터 뱅크부; 상기 인덕턴스부에 병렬로 연결되고 기설정된 서브 커패시턴스를 갖는 복수의 스위처블 서브 캡부를 포함하고, 상기 복수의 스위처블 서브 캡부 각각은 제2 스위칭신호에 의해 스위칭되고 이에 따라 가변되는 서브 커패시턴스를 갖는 서브캡 뱅크부; 및 상기 인덕턴스부에 병렬로 연결되는 복수의 커패시터 뱅크부와, 상기 복수의 커패시터 뱅크부중 하나의 커패시터 뱅크부를 뱅크 선택신호에 따라 선택하는 뱅크 선택부를 포함하고, 상기 복수의 커패시터 뱅크부 각각은 서로 병렬로 연결되는 복수의 스위처블 가중치 캡부를 포함하고, 상기 복수의 스위처블 가중치 캡부 각각은 제3 스위칭신호에 따라 스위칭되고 이에 따라 가변되는 가중치 커패시턴스를 갖는 2진-가중캡 뱅크부를 포함하여, 상기 바랙터 뱅크부의 바랙터 커패시턴스와, 상기 서브캡 뱅크부와 2진-가중캡 뱅크부의 합 커패시턴스와의 비율을 기설정된 복수의 주파수 영역1 내지 영역4에 대해 일정하게 유지하는 것을 특징으로 한다.

<31> 상기 바랙터 커패시턴스의 가변 비율은, 상기 서브 커패시턴스와 상기 가중치 커패시턴스의 전체 가변 비율과 동일하게 설정되는 것을 특징으로 한다.

<32> 상기 교차결합 발전부는, 전원측에 연결되어, 게이트-드레인 교차 결합된 PMOS 트랜지스터 쌍으로 이루어진 제1 발전부; 및 접지측에 연결되어, 게이트-드레인 교차 결합된 NMOS 트랜지스터 쌍으로 이루어진 제2 발전부를 포함하는 것을 특징으로 한다.

<33> 상기 복수의 스위처블 가변용량 회로 각각은, 상기 제1 스위칭신호에 의해 선택되어, 상기 튜닝전압에 따라 가변되는 바랙터 커패시턴스를 제공하는 것을 특징으로 한다.

<34> 상기 복수의 스위처블 가변용량 회로 각각은, 상기 튜닝전압에 의해 용량 가변되는 적어도 하나의 바랙터 다이오드; 및 상기 바랙터 다이오드와 상기 튜닝전압 사이에 연결되어, 상기 제1 스위칭신호에 따라 상기 튜닝전압을 상기 바랙터 다이오드에 공급하는 스위치를 포함하는 것을 특징으로 한다.

<35> 상기 복수의 스위처블 서브 캡부 각각은, 적어도 하나의 커패시터; 상기 커패시터와 직렬로 연결되어, 상기 제2 스위칭신호에 따라 스위칭되는 스위치를 포함하는 것을 특징으로 한다.

<36> 상기 복수의 스위처블 가중치 캡부 각각은, 적어도 하나의 커패시터; 상기 커패시터와 직렬로 연결되어, 상기 제3 스위칭신호에 따라 스위칭되는 스위치를 포함하는 것을 특징으로 한다.

<37> 상기 광대역 전압제어 발전기는, 디지털 제어 신호를 이용하여 상기 제1 스위칭신호, 상기 제2 스위칭신호, 상기 뱅크 선택신호 및 상기 제3 스위칭신호를 생성하는 엔코더를 더 포함하는 것을 특징으로 한다.

<38> 상기 엔코더는, 디지털 제어신호를 상위 비트와 하위 비트로 구분하고, 상위 비트를 이용하여 상기 제1 스위칭신호, 상기 제2 스위칭신호 및 상기 뱅크 선택신호를 생성하고, 하위 비트를 이용하여 상기 제3 스위칭신호를 생성하는 것을 특징으로 한다.

<39> 상기 엔코더는, 상기 디지털 제어신호가 6비트로 이루어지고, 상기 6비트 디지털 제어신호중 상위 2비트를 이용하여 3비트의 제1 스위칭신호를 제공하는 제1 엔코딩부; 상기 디지털 제어신호중 상위 2비트를 이용하여 3비트의 제2 스위칭신호를 제공하는 제2 엔코딩부; 및 상기 디지털 제어신호중 상위 2비트를 이용하여 4비트의 뱅크 선택신호를 제공하는 제3 엔코딩부를 포함하는 것을 특징으로 한다.

<40> 상기 바랙터 뱅크부는, 상기 3비트의 제1 스위칭신호에 의해 선택되는 제1 내지 제4 스위처블 가변용량 회로를 포함하는 것을 특징으로 한다.

- <41> 상기 서브캡 बैं크부는, 상기 3비트의 제2 스위칭신호에 의해 선택되는 제1 내지 제3 스위처블 서브 캡부를 포함하는 것을 특징으로 한다.
- <42> 상기 2진-가중캡 बैं크부는, 제1 내지 제4 커패시터 बैं크부를 포함하고, 상기 बैं크 선택부는, 상기 4비트의 बैं크 선택신호에 따라 상기 제1 내지 제4 커패시터 बैं크부중 하나의 커패시터 बैं크부를 선택하여, 선택된 커패시터 बैं크부에 상기 6비트 디지털 제어신호중 하위 4비트를 제공하는 것을 특징으로 한다.
- <43> 상기 제1 엔코딩부는, 상기 디지털 제어신호의 상위 2비트를 이용하여 제1 신호, 제2 신호 및 제3 신호를 포함하는 제1 스위칭신호를 출력하는 것을 특징으로 한다.
- <44> 상기 제1 엔코딩부는, 상기 디지털 제어신호의 상위 2비트를 논리합하여 상기 제1 스위칭신호의 제1 신호를 제공하는 오아 게이트; 및 상기 디지털 제어신호의 상위 2비트를 논리곱하여 상기 제1 스위칭신호의 제3 신호를 제공하는 앤드 게이트를 포함하며, 상기 디지털 제어신호의 상위 2비트중 최상위 비트를 상기 제1 스위칭신호의 제2 신호를 제공하며, 상기 디지털 제어신호의 상위 2비트중 최상위 비트를 제1 스위칭신호의 제2 신호를 제공하는 것을 특징으로 한다.
- <45> 상기 제2 엔코딩부는, 상기 디지털 제어신호의 상위 2비트를 이용하여 제1 신호, 제2 신호 및 제3 신호를 포하하는 제2 스위칭신호를 출력하는 것을 특징으로 한다.
- <46> 상기 제2 엔코딩부는, 상기 디지털 제어신호의 상위 2비트를 논리합하여 제2 스위칭신호의 제1 신호를 제공하는 오아 게이트; 및 상기 디지털 제어신호의 상위 2비트를 논리곱하여 제2 스위칭신호의 제3 신호를 제공하는 앤드 게이트를 포함하며, 상기 디지털 제어신호의 상위 2비트중 최상위 비트를 제2 스위칭신호의 제2 신호를 제공하는 것을 특징으로 한다.
- <47> 상기 제3 엔코딩부는, 상기 디지털 제어신호의 상위 2비트중 최상위 비트를 인버트하는 제1 인버터; 상기 디지털 제어신호의 상위 2비트중 두 번째 상위비트를 인버트하는 제2 인버터; 상기 제1 및 제2 인버터의 두 출력을 논리곱하여 제1 신호를 출력하는 제1 앤드 게이트; 상기 제1 인버터의 출력과 상기 디지털 제어신호의 상위 2비트중 두 번째 상위비트를 논리곱하여 제2 신호를 출력하는 제2 앤드 게이트; 상기 디지털 제어신호의 상위 2비트중 최상위 비트와 상기 제2 인버터의 출력을 논리곱하여 제3 신호를 출력하는 제3 앤드 게이트; 및 상기 디지털 제어신호의 상위 2비트중 최상위 비트와 상기 디지털 제어신호의 상위 2비트중 두 번째 상위 비트를 논리곱하여 제4 신호를 출력하는 제4 앤드 게이트를 포함하는 것을 특징으로 한다.

효 과

- <48> 이와같은 본 발명에 의하면, 가-지수 가중치(Pseudo-exponentially Weigthed)를 갖는 커패시터 बैं크를 이용하여, 제어신호에 대한 주파수 변화량과 그에 따른 전압제어발전기의 이득(Kvco)을 일정하게 유지할 수 있도록 함으로서, 광대역 주파수 튜닝 특성을 가지면서, 광대역에 걸쳐서 선형적 주파수 가변을 가능하게 하는 효과가 있다.
- <49> 즉, 본 발명에서의 선형 주파수 변화 특성을 위한 가-지수 커패시터 बैं크를 갖는 광대역 CMOS 전압제어 발전기는 전체 주파수 튜닝범위에서 전압제어발전기의 이득(Kvco)을 거의 일정하게 유지하며 각 디지털 제어 신호의 비트간의 주파수의 변화 차가 일정하여 디지털 제어 비트에 대한 발전주파수의 변화가 선형적인 특성을 가지고 있다.
- <50> 또한, 디지털 제어 신호의 비트를 증가시키면 좀더 미세한 선형특성을 얻을 수 있고, PLL 시스템에 적용시 전체 주파수 튜닝범위에 대하여 일정한 락킹타임(locking time)을 가지게 되어 락킹타임(locking time)을 일정하게 유지하기 위해 전하펌프의 전류를 조정해야 하는 필요성이 사라지므로 회로 설계상의 복잡성이 완화된다.

발명의 실시를 위한 구체적인 내용

- <51> 이하, 본 발명의 실시예를 첨부한 도면을 참조하여 상세히 설명한다.
- <52> 본 발명은 설명되는 실시예에 한정되지 않으며, 본 발명의 실시예는 본 발명의 기술적 사상에 대한 이해를 돕기 위해서 사용된다. 본 발명에 참조된 도면에서 실질적으로 동일한 구성과 기능을 가진 구성요소들은 동일한 부호를 사용할 것이다.
- <53> 도 3은 본 발명에 따른 전압 제어 발전기의 구성도이다.

- <54> 도 3을 참조하면, 본 발명에 따른 전압 제어 발진기는, 교차결합 발진부(100)와, 인덕턴스부(200)와, 바랙터 뱅크부(300)와, 서브캡 뱅크부(400)와, 2진-가중캡 뱅크부(500)를 포함한다.
- <55> 도 3에서, 상기 교차결합 발진부(100)는, 공진 신호를 발진시키기 위한 발진 이득을 제공하는 회로부로서, 이는 전원(Vdd)측에 연결되어, 게이트-드레인 교차 결합된 PMOS 트랜지스터 쌍(MP1,MP2)으로 이루어진 제1 발진부(110)와, 접지측에 연결되어, 게이트-드레인 교차 결합된 NMOS 트랜지스터 쌍(MN1,MN2)으로 이루어진 제2 발진부(120)를 포함한다.
- <56> 상기 인덕턴스부(200)는, 상기 공진 신호의 공진 주파수 결정을 위해 사전에 설정된 인덕턴스를 제공하는 회로부로서, 이는 코일과 같은 인덕터로 이루어진다.
- <57> 도 4는 도 3의 바랙터 뱅크부의 상세 회로도이다.
- <58> 도 3 및 도 4를 참조하면, 상기 바랙터 뱅크부(300)는, 상기 인덕턴스부(20)에 병렬로 연결되고 기설정된 바랙터 커패시턴스(Cvar)를 갖는 복수의 스위처블 가변용량 회로(VC1~VCn)를 포함한다. 상기 복수의 스위처블 가변용량 회로(VC1~VCn)중 적어도 하나가 제1 스위칭신호(SS10)에 의해 선택되어 튜닝전압(VT)에 따라 가변되는 바랙터 커패시턴스(Cvar)를 갖는다.
- <59> 도 3 및 도 4를 참조하면, 상기 복수의 스위처블 가변용량 회로(VC1~VCn) 각각은, 상기 제1 스위칭신호(SS10)에 의해 선택되어, 상기 튜닝전압(VT)에 따라 가변되는 바랙터 커패시턴스(Cvar)를 제공할 수 있다.
- <60> 상기 복수의 스위처블 가변용량 회로(VC1~VCn) 각각은, 상기 튜닝전압(VT)에 의해 용량 가변되는 적어도 하나의 바랙터 다이오드와, 상기 바랙터 다이오드와 상기 튜닝전압(VT) 사이에 연결되어, 상기 제1 스위칭신호(SS10)에 따라 상기 튜닝전압(VT)을 상기 바랙터 다이오드에 공급하는 스위치를 포함한다.
- <61> 구체적으로 예를 들어 설명하면, 도 4에 도시한 바와같이, 상기 복수의 스위처블 가변용량 회로(VC1~VCn)중 제1 스위처블 가변용량 회로(VC1)는 서로 직렬로 캐소드 공통으로 연결되고 상기 튜닝전압(VT)에 의해 용량 가변되는 2개의 바랙터 다이오드(VD11,VD12)와, 상기 2개의 바랙터 다이오드(VD11,VD12)의 연결 노드와 상기 튜닝전압(VT) 사이에 연결되어, 상기 제1 스위칭신호(SS10)에 따라 상기 튜닝전압(VT)을 상기 2개의 바랙터 다이오드(VD11,VD12)의 연결 노드에 공급하는 스위치(SW1-1)를 포함한다.
- <62> 또한, 상기 복수의 스위처블 가변용량 회로(VC1~VCn)중 제2 스위처블 가변용량 회로(VC2)는, 서로 직렬로 캐소드 공통으로 연결되고 상기 튜닝전압(VT)에 의해 용량 가변되는 2개의 바랙터 다이오드(VD21,VD22)와, 상기 2개의 바랙터 다이오드(VD21,VD22)의 연결 노드와 상기 튜닝전압(VT) 사이에 연결되어, 상기 제1 스위칭신호(SS10)에 따라 상기 튜닝전압(VT)을 상기 2개의 바랙터 다이오드(VD21,VD22)의 연결 노드에 공급하는 스위치(SW1-2)를 포함한다.
- <63> 그리고, 상기 복수의 스위처블 가변용량 회로(VC1~VCn)중 제n 스위처블 가변용량 회로(VCn)는, 서로 직렬로 캐소드 공통으로 연결되고 상기 튜닝전압(VT)에 의해 용량 가변되는 2개의 바랙터 다이오드(VDn1,VDn2)와, 상기 2개의 바랙터 다이오드(VDn1,VDn2)의 연결 노드와 상기 튜닝전압(VT) 사이에 연결되어, 상기 제1 스위칭신호(SS10)에 따라 상기 튜닝전압(VT)을 상기 2개의 바랙터 다이오드(VDn1,VDn2)의 연결 노드에 공급하는 스위치(SW1-n)를 포함한다.
- <64> 도 5는 도 3의 서브캡 뱅크부의 상세 회로도이다.
- <65> 도 3 내지 도 5를 참조하면, 상기 서브캡 뱅크부(400)는, 상기 인덕턴스부(200)에 병렬로 연결되고 기설정된 서브 커패시턴스(Csub)를 갖는 복수의 스위처블 서브 캡부(SC1~SCn)를 포함한다. 상기 복수의 스위처블 서브 캡부(SC1~SCn) 각각은 제2 스위칭신호(SS20)에 의해 스위칭되고 이에 따라 가변되는 서브 커패시턴스(Csub)를 갖는다.
- <66> 상기 복수의 스위처블 서브 캡부(SC1~SCn) 각각은, 적어도 하나의 커패시터와, 상기 커패시터와 직렬로 연결되어, 상기 제2 스위칭신호(SS20)에 따라 스위칭되는 스위치를 포함할 수 있다.
- <67> 구체적으로 예를 들어 설명하면, 도 5를 참조하면, 상기 복수의 스위처블 서브 캡부(SC1~SCn)중 제1 스위처블 서브 캡부(SC1)는, 서로 직렬로 연결된 2개의 커패시터(C11,C12)와, 상기 2개의 커패시터(C11,C12) 사이에 직렬로 연결되어, 상기 제2 스위칭신호(SS20)에 따라 스위칭되는 스위치(SW2-1)를 포함할 수 있다.
- <68> 또한, 상기 복수의 스위처블 서브 캡부(SC1~SCn)중 제2 스위처블 서브 캡부(SC2)는, 서로 직렬로 연결된 2개의 커패시터(C21,C22)와, 상기 2개의 커패시터(C21,C22) 사이에 직렬로 연결되어, 상기 제2 스위칭신호

(SS20)에 따라 스위칭되는 스위치(SW2-2)를 포함할 수 있다.

- <69> 그리고, 상기 복수의 스위처블 서브 캡부(SC1~SCn)중 제n 스위처블 서브 캡부(SCn)는, 서로 직렬로 연결된 2개의 커패시터(Cn1,Cn2)와, 상기 2개의 커패시터(Cn1,Cn2) 사이에 직렬로 연결되어, 상기 제2 스위칭신호(SS20)에 따라 스위칭되는 스위치(SW2-n)를 포함할 수 있다.
- <70> 도 6은 도 3의 2진-가중캡 뱅크부의 상세 회로도이다.
- <71> 도 3 내지 도 6을 참조하면, 상기 2진-가중캡 뱅크부(500)는, 상기 인덕턴스부(200)에 병렬로 연결되는 복수의 커패시터 뱅크부(CB1~CBn)와, 상기 복수의 커패시터 뱅크부(CB1~CBn)중 뱅크 선택신호(BSS)에 따라 하나의 커패시터 뱅크부를 선택하는 뱅크 선택부(510)를 포함한다.
- <72> 상기 복수의 커패시터 뱅크부(CB1~CBn) 각각은 서로 병렬로 연결되는 복수의 스위처블 가중치 캡부(WC1~WCn)를 포함하고, 상기 복수의 스위처블 가중치 캡부(WC1~WCn) 각각은 제3 스위칭신호(SS30)에 따라 스위칭되고 이에 따라 가변되는 가중치 커패시턴스(Cwt)를 갖는다.
- <73> 상기 복수의 스위처블 가중치 캡부(WC1~WCn) 각각은, 적어도 하나의 커패시터와, 상기 커패시터와 직렬로 연결되어, 상기 제3 스위칭신호(SS30)에 따라 스위칭되는 스위치를 포함할 수 있다.
- <74> 구체적으로 예를 들어 설명하면, 도 6을 참조하면, 상기 복수의 스위처블 가중치 캡부(WC1~WCn) 각각은, 도 5에 도시한 제1 스위처블 서브 캡부(SC1)와 같이, 서로 직렬로 연결된 2개의 커패시터와, 상기 2개의 커패시터 사이에 직렬로 연결되어, 상기 제3 스위칭신호(SS30)에 따라 스위칭되는 스위치를 포함할 수 있다.
- <75> 이와 같은 본 발명의 광대역 전압 제어 발진기에서, 상기 바랙터 뱅크부(300)의 바랙터 커패시턴스(Cvar)의 가변 비율은, 상기 서브캡 뱅크부(400)의 서브 커패시턴스(Csub)와 상기 2진-가중캡 뱅크부(500)의 가중치 커패시턴스(Cwt)의 전체 가변 비율과 동일하게 설정된다.
- <76> 즉, 상기 바랙터 뱅크부(300)의 바랙터 커패시턴스와, 상기 서브캡 뱅크부(400)와 2진-가중캡 뱅크부(500)의 합 커패시턴스와의 비율은, 기설정된 복수의 주파수 영역1 내지 영역4에 대해 일정하게 유지된다.
- <77> 이에 따라, 본 발명의 광대역 전압 제어 발진기는, 대략 800MHz 내지 2.0GHz 정도의 주파수범위에 해당되는 광대역에 걸쳐 일정한 주파수의 가변 기울기를 유지할 수 있게 된다.
- <78> 또한, 상기 광대역 전압제어 발진기는, 도 3에 도시한 바와같이, 디지털 제어 신호를 이용하여 상기 제1 스위칭신호(SS10), 상기 제2 스위칭신호(SS20), 상기 뱅크 선택신호(BSS) 및 상기 제3 스위칭신호(SS30)를 생성하는 엔코더(600)를 포함할 수 있다.
- <79> 도 7은 도 3의 엔코더의 상세 회로도이다.
- <80> 도 3 내지 도 7을 참조하면, 상기 엔코더(600)는, 디지털 제어신호를 상위 비트와 하위 비트로 구분하고, 상기 디지털 제어신호의 상위 비트를 이용하여 상기 제1 스위칭 신호(SS10), 상기 제2 스위칭 신호(SS20) 및 상기 뱅크 선택신호(BSS)를 생성하고, 하위 비트를 이용하여 상기 제3 스위칭신호(SS30)를 생성할 수 있다.
- <81> 보다 구체적으로는, 상기 엔코더(600)는, 디지털 제어신호를 상위 비트와 하위 비트로 구분하고, 상기 디지털 제어신호의 상위 비트를 이용하여 상기 제1 스위칭 신호, 상기 제2 스위칭 신호 및 상기 뱅크 선택신호를 생성하고, 하위 비트를 이용하여 상기 제3 스위칭신호를 생성할 수 있다.
- <82> 도 7을 참조하면, 상기 엔코더(600)는, 상기 디지털 제어신호가 6비트로 이루어지고, 6비트중 상위 2비트를 이용하여 3비트의 제1 스위칭 신호(SS10)를 제공하는 제1 엔코딩부(610)와, 상기 디지털 제어신호중 상위 2비트를 이용하여 3비트의 제2 스위칭 신호(SS20)를 제공하는 제2 엔코딩부(620)와, 상기 디지털 제어신호중 상위 2비트를 이용하여 4비트의 뱅크 선택신호(BSS)를 제공하는 제3 엔코딩부(630)를 포함할 수 있다.
- <83> 구체적인 구현 형태를 보면, 상기 제1 엔코딩부(610)는, 상기 디지털 제어신호의 상위 2비트(D5,D4)를 이용하여 제1 신호(SS1-1), 제2 신호(SS1-2) 및 제3 신호(SS1-3)를 포함하는 제1 스위칭신호(SS10)를 출력한다. 이때, 상기 제1 엔코딩부(610)는, 상기 디지털 제어신호의 상위 2비트(D5,D4)를 논리합하여 상기 제1 스위칭신호(SS10)의 제1 신호(SS1-1)를 제공하는 오아 게이트(611)와, 상기 디지털 제어신호의 상위 2비트(D5,D4)를 논리곱하여 상기 제1 스위칭신호(SS10)의 제3 신호(SS1-3)를 제공하는 앤드 게이트(612)를 포함하며, 상기 디지털 제어신호의 상위 2비트중 최상위 비트(D5)를 상기 제1 스위칭신호(SS10)의 제2 신호(SS1-2)를 제공한다.
- <84> 또한, 상기 제2 엔코딩부(620)는, 상기 디지털 제어신호의 상위 2비트(D5,D4)를 이용하여 제1 신호

(SS2-1), 제2 신호(SS2-2) 및 제3 신호(SS1-3)를 포하하는 제2 스위칭신호(SS20)를 출력한다. 이때, 상기 제2 인코딩부(620)는, 상기 디지털 제어신호의 상위 2비트(D5,D4)를 논리합하여 제2 스위칭신호(SS20)의 제1 신호(SS2-1)를 제공하는 오아 게이트(621)와, 상기 디지털 제어신호의 상위 2비트(D5,D4)를 논리곱하여 제2 스위칭신호(SS20)의 제3 신호(SS1-3)를 제공하는 앤드 게이트(612)를 포함하며, 상기 디지털 제어신호의 상위 2비트중 최상위 비트(D5)를 제2 스위칭신호(SS20)의 제2 신호(SS2-2)를 제공한다.

<85> 상기 제3 인코딩부(630)는, 상기 디지털 제어신호의 상위 2비트중 최상위 비트(D5)를 인버트하는 제1 인버터(INT1)와, 상기 디지털 제어신호의 상위 2비트중 두 번째 상위비트(D4)를 인버트하는 제2 인버터(INT2)와, 상기 제1 및 제2 인버터(INT1,INT2)의 두 출력을 논리곱하여 제1 신호(BS1)를 출력하는 제1 앤드 게이트(631)와, 상기 제1 인버터(INT)의 출력과 상기 디지털 제어신호의 상위 2비트중 두 번째 상위비트(D4)를 논리곱하여 제2 신호(BS2)를 출력하는 제2 앤드 게이트(632)와, 상기 디지털 제어신호의 상위 2비트중 최상위 비트(D5)와 상기 제2 인버터(INT2)의 출력을 논리곱하여 제3 신호(BS3)를 출력하는 제3 앤드 게이트(633)와, 상기 디지털 제어신호의 상위 2비트중 최상위 비트(D5)와 상기 디지털 제어신호의 상위 2비트중 두 번째 상위 비트(D4)를 논리곱하여 제4 신호(BS4)를 출력하는 제4 앤드 게이트(634)를 포함한다.

<86> 도 8은 본 발명에 따른 전압 제어 발진기의 제1 실시예를 보이는 구성도이다.

<87> 도 8을 참조하면, 상기 바랙터 뱅크부(300)는 상기 3비트의 제1 스위칭 신호(SS10)에 의해 선택되는 제1 내지 제4 스위처블 가변용량 회로(VC1-VC4)를 포함할 수 있다.

<88> 상기 서브캡 뱅크부(400)는, 상기 3비트의 제2 스위칭신호(SS20)에 의해 선택되는 제1 내지 제3 스위처블 서브 캡부(SC1~SC3)를 포함할 수 있다.

<89> 상기 2진-가중캡 뱅크부(500)는, 제1 내지 제4 커패시터 뱅크부(CB1~CB4)를 포함할 수 있고, 이때, 상기 뱅크 선택부(510)는, 상기 4비트의 뱅크 선택신호에 따라 상기 제1 내지 제4 커패시터 뱅크부(CB1~CB4)중 하나의 커패시터 뱅크부를 선택하여, 선택된 커패시터 뱅크부에 상기 6비트 디지털 제어신호중 하위 4비트를 제공할 수 있다.

<90> 도 9의 (a)는 주파수-튜닝전압 특성을 보이는 그래프로써, 이 그래프에서, 주파수 영역1~4(B1 ~B4) 각각은 상기 서브캡 뱅크부(400)에 의해 선택되는 주파수 그룹들이다. 상기 주파수 영역1~4(B1~B4) 각각은 디지털 제어신호에 의해 주파수가 선형적으로 가변되는 것을 보이고 있다.

<91> 도 9의 (b)는 주파수-디지털 제어신호 특성을 보이는 그래프로써, 이 그래프는 제어신호에 따라 주파수가 선형적으로 가변될 수 있음을 보이고 있다.

<92> 도 10은 본 발명에 따른 주파수-튜닝전압 특성 그래프이고, 도 11은 본 발명에 따른 주파수-제어 데이터 특성 그래프이다.

<93> 도 10 및 도 11에 도시된 실제 측정 결과에 따르면, 주파수가 선형적으로 가변될 수 있음을 보다 확실하게 알 수 있다.

<94> 이하, 본 발명의 작용 및 효과를 첨부한 도면에 의거하여 상세히 설명한다.

<95> 도 3 내지 도 9를 참조하여 본 발명의 전압 제어 발진기에 대해 설명하면, 먼저 도 3에서, 본 발명에 따른 전압 제어 발진기는, 교차결합 발진부(100)와, 인덕턴스부(200)와, 바랙터 뱅크부(300)와, 서브캡 뱅크부(400)와, 2진-가중캡 뱅크부(500)와, 인코더(600)를 포함한다.

<96> 도 3에서, 본 발명의 전압 제어 발진기의 전체 동작을 간단히 설명하면, 상기 인덕턴스부(200)의 인덕턴스와, 상기 바랙터 뱅크부(300), 서브캡 뱅크부(400) 및 2진-가중캡 뱅크부(500)에 의해 결정되는 전체 커패시턴스에 의해 공진 주파수가 결정되며, 이러한 공진 주파수를 갖는 공진 신호는 상기 교차결합 발진부(100)에 의한 발진 이득에 의해 발진되어 발진 신호가 생성된다.

<97> 이때, 상기 바랙터 뱅크부(300), 서브캡 뱅크부(400) 및 2진-가중캡 뱅크부(500)에 의해 결정되는 커패시턴스는 상기 인코더(600)로부터의 제1, 제2 및 제3 스위칭신호(SS10,SS20,SS30)와 뱅크 선택신호(BSS)에 따라 결정된다.

<98> 상기 교차결합 발진부(100)에 대해 간단히 설명하면, 상기 교차결합 발진부(100)는, 상기 공진 신호에 발진에 필요한 발진 이득을 제공하는 회로로서, 이는 전원(Vdd) 또는 접지측에 연결되는 하나의 발진부를 포함할 수 있으나, 충분한 발진 이득을 제공하기 위해서, 전원측에 연결된 제1 발진부(110)와 접지측에 연결된 제2

발진부(120)를 포함할 수 있다.

- <99> 이때, 상기 제1 발진부(110)는, 게이트-드레인 교차 결합된 PMOS 트랜지스터 쌍(MP1,MP2)으로 이루어지고, 상기 제2 발진부(120)는 게이트-드레인 교차 결합된 NMOS 트랜지스터 쌍(MN1,MN2)으로 이루어진다.
- <100> 이러한 발진을 위해, 상기 인덕턴스부(200)에 의한 인덕턴스와 상기 바랙터 뱅크부(300), 서브캡 뱅크부(400) 및 2진-가중캡 뱅크부(500)에 의해 결정되는 커패시턴스에 의해 공진 신호는 생성되며, 이 공진신호는 상기 커패시턴스의 가변에 따라 가변되는 공진 주파수를 갖는다.
- <101> 먼저, 도 3 및 도 4를 참조하면, 상기 바랙터 뱅크부(300)는, 상기 인덕턴스부(200)에 병렬로 연결되고 기설정된 바랙터 커패시턴스(Cvar)를 갖는 복수의 스위처블 가변용량 회로(VC1~VCn)를 포함한다. 상기 복수의 스위처블 가변용량 회로(VC1~VCn)중 적어도 하나가 제1 스위칭신호(SS10)에 의해 선택되어 튜닝전압(VT)에 따라 가변되는 바랙터 커패시턴스(Cvar)를 제공한다.
- <102> 상기 복수의 스위처블 가변용량 회로(VC1~VCn) 각각은, 상기 제1 스위칭신호(SS10)에 의해 선택되고, 이와같이 선택된 스위처블 가변용량 회로는, 상기 튜닝전압(VT)에 따라 바랙터 다이오드의 바랙터 커패시턴스(Cvar)가 가변된다.
- <103> 구체적으로는, 도 4에 도시한 바와 같이, 상기 복수의 스위처블 가변용량 회로(VC1~VCn) 각각이 서로 직렬로 캐소드 공통으로 연결되고 상기 튜닝전압(VT)에 의해 용량 가변되는 2개의 바랙터 다이오드와, 상기 2개의 바랙터 다이오드의 연결 노드와 상기 튜닝전압(VT) 사이에 연결되어, 상기 제1 스위칭신호(SS10)에 따라 상기 튜닝전압(VT)을 상기 2개의 바랙터 다이오드의 연결 노드에 공급하는 스위처를 포함한다.
- <104> 이와 같이 구성되는 경우, 상기 제1 스위칭신호(SS10)에 따라 상기 튜닝전압(VT)과 상기 복수의 스위처블 가변용량 회로(VC1~VCn)중 적어도 하나가 연결되고, 이와같이 연결된 스위처블 가변용량 회로의 바랙터 다이오드는 상기 튜닝전압(VT)에 따라 가변되는 바랙터 커패시턴스를 제공한다.
- <105>
- <106> 다음, 도 3 내지 도 5를 참조하면, 상기 서브캡 뱅크부(400)의 복수의 스위처블 서브 캡부(SC1~SCn) 각각은 제2 스위칭신호(SS20)에 의해 스위칭 온/오프되고, 이에 따라 스위칭 온된 스위처블 서브 캡부의 서브 커패시턴스(Csub)가 제공된다.
- <107> 도 5를 참조하면, 상기 복수의 스위처블 서브 캡부(SC1~SCn) 각각은, 서로 직렬로 연결된 2개의 커패시터와, 상기 2개의 커패시터 사이에 직렬로 연결되어, 상기 제2 스위칭신호(SS20)에 따라 스위칭되는 스위처를 포함할 수 있다.
- <108> 이때, 상기 제2 스위칭신호(SS20)에 따라 상기 복수의 스위처블 서브 캡부(SC1~SCn) 각각의 스위치가 스위칭 온 또는 오프되며, 스위칭온된 스위처블 서브 캡부의 커패시터에 의해서 서브 커패시턴스(Csub)가 결정된다.
- <109> 그 다음, 도 3 내지 도 6을 참조하면, 상기 2진-가중캡 뱅크부(500)의 뱅크 선택부(510)는, 상기 복수의 커패시터 뱅크부(CB1~CBn)중 뱅크 선택신호(BSS)에 따라 하나의 커패시터 뱅크부를 선택한다. 상기 뱅크 선택부(510)에 의해 선택된 하나의 커패시터 뱅크부는, 복수의 스위처블 가중치 캡부(WC1~WCn)를 포함한다.
- <110> 이때, 상기 복수의 스위처블 가중치 캡부(WC1~WCn) 각각은, 서로 직렬로 연결된 2개의 커패시터와, 상기 2개의 커패시터 사이에 직렬로 연결되어, 상기 제3 스위칭신호(SS30)에 따라 스위칭되는 스위처를 포함한다.
- <111> 따라서, 상기 복수의 스위처블 가중치 캡부(WC1~WCn) 각각은 제3 스위칭신호(SS30)에 의해 각 스위치가 스위칭 온/오프되므로, 이에 따라 스위칭 온된 스위치가 포함된 스위처블 가중치 캡부는 내부 커패시터에 의해 결정되는 가중치 커패시턴스(Cwt)를 제공한다.
- <112> 전술한 바와 같은 본 발명의 광대역 전압 제어 발진기에서, 상기 바랙터 뱅크부(300)의 바랙터 커패시턴스(Cvar)의 가변 비율은, 상기 서브캡 뱅크부(400)의 서브 커패시턴스(Csub)와 상기 2진-가중캡 뱅크부(500)의 가중치 커패시턴스(Cwt)의 전체 가변 비율과 동일하게 설정될 수 있다.
- <113> 이에 따라, 본 발명의 광대역 전압 제어 발진기는, 대략 800MHz 내지 2.0GHz 정도의 주파수범위에 해당되는 광대역에 걸쳐 일정한 주파수의 가변 기울기를 유지할 수 있게 된다.
- <114> 한편, 상기 광대역 전압제어 발진기의 엔코더(600)는, 도 3에 도시한 바와같이, 디지털 제어 신호를 이

용하여 상기 제1 스위칭신호(SS10), 상기 제2 스위칭신호(SS20), 상기 बैं크 선택신호(BSS) 및 상기 제3 스위칭신호(SS30)를 생성한다. 이에 대해 도 7을 참조하여 설명한다.

<115> 도 3 및 도 7을 참조하면, 상기 엔코더(600)는, 디지털 제어신호를 상위 비트와 하위 비트로 구분하고, 상기 디지털 제어신호의 상위 비트를 이용하여 상기 제1 스위칭신호(SS10), 상기 제2 스위칭신호(SS20) 및 상기 बैं크 선택신호(BSS)를 생성하고, 하위 비트를 이용하여 상기 제3 스위칭신호(SS30)를 생성할 수 있으며, 이에 대해 구체적으로 설명한다.

<116> 도 7을 참조하면, 상기 엔코더(600)의 제1 엔코딩부(610), 제2 엔코딩부(620) 및 제3 엔코딩부(630)를 포함하는 경우, 상기 제1 엔코딩부(610)는, 상기 디지털 제어신호가 6비트로 이루어지고, 6비트중 상위 2비트를 이용하여 3비트의 제1 스위칭신호(SS10)를 제공한다. 상기 제2 엔코딩부(620)는, 상기 디지털 제어신호중 상위 2비트를 이용하여 3비트의 제2 스위칭신호(SS20)를 제공한다. 그리고, 상기 제3 엔코딩부(630)는, 상기 디지털 제어신호중 상위 2비트를 이용하여 4비트의 बैं크 선택신호(BSS)를 제공한다.

<117> 이는 도 7에 도시한 바와같이, 상기 제1 엔코딩부(610), 제2 엔코딩부(620) 및 제3 엔코딩부(630)가 구현될 수 있다.

<118> 도 7 및 도 8을 참조하면, 본 발명의 실시예에 대해 설명하면, 본 발명의 실시예에서는, 상기 디지털 제어신호가 6비트(D5,D4,D3,D2,D1,D0)인 경우, 상기 엔코더(600)의 제1 엔코딩부(610)는, 상기 6비트의 디지털 제어신호중 상위 2비트(D5,D4)를 이용하여 3비트의 제1 스위칭신호(SS1-1,SS1-2,SS1-3)(SS10)를 제공한다.

<119> 또한, 도 7을 참조하면, 상기 제2 엔코딩부(620)는, 상기 6비트의 디지털 제어신호중 상위 2비트(D5,D4)를 이용하여 3비트의 제2 스위칭신호(SS2-1,SS2-2,SS2-3)(SS20)를 제공한다.

<120> 그리고, 상기 제3 엔코딩부(630)는, 상기 6비트 디지털 제어신호중 상위 2비트(D5,D4)를 이용하여 4비트의 बैं크 선택신호(BS1,BS2,BS3,BS4)(BSS)를 제공한다.

<121> 이후, 도 8을 참조하면, 상기 3비트의 제1 스위칭신호(SS1-1,SS1-2,SS1-3)(SS10)에 따라, 상기 바랙터 बैं크부(300)의 제1 내지 제4 스위처블 가변용량 회로(VC1-VC4)중 적어도 하나가 선택된다. 이와같이 선택된 스위처블 가변용량 회로의 바랙터 다이오드는 튜닝전압(VT)에 따라 가변되는 바랙터 커패시턴스(Cvar)를 제공한다.

<122> 또한, 도 8을 참조하면, 상기 3비트의 제2 스위칭신호(SS2-1,SS2-2,SS2-3)(SS20)에 따라, 상기 서브캡 बैं크부(400)의 제1 내지 제3 스위처블 서브캡부(SC1-SC3)가 스위칭된다. 이때, 스위칭온된 스위치를 포함하는 스위처블 서브캡부는 내부 커패시터에 의해 결정되는 서브 커패시턴스를 제공한다.

<123> 그리고, 도 8을 참조하면, 상기 2진-가중캡 बैं크부(500)의 제1 내지 제4 커패시터 बैं크부(CB1-CB4)와 बैं크 선택부(510)를 포함하고, 상기 बैं크 선택부(510)는, 상기 4비트의 बैं크 선택신호(BS1,BS2,BS3,BS4)(BSS)에 따라 상기 6비트의 디지털 제어신호중 하위 4비트로 이루어진 제3 스위칭신호(D3,D2,D1,D0)(SS30)를 상기 제1 내지 제4 커패시터 बैं크부(CB1-CB4)중 하나의 커패시터 बैं크부에 전달한다. 이에 따라, 상기 제3 스위칭신호(D3,D2,D1,D0)(SS30)를 전달받은 커패시터 बैं크부의 제1 내지 제4 스위처블 가중치 캡부(WC1-WC4)중 적어도 하나가 상기 제3 스위칭신호(D3,D2,D1,D0)(SS30)에 의해 선택되고, 이와같이 선택된 스위처블 가중치 캡부의 커패시터에 의해 결정된 가중치 커패시턴스(Cwt)를 제공한다.

<124> 전술한 바와같은 본 발명의 전압 제어 발진기에서, 발진이득(Kvco)과 제어신호에 따른 주파수 변화량 보상기술을 간단히 설명한다.

<125> 앞서 설명했던 디지털 제어신호에 따른 주파수 변화량을 선형적으로 유지하기 위해서는 이론적으로 커패시터 बैं크의 가중치를 하기 수학적 4와 같이 설계하여야 한다.

수학적 4

$$fc = \frac{1}{2\pi\sqrt{LT \cdot \{Cvar + (2^{2n} \cdot Cunit)\}}}$$

<127> 여기서, Cvar은 바랙터 커패시턴스이고, 2n은 상기 서브캡 बैं크부(400)와 2진-가중캡 बैं크부(500)에서 커패시터가 2개씩 배열된 형태에 해당되는 항목이고, Cunit은 상기 서브캡 बैं크부(400)와 2진-가중캡 बैं크부(500)의 단위 커패시턴스이다.

<128> 상기 수학적 식 4에서, 상기 바랙터 커패시턴스(Cvar)가 무시할 만큼 작다고 가정하면, 발진주파수는 $2^{2n} \cdot \text{Cunit}$ 의 값에 따라 변하게 되므로, 디지털 제어 신호에 따른 주파수 변화량이 일정한 간격을 유지하게 된다.

<129> 예를 들어 디지털 제어 코드를 6비트로 설정할 경우, 튜닝전압(VT)에 따른 주파수의 커브가 64개가 되므로, 상기 서브캡 बैं크부(400)와 2진-가중캡 बैं크부(500)의 단위 커패시터의 개수는 1, 4, 16, 64, 256, 1024, ...로 변하게 된다. 이렇게 되면 그에 따른 발진주파수 fc는 1, 0.5, 0.25, 0.125, ...등과 같이 선형적으로 변하게 된다.

<130> 하지만 이러한 커패시터의 크기는 최소와 최대 크기의 차이가 실제 구현이 불가능할 만큼 크기 때문에 상기 수학적 식 4와 같은 구현은 사실상 불가능하다.

<131> 본 발명에서는, 도 8 및 도 9의 (a)에 도시한 바와같이, 커패시터 बैं크를 몇 개의 주파수 영역1~4(예, B1, B2, B3, B4)로 나누고, 각 주파수 영역마다 주파수의 변화량이 일정하도록 단위 커패시턴스를 적절한 값으로 설정함으로써 허용 범위 내에서 발진이득(Kvco)을 거의 일정하게 유지할 수 있게 하였다. 이를 하기 수학적 식 5와 같이 표현 할 수 있다.

수학적 식 5

<132>
$$f_{c,n} = \frac{1}{2\pi\sqrt{LT \cdot \{Cvar + Cbn\}}}$$

<133> 상기 수학적 식 5에서, 상기 서브캡 बैं크부(400)와 2진-가중캡 बैं크부(500)의 각 주파수 영역을 B1~B4의 4개 영역으로 나누는 경우, 디지털 제어 신호가 커질수록 주파수가 높아진다고 하면, 주파수 영역1(B1)에서는 48~63, 주파수 영역2(B2)는 32~47, 주파수 영역3(B3)은 16~31, 그리고 주파수 영역4(B4)는 0~15까지의 제어비트가 할당될 수 있다. 여기서, n은 0에서 15까지의 값을 가지며, NB1, NB2, NB3은 누적형 3 비트 커패시터 बैं크로서 각각 16, 24, 32의 값을 가지고 있다.

<134> 또한, 상기 수학적 식 5와 같이 상기 서브캡 बैं크부(400)와 2진-가중캡 बैं크부(500)를 설계하면 디지털 제어 신호에 따른 주파수 변화량을 선형적으로 만들 수 있다.

<135> 하지만, 상기 바랙터 커패시턴스(Cvar)가 고정되어 있으므로, 발진이득(Kvco)은 여전히 발진 주파수에 따라 크게 변하게 된다. 이와 같은 발진이득(Kvco)의 변화를 각각의 B1~4의 영역에 맞춰 일정한 값을 유지하기 위해서 바랙터의 값도 적절한 크기로 변화하도록 구성하여야 하며, 이에 따라 상기 수학적 식 5를 다시 정리하면 하기 수학적 식 6과 같이 된다.

수학적 식 6

<136>
$$f_c = \frac{1}{2\pi\sqrt{LT \cdot Cbn}}$$

<137> 여기서, $Cb1 = (1 \cdot Cvar) + n \cdot \text{Cunit}$,

<138> $Cb2 = (1.5 \cdot Cvar) + (1.5 \cdot n + NB1) \cdot \text{Cunit}$,

<139> $Cb3 = (2 \cdot Cvar) + (2 \cdot n + (NB1 + NB2)) \cdot \text{Cunit}$,

<140> $Cb4 = (3 \cdot Cvar) + (3 \cdot n + (NB1 + NB2 + NB3)) \cdot \text{Cunit}$,

<141> 도 9의 (a)는 주파수-튜닝전압 특성을 보이는 그래프로서, 이 그래프에서, B1 내지 B4는 상기 서브캡 बैं크부(400)에 의해 선택되는 주파수 그룹이다. 상기 B1 내지 B4 각각은 디지털 제어신호에 의해 주파수가 선형적으로 가변되는 것을 보이고 있다. 즉, 도 9의 (a)는 상기 수학적 식 6을 모든 디지털 제어신호의 비트에 대해서 바랙터 제어전압에 따른 주파수로 나타낸 것이다.

<142> 도 9의 (b)는 주파수-디지털 제어신호 특성을 보이는 그래프로서, 이 그래프는 제어신호에 따라 주파수가 선형적으로 가변될 수 있음을 보이고 있다. 즉, 도 9의 (b)는 튜닝전압(VT)을 고정시켰을 때 디지털 제어신호에 대한 발진 주파수를 나타낸 것이다.

<143> 도 9의 (a) 및 (b)에서 알 수 있듯이, 모든 디지털 제어신호에 대해서 발진이득(Kvco)이 거의 일정하게

유지되고 있으며, 디지털 제어 신호에 따른 주파수 변화량도 선형적으로 증가하는 것을 알 수 있다.

<144> 전술한 바와같은 본 발명의 전압 제어 발진기에서, B1~B4의 영역 선택을 위한 3비트의 서브캡 뱅크부(400)는 16, 24, 32개의 단위 커패시터로 구성되며, 주파수가 낮아지면서 B1영역은 0개의 단위 커패시터, B2영역은 16개, B3영역은 40개(16+24), B4영역은 72개(16+24+32)의 단위 커패시터가 선택된다.

<145> 상기 바랙터 뱅크부(300)는 각 영역에 대한 4비트 커패시터 뱅크의 크기에 따라 같은 비율로 B1영역부터 B4영역까지 각각 단위 바랙터 커패시턴스의 1배, 1.5배, 2배, 3배의 크기로 변하게 된다. 따라서, 4비트 커패시터 뱅크는 B1 영역에서는 1, 2, 4, 8의 가중치를 가지고 있고, B2 영역은 1.5, 3, 6, 12의 가중치를, B3 영역은 2, 4, 8, 16의 가중치를 가지며, 그리고 B4 영역에서는 3, 6, 12, 24의 가중치를 갖도록 설계하였다. 이것은 바랙터 뱅크의 커패시턴스와 서브캡 뱅크부, 2진-가중캡 뱅크부의 전체 커패시턴스의 비율을 B1에서 B4영역에 대해서 일정하게 유지해야 하기 때문에 4비트 2진 가중치를 가지고 있는 커패시터 뱅크의 단위 커패시턴스의 비율이 1배, 1.5배, 2배, 3배의 크기로 변하게 하는 것이 중요하다.

<146> 예를 들어, 도 7 및 도 8에 도시한 바와같이, 상기 바랙터 뱅크부(300), 상기 서브캡 뱅크부(400)와 2진-가중캡 뱅크부(500)에 있어서, 상기 바랙터 뱅크부(300)는, 4개의 제1 내지 제4 스위처블 가변용량 회로(VC1~VC4)를 포함하고, 상기 서브캡 뱅크부(400)는 3개의 제1 내지 제3 스위처블 서브 캡부(SC1~SC3)를 포함하고, 상기 2진-가중캡 뱅크부(500)는, 4개의 제1 내지 제4 커패시터 뱅크부(CB1~CB4)를 포함하는 경우에 대해서, 도 7에 도시한 바와같이 6비트의 디지털 제어신호(D5,D4)가 상기 엔코더(600)에 의해 각각 제1 스위칭신호(SS10), 제2 스위칭신호(SS20) 및 뱅크 선택신호(BSS)로 인코딩 되는 경우에, 커패시턴스 소자가 선택되는 예를 보이면 하기 표 1과 같다.

표 1

영역	제어신호		SS10				SS20			BSS			
	D5	D4	항시온 (VC1)	SS1-1 (VC2)	SS1-2 (VC3)	SS-3 (VC4)	SS2-1 (SC1)	SS2-2 (SC2)	SS2-3 (SC3)	B1 (CB1)	B2 (CB2)	B3 (CB3)	B4 (CB4)
B1	0	0	1	0	0	0	0	0	0	1	0	0	0
B2	0	1	1	1	0	0	1	0	0	0	1	0	0
B3	1	0	1	1	1	0	1	1	0	0	0	1	0
B4	1	1	1	1	1	1	1	1	1	0	0	0	1

<148> 상기 표 1에서, 각 신호의 괄호안에는 해당 신호에 의해 스위칭되는 해당 소자를 의미하고, 영역은 B1 내지 B4는 전술한 바와같이, 도 9의 (a)에 도시된 주파수 영역을 의미하며, 각 스위칭 신호에 따라 선택되는 영역을 알 수 있다.

<149> 또한, 상기 표1에서 보인 바와같이, 상기 뱅크 선택신호(BSS)에 의해 선택된 제1 내지 제4 커패시터 뱅크부(CB1~CB4)중의 하나의 커패시터 뱅크부에 도 7에 도시한 바와같이, 제3 스위칭 신호(SS30)의 신호들(D3,D2,D1,D0)이 제공되어, 하나의 커패시터 뱅크부에 포함되어 있는 커패시터가 상기 제3 스위칭 신호(SS30)에 의해 선택된다.

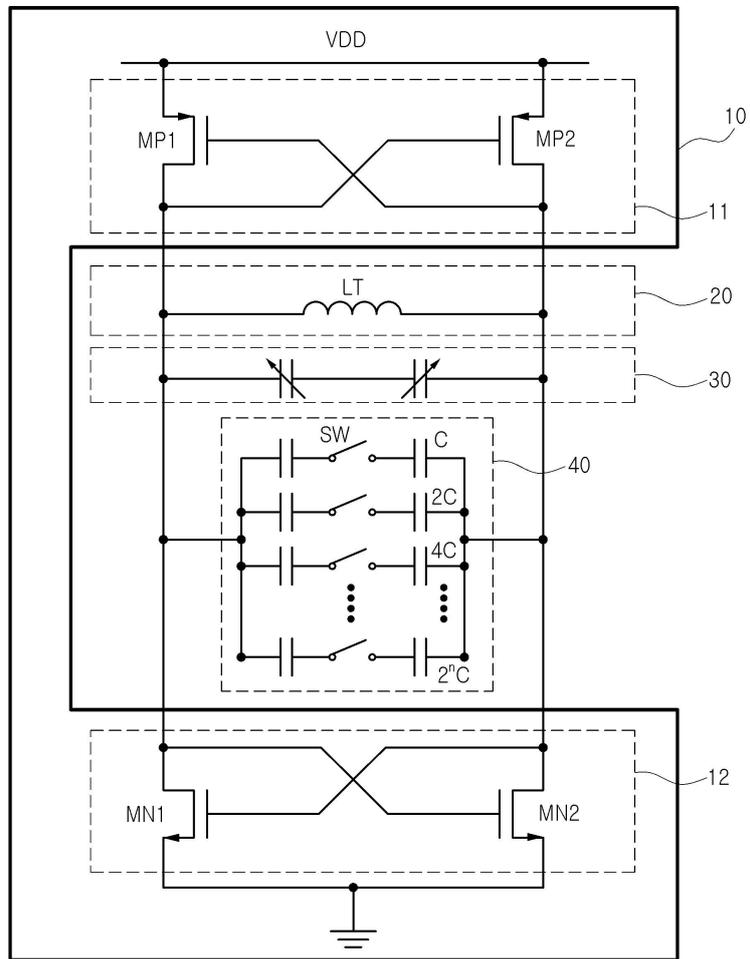
<150> 이와같이, 본 발명의 디지털 제어신호에 따라 커패시턴스를 선형적으로 가변할 수 있는 것은, 상기 수학적 식 6에 이론적인 근거하에, 상기 표 1에 보인 바와같은 각 뱅크의 커패시턴스 소자를 스위칭할 수 있는 것에 의한다.

<151> 또한, 도 9의 (a)에서, 디지털 제어 신호가 "000000"에서 "111111"까지 변할 때, 튜닝전압(VT)에 따른 발진주파수의 시뮬레이션 결과이다. 시뮬레이션 결과에서 알 수 있듯이 발진이득(Kvco)이 거의 일정하게 유지되고 있다. 전체 PLL 시스템에서 전압 제어 발진기의 커패시터 뱅크의 디지털 비트를 자동으로 설정해줄 때 튜닝전압(VT)을 0.9V로 설정하는 것이 일반적인 설계 방식이기 때문에 튜닝전압(VT)이 0.9V일때의 디지털 제어 신호에 따른 주파수 차이가 중요하게 된다.

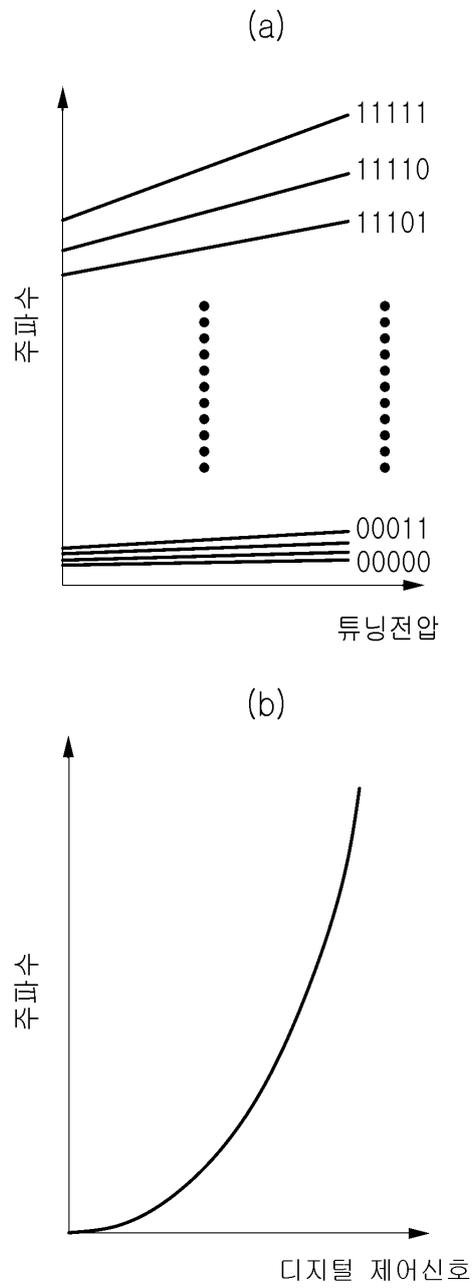
<152> 도 9의 (a)에서, 3비트 서브캡 뱅크부(400)가 한 영역에서 다른 영역으로 변할 때, 주파수 변화량이 튜닝전압(VT)에 따라 변하게 되지만, 도 9의 (b), 도 10 및 도 11에 보인 바와같이 튜닝전압(VT)이 0.9V일 때 주파수 변화 차를 거의 일정하게 유지되므로 실제 설계에 적용하는데 제약은 없게 된다.

도면

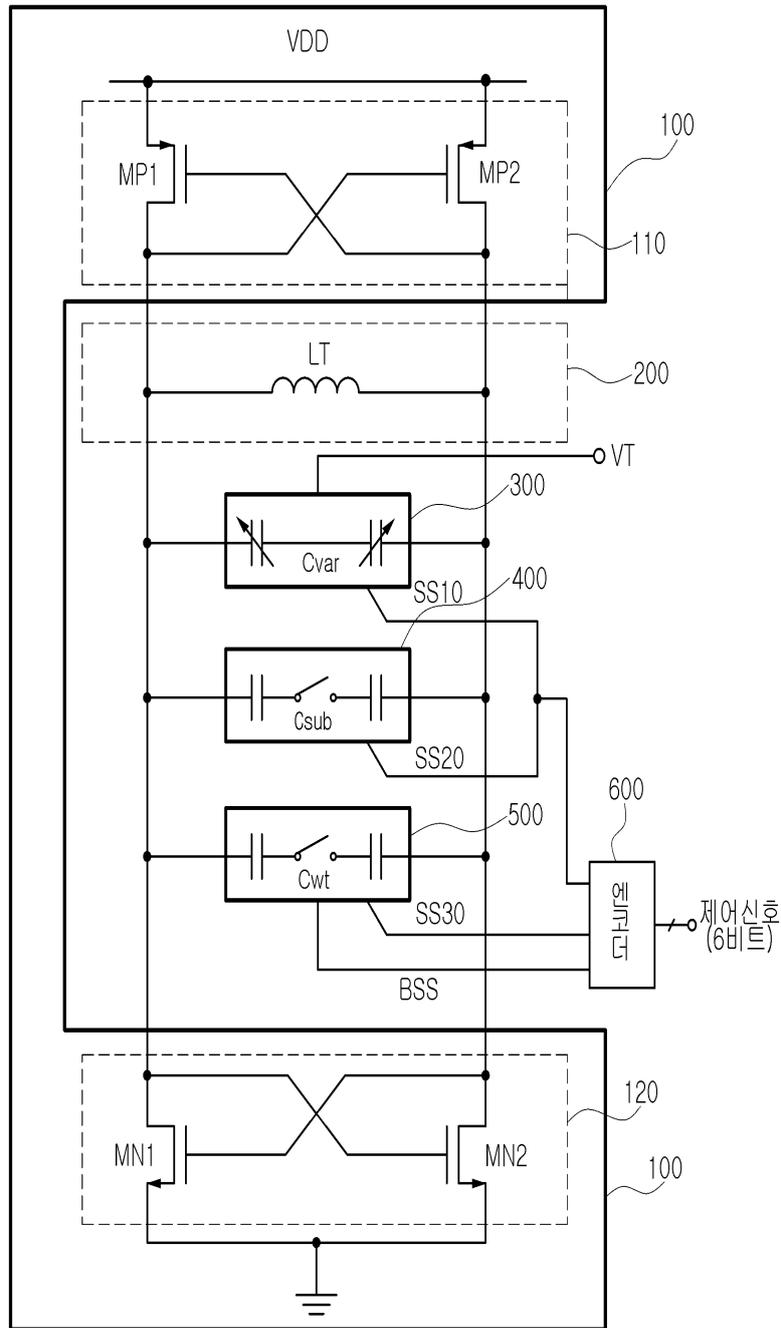
도면1



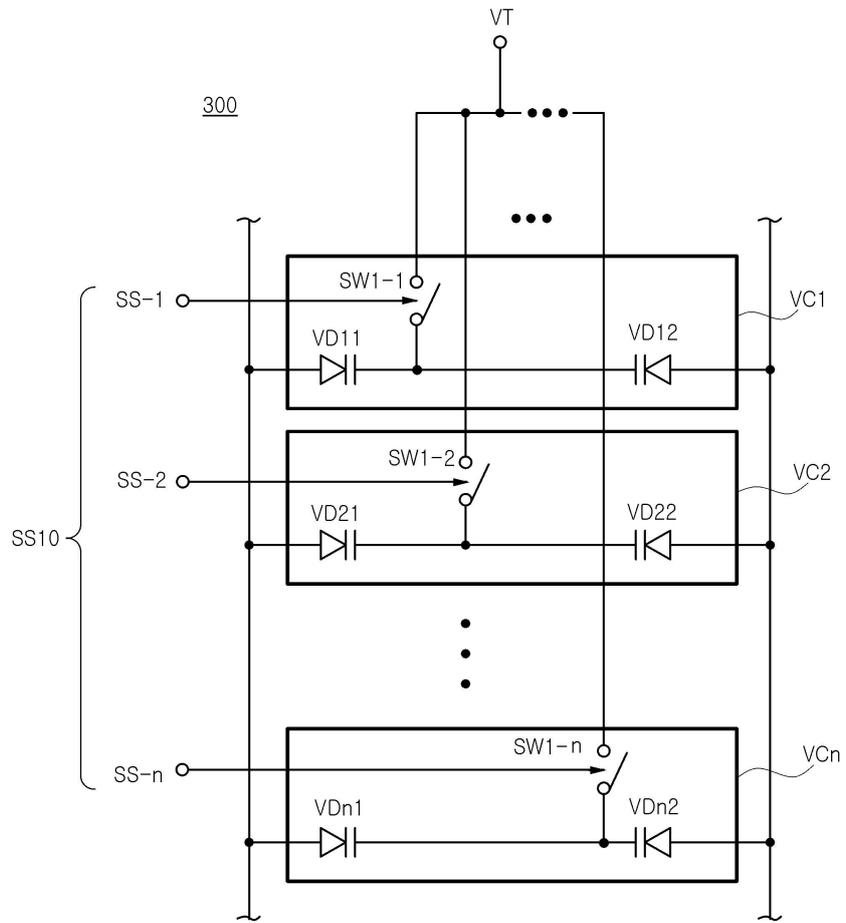
도면2



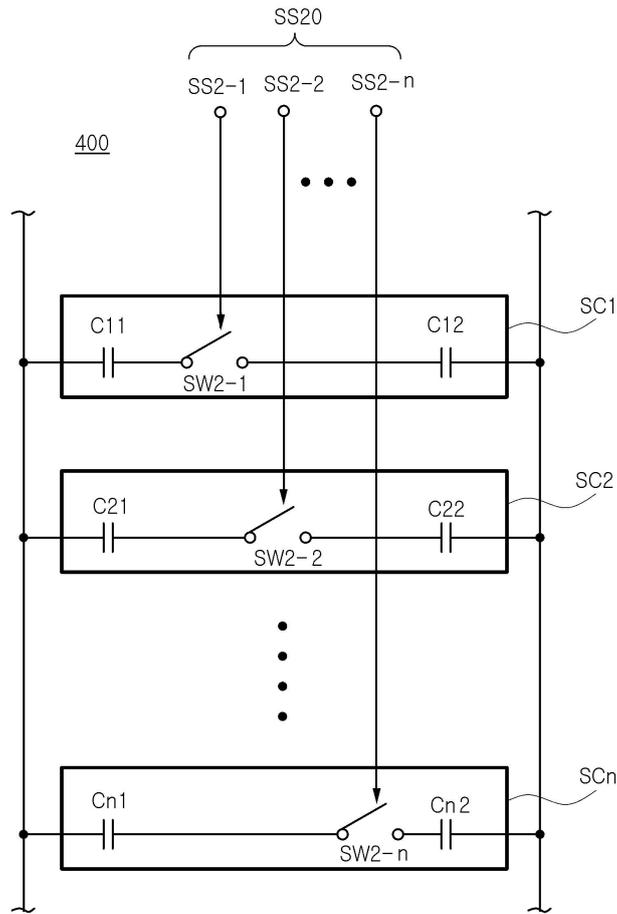
도면3



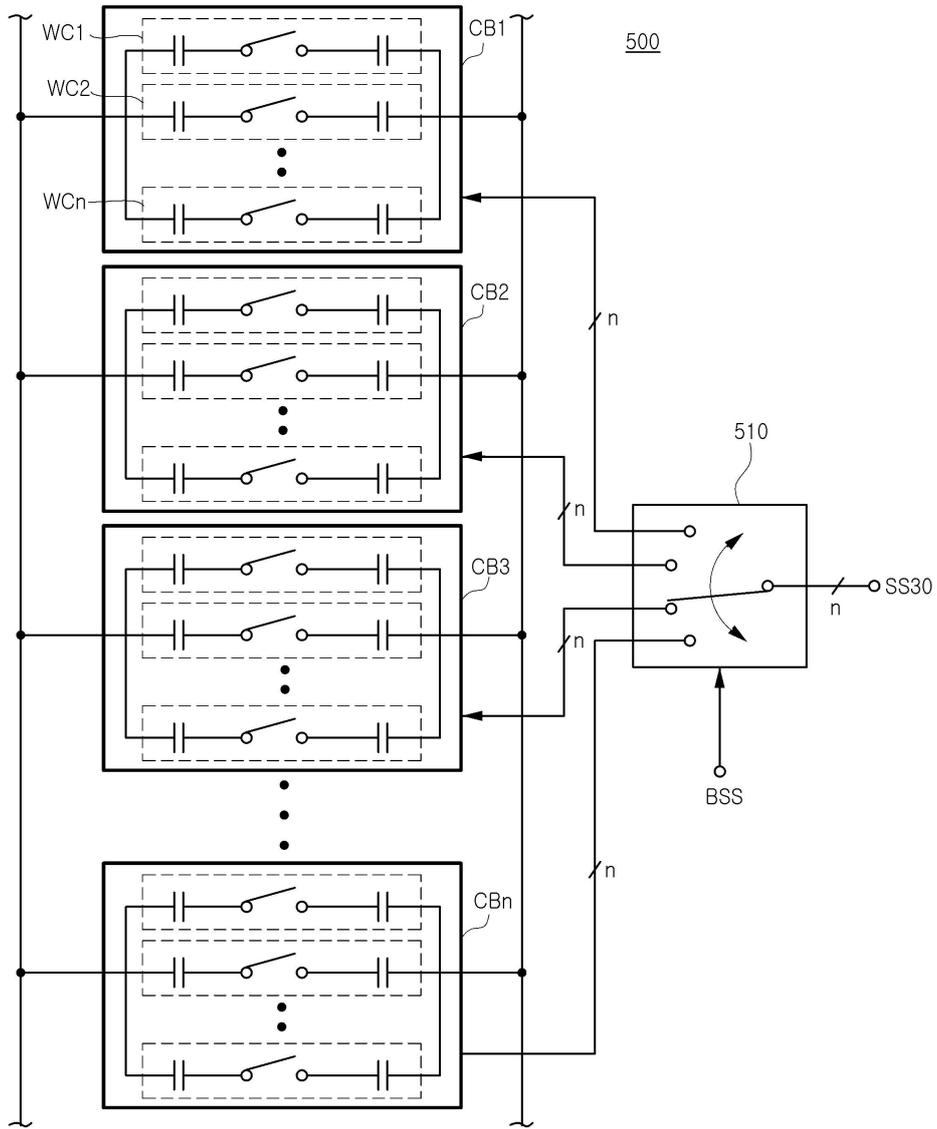
도면4



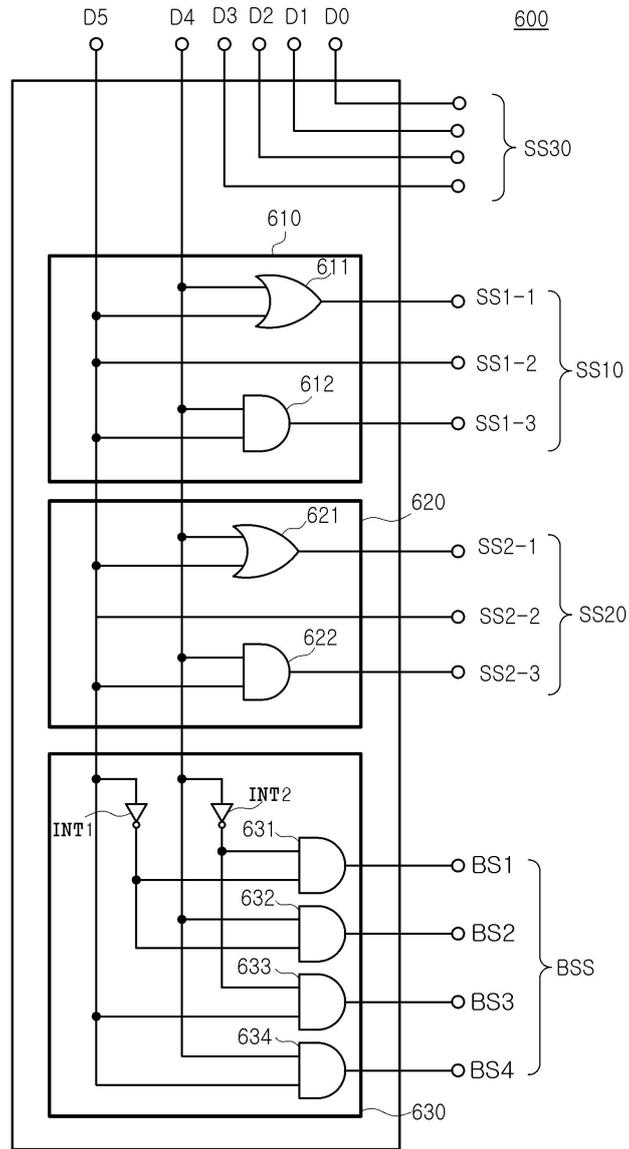
도면5



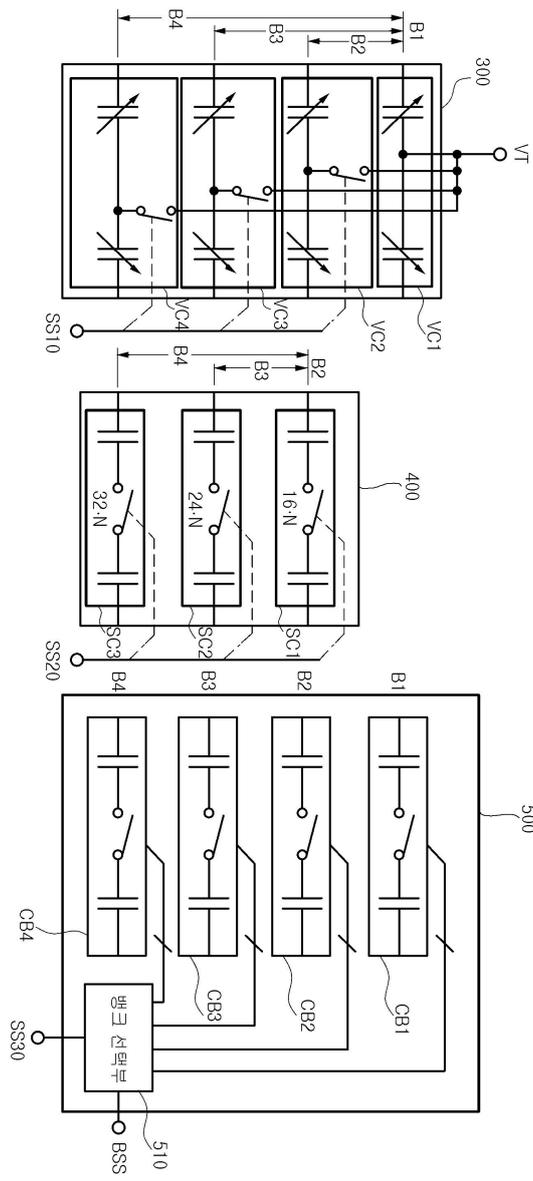
도면6



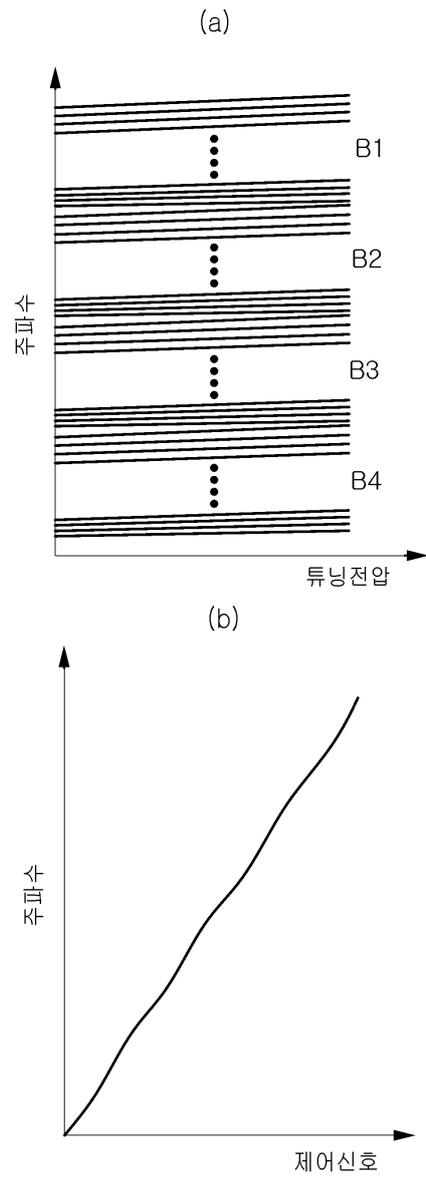
도면7



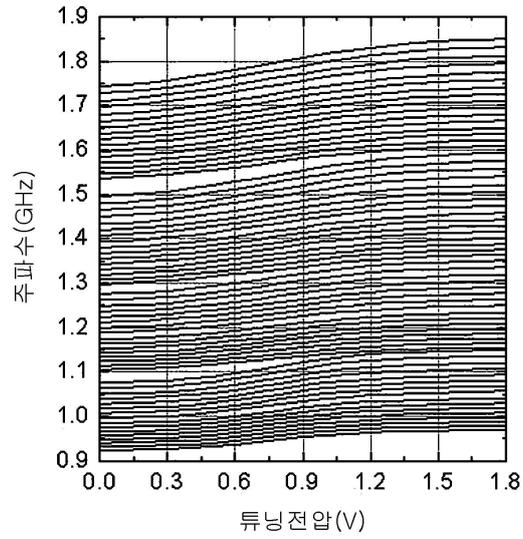
도면8



도면9



도면10



도면11

