



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201725865 A

(43) 公開日：中華民國 106 (2017) 年 07 月 16 日

(21) 申請案號：106100290 (22) 申請日：中華民國 106 (2017) 年 01 月 05 日
 (51) Int. Cl. : *H03L7/085 (2006.01)* *H03L7/099 (2006.01)*
 (30) 優先權：2016/01/08 美國 14/991,898
 (71) 申請人：三星顯示器有限公司 (南韓) SAMSUNG DISPLAY CO., LTD. (KR)
 南韓
 (72) 發明人：黑克麥特 莫哈瑪德 HEKMAT, MOHAMMAD (IR)；卡瑪利 加利爾 KAMALI,
 JALIL (US)
 (74) 代理人：陳翠華
 申請實體審查：無 申請專利範圍項數：20 項 圖式數：10 共 34 頁

(54) 名稱

使用具可調整延遲之線性相位頻率偵測器之分數型鎖相迴路

A FRACTIONAL PLL USING A LINEAR PFD WITH ADJUSTABLE DELAY

(57) 摘要

本發明提供一種鎖相迴路。該鎖相迴路包含一壓控振盪器及一相位頻率偵測器，該壓控振盪器具有：一控制輸入；以及一時脈輸出，該相位頻率偵測器具有：一參考時脈輸入；一回饋時脈輸入；一上輸出，用以處於一設定狀態或一重設狀態；以及一下輸出，用以處於一設定狀態或一重設狀態。該上輸出及該下輸出連接至該控制輸入。該時脈輸出連接至該回饋時脈輸入。該相位頻率偵測器包含一可調整延遲區塊，該可調整延遲區塊用以延遲下列轉變一可調整延遲時間：該上輸出自該設定狀態至該重設狀態之一轉變、及該下輸出自該設定狀態至該重設狀態之一轉變。

A phase-locked loop. The phase-locked loop includes a voltage-controlled oscillator having: a control input, and a clock output; and a phase frequency detector having: a reference clock input, a feedback clock input, an up output configured to be either in a set state or a reset state, and a down output configured to be either in a set state or a reset state. The up output and the down output are connected to the control input. The clock output is connected to the feedback clock input. The phase frequency detector includes an adjustable delay block configured to delay, by an adjustable delay time: a transition of the up output from the set state to the reset state, and a transition of the down output from the set state to the reset state.

指定代表圖：

201725865

發明摘要

※ 申請案號：106100290

※ 申請日：106/01/05

※IPC 分類：H03L 7/085 (2006.01)
H03L 7/099 (2006.01)

【發明名稱】

使用具可調整延遲之線性相位頻率偵測器之分數型鎖相迴路 /

A FRACTIONAL PLL USING A LINEAR PFD WITH ADJUSTABLE DELAY

【中文】

本發明提供一種鎖相迴路。該鎖相迴路包含一壓控振盪器及一相位頻率偵測器，該壓控振盪器具有：一控制輸入；以及一時脈輸出，該相位頻率偵測器具有：一參考時脈輸入；一回饋時脈輸入；一上輸出，用以處於一設定狀態或一重設狀態；以及一下輸出，用以處於一設定狀態或一重設狀態。該上輸出及該下輸出連接至該控制輸入。該時脈輸出連接至該回饋時脈輸入。該相位頻率偵測器包含一可調整延遲區塊，該可調整延遲區塊用以延遲下列轉變一可調整延遲時間：該上輸出自該設定狀態至該重設狀態之一轉變、及該下輸出自該設定狀態至該重設狀態之一轉變。

【英文】

A phase-locked loop. The phase-locked loop includes a voltage-controlled oscillator having: a control input, and a clock output; and a phase frequency detector having: a reference clock input, a feedback clock input, an up output configured to be either in a set state or a reset state, and a down output configured to be either in a set state or a reset state. The up output and the down

output are connected to the control input. The clock output is connected to the feedback clock input. The phase frequency detector includes an adjustable delay block configured to delay, by an adjustable delay time: a transition of the up output from the set state to the reset state, and a transition of the down output from the set state to the reset state.

【代表圖】

【本案指定代表圖】：第（6）圖。

【本代表圖之符號簡單說明】：

105 相位頻率偵測器（PFD）

110 電荷幫浦電路

115 迴路濾波器

120 壓控振盪器（VCO）

125 分頻器

600 可調整延遲區塊

610 電壓源

CK_{fb} 訊號

CK_{ref} 訊號

CK_{out} 訊號

m 整數

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

使用具可調整延遲之線性相位頻率偵測器之分數型鎖相迴路 /

A FRACTIONAL PLL USING A LINEAR PFD WITH ADJUSTABLE DELAY

【技術領域】

【0001】 根據本發明之實施例之一或多個態樣係關於鎖相迴路 (phase locked loop ; PLL)，且更具體而言，係關於一種分數型鎖相迴路，該分數型鎖相迴路具有具一可變延遲之一相位頻率偵測器 (phase frequency detector ; PFD)。

【先前技術】

【0002】 在任何通訊應用中，皆可能需要一時脈訊號。此種訊號可係使用一鎖相迴路 (PLL) 依據一參考頻率而產生。傳入參考時脈之頻率與鎖相迴路輸出之頻率間之關係可由鎖相迴路回饋路徑中之一分頻器 (divider) 之分頻比 (division ratio) 決定。在一整數N型鎖相迴路中，輸出頻率係為參考頻率之一整數倍。在此種鎖相迴路中，輸出頻率之解析度可限於參考頻率解析度之N倍。在某些應用中，可能希望達成一更精細之解析度。一種解決方案係為採用分數N型鎖相迴路，其中輸出頻率可係為參考頻率之一非整數倍。此種鎖相迴路可在回饋路徑中採用雙模式分頻器，且可需要一 $\Sigma\text{-}\Delta$ (sigma-delta) 調變器來改良因對分頻比進行調變而引起之抖動劣化 (jitter degradation)。分頻器之複雜性、其功率負擔 (power overhead) 及對一 $\Sigma\text{-}\Delta$ 調變器之必需性可能係為此種方法之缺點。

【0003】 因此，需要一種不採用一 Σ - Δ 調變器之低複雜性分數N型鎖相迴路。

【發明內容】

【0004】 根據本發明之一實施例，提供一種鎖相迴路，其包含：一壓控振盪器 (voltage-controlled oscillator)，具有一控制輸入及一時脈輸出；以及一相位頻率偵測器 (phase frequency detector)，具有：一參考時脈輸入；一回饋時脈輸入；一上輸出 (up output)，用以處於一設定狀態或一重設狀態；以及一下輸出 (down output)，用以處於一設定狀態或一重設狀態，該相位頻率偵測器之該上輸出及該下輸出可操作地連接至該壓控振盪器之該控制輸入，該壓控振盪器之該時脈輸出可操作地連接至該相位頻率偵測器之該回饋時脈輸入，該相位頻率偵測器包含一可調整延遲區塊 (adjustable delay block)，該可調整延遲區塊用以延遲下列轉變一可調整延遲時間：該上輸出自該設定狀態至該重設狀態之一轉變 (transition)；以及該下輸出自該設定狀態至該重設狀態之一轉變。

【0005】 在一個實施例中，該相位頻率偵測器包含：一第一正反器 (first flip-flop)，可操作地連接至該參考時脈輸入；一第二正反器，可操作地連接至該參考時脈輸入；該可調整延遲區塊，可操作地連接至該第一正反器及該第二正反器其中之每一者之一重設輸入；以及一及閘 (AND gate)，可操作地連接至該第一正反器及該第二正反器其中之每一者之一輸出；且該及閘之一輸出可操作地連接至該可調整延遲區塊之一輸入。

【0006】 在一個實施例中，該可調整延遲區塊包含具有一可調整頻寬之一電流模式邏輯級 (current mode logic stage)。

【0007】 在一個實施例中，該可調整延遲區塊包含一電流匱乏型反相器（current-starved inverter）。

【0008】 在一個實施例中，該可調整延遲區塊包含可操作地串聯（cascade）之第一複數個反相器。

【0009】 在一個實施例中，該第一複數個反相器其中之一反相器係為一電流匱乏型互補金屬氧化物半導體反相器。

【0010】 在一個實施例中，該可調整延遲區塊更包含具有複數個輸入之一多工器，各該輸入可操作地連接至該第一複數個反相器其中之一相應反相器之一輸出。

【0011】 在一個實施例中，該可調整延遲區塊更包含可操作地串聯之第二複數個反相器，該第二複數個反相器其中之各該反相器具有與該第一複數個反相器其中之一對應反相器不同之一傳播延遲。

【0012】 在一個實施例中，該鎖相迴路包含一開關陣列，該開關陣列中之每一開關可操作地連接於該第一複數個反相器其中之一反相器之一輸出與該第二複數個反相器其中之一反相器之一輸出之間。

【0013】 在一個實施例中，該鎖相迴路包含一延遲控制器，該延遲控制器具有一輸出，該輸出可操作地連接至該可調整延遲區塊之一控制輸入。

【0014】 在一個實施例中，該延遲控制器更具有一第一輸入及一第二輸入，該第一輸入可操作地連接至該參考時脈輸入，該第二輸入可操作地連接至該回饋時脈輸入。

【0015】 在一個實施例中，該延遲控制器用以計數該參考時脈輸入處及該回饋時脈輸入處之複數相應訊號之複數邊緣。

【0016】 在一個實施例中，該延遲控制器係為一控制迴路之一部分該控制迴路包含該可調整延遲區塊且具有一頻寬，該頻寬小於該鎖相迴路中包含該壓控振盪器之一控制迴路之一控制頻寬（control bandwidth）。

【0017】 在一個實施例中，該鎖相迴路包含一電壓源，該電壓源用以選擇性地且可操作地連接至該壓控振盪器之該控制輸入。

【0018】 在一個實施例中，該可調整延遲區塊包含可操作地串聯之第一複數個反相器。

【0019】 在一個實施例中，該可調整延遲區塊更包含具有複數個輸入之一多工器，各該輸入可操作地連接至該第一複數個反相器其中之一相應反相器之一輸出。

【0020】 在一個實施例中，該可調整延遲區塊更包含可操作地串聯之第二複數個反相器，該第二複數個反相器其中之各該反相器具有與該第一複數個反相器其中之一對應反相器不同之一傳播延遲。

【0021】 在一個實施例中，該鎖相迴路包含一開關陣列，該開關陣列中之每一開關可操作地連接於該第一複數個反相器其中之一反相器之一輸出與該第二複數個反相器其中之一反相器之一輸出之間。

【0022】 根據本發明之一實施例，提供一種顯示器，其包含：一參考振盪器；以及一時序控制器（timing controller），該時序控制器包含一鎖相迴路，該鎖相迴路包含：一壓控振盪器，具有一控制輸入及一時脈輸出；以及一相位頻率偵測器，具有：一參考時脈輸入，可操作地連接至該參考振盪器之一輸出；一回饋時脈輸入；一上輸出（up output），用以處於一設定狀態或一重設狀態；以及一下輸出（down output），用以處於一設定狀態

或一重設狀態；該相位頻率偵測器之該上輸出及該下輸出可操作地連接至該壓控振盪器之該控制輸入，該壓控振盪器之該時脈輸出可操作地連接至該相位頻率偵測器之該回饋時脈輸入，該相位頻率偵測器包含一可調整延遲區塊，該可調整延遲區塊用以延遲下列轉變一可調整延遲時間：該上輸出自該設定狀態至該重設狀態之一轉變；以及該下輸出自該設定狀態至該重設狀態之一轉變。

【0023】 根據本發明之一實施例，提供一種用於操作一鎖相迴路之方法，該鎖相迴路包含：一壓控振盪器，具有一控制輸入及一時脈輸出；以及一相位頻率偵測器，具有：一參考時脈輸入；一回饋時脈輸入；一上輸出 (up output)，用以處於一設定狀態或一重設狀態；以及一下輸出 (down output)，用以處於一設定狀態或一重設狀態，該相位頻率偵測器之該上輸出及該下輸出可操作地連接至該壓控振盪器之該控制輸入，該壓控振盪器之該時脈輸出可操作地連接至該相位頻率偵測器之該回饋時脈輸入，該相位頻率偵測器包含一可調整延遲區塊，該方法包含：藉由該可調整延遲區塊將該上輸出自該設定狀態至該重設狀態之一轉變延遲一可調整延遲時間；以及藉由該可調整延遲區塊將該下輸出自該設定狀態至該重設狀態之一轉變延遲該可調整延遲時間。

【圖式簡單說明】

【0024】 參照說明書、申請專利範圍及附圖，將會瞭解及理解本發明之此等以及其他特徵及優點，其中：

【0025】 第1圖係為所屬技術領域之一整數N型鎖相迴路之方塊圖；

【0026】 第2圖係為所屬技術領域之一相位頻率偵測器之示意圖；

【0027】 第3A圖係為根據本發明一實施例，一相位頻率偵測器處之複數個未鎖定狀態訊號之波形圖；

【0028】 第3B圖係為根據本發明一實施例，一相位頻率偵測器處之複數個鎖定狀態訊號之波形圖；

【0029】 第4圖係為根據本發明一實施例，輸出頻率與重設脈衝寬度之關係曲線圖；

【0030】 第5圖係為根據本發明一實施例，一相位頻率偵測器處之複數個訊號之波形圖；

【0031】 第6圖係為根據本發明一實施例之一鎖相迴路之方塊圖；

【0032】 第7圖係為根據本發明一實施例之一相位頻率偵測器之方塊圖；

【0033】 第8圖係為根據本發明一實施例之一可調整延遲區塊之方塊圖；

【0034】 第9圖係為根據本發明另一實施例之一可調整延遲區塊之方塊圖；以及

【0035】 第10圖係為根據本發明一實施例之一顯示器之方塊圖。

【實施方式】

【0036】 下文結合附圖所述之詳細說明旨在闡述根據本發明提供的一種使用具一可調整延遲之一線性相位頻率偵測器（phase frequency detector；PFD）之分數型鎖相迴路（phase locked loop；PLL）之實例性實施例，而並非旨在代表可構造或利用本發明之僅有形式。本說明結合所示

實施例來陳述本發明之特徵。然而，應理解，可藉由不同實施例來達成相同或等效之功能及結構，該等不同實施例亦旨在囊括於本發明之精神及範圍內。如本文中別處所示，相同元件編號旨在指示相同元件或特徵。

【0037】 本發明之實施例係關於一種鎖相迴路（PLL），其在構造上類似於一整數N型鎖相迴路，且因此，可不存在雙模式分頻器及相關聯之 Σ - Δ （sigma-delta）調變器迴路。並非藉由回饋路徑來達成一非整數比，而是可藉由使用可處於鎖相迴路前向路徑（forward path）中之線性相位/頻率偵測器來達成一非整數比，以調變輸出頻率。

【0038】 參照第1圖，在所屬技術領域之一整數N型鎖相迴路中，相位頻率偵測器（PFD）105為後面之電荷幫浦電路110產生上訊號（up signal）及下訊號（down signal），電荷幫浦電路110經由一迴路濾波器115連接至一壓控振盪器（voltage controlled oscillator；VCO）120。一分頻器125用於將信號CK_{out}之頻率除以m（其中m係為一整數，且 $f_{out}/f_{ref} = m$ ， f_{out} 係為輸出頻率，而 f_{ref} 係為參考頻率），且被連接至壓控振盪器120之輸出及相位頻率偵測器105之回饋時脈輸入。在鎖定條件下，上訊號與下訊號實質上相同，且因此，頻率保持實質上恆定。

【0039】 如第2圖中所示，相位頻率偵測器105可包含一第一正反器205、一第二正反器210及一及閘（AND gate）215。當重設訊號（「RST」）未被置位（asserted）時，正反器205、210其中之任一者之時脈輸入處之一上升時脈邊緣會使正反器輸出（例如，「Q」輸出）轉變（自一重設狀態）至一設定狀態（例如，邏輯1）。當二個正反器輸出（即，上輸出（UP output）與下輸出（DN output）皆處於設定狀態時，及閘將215重設訊號置位（assert），進而使二個正反器輸出轉變至重設狀態（例如，邏輯0）。於在正

反器之重設訊號被置位時開始且在重設訊號被取消置位 (de-assert) 時結束之時間間隔期間，在任一正反器處接收到之任何時脈邊緣不具有任何效應。

【0040】 參照第3A圖及第3B圖，相位頻率偵測器之輸出係為寬度由二個輸入時脈之相位差決定之複數個脈衝。在未鎖定條件 (第3A圖) 下，上訊號及下訊號具有不同寬度之脈衝。一旦鎖相迴路鎖定 (即，參考時脈與回饋時脈之相位及頻率相匹配)，上訊號與下訊號就變得實質上相等 (第3B圖)。每一上脈衝 (up pulse) 或下脈衝 (down pulse) 之最小寬度係為下列延遲之和：(i) 自正反器重設至正反器輸出之延遲、及 (ii) 及閘延遲。在第3A圖及第3B圖之時序圖中，在各該正反器中之前向傳播延遲可忽略不計；然而，此前向傳播延遲並非不重要，在某些實施例中，前向傳播延遲可能係為顯著的。

【0041】 如上所述，在重設訊號被置位時，頻率相位偵測器將忽略輸入時脈邊緣，進而導致一漏失邊緣 (missed edge)。此種現象可被稱作週期滑動 (cycle slip)，且可能在一鎖相迴路之暫態行為 (transient behavior) 中發生。在穩態中，一足夠寬之重設訊號可能會造成邊緣之系統性漏失，例如，若參考時脈之每10個邊緣中有一個邊緣在重設週期中下降，則鎖相迴路可表現得就像已接收到10個上脈衝及9個下脈衝一樣，且電荷幫浦可相應地增大或減小壓控振盪器控制訊號。若此漏失之邊緣在穩態條件下週期性地出現，則鎖相迴路可鎖定至參考頻率之一分數，例如，參考頻率之9/10或10/11，此視漏失了上脈衝還是下脈衝而定。

【0042】 一漏失之上脈衝或下脈衝出現之頻率 (及因此，當平均電荷幫浦輸出係為0時，回饋時脈頻率對參考時脈頻率之比率) 相依於迴路頻寬以及重設脈衝寬度。第4圖顯示輸出頻率 (f_{out}) 與重設脈衝寬度 (t_{rst}) 之函

數關係，其係藉由使用對一1.5吉赫（GHz）鎖相迴路之一模擬而計算出。第5圖顯示一實例之時序圖，在該實例中，參考時脈每6個邊緣中有一個邊緣在重設間隔期間出現並漏失，且因此，一對應上脈衝（若重設間隔具有零長度，則該對應上脈衝將會存在）會週期性地缺少。在某些實施例（例如，對應於第5圖之時序圖）中，正反器之重設輸入可係為低態有效（active low），且可使用一反及閘（NAND gate）來取代第2圖所示實施例中之及閘215。

【0043】 參照第6圖，在一個實施例中，一鎖相迴路與第1圖所示鎖相迴路之不同在於，相位頻率偵測器包含一可調整延遲區塊600（或「可變延遲」），可調整延遲區塊600處於重設訊號路徑中，例如，連接於及閘215之輸出與第一正反器205及第二正反器210（更詳細地顯示於第2圖中）之重設輸入之間。可調整延遲區塊600在重設路徑中提供一可調整延遲，且因此，提供一可調整重設寬度，該可調整重設寬度形成其中會使複數個邊緣漏失之一窗。

【0044】 參照第7圖，在一個實施例中，使用一回饋迴路來調整延遲，使得會達成所需比率。回饋控制器700（其可執行一頻率比較且在第7圖中被標示為「頻率比較」）可具有一輸出，該輸出連接至可調整延遲區塊600之一控制輸入（此控制輸入未顯示於第6圖中）。回饋控制器700可被實施為一電路或一處理器（processor），該電路或處理器首先計數二個訊號（ CK_{ref} 及 CK_{fb} ）之邊緣之數目並隨後相應地調整相位頻率偵測器中之一可變延遲線路。舉例而言，若目標比（target ratio）係為5/6（即，為1.25之一比率，例如，若參考時脈係為1.5 GHz，則一回饋時脈頻率 $f_{out} = 1.25 \text{ GHz}$ ），則該電路可計數二個時脈訊號中之邊緣，直至其已計數參考時脈之300個邊緣為

止。此時，若回饋時脈邊緣之數目大於300之5/6，即大於250，則該電路可增大延遲；若回饋時脈邊緣之數目小於250，則該電路可減小延遲。

【0045】 鎖相迴路（第6圖）可包含一第一控制迴路（包含相位頻率偵測器105、電荷幫浦電路110、迴路濾波器115、壓控振盪器120、及分頻器125），該第一控制迴路具有一第一頻寬（例如，一第一單位增益頻率）。回饋控制器700（第7圖）可形成圍繞可調整延遲區塊之一第二控制迴路之一部分，該第二控制迴路具有一第二頻寬（例如，一第二單位增益頻率）。在一個實施例中，第二頻寬小於第一頻寬（例如，其至多係為第一頻寬之十分之一）。

【0046】 可藉由以較參考時脈高之一頻率重設壓控振盪器來產生大於1之比率，即，比率 $(N+1)/N$ 。舉例而言，一電壓源610（第6圖）（例如一固定電壓參考或一可控電壓源（例如，一電壓模式類比/數位轉換器））可被連接至迴路濾波器，以在迴路開始運作（例如，其中電荷幫浦被去能）之前將迴路濾波器充電至一設定或預定電壓。在啟動時，當迴路被賦能時，可控電壓源可自迴路濾波器斷開，且迴路濾波器已被充電至的電壓隨後可決定壓控振盪器120之初始控制電壓及初始頻率。電壓源610在第6圖中被顯示為呈斷開狀態。當初始壓控振盪器控制電壓對應於在被分頻器125分頻時會產生較參考時脈頻率為高之一回饋時脈頻率之一輸出頻率時，平衡運作頻率（equilibrium operating frequency）可係為使得回饋時脈頻率係參考時脈頻率之 $(N+1)/N$ 倍之一頻率。當初始壓控振盪器控制電壓對應於在被分頻器125分頻時會產生較參考時脈頻率為低之一回饋時脈頻率之一輸出頻率時，平衡運作頻率可係為使得回饋時脈頻率係參考時脈頻率之 $N/(N+1)$ 倍之一頻率。在每一情形中，輸出頻率皆可係為回饋時脈頻率之一整數倍，俾

使輸出頻率可係為參考時脈頻率之 $mN/(N+1)$ 或 $m(N+1)/N$ 倍，其中 m 及 N 係為整數。

【0047】 將二或更多個此種鎖相迴路串聯可使得能夠產生參考時脈之不同比率。此種串聯機制亦可用於濾除所誘發之抖動。舉例而言，根據本發明一實施例之一分數型鎖相迴路可以係參考頻率之 $mN/(N+1)$ 之一頻率產生一輸出，且與第一鎖相迴路串聯之一第二鎖相迴路可將該頻率乘以 k （其中 k 係為一整數），俾使第二鎖相迴路之輸出頻率係為參考頻率之 $kmN/(N+1)$ 倍。若自第一鎖相迴路省去一分頻器，則比率可係為 $kN/(N+1)$ 。

【0048】 在一個實施例中，使用一固定延遲區塊（例如，由包含複數個串聯反相器之一鏈構成）來代替一可調整延遲區塊600。可使用各種電路配置來實施可調整延遲區塊600。在一個實施例中，該可調整延遲區塊係為（或包含）一電流模式邏輯（current-mode logic；CML）級，該電流模式邏輯級用以具有一可變（例如，壓控或流控（current-controlled））頻寬，且藉此用以提供一可變延遲。參照第8圖，在一個實施例中，一包含複數個串聯反相器之鏈被連接至一多工器，俾使每隔一個反相器之輸出連接至該多工器。多工器之控制輸入隨後選擇使哪一反相器輸出連接至輸出，且因此選擇訊號在經由多工器被路由至輸出之前所傳播過的反相器對之數目。為達成額外可調整性，該等反相器其中之一或多者可係為一電流匱乏型互補金屬氧化物半導體（complementary metal-oxide semiconductor；CMOS）反相器，其具有相依於（可控）電流限制之一傳播延遲。在一個實施例中，使用一包含複數個串聯反相器之固定長度鏈（不具有一多工器），且該鏈中該等反相器其中之一或多者係為電流匱乏型且因此具有一可調整傳播延遲。參照第9圖，在實施一微調式（Vernier）可調整延遲區塊之一個實施例中，

一第一反相器鏈（反相器鏈A）每反相器具有一第一傳播延遲，且一第二反相器鏈B每反相器具有略微不同之一第二傳播延遲。一開關陣列在第一反相器鏈之每一輸出與第二反相器鏈中緊跟著一對應反相器之反相器之輸入之間包含一開關。在任何時間該開關陣列中皆有一個開關接通；哪一開關接通決定了訊號在傳播過第一反相器鏈中之多少個反相器之後又傳播過第二反相器鏈中剩餘之對應反相器。舉例而言，若第一反相器鏈包含10個反相器，且第二反相器鏈包含延遲略低之10個反相器，則在第四開關接通之情形下，訊號可傳播過第一反相器鏈中之四個反相器及第二反相器鏈中之六個反相器。若第五開關而非第四開關接通，則訊號將傳播過第一反相器鏈中之五個反相器及第二反相器鏈中之五個反相器，進而使總傳播延遲產生與二個鏈中第五反相器之各自傳播延遲之差相等之一降低。

【0049】 參照第10圖，在一個實施例中，一顯示器1010包含一時序控制器（timing controller；TCON）1020及一參考振盪器1030。時序控制器1020包含根據本發明一實施例之一鎖相迴路1040。鎖相迴路1040自參考振盪器接收一第一時脈訊號並產生一第二時脈訊號，該第二時脈訊號用於時序控制器1020內之同步化。

【0050】 將理解，雖然本文中可使用措詞「第一」、「第二」、「第三」等來闡述各種元件、組件、區域、層、及/或區段，但此等元件、組件、區域、層、及/或區段不應受此等措詞限制。此等措詞僅用於將一個元件、組件、區域、層、或區段與另一元件、組件、區域、層、或區段區分開。因此，下文所論述之一第一元件、組件、區域、層、或區段可稱為一第二元件、組件、區域、層、或區段，此並不背離本發明概念之精神及範圍。

【0051】 為便於說明，本文中可使用例如「在……下面」、「在……下

方」、「下部」、「在……之下」、「在……上方」、「上部」等空間相對性措詞來闡述如各圖中所例示一個元件或特徵與另一（些）元件或特徵之關係。將理解，此等空間相對性措詞旨在除圖中所繪示之定向以外亦囊括裝置在使用或運行時之不同定向。舉例而言，若將圖中之裝置翻轉，則闡述為在其他元件或特徵「下方」或「下面」或「之下」之元件則將被定向成在其他元件或特徵「上方」。因此，實例性措詞「在……下方」及「在……之下」可囊括在……上方及在……下方二種定向。可以其他方式對裝置進行定向（旋轉90度或以其他定向形式），且可相應地解釋本文中所使用之空間相對性描述語。另外，亦將理解，當將一層稱作位於二個層「之間」時，其可係為該二個層間之僅有層，或者亦可能存在一或多個中間層。

【0052】 本文中所使用之術語僅用於闡述特定實施例而並非旨在限制本發明概念。本文中所使用之措詞「實質上(substantially)」、「約(about)」、及類似措詞係用作近似措詞而非用作程度措詞，且旨在考量到此項技術中具有通常知識者將認識到的所量測值或所計算值之固有偏差。本文中所使用之措詞「主要組分(major component)」意指按重量計構成一組合物之至少一半之一組分，且措詞「主要部分(major portion)」在應用於複數個項時意指該等項之至少一半。

【0053】 除非上下文另有清晰指示，否則本文中所使用之單數形式「一(a、an)」及「該(the)」旨在亦包含複數形式。更應理解，當在本說明書中使用措詞「包含(comprise及/或comprising)」時，係指明所陳述特徵、整數、步驟、操作、元件、及/或組件之存在，但並不排除一或多個其他特徵、整數、步驟、操作、元件、組件、及/或其群組之存在或添加。本文中所使用之措詞「及/或(and/or)」包含相關列出項其中之一或多者之任

意及所有組合。當位於一元件列表之前時，例如「至少其中之一 (at least one of)」等表達語修飾整個元件列表且不修飾該列表之個別元件。此外，在闡述本發明概念之實施例時所使用之「可 (may)」係指「本發明之一或多個實施例」。此外，措詞「實例性 (exemplary)」旨在指代一實例或例證。本文中所述之措詞「使用 (use、using及used)」可被視為分別與措詞「利用 (utilize、utilizing及utilized)」同義。

【0054】 將理解，當將一元件或層稱作位於另一元件或層「上」、「連接至」、「耦合至」另一元件或層、或者「相鄰於」另一元件或層時，該元件或層可係直接位於該另一元件或層上、直接連接至、直接耦合至、或者直接相鄰於該另一元件或層，或者可能在一或多個中間元件或層。相比而言，當將一元件或層稱作「直接」位於另一元件或層「上」、「直接連接至」、「直接耦合至」或者「緊鄰於」另一元件或層時，不存在中間元件或層。

【0055】 本文中所述之任一數值範圍旨在包含歸入所述範圍內的具有相同數值精度之所有子範圍。舉例而言，一範圍「1.0至10.0」旨在包含介於所述最小值1.0與所述最大值10.0（且包含所述最小值1.0及所述最大值10.0）間（亦即，具有等於或大於1.0之一最小值及等於或小於10.0之一最大值）之所有子範圍，例如，2.4至7.6。本文中所述之任一最大數值限制旨在包含歸入其中之所有較低數值限制，且本說明書中所述之任一最小數值限制旨在包含歸入其中之所有較高數值限制。

【0056】 雖然本文中已具體闡述及例示了一種使用具一可調整延遲之一線性相位頻率偵測器之分數型鎖相迴路之實例性實施例，但熟習此項技術者將明瞭諸多潤飾及變化。因此，應理解，根據本發明原理構造之使

用具一可調整延遲之一線性相位頻率偵測器之一分數型鎖相迴路可不同於本文中具體所述者來實施。本發明亦界定於以下申請專利範圍及其等效內容中。

【符號說明】

105 相位頻率偵測器 (PFD)

110 電荷幫浦電路

115 迴路濾波器

120 壓控振盪器 (VCO)

125 分頻器

205 第一正反器

210 第二正反器

215 及閘

600 可調整延遲區塊

610 電壓源

700 回饋控制器

1010 顯示器

1020 時序控制器 (TCON)

1030 參考振盪器

1040 鎖相迴路

CK_{fb} 訊號

CK_{ref} 訊號

CK_{out} 訊號 f_{out} 回饋時脈頻率/輸出頻率

f_{ref} 參考頻率

D 輸入

DN 上輸出

Q 輸出

UP 下輸出

RST 重設訊號

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

【序列表】 (請換頁單獨記載)

申請專利範圍

1. 一種鎖相迴路，包含：

一壓控振盪器 (voltage-controlled oscillator)，具有：

一控制輸入；以及

一時脈輸出；以及

一相位頻率偵測器 (phase frequency detector)，具有：

一參考時脈輸入；

一回饋時脈輸入；

一上輸出 (up output)，用以處於一設定狀態或一重設狀態；以

及

一下輸出 (down output)，用以處於一設定狀態或一重設狀態；

其中：

該相位頻率偵測器之該上輸出及該下輸出可操作地連接至該壓控振盪器之該控制輸入；

該壓控振盪器之該時脈輸出可操作地連接至該相位頻率偵測器之該回饋時脈輸入；

該相位頻率偵測器包含一可調整延遲區塊 (adjustable delay block)，該可調整延遲區塊用以藉由延遲下列轉變一可調整延遲時間來調整該鎖相迴路之一輸出頻率：

該上輸出自該設定狀態至該重設狀態之一轉變 (transition)，以

及

該下輸出自該設定狀態至該重設狀態之一轉變。

2. 如請求項1所述之鎖相迴路，其中該相位頻率偵測器包含：
 - 第一正反器（first flip-flop），可操作地連接至該參考時脈輸入；
 - 第二正反器，可操作地連接至該參考時脈輸入；
 - 該可調整延遲區塊，可操作地連接至該第一正反器及該第二正反器每一者之一重設輸入；以及
 - 及閘（AND gate），可操作地連接至該第一正反器及該第二正反器每一者之一輸出；以及
 - 該及閘之一輸出可操作地連接至該可調整延遲區塊之一輸入。
3. 如請求項1所述之鎖相迴路，其中該可調整延遲區塊包含具有一可調整頻寬之一電流模式邏輯級（current mode logic stage）。
4. 如請求項1所述之鎖相迴路，其中該可調整延遲區塊包含一電流匱乏型反相器（current-starved inverter）。
5. 如請求項1所述之鎖相迴路，其中該可調整延遲區塊包含可操作地串聯（cascade）之第一複數個反相器。
6. 如請求項5所述之鎖相迴路，其中該第一複數個反相器其中之一反相器係為一電流匱乏型互補金屬氧化物半導體反相器。
7. 如請求項5所述之鎖相迴路，其中該可調整延遲區塊更包含具有複數個輸入之一多工器，各該輸入可操作地連接至該第一複數個反相器其中之一相應反相器之一輸出。
8. 如請求項5所述之鎖相迴路，其中該可調整延遲區塊更包含可操作地串

聯之第二複數個反相器，該第二複數個反相器其中之各該反相器具有與該第一複數個反相器其中之一對應反相器不同之一傳播延遲。

9. 如請求項8所述之鎖相迴路，更包含一開關陣列，該開關陣列中之每一開關可操作地連接於該第一複數個反相器其中之一反相器之一輸出與該第二複數個反相器其中之一反相器之一輸出之間。
10. 如請求項1所述之鎖相迴路，更包含一延遲控制器，該延遲控制器具有一輸出，該輸出可操作地連接至該可調整延遲區塊之一控制輸入。
11. 如請求項10所述之鎖相迴路，其中該延遲控制器更具有一第一輸入及一第二輸入，該第一輸入可操作地連接至該參考時脈輸入，該第二輸入可操作地連接至該回饋時脈輸入。
12. 如請求項11所述之鎖相迴路，其中該延遲控制器用以計數該參考時脈輸入處及該回饋時脈輸入處之複數相應訊號之複數邊緣。
13. 如請求項10所述之鎖相迴路，其中該延遲控制器係為一控制迴路之一部分，該控制迴路包含該可調整延遲區塊且具有一頻寬，該頻寬小於該鎖相迴路中包含該壓控振盪器之一控制迴路之一控制頻寬（control bandwidth）。
14. 如請求項10所述之鎖相迴路，更包含一電壓源，該電壓源用以選擇性地且可操作地連接至該壓控振盪器之該控制輸入。
15. 如請求項10所述之鎖相迴路，其中該可調整延遲區塊包含可操作地串聯之第一複數個反相器。

16. 如請求項15所述之鎖相迴路，其中該可調整延遲區塊更包含具有複數個輸入之一多工器，各該輸入可操作地連接至該第一複數個反相器其中之一相應反相器之一輸出。
17. 如請求項15所述之鎖相迴路，其中該可調整延遲區塊更包含可操作地串聯之第二複數個反相器，該第二複數個反相器其中之各該反相器具有與該第一複數個反相器其中之一對應反相器不同之一傳播延遲。
18. 如請求項17所述之鎖相迴路，更包含一開關陣列，該開關陣列中之每一開關可操作地連接於該第一複數個反相器其中之一反相器之一輸出與該第二複數個反相器其中之一反相器之一輸出之間。
19. 一種顯示器，包含：
 - 一參考振盪器；以及
 - 一時序控制器（timing controller），該時序控制器包含一鎖相迴路，該鎖相迴路包含：
 - 一壓控振盪器，具有：
 - 一控制輸入；以及
 - 一時脈輸出；以及
 - 一相位頻率偵測器，具有：
 - 一參考時脈輸入，可操作地連接至該參考振盪器之一輸出；
 - 一回饋時脈輸入；
 - 一上輸出（up output），用以處於一設定狀態或一重設狀態；以及

一下輸出 (down output)，用以處於一設定狀態或一重設狀態；

其中：

該相位頻率偵測器之該上輸出及該下輸出可操作地連接至該壓控振盪器之該控制輸入；

該壓控振盪器之該時脈輸出可操作地連接至該相位頻率偵測器之該回饋時脈輸入；

該相位頻率偵測器包含一可調整延遲區塊，該可調整延遲區塊用以延遲下列轉變—可調整延遲時間：

該上輸出自該設定狀態至該重設狀態之一轉變，以及
該下輸出自該設定狀態至該重設狀態之一轉變。

20. 一種用於操作一鎖相迴路之方法，該鎖相迴路包含：

一壓控振盪器，具有：

一控制輸入；以及

一時脈輸出；以及

一相位頻率偵測器，具有：

一參考時脈輸入；

一回饋時脈輸入；

一上輸出 (up output)，用以處於一設定狀態或一重設狀態；以

及

一下輸出 (down output)，用以處於一設定狀態或一重設狀態；

其中：

該相位頻率偵測器之該上輸出及該下輸出可操作地連接至該壓控振盪器之該控制輸入；

該壓控振盪器之該時脈輸出可操作地連接至該相位頻率偵測器之該回饋時脈輸入；

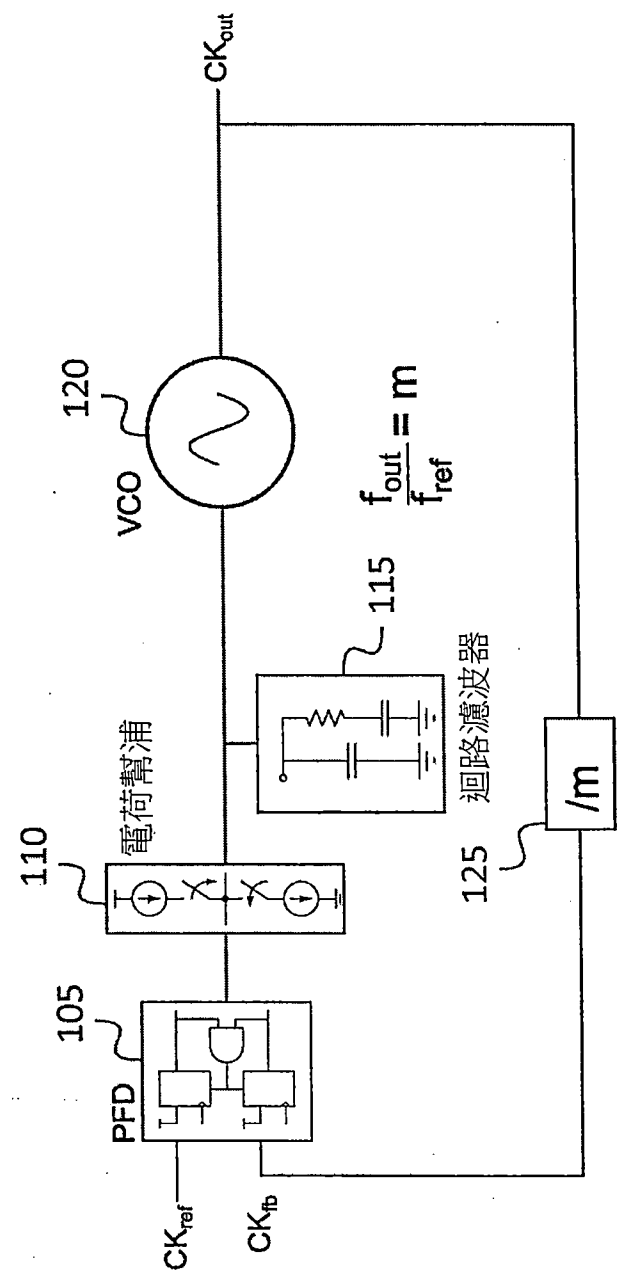
該相位頻率偵測器包含一可調整延遲區塊；

該方法包含：

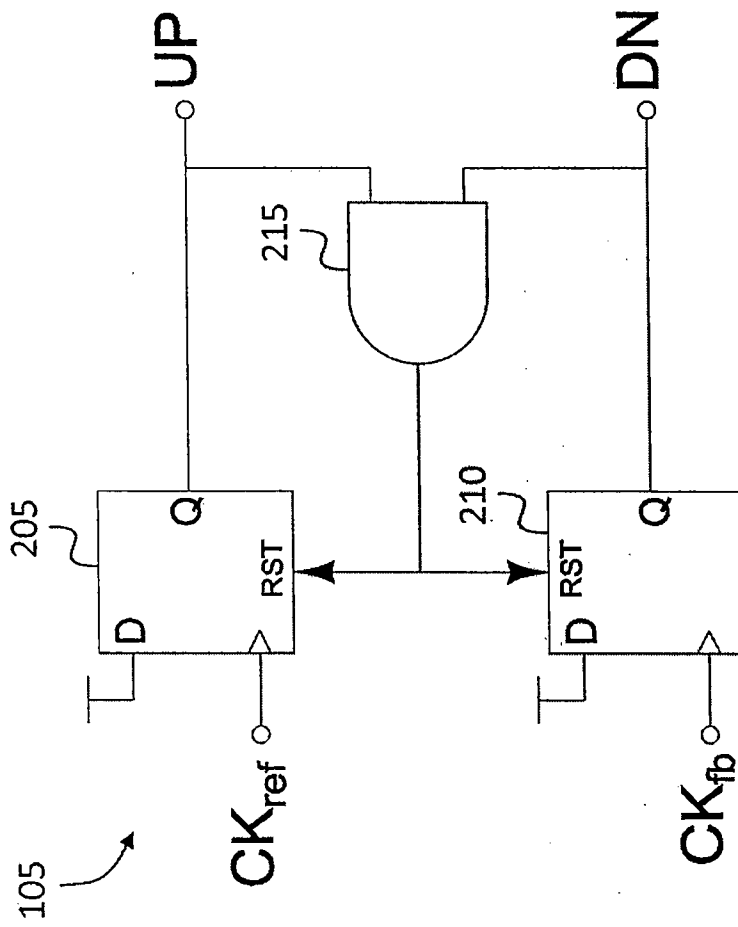
藉由該可調整延遲區塊將該上輸出自該設定狀態至該重設狀態之一轉變延遲一可調整延遲時間，以及

藉由該可調整延遲區塊將該下輸出自該設定狀態至該重設狀態之一轉變延遲該可調整延遲時間。

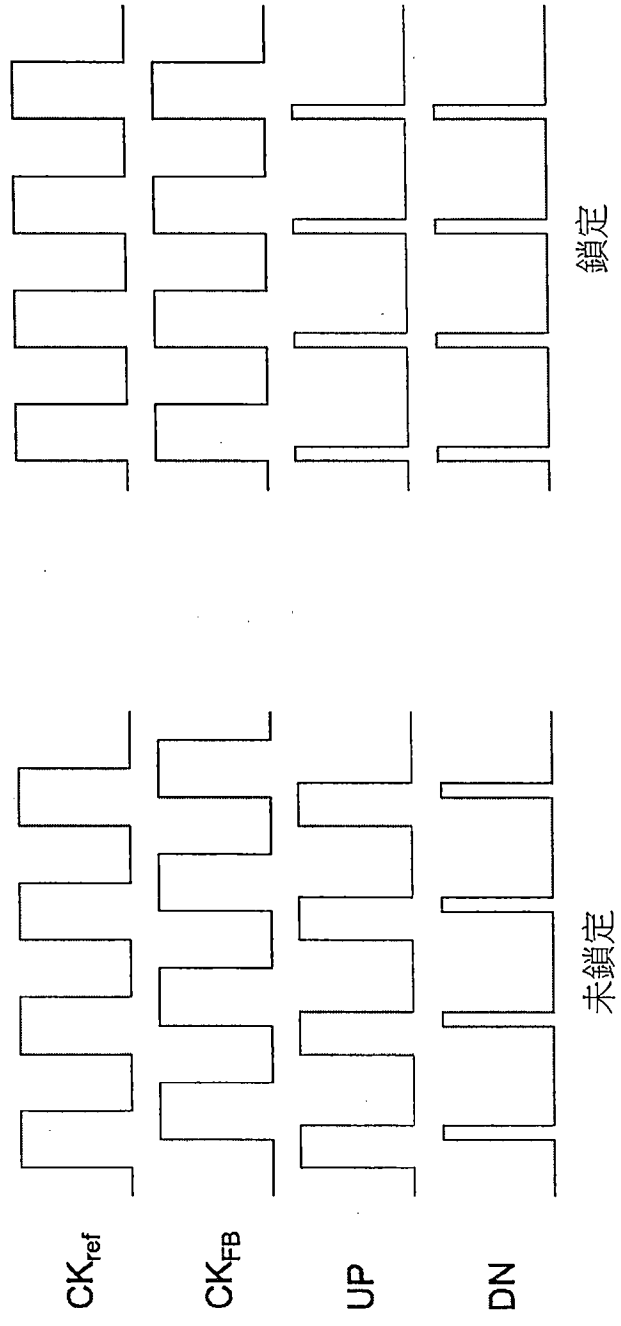
圖式



第 1 圖

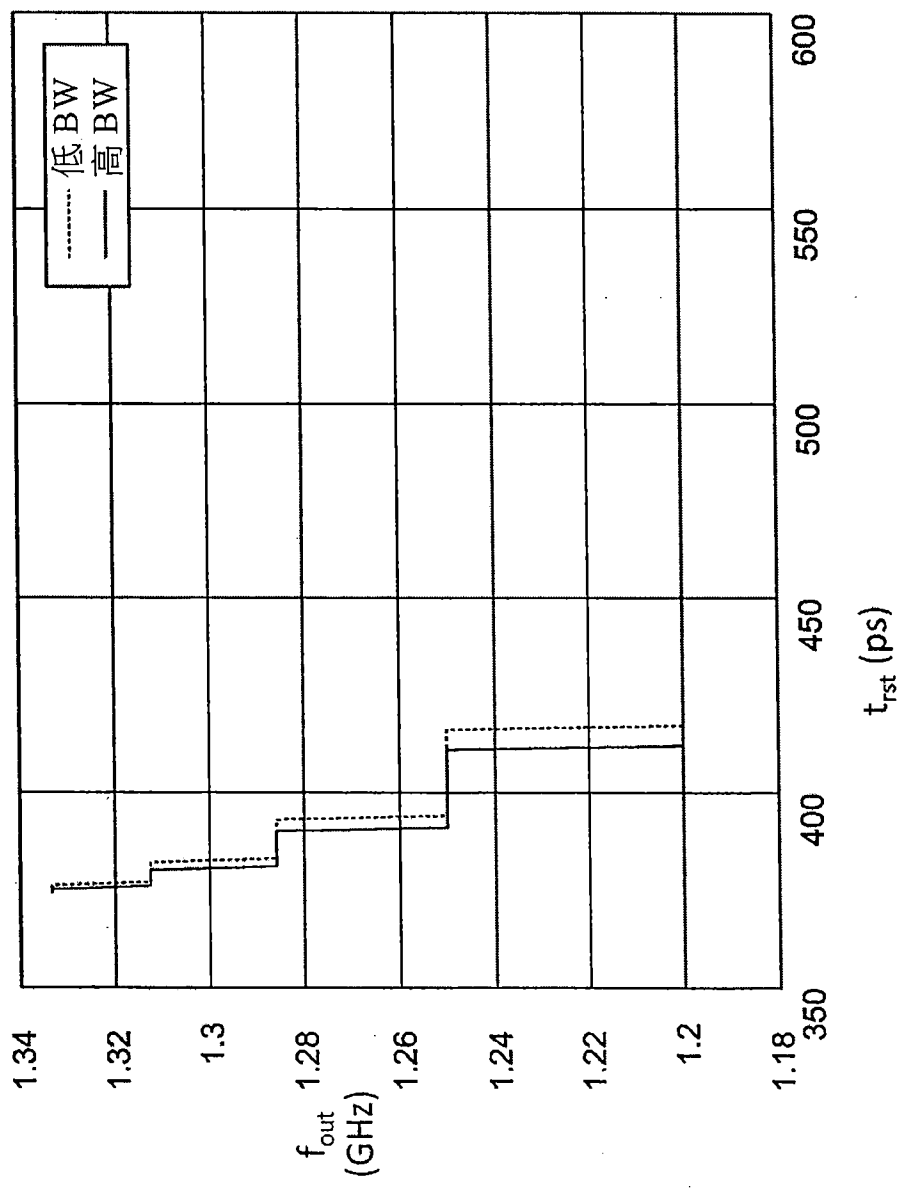


第2圖



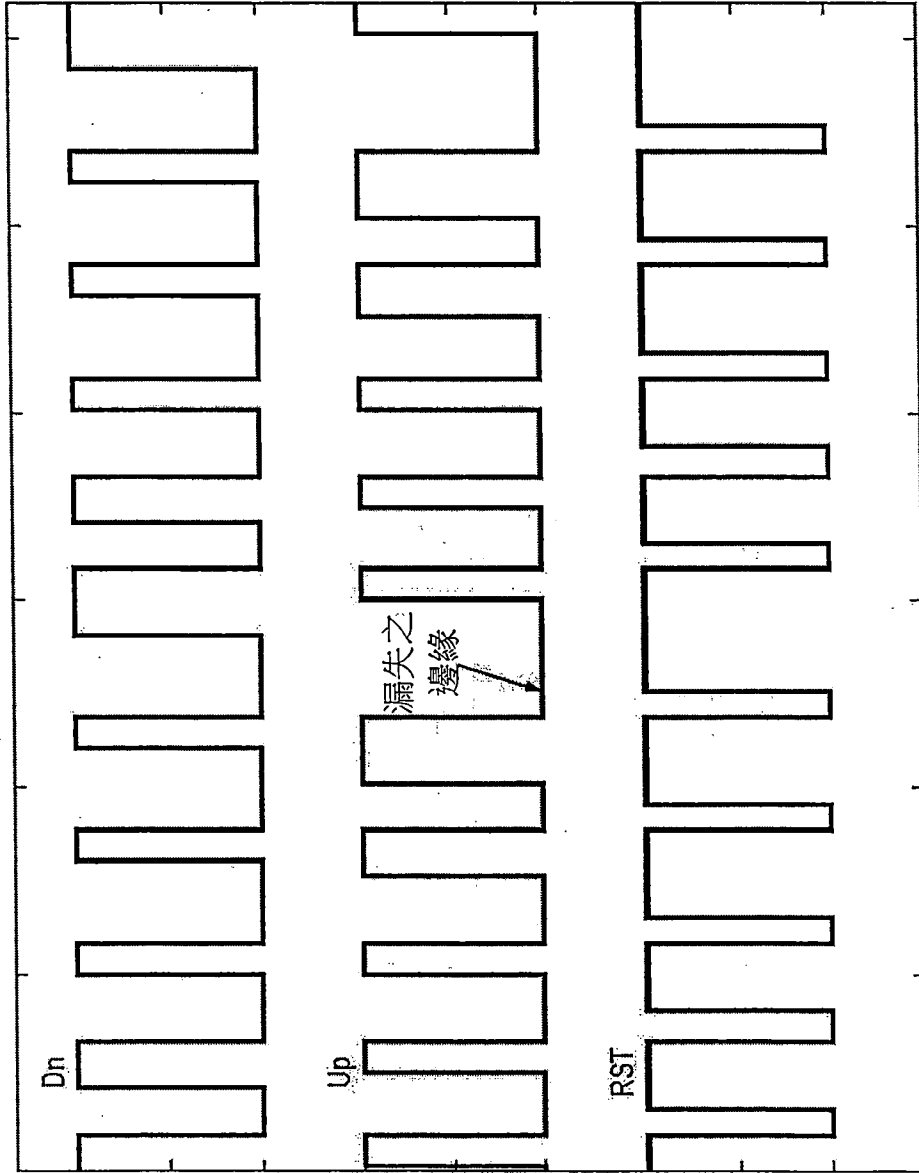
第 3B 圖

第 3A 圖

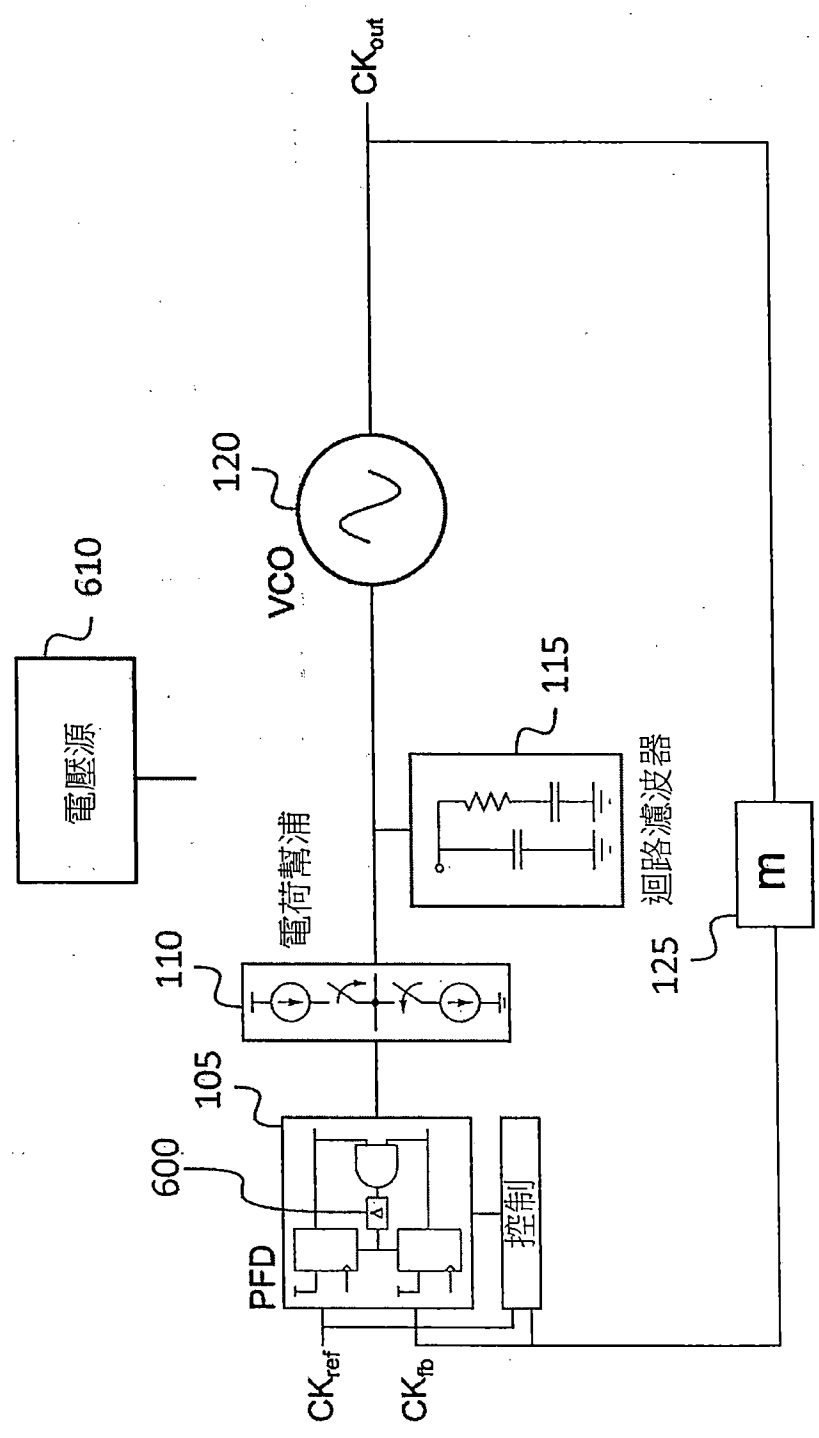


第 4 圖

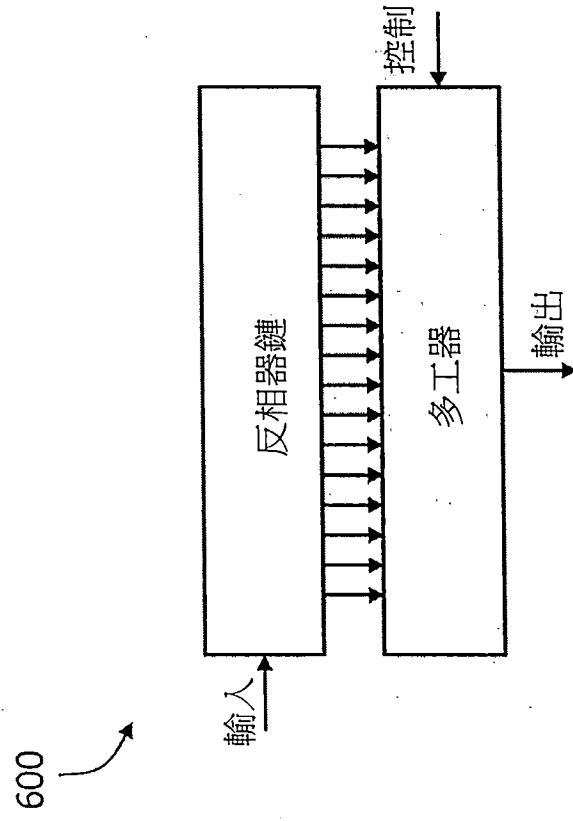
6個邊緣中漏失1個邊緣



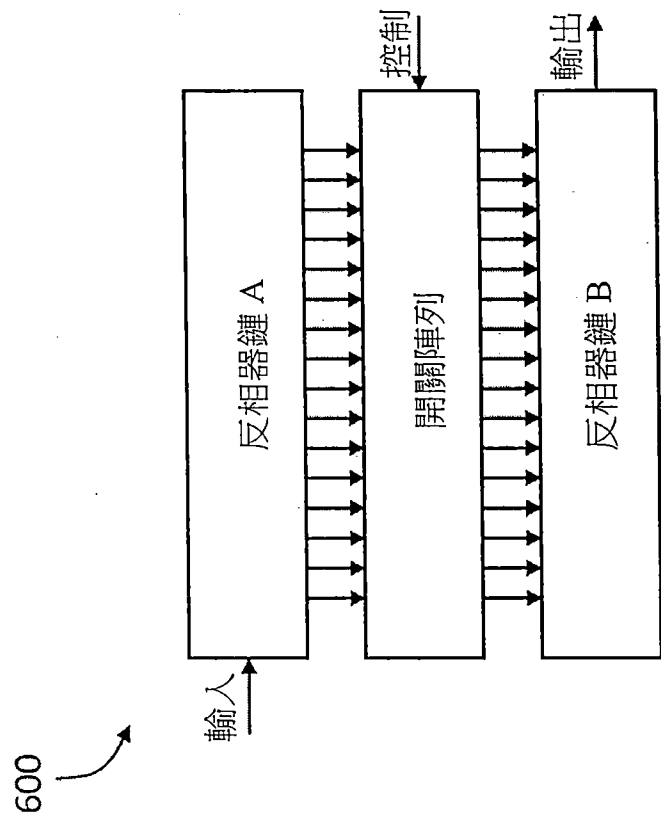
第5圖



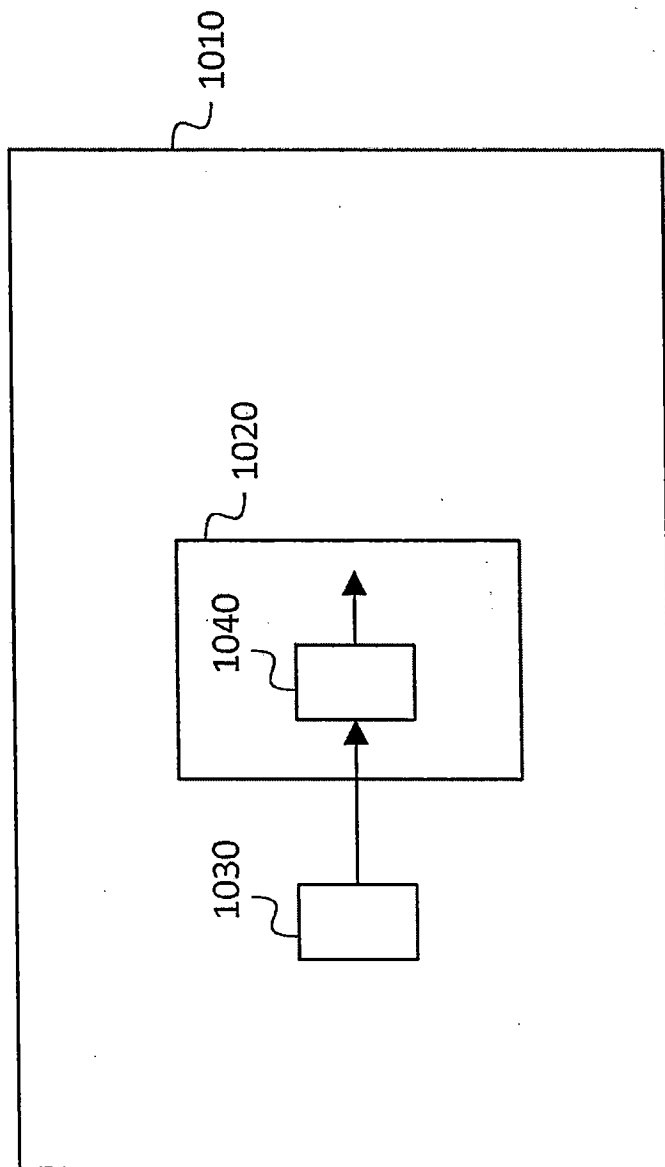
第6圖



第8圖



第 9 圖



第 10 圖