



(12)发明专利

(10)授权公告号 CN 104009033 B

(45)授权公告日 2019.03.22

(21)申请号 201410049847.9

(51)Int.CI.

(22)申请日 2014.02.13

H01L 27/04(2006.01)

(65)同一申请的已公布的文献号

申请公布号 CN 104009033 A

(56)对比文件

CN 101499648 A, 2009.08.05,

(43)申请公布日 2014.08.27

CN 1864262 A, 2006.11.15,

(30)优先权数据

JP 2010287644 A, 2010.12.24,

2013-036212 2013.02.26 JP

JP 2012009516 A, 2012.01.12,

(73)专利权人 艾普凌科有限公司

CN 1964047 A, 2007.05.16,

地址 日本千叶县

审查员 王宝林

(72)发明人 有山稔

(74)专利代理机构 北京三友知识产权代理有限公司 11127

代理人 李辉 马建军

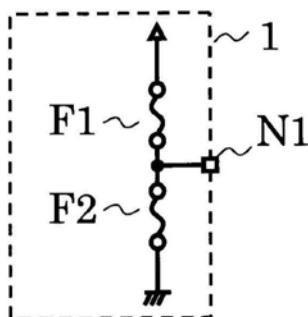
权利要求书1页 说明书5页 附图3页

(54)发明名称

半导体集成电路装置

(57)摘要

提供一种熔断器电路和半导体集成电路装置，该熔断器电路用简洁的电路结构将面积和成本抑制到最低限度。将形状大致相同而方块电阻不同的第一熔断器和第二熔断器串联连接在不同电位的端子之间来构成熔断器电路，在不切断熔断器的状态下，将输出端子的电位固定于任意一个端子的电位。



1. 一种半导体集成电路装置，其集成在半导体基板上，其特征在于，
所述半导体集成电路装置具有熔断器电路以及与所述熔断器电路的输出端子连接的开关电路，

所述熔断器电路具有串联连接在第一电位的第一端子与第二电位的第二端子之间的相同布局形状的第一熔断器和第二熔断器，

构成所述第一熔断器的电阻体的方块电阻大于构成所述第二熔断器的电阻体的方块电阻，

设所述第一熔断器与所述第二熔断器的连接点为所述输出端子，

在没有切断所述第一熔断器和所述第二熔断器中的任何熔断器的状态下，所述输出端子的电位成为与所述第一电位和所述第二电位的中点电位相比更接近所述第二电位的电位，所述开关电路构成为在所述输出端子的电位为与所述中点电位相比更接近所述第一电位的电位时接通，在所述输出端子的电位为与所述中点电位相比更接近所述第二电位的电位时断开。

2. 一种半导体集成电路装置，其集成在半导体基板上，其特征在于，

所述半导体集成电路装置具有熔断器电路以及具备多个输入端的逻辑电路，

所述熔断器电路具有串联连接在第一电位的第一端子与第二电位的第二端子之间的相同布局形状的第一熔断器和第二熔断器，

构成所述第一熔断器的电阻体的方块电阻大于构成所述第二熔断器的电阻体的方块电阻，

设所述第一熔断器与所述第二熔断器的连接点为所述逻辑电路的一个输入端，

根据没有切断所述第一熔断器和所述第二熔断器中的任何熔断器的状态、以及切断了所述第一熔断器和所述第二熔断器中的任意一方的状态，切换输入到所述逻辑电路的另一个输入端的逻辑信号的正逻辑和负逻辑。

3. 根据权利要求1或2所述的半导体集成电路装置，其特征在于，

所述第一熔断器和所述第二熔断器中的一方是低电阻多晶硅，另一方是高电阻多晶硅。

半导体集成电路装置

技术领域

[0001] 本发明涉及由能够用激光等切断的熔断器构成的熔断器电路和具有该熔断器电路的半导体集成电路装置。

背景技术

[0002] 能够用激光切断的熔断器电路被广泛用于半导体集成电路装置的特性调整和功能切换。例如，在带隙基准电压产生电路中，为了对由于制造上的偏差而产生的基准电压的温度特性进行校正，得到高精度的基准电压，要用激光切断熔断器，使与电阻连接的开关接通或断开来调整电阻值。

[0003] 图7是现有的熔断器电路的电路图。现有的熔断器电路是将电阻R1、熔断器H1、熔断器H2、电阻R2串联连接在电源端子之间而构成的。熔断器电路的端子A与开关电路连接，该开关电路例如是与带隙基准电压产生电路内的电阻中的一个电阻并列或者串联连接而成的。进而，通过使端子A成为高电平或低电平来接通或断开开关电路，调整带隙基准电压产生电路内的电阻的电阻值，从而调整基准电压的温度特性。端子A的电平根据用激光切断熔断器H1还是熔断器H2而决定。在调整前的阶段，即在任何熔断器均未切断的状态下测定出基准电压后，决定切断哪个熔断器。通常，由于熔断器使用导电率高的材料，因此，考虑芯片上的面积，出于限制在未切断熔断器的状态下流过电源端子之间的电流的目的，连接有电阻R1和电阻R2。

[0004] 如上所述，通过在半导体集成电路装置搭载能够用激光切断的熔断器电路，例如在带隙基准电压产生电路中，实现了高精度这样的附加价值。

[0005] 专利文献1：日本特开2010-177612号公报

[0006] 但是，近年来，在半导体集成电路装置中，对高精度和高性能的要求正在加强，并且，对降低成本的要求极高。在半导体集成电路装置中，由于芯片尺寸影响到成本，因此要求尽可能减小芯片尺寸。

[0007] 即，强烈要求电路尽可能简化结构。在这样的状况下，在上述现有的熔断器电路中，存在随着调整部位的增加而芯片尺寸增大、成本上升这样的问题。

发明内容

[0008] 本发明正是鉴于这一点而完成的，其目的在于提供一种低成本的半导体集成电路装置，其用极其简洁的电路结构构成熔断器电路。

[0009] 为了解决现有这样的问题，本实施方式的熔断器电路是将形状大致相同而方块电阻不同的第一熔断器和第二熔断器串联连接在不同电位的端子之间而构成的，在不切断熔断器的状态下，将输出端子的电位固定于任意一个端子的电位。

[0010] 根据本发明的半导体集成电路装置，在半导体基板上集成由方块电阻不同的电阻构成的熔断器，由此，能够以极其简洁的电路结构构成熔断器电路。因此，能够实现面积小且成本低的半导体集成电路装置。

附图说明

- [0011] 图1是本实施方式的熔断器电路的电路图。
- [0012] 图2是示出具有本实施方式的熔断器电路的半导体集成电路装置的一例的电路图。
- [0013] 图3是示出具有本实施方式的熔断器电路的半导体集成电路装置的另一例的电路图。
- [0014] 图4是示出具有本实施方式的熔断器电路的半导体集成电路装置的另一例的电路图。
- [0015] 图5是示出图4的半导体集成电路装置的动作的表。
- [0016] 图6是示出图4的检测电路的一例的电路图。
- [0017] 图7是现有的半导体集成电路装置的熔断器电路的电路图。
- [0018] 标号说明
- [0019] 1熔断器电路；2开关电路；4检测电路；4a霍尔元件；4b放大电路；4c比较电路；4d基准电压电路。

具体实施方式

[0020] 具有本发明的熔断器电路的半导体集成电路装置被广泛应用于在集成在半导体基板上的电子电路中，例如基准电压产生电路或传感器电路等要求高精度和高性能的产品。以下，参照附图，对本实施方式进行说明。

- [0021] 图1是本实施方式的熔断器电路的电路图。
- [0022] 熔断器电路1由熔断器F1和熔断器F2构成。熔断器F1和熔断器F2分别具有2个连接端子，各熔断器的一个连接端子公共连接。其连接点是熔断器电路1的输出端子N1。各熔断器的另一个连接端子分别与不同电位的布线连接。为了进行说明，将该不同电位设为电位VSS和电位比电位VSS高的电位VDD。此外，设熔断器F1的电阻值为Rf1，设熔断器F2的电阻值为Rf2，设输出端子N1的电位为V1。
- [0023] 在此，设构成熔断器F1的电阻体的方块电阻大于构成熔断器F2的电阻体的方块电阻，熔断器F1和熔断器F2的布局形状为大致相同的形状。

- [0024] 本实施方式的熔断器电路1如上述那样构成，如下进行动作。
- [0025] 在没有切断熔断器F1和熔断器F2的状态下，输出端子N1的电位V1和从VDD经由熔断器F1和熔断器F2流向VSS的电流IF由下式表示。
$$V1 - VSS = Rf2 \div (Rf1 + Rf2) \times (VDD - VSS) \dots \quad (1)$$
- [0026]
$$IF = (VDD - VSS) \div (Rf1 + Rf2) \dots \quad (2)$$
- [0027] 电阻体的电阻值根据方块电阻和电阻的宽度W、长度L求出。由于熔断器F1和熔断器F2为大致相同的布局形状，因此宽度W和长度L大致相同，构成熔断器F1的电阻体的方块电阻大于构成熔断器F2的电阻体的方块电阻。即，电阻值Rf1大于电阻值Rf2。因此，在任何熔断器均未切断的状态下，输出端子N1的电位V1相对于VDD和VSS的中点电位，成为与VSS接近的电位。
- [0028] 在切断了熔断器F1和熔断器F2中的任意一个的状态下，输出端子N1的电位V1成为与VSS或VDD大致相等的电位，从VDD经由熔断器F1和熔断器F2流向VSS的电流IF几乎等于

零。

[0030] 图2是示出具有本实施方式的熔断器电路的半导体集成电路装置的一例的电路图。图2所示的半导体集成电路装置是将开关电路2连接于熔断器电路1的输出端子N1而构成的。

[0031] 开关电路2根据端子N21的电位，控制端子N22与端子N23之间的接通或断开。开关电路2的端子N21与熔断器电路1的输出端子N1连接，端子N22和端子23与根据开关的接通或断开而进行调整或切换的元件(未图示)连接。作为该元件，例如可举出集成在半导体基板上的电阻或晶体管、电容。图2所示的半导体集成电路装置如上述那样构成，如下进行动作。

[0032] 在熔断器F1和熔断器F2中的任何熔断器均未切断的状态下，输出端子N1的电位V1成为与VDD和VSS的中点电位相比更接近VSS的电位。开关电路2构成为在端子N21的电位是与中点电位相比更接近VDD的电位时接通，在端子N21的电位是与中点电位相比更接近VSS的电位时断开。在任何熔断器均未切断的状态下，电位V1是与VDD和VSS的中点电位相比更接近VSS的电位，因此开关电路2必定断开。在该状态下测定半导体集成电路装置的特性，为了成为更合适的特性，选择使开关电路2接通或断开。在使开关电路2接通的情况下，用激光切断熔断器F2，在使开关电路2断开的情况下，用激光切断熔断器F1即可。

[0033] 图3是示出具有本实施方式的熔断器电路的半导体集成电路装置的另一例的电路图。图3所示的半导体集成电路装置是将作为逻辑电路的非电路3连接于熔断器电路1的输出端子N1而构成的。

[0034] 非电路3的输入端子与熔断器电路1的输出端子N1连接，电源由VDD和VSS提供(未图示)。此外，虽然没有图示，但是非电路3的输出端子N3可以与图2所示的开关的控制端子连接，也可以与对半导体集成电路装置的功能进行切换的逻辑电路块的输入端连接。图3所示的半导体集成电路装置如上述那样构成，如下进行动作。

[0035] 在熔断器F1和熔断器F2中的任何熔断器均未切断的状态下，输出端子N1的电位V1成为与VDD和VSS的中点电位相比更接近VSS的电位。因此，非电路3的输出端子N3的电位是VDD。在该状态下测定半导体集成电路装置的特性，为了成为更合适的特性，选择将非电路3的输出端子N3的电位设为VDD或VSS。在将非电路3的输出端子N3的电位设为VDD电平的情况下，用激光切断熔断器F1，在将非电路3的输出端子N3的电位设为VSS的情况下，用激光切断熔断器F2即可。

[0036] 在以上的本实施方式的说明中，仅是将熔断器F1和熔断器F2设为由不同的方块电阻构成的电阻，但是，作为构成熔断器的材料，只要是集成在半导体基板上且能够用激光切断的材料即可，可以是铝、铜、钨、多晶硅等任何的材料。作为使用材料的一例，可举出用于MOS晶体管的栅极或电路之间的布线的方块电阻较低的低电阻多晶硅和作为电阻使用的高电阻多晶硅。低电阻多晶硅和高电阻多晶硅均为能够容易地在半导体基板上进行制造的元件，是广泛地普遍使用的元件。通过将低电阻多晶硅和高电阻多晶硅分别应用于熔断器F1和熔断器F2，能够在不需要特别制造工艺的情况下实现本实施方式。这一点对于实现低成本是非常重要的。

[0037] 以上，说明了本发明的第1实施方式的半导体集成电路装置的结构和动作，表明能够以极其简洁的电路结构实现熔断器电路。尤其是在要求高精度和高性能的半导体集成电路装置中，存在调整部位和功能切换部位增加的趋势，需要多组熔断器电路，因此，能够以

极其简洁的电路结构实现熔断器电路具有重要意义。此外,在无需特别的制造工艺即可实现这一点上,本实施方式是极其有用的。

[0038] 此外,在本说明中,为了进行说明而示出了具体例子,但是,只要是在不偏离本发明主旨的范围内,则不限于该结构或特性值。例如,在本说明中,构成为在熔断器F1和熔断器F2中的任何熔断器均未切断的状态下,控制成开关电路2必定断开,非电路3的输出是VDD电平,但是不限于此,也可以使接通断开相反,或者不是VDD电平而是VSS电平。

[0039] 此外,在上述说明中,为了简化,将开关电路2接通/断开的边界设为VDD和VSS的中点电位,而且没有特别触及非电路的反转电平,但是,在制造于半导体基板上的半导体集成电路装置中,由于制造工艺上的偏差,开关的接通断开的边界或非电路的反转电平与电源端子之间的中点相等是罕见的。因此,在熔断器F1和熔断器F2均未切断的状态下,为了确定开关的接通断开状态或非电路的输出逻辑,需要使输出端子N1的电位V1接近VDD或VSS的电位。因此,以构成熔断器F1和熔断器F2的方块电阻之比较大的方式选择材料即可。

[0040] 例如,在熔断器F1的电阻值Rf1是熔断器F2的电阻值Rf2的4倍时,任何熔断器均未切断的状态下的公共输出端子N1的电位V1为

$$[0041] V1 - VSS = (1 \div 5) \cdot (VDD - VSS) \cdots (3)$$

[0042] 这是通常足够确定开关或非电路的状态的电位。

[0043] 此外,作为具体例子,可举出使用上述低电阻多晶硅和高电阻多晶硅的情况。通常,低电阻多晶硅的方块电阻是数 Ω/\square ~ 数十 Ω/\square , 高电阻多晶硅的方块电阻是数 $k\Omega/\square$ ~ 数十 $k\Omega/\square$ 。作为一例,用方块电阻是 $10k\Omega/\square$ 的高电阻多晶硅构成熔断器F1,用方块电阻是 $10\Omega/\square$ 的低电阻多晶硅构成熔断器F2。各熔断器的布局形状大致相同,考虑能够用激光稳定地切断,作为一例,在设宽度W=1μm,长度L=10μm时,各熔断器的电阻值成为Rf1=100kΩ, Rf2=100Ω。根据(1)式,任何熔断器均未切断的状态下的输出端子N1的电位V1为

$$[0044] V1 - VSS = (1 \div 1001) \times (VDD - VSS) \cdots (4)$$

[0045] 即,电位V1几乎等于VSS的电位,因此在本实施方式中是适当的。

[0046] 此外,在任何熔断器均未切断的状态下,在VDD和VSS的电位差是5V的情况下,根据(2)式,求出从VDD经由熔断器F1和熔断器F2流向VSS的电流IF是约50μA。特性调整前后,换言之熔断器切断前后的消耗电流的变化量最好尽量小。这是因为,在测定半导体集成电路装置的特性时,优选测定检查环境的布线电阻或电源装置的内部阻抗、端子之间的接触电阻引起的电源电压变化小。此外,尤其是在对温度特性进行调整的情况下,在调整前后,半导体集成电路装置内的发热量发生变化是不理想的,因此,在未切断熔断器的状态下将流向熔断器的电流抑制得较小这一点上,本实施方式是合适的。

[0047] 图4是示出具有本实施方式的熔断器电路的半导体集成电路装置的另一例的电路图。本实施方式的半导体集成电路装置具有熔断器电路1、检测电路4、异或电路(EXOR电路)5。

[0048] 异或电路5具有2个输入端子和1个输出端子N5,一个输入端子与熔断器电路1的输出端子N1连接,另一个输入端子与检测电路4的输出端子N4连接,电源由VDD和VSS提供(未图示)。图4所示的半导体集成电路装置如上述那样构成,如下进行动作。

[0049] 检测电路4例如检测从外部输入的物理量,根据物理量进行检出状态和未检出状

态的二值输出。作为检测电路4的例子,可举出温度检测装置或磁检测装置等。以下,为了进行说明,将检出状态的逻辑值设为“1”,将未检出状态的逻辑值设为“0”。

[0050] 图5是用逻辑值来表现图4所示的半导体集成电路装置的动作的表。

[0051] 在切断熔断器F1的情况下,由于输出端子N1的电位是VSS电平,因而逻辑值是“0”。因此,在检测电路4的输出N4是检出状态“1”的情况下,输出N5是“1”,在检测电路4的输出N4是未检出状态“0”的情况下,输出N5是“0”。另一方面,在切断熔断器F2的情况下,由于输出端子N1的电位是VDD电平,因而逻辑值是“1”。

[0052] 因此,在检测电路4的输出N4是检出状态“1”的情况下,输出N5是“0”,在检测电路4的输出N4是未检出状态“0”的情况下,输出N5是“1”。如上所述,能够容易地将检测电路4的检出状态和未检出状态下的输出N5的逻辑值切换成正逻辑或负逻辑。

[0053] 图6是示出图4的检测电路4的一例的电路图。

[0054] 检测电路4由作为磁电转换元件的霍尔元件4a、放大电路4b、比较电路4c和基准电压电路4d构成。霍尔元件4a的4个端子中的相对的2个端子分别与电源端子连接,剩余的2个端子与放大电路4b的输入端连接。放大电路4b的输出端与比较电路4c的一个输入端连接,比较电路4c的另一个端子与基准电压电路4d的一个端子连接。比较电路4c的输出端与检测电路4的输出端子N4连接,基准电压电路4d的另一个端子与电源端子连接。图6所示的检测电路4如上述那样构成,如下进行动作。

[0055] 霍尔元件4a是磁电转换元件,输出与施加的磁场对应的电压。将被霍尔元件转换成电压的信号输入到放大电路4b,以规定的放大率放大并输入到比较电路4c。比较电路4c对来自霍尔元件4a的信号电压和基准电压电路4d输出的基准电压进行比较,如果来自霍尔元件4a的信号电压较高则输出检出状态的逻辑值“1”,如果来自霍尔元件4a的信号电压较低则输出未检出状态的逻辑值“0”。比较电路4c的输出作为检测电路4的输出从输出端子N4输出。由此,检测电路4进行动作,以便检测作为从外部输入的物理量的磁场,根据物理量进行检出状态和未检出状态的二值输出。

[0056] 此外,在本说明中,为了方便而将检测电路4设为上述电路结构,但是,只要是根据物理量进行检出状态和未检出状态的二值输出的结构即可,不限于上述结构。此外,作为检测电路4检测的物理量的一例,举出磁场(磁)的例子,但是,例如也可以是温度、电压、电流、加速度、压力等。此外,对放大电路4b的放大率和基准电压电路4d输出的基准电压的具体例子没有进行特别说明,也可以构成为能够应用图2或图3的结构对放大率或基准电压进行调整,对检测点进行调整。

[0057] 以上,说明了本发明的第2实施方式的半导体集成电路装置的结构和动作,示出了具有熔断器电路的电路的一例。如上所述,半导体集成电路装置要求高精度和高性能,能够以简洁的电路结构实现动作或功能的切换具有重要意义。另外,在本说明中,为了进行说明,说明了对输出的正逻辑和负逻辑进行切换的用途,但是,也可以应用于对输入的正逻辑和负逻辑进行切换的用途。

[0058] 以上,说明了本发明的第1实施方式和第2实施方式的半导体集成电路装置的动作,表明能够以极其简洁的电路结构实现熔断器电路,并示出了具有该熔断器电路的电路的一例。在本说明中,为了进行说明,示出了具体的电路结构或材料的特性值,但是,只要是进行在本说明中所述的动作的结构即可,不限于该结构或特性值。

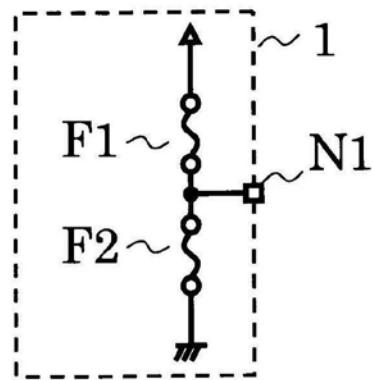


图1

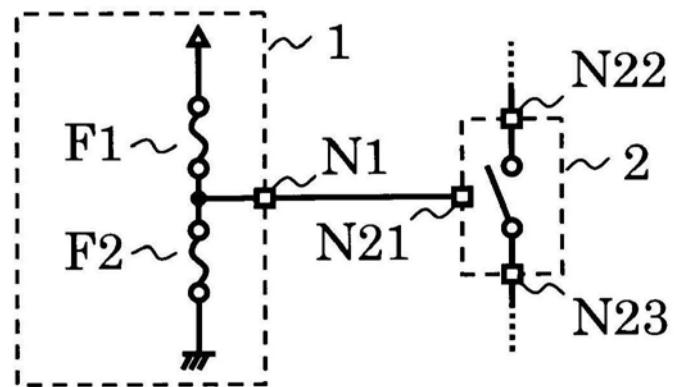


图2

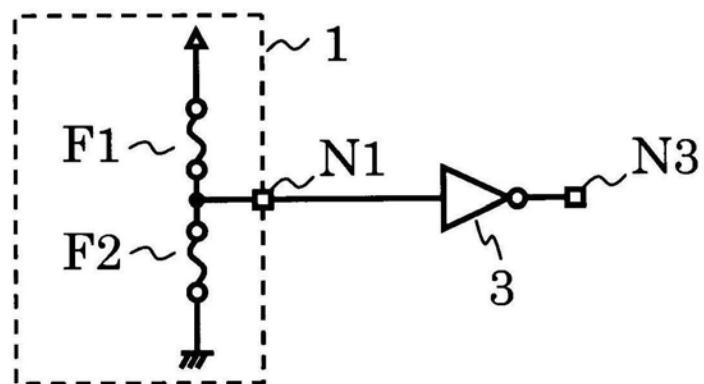


图3

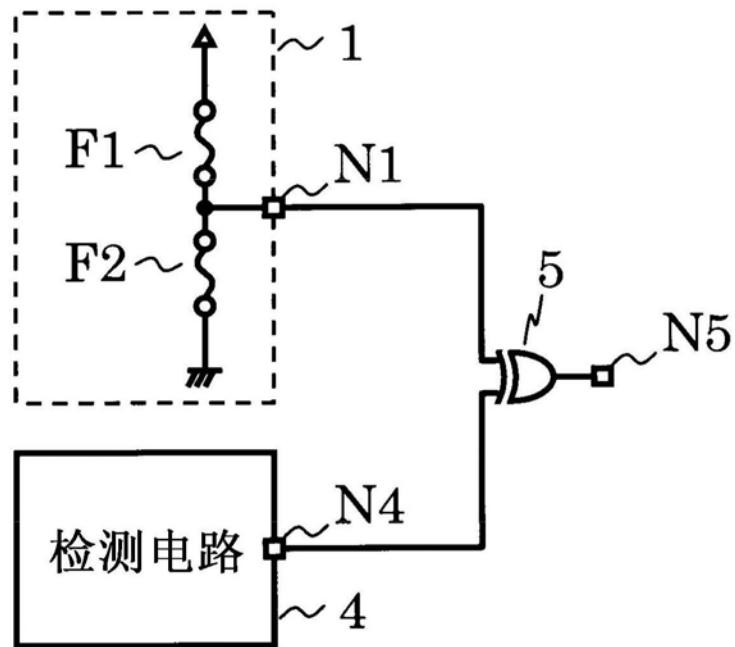


图4

切断熔断器	N1	N4	N5
F1	0	1	1
		0	0
F2	1	1	0
		0	1

图5

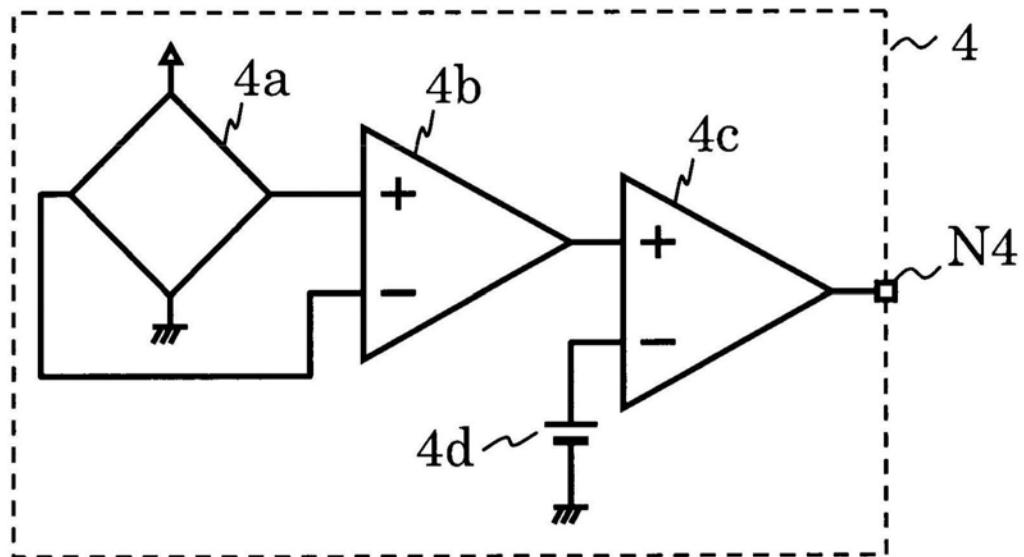


图6

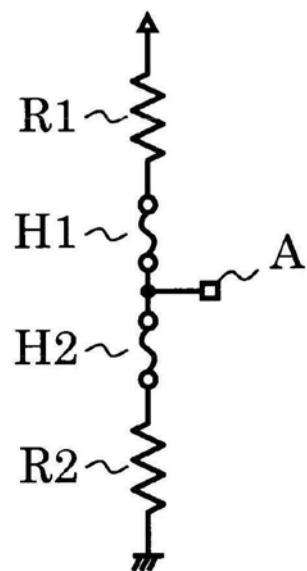


图7