201535722

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 201535722 A

(43)公開日： 中華民國 104 (2015) 年 09 月 16 日

(21)申請案號：103122378 (22)申請日： 中華民國 103 (2014) 年 06 月 27 日

(51)Int. Cl.： *H01L29/73 (2006.01)* *H01L21/8249(2006.01)*

(30)優先權：2014/03/05 日本 2014-043040

(71)申請人：東芝股份有限公司 (日本) KABUSHIKI KAISHA TOSHIBA (JP)
日本

(72)發明人：下條亮平 GEJO, RYOHEI (JP) ；田中文悟 TANAKA, BUNGO (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：3 項 圖式數：9 共 28 頁

(54)名稱

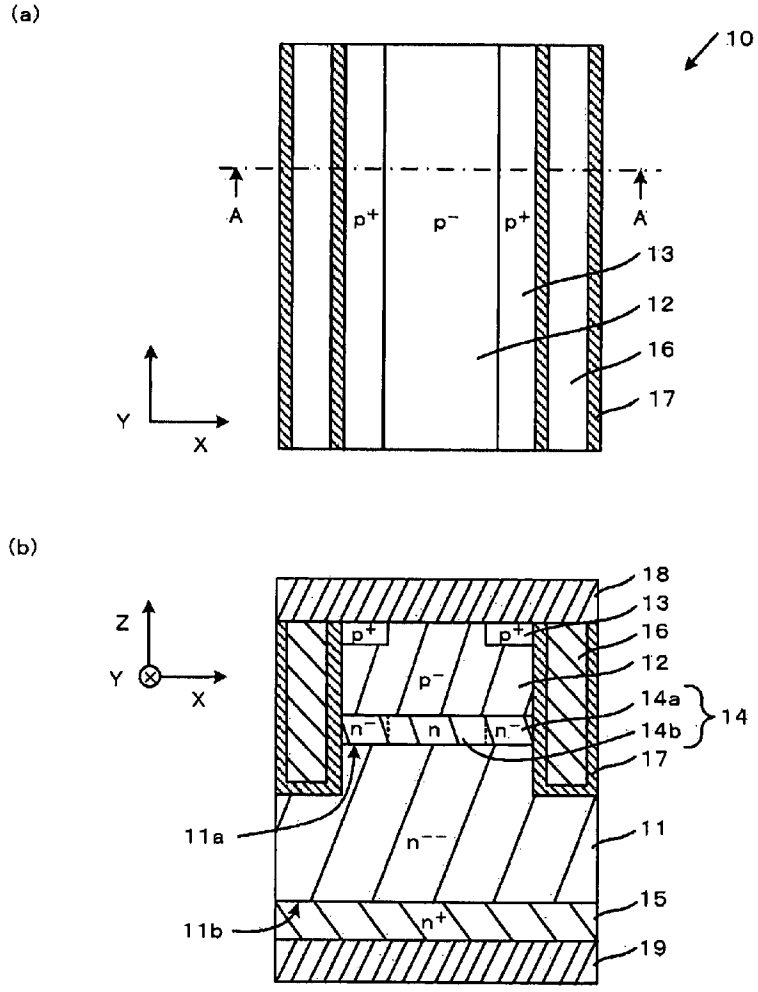
半導體裝置

(57)摘要

本發明提供一種可提高回復特性之半導體裝置。

半導體裝置 10 具備：第 1 導電型之第 1 半導體層 11，其具有第 1 面 11a、及與第 1 面 11a 對向之第 2 面 11b；第 2 導電型之第 2 半導體層 12，其設置於第 1 面 11a 側；第 2 導電型之第 3 半導體層 13，其局部性地設置於第 2 半導體層 12 內；第 1 導電型之第 4 半導體層 14，其包含：與第 3 半導體層 13 對向、且具有第 1 雜質濃度之第 1 區域 14a；及具有較第 1 雜質濃度更高之第 2 雜質濃度之第 2 區域 14b，且該第 4 半導體層 14 設置於第 1 半導體層 11 與第 2 半導體層 12 之間；第 1 導電型之第 5 半導體層 15，其設置於第 2 面 11b；及導電體 16，其隔著絕緣膜 17 而與第 1 半導體 11、第 2 半導體層 12、及第 3 半導體層 13 接觸。

TW 201535722 A



10・・・pin 二極體

11・・・n 基礎層

11a・・・第 1 面

11b・・・第 2 面

12・・・p 陽極層

13・・・p 射極層

14・・・n 阻障層

14a・・・第 1 區域

14b・・・第 2 區域

15・・・n 陰極層

16・・・第 1 陽極電極

17・・・絕緣膜

18・・・第 2 陽極電極

19・・・陰極電極

A-A・・・線

X・・・方向

Y・・・方向

Z・・・方向

圖1

201535722

發明摘要

※ 申請案號：103122378

※ 申請日：103 6 27　　※IPC 分類：H01L 29/03 .2006.01

H01L 21/8249 .2006.01

【發明名稱】

半導體裝置

【中文】

本發明提供一種可提高回復特性之半導體裝置。

半導體裝置10具備：第1導電型之第1半導體層11，其具有第1面11a、及與第1面11a對向之第2面11b；第2導電型之第2半導體層12，其設置於第1面11a側；第2導電型之第3半導體層13，其局部性地設置於第2半導體層12內；第1導電型之第4半導體層14，其包含：與第3半導體層13對向、且具有第1雜質濃度之第1區域14a；及具有較第1雜質濃度更高之第2雜質濃度之第2區域14b，且該第4半導體層14設置於第1半導體層11與第2半導體層12之間；第1導電型之第5半導體層15，其設置於第2面11b；及導電體16，其隔著絕緣膜17而與第1半導體11、第2半導體層12、及第3半導體層13接觸。

【英文】

無

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

10	pin二極體
11	n基礎層
11a	第1面
11b	第2面
12	p陽極層
13	p射極層
14	n阻障層
14a	第1區域
14b	第2區域
15	n陰極層
16	第1陽極電極
17	絕緣膜
18	第2陽極電極
19	陰極電極
A-A	線
X	方向
Y	方向
Z	方向

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】

半導體裝置

[相關申請案]

本申請案享有以日本專利申請案2014-43040號(申請日：2014年3月5日)為基礎申請案之優先權。本申請案藉由參照該基礎申請案而包含基礎申請案之全部內容。

【技術領域】

本發明之實施形態係關於一種半導體裝置。

【先前技術】

作為高耐電壓且控制大電流之功率半導體裝置，廣泛使用IGBT(Insulated Gate Bipolar Transistor，絕緣閘雙極型電晶體)。於使用IGBT作為開關元件之情形時，一般並聯連接耐電壓系相同之pin二極體。

近年來，雖推進將IGBT與pin二極體一體化之半導體裝置之研究，但需要斷開時之pin二極體之回復特性之更進一步之提高。

【發明內容】

本發明提供一種可提高回復特性之半導體裝置。

根據一實施形態，半導體裝置具備：第1導電型之第1半導體層，其具有第1面、及與上述第1面對向之第2面；第2導電型之第2半導體層，其設置於上述第1面側；第2導電型之第3半導體層，其局部性地設置於上述第2半導體層內；第1導電型之第4半導體層，其包含：與上述第3半導體層對向、且具有第1雜質濃度之第1區域；及具有較上述第1雜質濃度更高之第2雜質濃度之第2區域，且該第4半導體

層設置於上述第1半導體層與上述第2半導體層之間；第1導電型之第5半導體層，其設置於上述第2面；導電體，其隔著絕緣膜而與上述第1半導體層、上述第2半導體層、及上述第3半導體層接觸；第1電極，其與上述第2半導體層、上述第3半導體層、及上述導電體電性連接；及第2電極，其與上述第5半導體層電性連接。

【圖式簡單說明】

圖1係表示第1實施形態之半導體裝置之圖，圖1(a)係其俯視圖，圖1(b)係沿圖1(a)之A-A線切斷且朝箭頭方向觀察之剖面圖。

圖2(a)、(b)係將第1實施形態之半導體裝置之動作與比較例之半導體裝置對比而表示之剖面圖。

圖3(a)-(c)係依序表示第1實施形態之半導體裝置之製造步驟之剖面圖。

圖4(a)、(b)係依序表示第1實施形態之半導體裝置之製造步驟之剖面圖。

圖5(a)、(b)係依序表示第1實施形態之半導體裝置之製造步驟之剖面圖。

圖6係表示第2實施形態之半導體裝置之圖，圖6(a)係其俯視圖，圖6(b)係沿圖6(a)之A-A線切斷且朝箭頭方向觀察之剖面圖。

圖7係表示第3實施形態之半導體裝置之圖，圖7(a)係其俯視圖，圖7(b)係沿圖7(a)之A-A線切斷且朝箭頭方向觀察之剖面圖。

圖8係表示第4實施形態之半導體裝置之圖，圖8(a)係其俯視圖，圖8(b)係沿圖8(a)之A-A線切斷且朝箭頭方向觀察之剖面圖。

圖9係表示第4實施形態之半導體裝置之圖，圖9(a)係其俯視圖，圖9(b)係沿圖9(a)之A-A線切斷且朝箭頭方向觀察之剖面圖。

【實施方式】

以下，一面參照圖式一面對實施形態進行說明。

(第1實施形態)

使用圖1對本實施形態之半導體裝置進行說明。圖1係本實施形態之半導體裝置之圖，圖1(a)係其俯視圖，圖1(b)係沿圖1(a)之A-A線切斷且朝箭頭方向觀察之剖面圖。再者，於俯視圖中，最上層(下述之第1電極)被除去。

本實施形態之半導體裝置係與功率半導體裝置例如IGBT(Insulated Gate Bipolar Transistor)積體化而作為回流二極體(自由電力隔通二極體)發揮功能之pin二極體。

如圖1所示，本實施形態之半導體裝置(以下稱為pin二極體)10具有第1導電型之第1半導體層11、第2導電型之第2半導體層12、第2電型之第3半導體層13、第1導電型之第4半導體層14、及第1導電型之第5半導體層15。

於以下說明中，作為一例，第1導電型設為n型，第2導電型設為p型。圖1中之n^+、n、n^-、n^{--}、及p^+、p、p^-之記法係表示各導電型中之雜質濃度之相對性之高低。即，n^+表示與n相比n型雜質濃度相對較高，n^-表示與n相比n型雜質濃度相對較低，n^{--}表示與n^-相比n型雜質濃度相對較低。p^+表示與p相比p型之雜質濃度相對較高，p^-表示與p相比p型雜質濃度相對較低。

將貫穿第1至第5半導體層11、12、13、14、15之方向設為Z方向，將與Z方向正交之方向之一設為X方向，將與Z方向及X方向正交之方向設為Y方向。

n型之第1半導體層(以下稱為n基礎層)11具有第1面11a、及與第1面11a對向之第2面11b。p型之第2半導體層(以下稱為p陽極層)12係設置於n基礎層11之第1面11a之上方。

p型之第3半導體層(以下稱為p射極層)13係局部性地設置於p陽極層12。p射極層13之一端面接觸於p陽極層12之上表面。p射極層13向

Y方向延伸，且隔著下述之絕緣膜17而接觸於下述導電體16。

n型之第4半導體層(以下稱為n阻障層)14係設置於n基礎層11與p陽極層12之間。於n阻障層14中，將位於p射極層13之下方之區域設為第1區域14a。將自n阻障層14除去第1區域14a以外之區域設為第2區域14b。第1區域14a之第1雜質濃度低於第2區域14b之第2雜質濃度。即，n阻障層14沿X方向具有雜質濃度之分佈。

n型之第5半導體層(以下稱為n陰極層)15係設置於n基礎層11之第2面11b。

導電體(第1陽極電極)16係以自p陽極層12到達n基礎層11之內部之方式設置。進而，第1陽極電極16係以向Y方向(第1方向)延伸之方式設置。即，第1陽極電極16自p陽極層12之上表面到達n基礎層11之內部，且向Y方向延伸。第1陽極電極16以隔著p射極層13之方式設置有複數個。

絕緣膜17係設置於第1陽極電極16與n基礎層11、p陽極層12、p射極層13、及n阻障層14之各者之間。

第1電極(以下稱為第2陽極電極)18係以與p陽極層12、p射極層13、及第1陽極電極16接觸之方式設置。第2陽極電極18係與p陽極層12、p射極層13、及第1陽極電極16歐姆接合且電性連接。

第2電極(以下稱為陰極電極)19係以與n陰極層15接觸之方式設置。陰極電極19與n陰極層15歐姆接合且電性連接。

n基礎層11、p陽極層12、p射極層13、n阻障層14、及n陰極層15例如為摻雜有雜質之矽半導體層。第1陽極電極16例如為摻雜有雜質之多晶矽膜。

絕緣膜17例如為氧化矽膜。第2陽極電極18及陰極電極19為可歐姆接合於矽之金屬，例如為金、鋁等。

n基礎層11之雜質濃度例如為大於等於1×10^{13} cm^{-3}且小於等於

1×10^{15} cm^{-3}左右。n基礎層11之厚度例如為大於等於50 μm且小於等於500 μm左右。

p陽極層12之雜質濃度例如為大於等於1×10^{17} cm^{-3}且小於等於1×10^{18} cm^{-3}左右。p陽極層12之厚度例如為大於等於0.5 μm且小於等於5 μm左右。

p射極層13之雜質濃度高於p陽極層12之雜質濃度。p射極層13之雜質濃度例如為1×10^{20} cm^{-3}左右。p射極層13之厚度例如為小於等於2 μm左右。

n阻障層14之雜質濃度高於n基礎層11之雜質濃度。n阻障層14之第1區域14a之第1雜質濃度例如為小於等於0.5×10^{17} cm^{-3}左右。n阻障層14之第2區域14b之第2雜質濃度例如為小於等於1×10^{17} cm^{-3}左右。n阻障層14之厚度例如為大於等於0.5 μm且小於等於6 μm左右。

n陰極層15之雜質濃度高於第1半導體層11之雜質濃度。第5半導體層15之雜質濃度例如為大於等於1×10^{18} cm^{-3}且小於等於1×10^{21} cm^{-3}左右。n陰極層15之厚度例如為小於等於2 μm左右。

第1陽極電極16間之X方向之間隔(中心間距離)例如為大於等於3 μm且小於等於18 μm左右。第1陽極電極16之寬度例如為大於等於0.5 μm且小於等於2 μm左右。絕緣膜17之厚度例如為大於等於0.1 μm且小於等於0.5 μm左右。

本實施形態之pin二極體10亦可為共用第1陽極電極16之構造，且沿X方向配置複數個。

接下來，對本實施形態之pin二極體10之功能及動作進行說明。

n基礎層11之雜質濃度足夠低，由此被看作本徵半導體層(i層)。因此，p陽極層12、n基礎層11、及n陰極層15係作為pin二極體發揮功能。n基礎層11足夠厚，因此pin二極體10具有較高之耐電壓。p射極層13係作為p陽極層12與第2陽極電極18之集電極層發揮功能。

設置第1陽極電極16係用於如下而設置，即於對pin二極體10施加有反向偏壓時，使pn接面之界面上之空乏層沿橫向擴散而確保耐電壓。又，第1陽極電極16係用於如下而設置，即以溝槽隔離(Trench Isolation)形式將pin二極體10與其他半導體裝置例如IGBT電性隔離。

n阻障層14係用於如下而設置，即於作為p(n)in構造之pin二極體10順向偏壓時，控制注入至n基礎層11之載子之注入效率。又，該n阻障層14係用以控制排出路徑而設置，該排出路徑於pin二極體10斷開時，將過量蓄積於n基礎層11之載子向p射極層13排出。

n阻障層14之第1區域14a主要有助於控制排出路徑，n阻障層14之第2區域14b主要有助於控制載子之注入效率。

若對第2陽極電極18施加正電壓，且對陰極電極19施加負電壓而使pin二極體10順向偏壓，則電洞自p陽極層12注入至n基礎層11，且電子以滿足電性中性條件之方式自n陰極層15注入至n基礎層11。

以下，將過量蓄積於n基礎層11內之電子、電洞稱為過量載子。其結果，於n基礎層11產生由過量載子所致之電導率調變，因此n基礎層11之電阻變得極小。n基礎層11成為導通狀態。

電洞自陽極層12首先注入至n阻障層14，且電洞濃度於n阻障層14衰減。其原因在於，由於n阻障層14之雜質濃度高於n基礎層11，故而電洞之擴散長度變短。即，自p陽極層12之電洞注入效率根據n阻障層14之雜質濃度而變化。

另一方面，於自順向偏壓狀態轉移為反向偏壓狀態之過程即斷開時，n基礎層11之過量載子被優先自擴散長度較長之區域、即雜質濃度較低之區域放出。

圖2係將pin二極體10之動作與比較例之pin二極體對比而表示之圖，圖2(a)係表示pin二極體10之動作之剖面圖，圖2(b)係表示比較例之pin二極體30之動作之剖面圖。

比較例之pin二極體30係具有雜質濃度於X方向均勻之n阻障層31之pin二極體。首先，對比較例之pin二極體30之動作進行說明。

如圖2(b)所示，於比較例之pin二極體30中，n阻障層31之雜質濃度均勻，因此於pin二極體30斷開時，n基礎層11之過量載子之排出路徑遍及n阻障層31之全體。

p陽極層12與p射極層13相比雜質濃度低，因此p陽極層12與第2陽極電極18之接觸電阻較高。又， p陽極層12與第2陽極電極18亦存在顯示肖特基接面特性之情況。

其結果，於p陽極層12之上部，於未設置p射極層13之區域、即夾於p射極層13之間之區域，產生電流集中而回復特性降低。

另一方面，如圖2(a)所示，於本實施形態之pin二極體10中，於n阻障層14中，p射極層13之下方之第1區域14a之第1雜質濃度低於第2區域14b之第2雜質濃度，因此於pin二極體10斷開時，n基礎層11之過量載子被優先自第1區域14a排出。即，過量載子之排出路徑限定於第1區域14a。

其結果，可經由第1區域14a向p射極層13快速地引出過量載子，因此可提高回復特性。第1區域14a之第1雜質濃度可根據目標之回復特性而適當決定。

其次，對pin二極體10之製造方法進行說明。圖3至圖5係依序表示pin二極體10之製造方法之剖面圖。

如圖3(a)所示，準備n型之矽基板40。藉由例如離子注入法將磷離子(P^+)注入至矽基板40之第1面40a，而形成具有與n阻障層14之第1區域41a之第1雜質濃度相同之雜質濃度之n矽層41。n矽層41之厚度設為n阻障層14之厚度與p陽極層12之厚度之和。

藉由例如離子注入法將磷離子(P^+)注入至矽基板40之第2面40b而形成n陰極層15。n矽層41與n陰極層15之間之矽基板40成為基礎層

11。n陰極層15亦可使雜質熱擴散而形成。

如圖3(b)所示，藉由例如光微影法而於n矽層41形成具有與設置n阻障層14之第2區域14b之預定區域對應之開口42a之抗蝕膜42。

將抗蝕膜42作為掩膜，藉由例如離子注入法將P^+注入至n矽層41而形成n阻障層14之第2區域14b。未注入P^+之區域成為第1區域14a。

如圖3(c)所示，藉由例如離子注入法將B^+注入至n矽層41之上部。藉此，n矽層41之上部成為p陽極層12。n矽層41之下部成為具有第1區域14a與第2區域14b之n阻障層14。

p陽極層12可藉由例如使用矽烷(SiH_4)作為處理氣體、且使用二硼烷(B_2H_6)作為摻雜劑氣體之氣相成長法而形成。

如圖4(a)所示，於p陽極層12上，藉由例如光微影法而形成具有與設置p射極層13之預定區域對應之開口43a之抗蝕膜43。n阻障層14之第1區域14a位於開口43a之下方。

將抗蝕膜43作為掩膜，藉由例如離子注入法將硼離子(B^+)注入至p陽極層12。藉此，獲得設置於p陽極層12、且一端面接觸於p陽極層12之上表面之p射極層13。

如圖4(b)所示，於p陽極層12上，藉由例如光微影法而形成具有與設置第1陽極電極16之預定區域對應之開口44a之抗蝕膜44。

將抗蝕膜44作為掩膜，藉由例如使用氟系氣體之RIE(Reactive Ion Etching，反應性離子蝕刻)法而將p射極層13、p陽極層12、n阻障層14蝕刻，及將n基礎層11蝕刻至中途。藉此，形成自p陽極層12之上表面到達n基礎層11之內部之溝槽45。

如圖5(a)所示，於溝槽45之內表面、p陽極層12之上表面、及p射極層13之上表面，藉由例如熱氧化法而形成氧化矽膜46。以充滿溝槽45之內部之方式，藉由例如使用矽烷(SiH_4)作為處理氣體、且使用二硼烷(B_2H_6)作為摻雜劑氣體之CVD(Chemical Vapor Deposition，化學

氣相沈積)法而形成多晶矽膜47。

如圖5(b)所示，藉由例如CMP(Chemical Mechanical Polishing，化學機械研磨)法，除去多晶矽膜47直至氧化矽膜46露出為止。使用含有例如氫氟酸之水溶液將露出之氧化矽膜46進行濕式蝕刻直至p陽極層12及p射極層13露出為止。殘留之氧化矽膜46成為絕緣膜17。殘留之多晶矽膜47成為第1陽極電極16。

最後，於p陽極層12、p射極層13、及第1陽極電極16上，藉由例如濺鍍法而形成鋁膜，從而獲得第2陽極電極18。以同樣之方式於n陰極層15上獲得陰極電極19。

藉此，獲得圖1所示之pin二極體10。

如以上說明般，於本實施形態之pin二極體10中，於n阻障層14中，位於p射極層13之下方之第1區域14a之第1雜質濃度變得低於除第1區域14a以外之第2區域41b之第2雜質濃度。

因此，於pin二極體10斷開時，n基礎層11之過量載子之排出路徑被限定於第1區域14a。其結果，可經由第1區域14a向p射極層13快速地引出過量載子，因此可獲得回復特性較高之pin二極體10。

此處，對第1導電型為n型、第2導電型為p型之情形進行了說明，但即便第1導電型為p型、第2導電型為n型亦可獲得相同之效果。

已對n基礎層11、p陽極層12、p射極層13、n阻障層14、及n陰極層15為矽半導體層之情形進行了說明，但即便為其他半導體層、例如SiC、GaN等化合物半導體層，亦可獲得相同之效果。

(第2實施形態)

使用圖6對本實施形態之半導體裝置進行說明。圖6係表示本實施形態之半導體裝置之圖，圖6(a)係其俯視圖，圖6(b)係沿圖6(a)之A-A線切斷且朝箭頭方向觀察之剖面圖。

於本實施形態中，對與上述第1實施形態相同之構成部分標註相

同符號並省略該部分之說明，對不同部分進行說明。本實施形態與第1實施形態不同之處在於，p射極層與第1陽極電極隔開且向Y方向延伸。

即，如圖6所示，於本實施形態之pin二極體50中，p射極層51係與第1陽極電極16隔開且向Y方向延伸。p射極層51係以夾於相鄰之第1陽極電極16之間之方式設置於p陽極層12之中央部。

於p射極層51之下方配置有n阻障層52之第1區域52a。n阻障層52之第2區域52b係配置於第1區域52a之兩側。

p射極層51只要與第1陽極電極16隔開且向Y方向延伸即可，因此第1陽極電極16間之位置並無特別限定。因此存在如下優點，即於pin二極體50之製造步驟中，易於實施用以形成p射極層51之光微影法。

再者，p射極層51之面積設為與圖1所示之p射極層13之面積相同即可。例如，將p射極層51之X方向之寬度設為p射極層13之X方向之寬度之2倍。

如以上說明般，於本實施形態之pin二極體50中，p射極層51係與第1陽極電極16隔開而設置。其結果，於pin二極體50之製造步驟中易於實施光微影法。

再者，亦可將複數個p射極層51沿X方向隔開而設置。於該情形時，使各p射極層51之面積之和與圖1所示之p射極層13之面積相同即可。

(第3實施形態)

使用圖7對本實施形態之半導體裝置進行說明。圖7係表示本實施形態之半導體裝置之圖，圖7(a)係其俯視圖，圖7(b)係沿圖7(a)之A-A線切斷且朝箭頭方向觀察之剖面圖。A-A線並非為直線而為曲柄狀。

於本實施形態中，對與上述第1實施形態相同之構成部分標註相

同符號並省略其部分之說明，對不同部分進行說明。本實施形態與第1實施形態不同之處在於，p射極層係向X方向延伸。

即，如圖7所示，於本實施形態之pin二極體60中，p射極層61沿與Y方向正交之X方向(第2方向)延伸。p射極層61之兩端隔著絕緣膜17而接觸於第1陽極電極16。

複數個p射極層61係沿Y方向隔開而配置。於p射極層61之下方配置有n阻障層62之第1區域62a。n阻障層62之第2區域62b係配置於相鄰之第1區域62a之間。

複數個p射極層61只要沿Y方向隔開配置即可，其間隔並無特別限定。

於將沿Y方向延伸之p射極層配置於第1陽極電極16之間之情形時，若第1陽極電極16之間之X方向之間隔(中心間距離)變短，則於pin二極體之製造步驟中難以實施光微影法。

另一方面，於本實施之形態中，p射極層61係向X方向延伸，因此pin二極體60之製造步驟中之光微影法實質上不受第1陽極電極16之間之X方向之間隔影響。從而有如下優點，即，即便第1陽極電極16之間之X方向之間隔變短，於pin二極體60之製造步驟中亦易於實施光微影法。

再者，p射極層61之面積設為與圖1所示之p射極層13之面積相同即可

如以上說明般，於本實施形態之pin二極體60中，p射極層61係向X方向延伸。其結果，於pin二極體60之製造步驟中易於實施光微影法。此係適合第1陽極電極16之間之X方向之間隔(中心間距離)較短之情形之配置。

(第4實施形態)

使用圖8對本實施形態之半導體裝置進行說明。圖8係表示本實

施形態之半導體裝置之圖，圖8(a)係其俯視圖，圖8(b)係沿圖8(a)之A-A線切斷且朝箭頭方向觀察之剖面圖。A-A線為曲柄狀。

於本實施形態中，對與上述第1實施形態相同之構成部分標註相同符號並省略其部分之說明，對不同部分進行說明。本實施形態與第1實施形態不同之處在於，將n阻障層之第1區域之第1雜質濃度設為與n基礎層之雜質濃度實質上相同。

即，如圖8所示，於本實施形態之pin二極體70中，p射極層71與圖7所示之p射極層61為相同配置。於n阻障層72中，位於p射極層71之下方之第1區域72a之第1雜質濃度被設定為與n基礎層11之雜質濃度實質上相同。n阻障層72之第2區域72b係配置於相鄰之第1區域72a之間。

於本實施形態之n阻障層72中，第1區域72a之第1雜質濃度與第2區域72b之第2雜質濃度之差變大，因此於pin二極體70斷開時，n基礎層11之過量載子之排出路徑限定於第1區域72a之效果提高。

如以上說明般，於本實施形態之pin二極體70中，n阻障層72之第1區域72a之第1雜質濃度係被設定為與n基礎層11之雜質濃度實質上相同。因此，第1區域72a與第2區域72b之雜質濃度之差變大，可獲得回復特性進一步提高之效果。

此處，對p射極層71為與圖7所示之p射極層61相同之配置之情形進行了說明，亦可形成為與圖1所示之p射極層13、及圖6所示之p射極層51相同之配置。

(第5實施形態)

使用圖9對本實施形態之半導體裝置進行說明。圖9係表示本實施形態之半導體裝置之圖，圖9(a)係其俯視圖，圖9(b)係沿圖9(a)之A-A線切斷且朝箭頭方向觀察之剖面圖。A-A線為曲柄狀。

於本實施形態中，對與上述第1實施形態相同之構成部分標註相

同符號並省略其部分之說明，對不同部分進行說明。本實施形態與第1實施形態不同之處在於，將p射極層正下方之p陽極層之雜質濃度設為高於除p射極層正下方之p陽極層以外之p陽極層之雜質濃度。

即，如圖9所示，於本實施形態之pin二極體80中，p射極層81為與圖7所示之p射極層61相同之配置。於p陽極層82中，將p射極層81之正下方之區域設為第3區域82a。將除第3區域82a以外之區域設為第4區域82b。第3區域82a之第3雜質濃度設定為高於第4區域82b之雜質濃度。

另一方面，於n阻障層83中，p射極層81之下側之第1區域83a之第1雜質濃度設定為與第2區域83b之第2雜質濃度相同。

即便於本實施形態中，於pin二極體80斷開時，亦可獲得n基礎層11之過量載子之排出路徑限定於第1區域83a之效果。

如以上說明般，於本實施形態之pin二極體80中，於p陽極層82中，p射極層81之正下方之第3區域82a之第3雜質濃度設定為高於第4區域82b之雜質濃度。

即便於本實施形態之pin二極體80中，與第1實施形態之pin二極體10同樣地，亦可獲得回復特性提高之效果。

此處，對p射極層81為與圖7所示之p射極層61相同之配置之情形進行了說明，但亦可為與圖1所示之p射極層13、及圖6所示之p射極層51相同之配置。

對n阻障層83中第1區域83a之第1雜質濃度與第2區域83b之第2雜質濃度相同之情形進行了說明，但若使第1雜質濃度低於第2雜質濃度，則可進而增強回復特性之提高效果。

以上，對若干個實施形態進行了說明，但該等實施形態係作為例而提出者，並未意圖限定發明之範圍。該等新穎之實施形態能以其他各種形態實施，且可於不脫離發明之主旨之範圍內進行各種省略、

替換、變更。該等實施形態或其變化包含於發明之範圍或主旨，並且包含於申請專利範圍所記載之發明及其均等之範圍。

【符號說明】

10	pin二極體
11	n基礎層
11a	第1面
11b	第2面
12	p陽極層
13	p射極層
14	n阻障層
14a	第1區域
14b	第2區域
15	n陰極層
16	第1陽極電極
17	絕緣膜
18	第2陽極電極
19	陰極電極
30	pin二極體
31	n阻障層
40	矽基板
40a	第1面
40b	第2面
41	n矽層
42	抗蝕膜
42a	開口
43	抗蝕膜

43a	開口
44	抗蝕膜
44a	開口
45	溝槽
46	氧化矽膜
47	多晶矽膜
50	pin二極體
51	p射極層
52	n阻障層
52a	第1區域
52b	第2區域
60	pin二極體
61	p射極層
62	n阻障層
62a	第1區域
62b	第2區域
70	pin二極體
71	p射極層
72	n阻障層
72a	第1區域
72b	第2區域
80	pin二極體
81	p射極層
82	p陽極層
82a	第3區域
82b	第4區域

83	n阻障層
83a	第1區域
83b	第2區域
A-A	線
X	方向
Y	方向
Z	方向

申請專利範圍

1. 一種半導體裝置，其特徵在於具備：

第1導電型之第1半導體層，其具有第1面、及與上述第1面對向之第2面；

第2導電型之第2半導體層，其設置於上述第1面側；

第2導電型之第3半導體層，其局部性地設置於上述第2半導體層內；

第1導電型之第4半導體層，其包含：與上述第3半導體層對向、且具有第1雜質濃度之第1區域；及具有較上述第1雜質濃度更高之第2雜質濃度之第2區域，且該第4半導體層設置於上述第1半導體層與上述第2半導體層之間；

第1導電型之第5半導體層，其設置於上述第2面；

導電體，其隔著絕緣膜而與上述第1半導體層、上述第2半導體層、及上述第3半導體層接觸；

第1電極，其與上述第2半導體層、上述第3半導體層、及上述導電體電性連接；及

第2電極，其與上述第5半導體層電性連接。

2. 如請求項1之半導體裝置，其中上述第1雜質濃度與上述第1半導體層之雜質濃度相同。

3. 如請求項1或2之半導體裝置，其中上述第2半導體層具備：第3區域，其位於上述第3半導體層與上述第4半導體層之間，且具有第3雜質濃度；及第4區域，其位於上述第1電極與上述第4半導體層之間，且具有較上述第3雜質濃度更低之雜質濃度即第4雜質濃度。

圖式

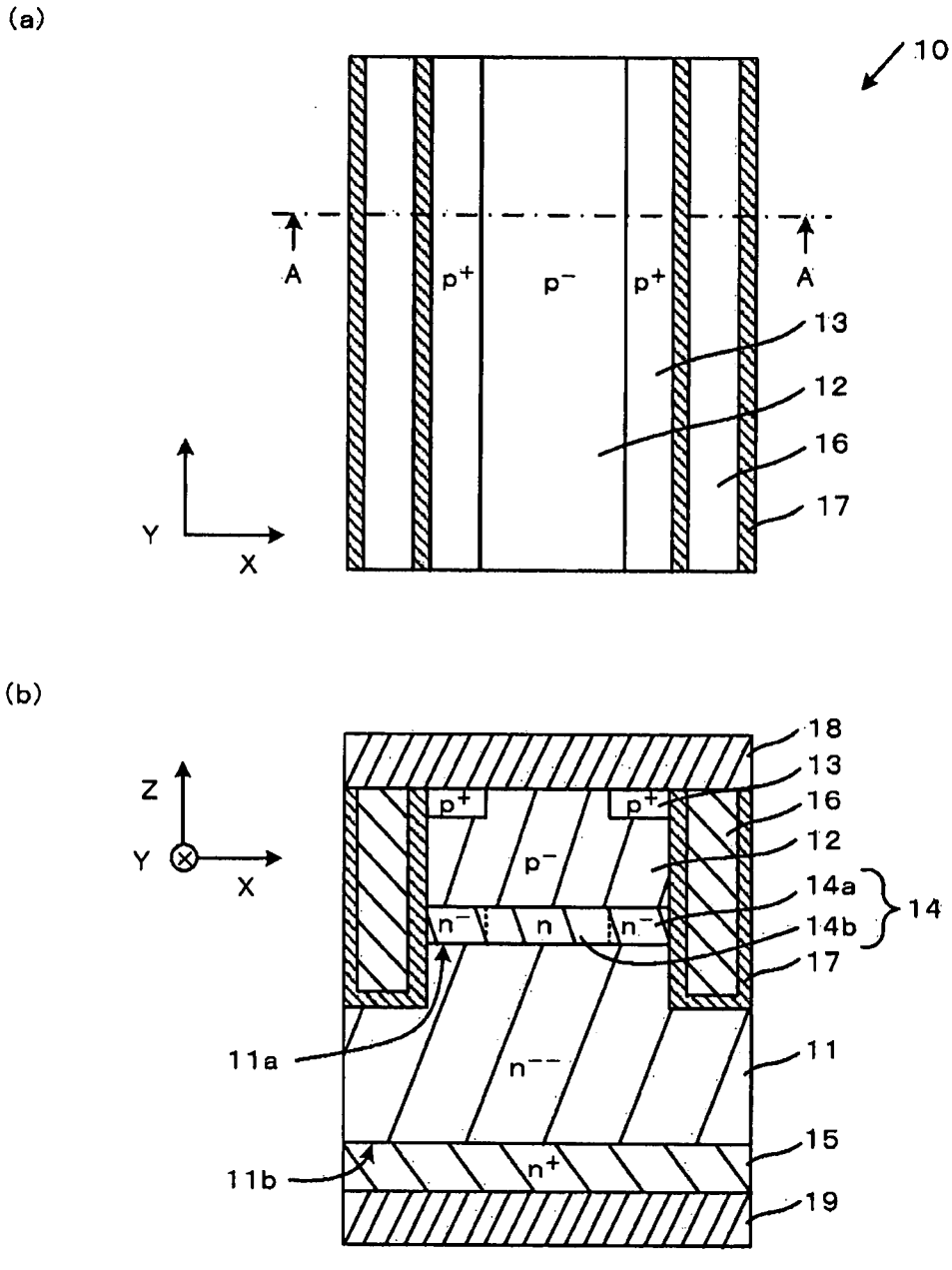
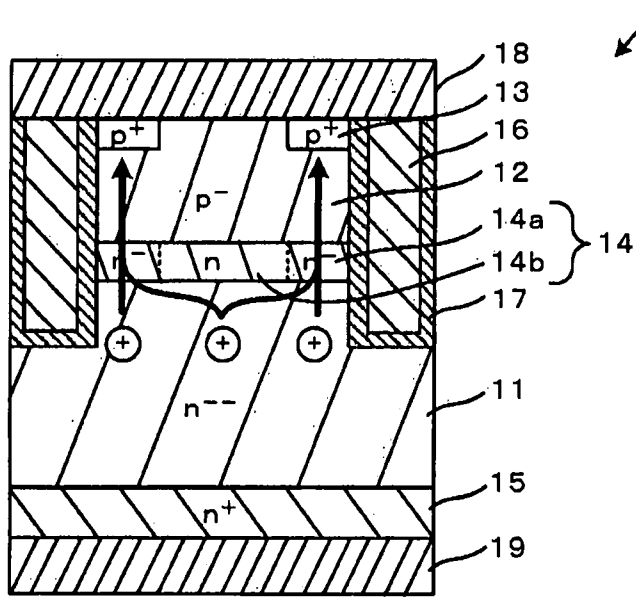

(a)
10
A
A
p+
p−
p+
13
12
16
17
Y
X
(b)
Z
Y
X
18
13
16
12
14a
14b
14
17
p+
p+
p−
n−
n
n−
11a
n−−
11
15
11b
n+
19

圖1

(a) 本實施形態



(b) 比較例

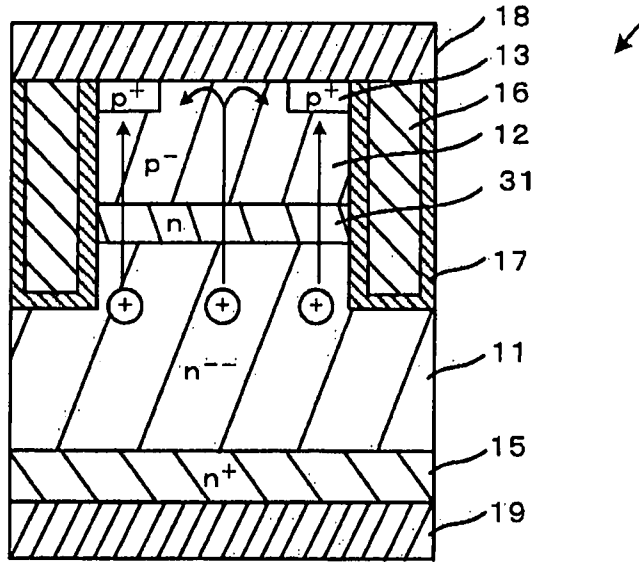


圖2

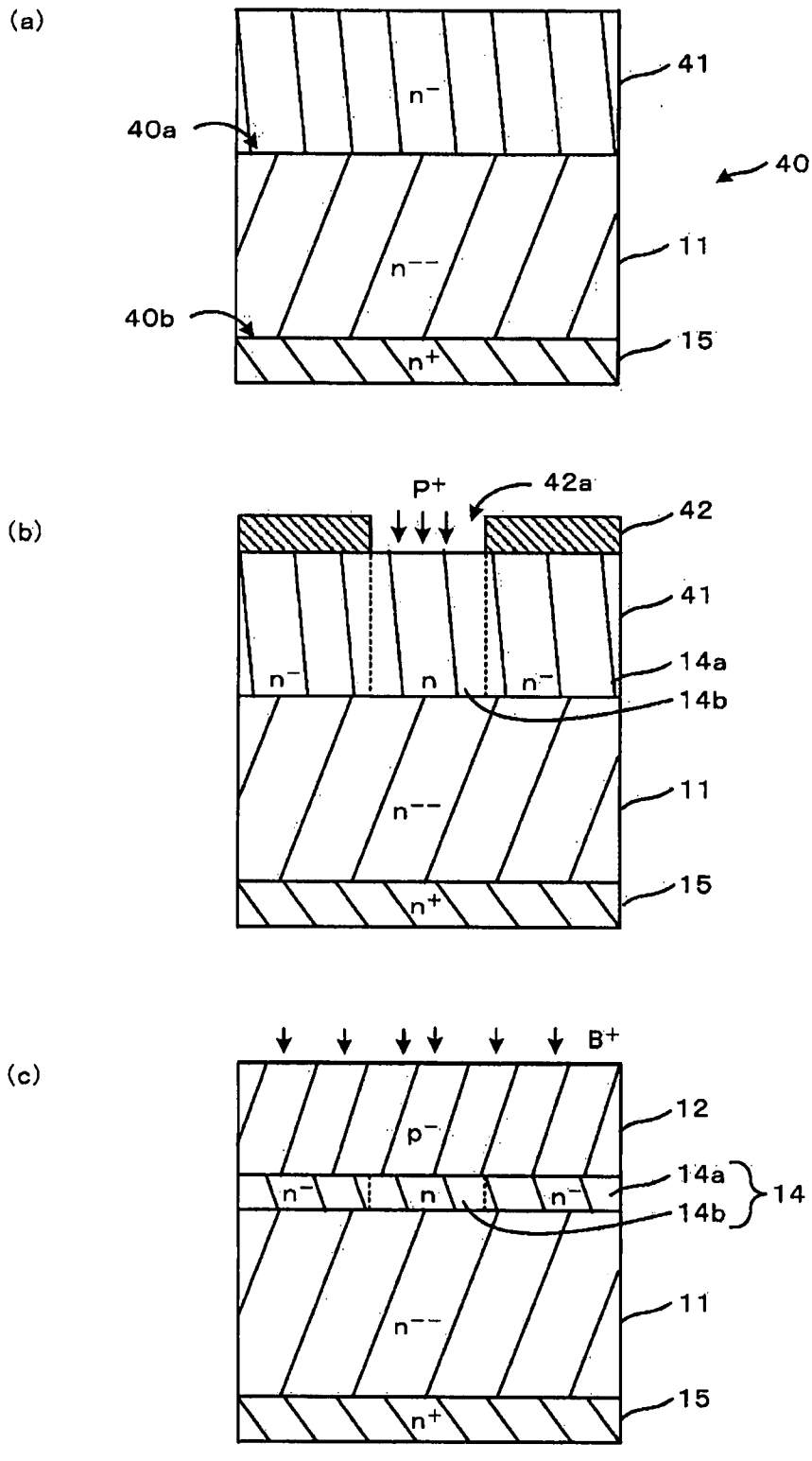
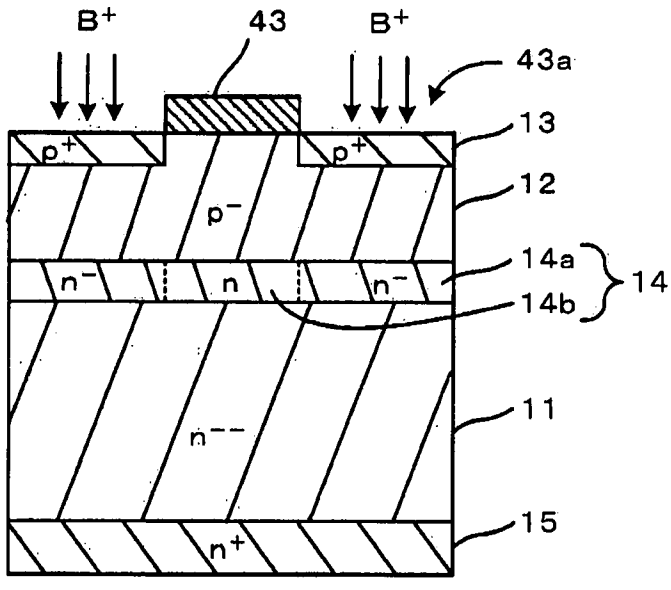

(a)
n⁻
41
40a
40
n⁻⁻
11
40b
n⁺
15
(b)
P+
42a
42
41
n⁻
n
n⁻
14a
14b
n⁻⁻
11
n⁺
15
(c)
B+
12
p⁻
14a
14
n⁻
n
n⁻
14b
n⁻⁻
11
n⁺
15

圖3

(a)


B+
43
B+
43a
13
p+
p+
12
p−
14a
14
n−
n
n−
14b
11
n−−
15
n+

(b)

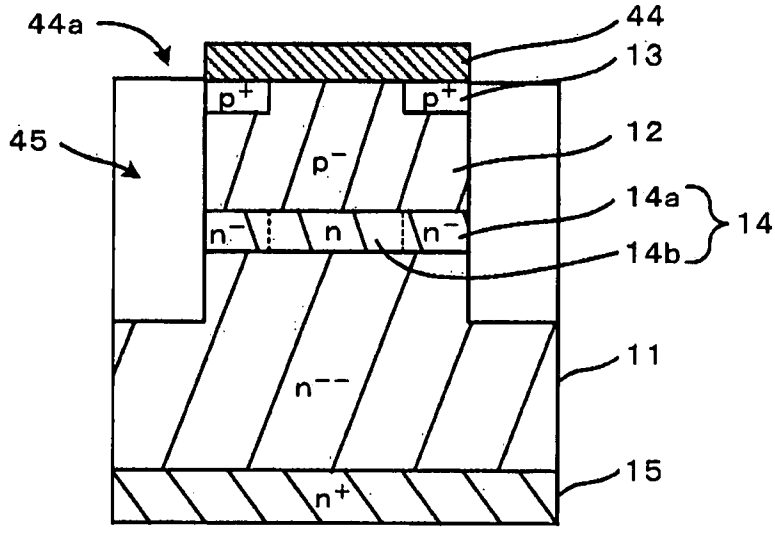
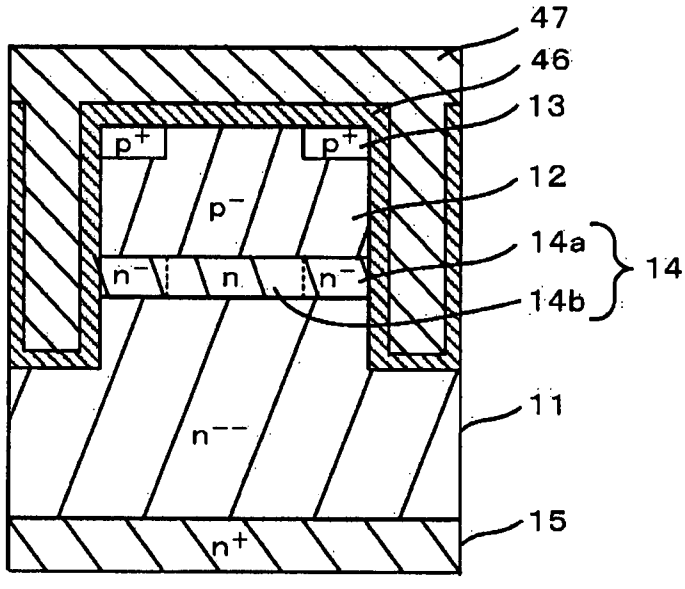

44a
44
13
p+
p+
45
12
p−
14a
14
n−
n
n−
14b
11
n−−
15
n+

圖4

(a)


47
46
13
p+
p+
12
p−
14a
14
n−
n
n−
14b
11
n−−
15
n+

(b)

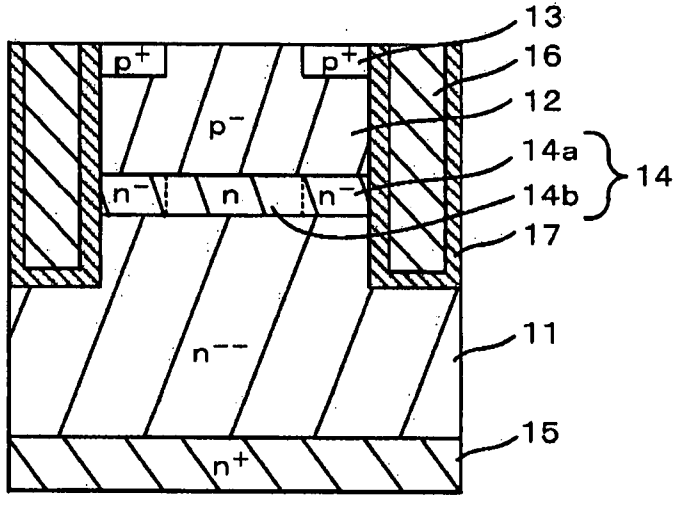

13
p+
p+
16
12
p−
14a
14
n−
n
n−
14b
17
11
n−−
15
n+

圖5

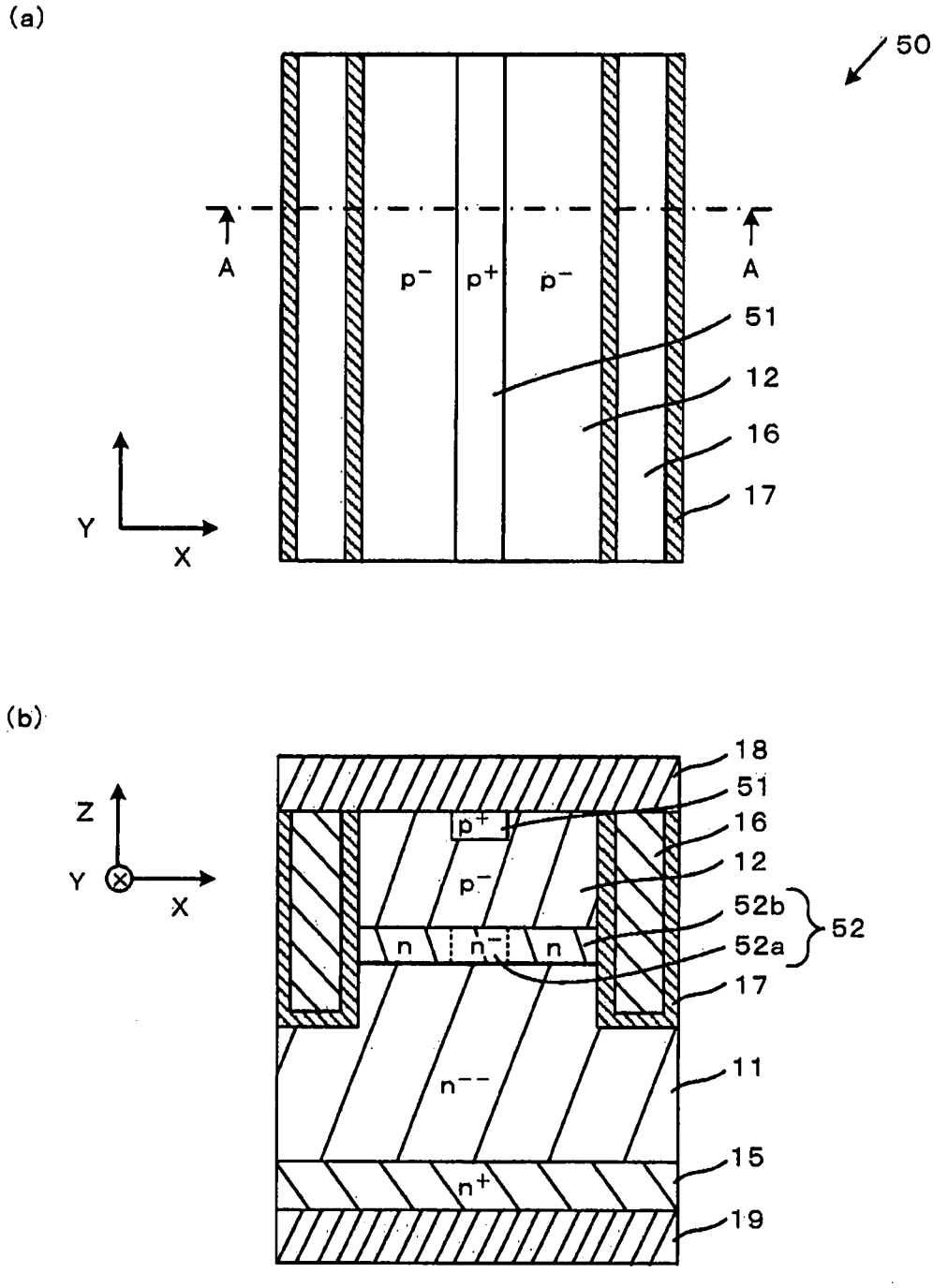

(a)
50
A
A
p⁻
p⁺
p⁻
51
12
16
17
Y
X
(b)
Z
Y
X
18
51
16
12
52b
52a
52
17
11
15
19
p⁺
p⁻
n
n⁻
n
n⁻⁻
n⁺

圖6

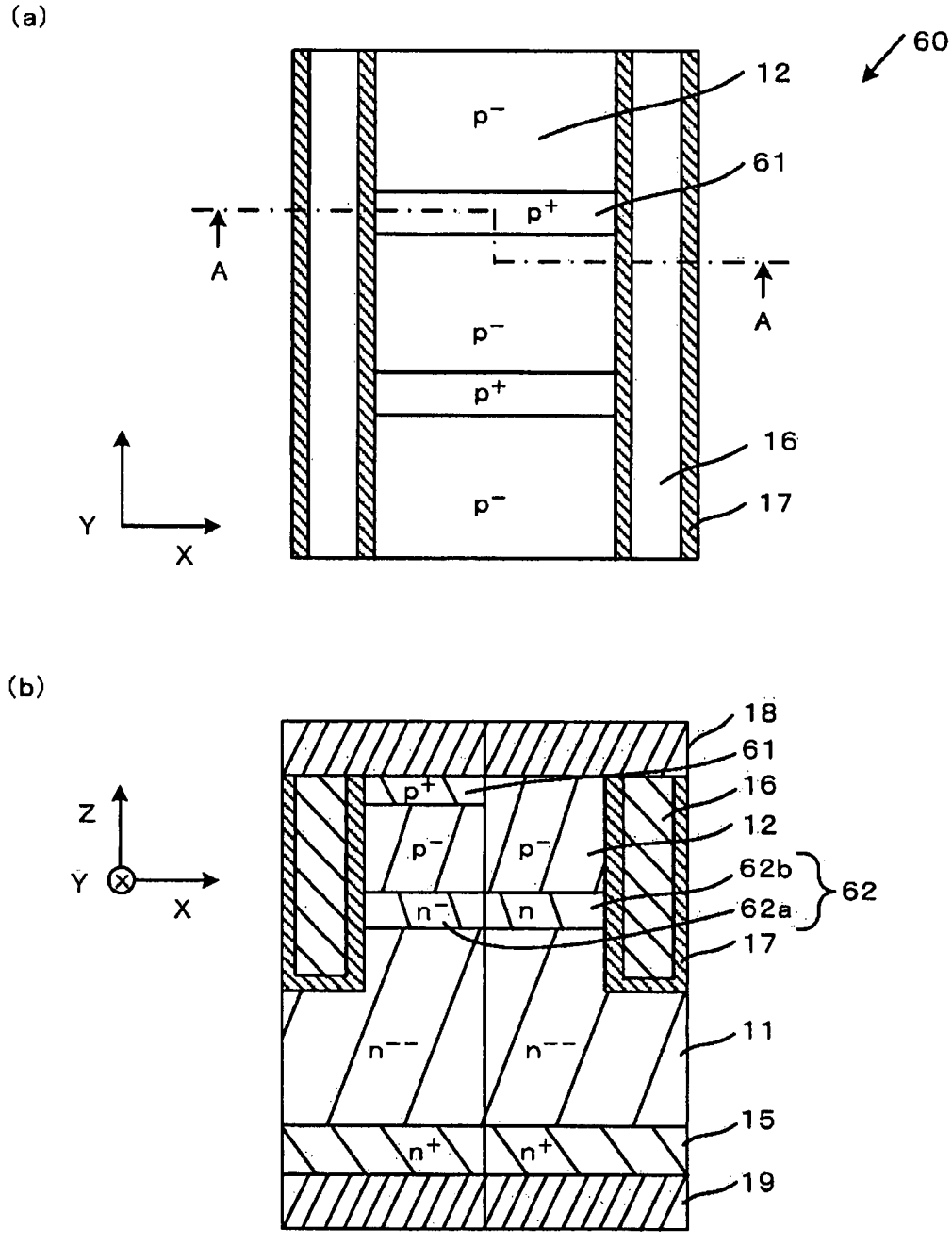

(a)
60
12
61
p⁻
p⁺
A
A
p⁻
p⁺
16
17
p⁻
Y
X
(b)
18
61
16
12
62b
62
62a
17
11
15
19
Z
Y
X
p⁺
p⁻
p⁻
n⁻
n
n⁻⁻
n⁻⁻
n⁺
n⁺

圖7

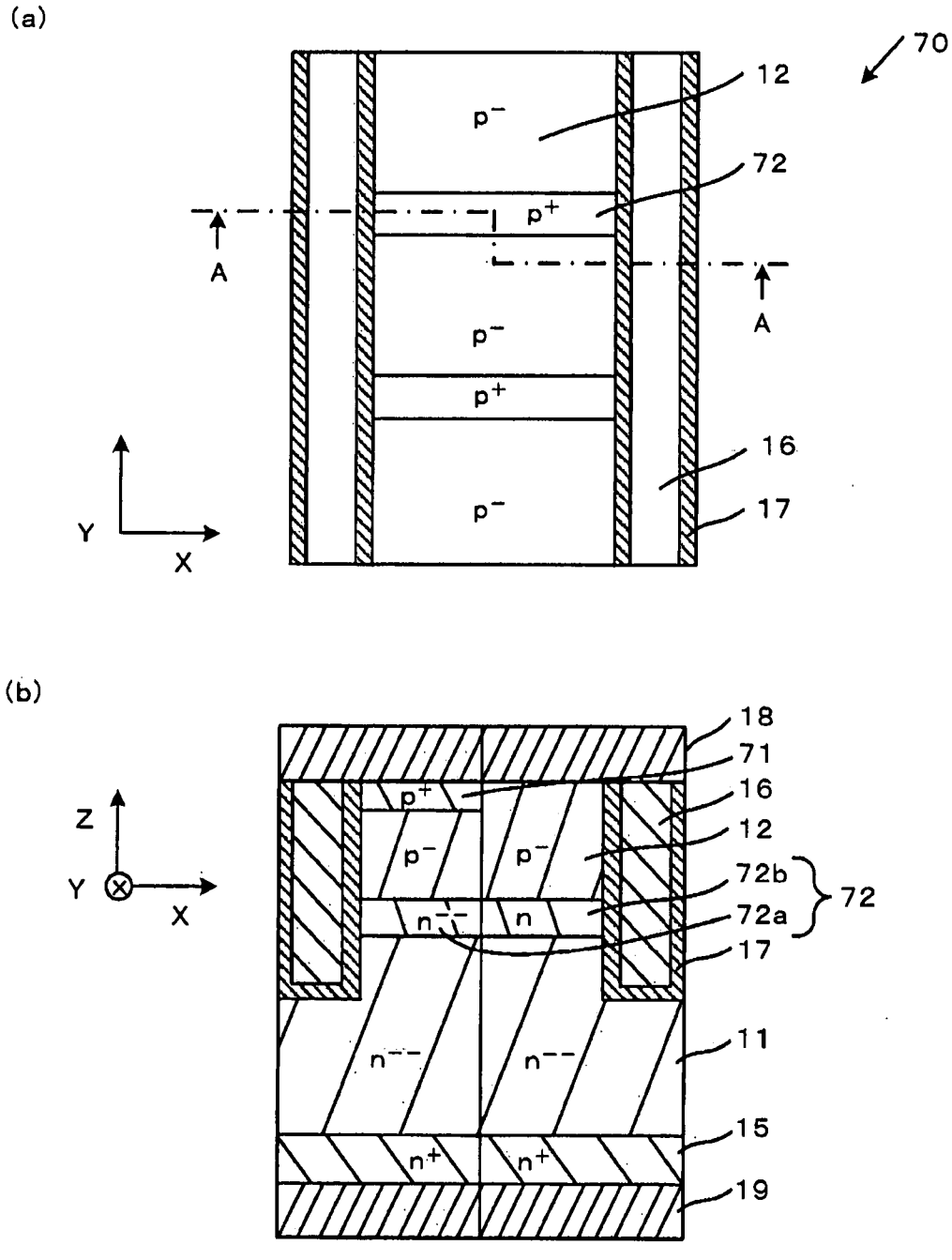


圖8

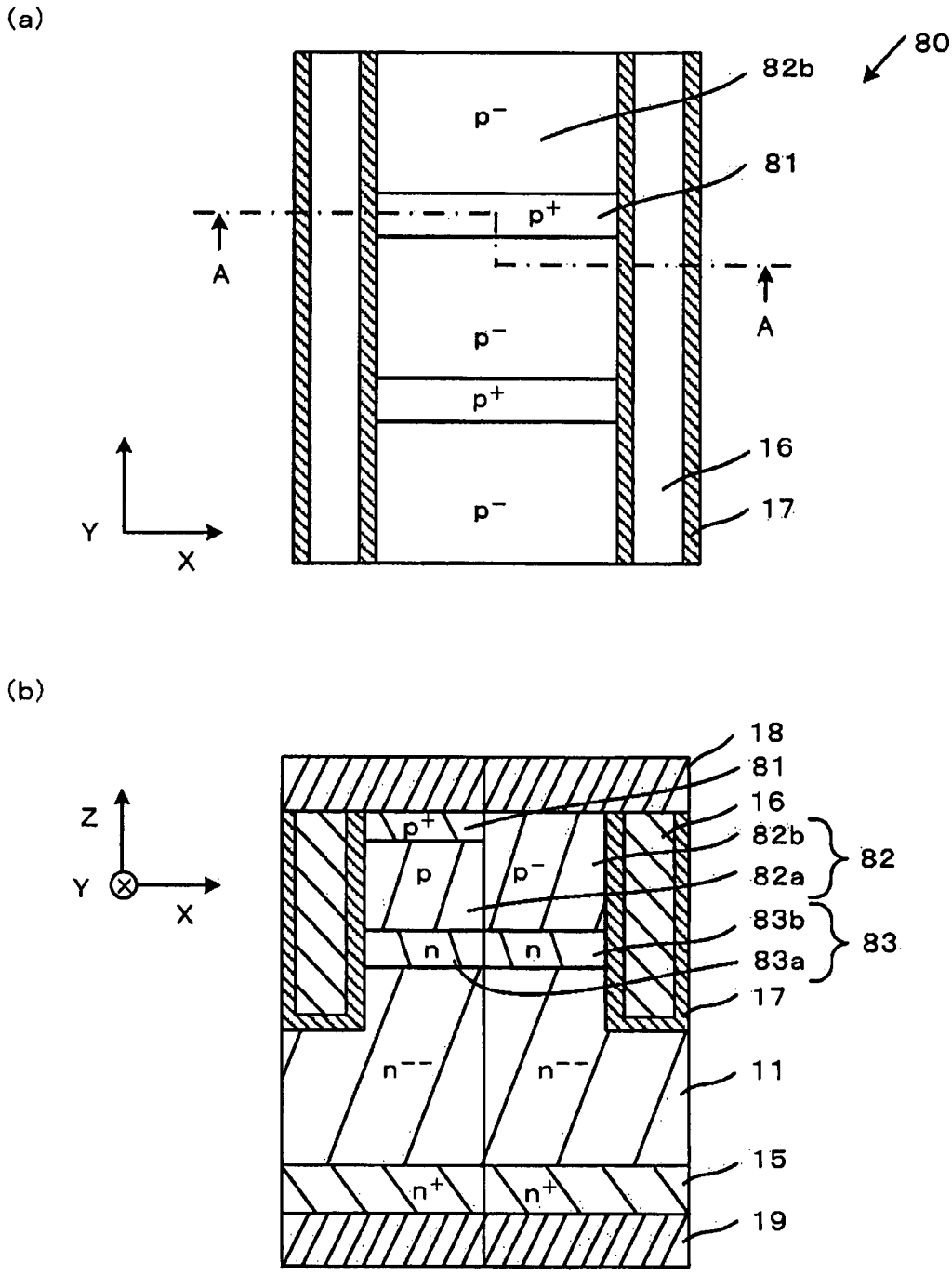

(a)
80
82b
81
p⁻
p⁺
A
A
p⁻
p⁺
16
p⁻
17
Y
X
(b)
18
81
16
Z
Y
X
p⁺
82b
82
p
p⁻
82a
83b
83
n
n
83a
17
n⁻⁻
n⁻⁻
11
15
n⁺
n⁺
19

圖9