

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7199557号

(P7199557)

(45)発行日 令和5年1月5日(2023.1.5)

(24)登録日 令和4年12月22日(2022.12.22)

(51)国際特許分類

F I

H 0 2 M 3/28 (2006.01)

H 0 2 M 3/28

Z

H 0 2 M 7/04 (2006.01)

H 0 2 M 7/04

E

H 0 1 F 30/10 (2006.01)

H 0 1 F 30/10

K

H 0 1 F 27/24 (2006.01)

H 0 1 F 30/10

R

H 0 1 F 30/10

T

請求項の数 18 (全15頁) 最終頁に続く

(21)出願番号 特願2021-547169(P2021-547169)

(86)(22)出願日 令和2年2月13日(2020.2.13)

(65)公表番号 特表2022-520087(P2022-520087
A)

(43)公表日 令和4年3月28日(2022.3.28)

(86)国際出願番号 PCT/US2020/018144

(87)国際公開番号 WO2020/168101

(87)国際公開日 令和2年8月20日(2020.8.20)

審査請求日 令和3年9月29日(2021.9.29)

(31)優先権主張番号 62/805,289

(32)優先日 平成31年2月13日(2019.2.13)

(33)優先権主張国・地域又は機関
米国(US)

(73)特許権者 517077810

アストロニクス アドバンスド エレクト

ロニック システムズ コーポレーション

アメリカ合衆国 9 8 0 3 4 ワシントン

、カークランド、ウィローズ ロード エ

ヌイー 1 2 9 5 0

(74)代理人 110000855

弁理士法人浅村特許事務所

(72)発明者 ワムズガンス、ウォーレン、ジェイ、

アメリカ合衆国、ワシントン、スノーク

オルミー、スリーハンドレッドエイティ

ーファースト アベニュー エスイー 9

0 0 6

審査官 栗栖 正和

最終頁に続く

(54)【発明の名称】 低A C損失およびインピーダンス均衡化インターフェースを備えた統合型変圧器

(57)【特許請求の範囲】

【請求項1】

上部コア、下部コア、およびシャントコアを有するコアであって、前記上部コアは上方に配置され前記下部コアに嵌合され、前記下部コアは前記シャントコアに嵌合される、前記コアと、

前記上部コアと前記下部コアの間、および前記下部コアと前記シャントコアの間に挿入され、前記下部コアを包み込む、高電圧巻線と、

前記上部コアと前記下部コアの間に挿入され、前記下部コア、前記高電圧巻線、および前記シャントコアを取り囲む、低電圧巻線と、

第1の低電圧巻線端子および第2の低電圧巻線端子と、

前記第1および第2の低電圧巻線端子が設けられた回路基板であって、前記第1および第2の低電圧巻線端子は、前記低電圧巻線に接続され、前記取り囲む低電圧巻線の一巻きを完結し、前記回路基板は、前記下部コアの下方かつ前記高電圧巻線に近接して配置されている、回路基板と、

前記回路基板に取り付けられ、前記第1および第2の低電圧巻線端子に接続された、複数のパワー半導体デバイスと

を備える、変圧器装置。

【請求項2】

前記第1および第2の低電圧巻線端子は、長さおよび幅を有し、各々の長さは、関連する幅よりも著しく長い、請求項1に記載の変圧器装置。

【請求項 3】

前記パワー半導体デバイスは、前記回路基板上の前記第 1 の低電圧巻線端子と前記第 2 の低電圧巻線端子との間に、各々の列内で略等距離の間隔で、2 列に配置されている、請求項 2 に記載の変圧器装置。

【請求項 4】

各々のパワー半導体デバイス列は、前記低電圧巻線の幅の 75 % ~ 125 % の長さに延在する、請求項 3 に記載の変圧器装置。

【請求項 5】

前記回路基板上に取り付けられた前記パワー半導体デバイスは、前記高電圧巻線に近接して配置されている、請求項 4 に記載の変圧器装置。

10

【請求項 6】

前記パワー半導体デバイスは、前記高電圧巻線の幅の 0 ~ 0.25 倍の距離で前記高電圧巻線に近接して配置されている、請求項 5 に記載の変圧器装置。

【請求項 7】

前記パワー半導体デバイスは、前記第 1 および第 2 の低電圧巻線端子に並列構成で接続されている、請求項 6 に記載の変圧器装置。

【請求項 8】

前記回路基板は、プリント配線基板またはダイレクトボンディング銅基板である、請求項 1 に記載の変圧器装置。

【請求項 9】

前記パワー半導体デバイスは、変圧器コアに面するように前記回路基板の上面に配置される、請求項 3 に記載の変圧器装置。

20

【請求項 10】

前記パワー半導体デバイスは、変圧器コアとは反対側を向くように前記回路基板の下側に配置される、請求項 3 に記載の変圧器装置。

【請求項 11】

前記接続されたパワー半導体デバイスは、整流回路を形成するように構成される、請求項 7 に記載の変圧器装置。

【請求項 12】

前記接続されたパワー半導体デバイスは、駆動回路を形成するように構成される、請求項 7 に記載の変圧器装置。

30

【請求項 13】

前記巻線およびコアの相対的な位置を維持する変圧器ホルダーをさらに備える、請求項 1 に記載の変圧器装置。

【請求項 14】

前記シャントコアは、少なくとも 1 つのギャップによって相互に離間している複数のコアセグメントを含む、請求項 1 に記載の変圧器装置。

【請求項 15】

前記シャントコアは、粉末金属材料を含む低透磁率磁性材料から構成される単一コアセグメントを含む、請求項 1 に記載の変圧器装置。

40

【請求項 16】

前記低電圧巻線は、前記変圧器装置を前記回路基板または基板に取り外し可能に接続する多部品構造を有する、請求項 1 に記載の変圧器装置。

【請求項 17】

変圧器の低電圧巻線に接続された複数のパワー半導体デバイス間で電流を分配する方法であって、

磁気コア、低電圧巻線、および高電圧巻線を有する変圧器装置を提供するステップと、
一対の対向する細長い端子を備えた回路基板上にパワー半導体デバイスを取り付けるステップであって、前記パワー半導体デバイスは、前記細長い端子の間に、各々の列内でほぼ等距離の間隔で、2 列に配置されるステップと、

50

パワー半導体を前記細長い端子に接続するステップと、
前記パワー半導体が前記低電圧巻線の一巻きを完結するように、前記細長い端子を前記低電圧巻線に接続するステップと、
半導体デバイスを前記高電圧巻線の近くに配置するステップとを含む、方法。

【請求項 18】

前記高電圧巻線を前記低電圧巻線の幅の 75%～125%の間の幅に巻くステップをさらに含む、請求項 17 に記載の方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本開示は、広く言えば、変圧器に関するものであり、より具体的には、交流（AC）電力損失の低い統合型変圧器に係るものである。

【背景技術】

【0002】

コンバータは、電気エネルギーをある形態から別の形態に変換する装置であり、通常、ある電圧を別の電圧に変換するために使用される。

【0003】

共振コンバータと共振遷移コンバータは、直列誘導部品または変圧器統合型インダクタのいずれかに依存してインダクタンスを提供し、これが追加されたキャパシタンスと共に共振タンクを形成する。これらの共振コンバータおよび共振遷移コンバータは、共振タンクとソフトスイッチング技術を利用して、低損失かつ高効率の変換を実現する。

20

【0004】

絶縁型コンバータトポロジの場合、絶縁を提供するため、ならびに巻数比を使用した電圧の増加または電圧の低下のために、変圧器が必要になることがよくある。このようなコンバータには誘導要素と変圧器要素の両方が必要であるため、両方の機能を同じ部品に組み合わせることが望ましいであろう。

【0005】

Alexander Isurinらによる「高周波電力変圧器（High-frequency Power Transformer）」と題された特許文献 1 に記載されているものなどの以前の変圧器システムは、AC 伝導損失が低い変圧器を開示している。低損失は、一次巻線と二次巻線が近接していることに起因している。しかしながら、このシステムは、大電流巻線への均衡のとれたインピーダンス相互接続による大電流経路において、電界効果トランジスタ（FET）、ダイオード、または絶縁ゲートバイポーラトランジスタ（IGBT）などの並列接続されたパワー半導体デバイス間で、電流の均等な分配を提供しない。消費電力と部品のストレスを低減し、電力コンバータの全体的な信頼性を高めるには、電流を均等に分配することが望ましい。さらに、開示されているような、金属酸化膜半導体電界効果トランジスタ（MOSFET）、ダイオード、または IGBT などのこれらのパワー半導体デバイスの構成は、巻線の一巻きを完結できず、したがって、損失の増加をもたらす。さらに、このような変圧器の追加の欠点は、一次巻線と二次巻線の間大きなギャップを挿入せずに、共振コンバータが広い入力電圧範囲で動作するのに適した高い漏れインダクタンスを十分に高く達成できないことである。しかしながら、一次巻線と二次巻線の間大きなギャップがあると、巻線の AC 損失が大幅に増加するため、望ましくない。

30

40

【0006】

Bernd Ackermannによる「統合型インダクタを備えた変圧器（Transformer with Integrated Inductor）」と題された特許文献 2 は、誘導要素を変圧器に統合することを論じている。しかしながら、1 次巻線と 2 次巻線が重なっていないため、これにより AC 伝導損失が非常に高くなる。より高い損失の追加の例は、インダクタと変圧器を統合しているが分離したコアを維持している、J i

50

n Heらによる「単一平面巻線ボードおよび2つの磁気コアを備えた平面変圧器および出力インダクタ構造 (Planar Transformer and Output Inductor Structure with Single Planar Winding Board and Two Magnetic Cores)」と題された特許文献3に見出すことができる。コアを分離すると、磁束または伝導経路が共有されず、より大きな損失に寄与する。

【0007】

Guisong Huangらによる「同期整流器を備えたDC-DCコンバータに適
用するための複合型変圧器インダクタ装置 (Combined Transformer
-inductor Device for Application to DC-to-DC Converter with Synchronous Rectifier)
」と題された特許文献4に示されているような、誘導要素と変圧器が同じコアに統合され
ている場合でさえも、誘導要素と変圧器の電氣的な分離は、依然として有用な共振コンバ
ータを生み出すことはできない。実際、同じコアが誘導要素と変圧器に使用されている場
合でも、一次巻線と二次巻線を分離すると、Carl Keunekerによる「単一コア
構造で変圧器とインダクタを組み合わせる方法および手段 (Method and Means for Combining a Transformer and Inductor
on a Single Core Structure)」と題された特許文献5に
示されているように、AC伝導損失が高くなる。Victor Robertsによる「
統合型変圧器・インダクタ (Integrated Transformer and Inductor)」と題された特許文献6は、同じコア内のコアの一部でさえ一次巻線お
よび二次巻線を分離すると、結果としてAC損失を増加させる問題を示している。さらに
、この場合の分離は、大電流巻線と並列接続されたパワー半導体デバイスとの間に均衡の
とれたインピーダンス相互接続を提供することを妨げる。

【先行技術文献】

【特許文献】

【0008】

【文献】米国特許第7,123,123号明細書

米国特許出願公開第2002/0167385号明細書

米国特許第6,927,661号明細書

米国特許第6,714,428号明細書

米国特許第5,783,984号明細書

米国特許第4,613,841号明細書

【発明の概要】

【発明が解決しようとする課題】

【0009】

したがって、誘導要素と変圧器要素を単一の装置内に統合する変圧器を提供することが
望ましいであろう。AC伝導損失が低い変圧器を提供することがさらに望ましいであろう
。伝導損失をさらにより低減するために、大電流巻線とパワー半導体デバイスとの間に均
衡のとれたインピーダンス相互接続を備えた変圧器を提供することがまたさらに望ましい
であろう。

【0010】

これにより、誘導要素と変圧器要素の両方を備えた装置を含むシステムが提供される。
システムはさらに、磁気経路と電気経路の両方の少なくとも一部を共有する誘導要素と変
圧器要素を装置に提供することができる。

【0011】

このシステムは、スペースと重量をさらに低減することができ、伝導損失とコア損失を
低減することができる。一実施形態によれば、システムは、重大なAC伝導損失を最小化
または排除し、パワー半導体デバイスとの均衡のとれたインピーダンス接続を提供するこ
とができる。

10

20

30

40

50

【課題を解決するための手段】

【0012】

一実施形態によれば、誘導要素と変圧器要素の両方を備えた装置が開示される。誘導要素と変圧器要素は同じ装置内で組み合わせられ、同じ磁気経路および電気経路の少なくとも一部を共有する。一実施形態によれば、伝導損失およびコア損失が低減され、統合型変圧器における漏れ磁束に対する明確に画定された経路が提供される。

【0013】

本明細書に開示されるように、装置は、一実施形態によれば、大電流を利用して、並列に接続された、FET、ダイオード、またはIGBTなどのパワー半導体デバイスとの均衡のとれたインピーダンス接続を提供する。さらなる一実施形態では、パワー半導体デバイスは、変圧器巻線の一巻きまたは複数巻きを完結することができる。このような低インピーダンスの相互接続は、AC損失の低減により、変圧器の伝導損失をさらに低減する。これはさらに、端子における電流集中を防ぐという利点を提供する。したがって、高周波共振モードスイッチング電力コンバータで使用するために、大電流巻線内の並列接続されたパワー半導体デバイスとの均衡のとれたインピーダンス接続を備えた統合型変圧器・インダクタ装置が提供される。

【0014】

本明細書に開示される実施形態および回路構成の前述の態様、および他の利点および利益は、以下のより詳細な説明から明らかになり、これは添付の図面を参照して理解することができ、同様の名称は同様の要素を指している。

【図面の簡単な説明】

【0015】

【図1A】一実施形態に係る統合型変圧器を示す。図1Aは、統合型変圧器の底面斜視図である。

【図1B】一実施形態に係る統合型変圧器を示す。図1Bは、上面斜視図である。

【図2】変圧器ホルダーを備えた統合型変圧器の例示的な一実施形態を示す。

【図3】パワー半導体デバイスを備えた変圧器装置の例示的な一実施形態を示す。

【図4】変圧器の電気的および磁氣的相互接続の例示的な一実施形態を示す。

【図5】一実施形態に係る、変圧器の断面を示す。

【図6】FETまたはダイオード用の代替位置を備えた変圧器の別の一実施形態を示す。

【図7】配置が不十分の並列整流器の従来技術の図を示す。

【図8】並列接続されたパワー半導体デバイスおよび均衡のとれた相互接続インピーダンスを備えた本発明の一実施形態を示す。

【図9】近接効果の従来技術の図を示す。

【図10】一実施形態に係るAC電流の流れの関係を示す。

【図11】一実施形態に係る並列接続されたFETの電流密度を示す。

【図12】取り外し可能な電気接続部を備えた変圧器の別の一実施形態を示す。

【発明を実施するための形態】

【0016】

例示的な一実施形態は、図1Aおよび図1Bに示されるシステムを参照して本明細書に記載される。変圧器101は、3つのセクション：上部コア105、下部コア107、およびシャントコア109から形成されるコアを含み、シャントコア109は、分散ギャップ125のアレイを含む。

【0017】

一実施形態では、変圧器101は、定格7kWの変圧器とすることができる。しかしながら、変圧器101は、他の適切な大電流または高電力変圧器の定格とされ得ることに留意すべきである。例えば、大電流は数十アンペア～数千アンペア、またはその他の適切な量とすることができる。さらなる一例では、高電力は、数百ワット～数十万ワットとすることができる。

【0018】

一実施形態によれば、シャントコア109は、粉末金属などの低透磁率磁性材料で形成することができる。しかしながら、シャントコア109はまた、フェライトのようなより高い透磁率の材料のセグメント化されたコアとして形成することができる。シャントコア材料の選択は、スイッチング周波数、最大磁束密度、コアサイズを含む様々な要因に依存するであろう。シャントコア109は、追加のタイプの低透磁率磁性材料、または追加の形態の高透磁率材料などの任意の適切な材料で形成することができる。例えば、特定の実施形態では、シャントコア109は、センダストまたは粉末鉄で形成することができる。

【0019】

図1Aおよび図1Bの実施形態では、上部コア105は、下部コア107の上方に配置される。上部105コアは、両方のコアの相対的な位置決めを維持するために、下部コア107と物理的に係合または嵌合することができる。シャントコア109は、下部コア107に隣接して配置され、両方のコアの相対的な位置決めを維持するために、下部コア107と物理的に係合または嵌合することができる。実施形態では、(図2にホルダー215として示されている)ホルダーおよび接着剤(図示せず)を使用して、コア105、107、および109の相対的な位置決めを維持する。

【0020】

統合型変圧器101は、高電圧巻線111をさらに含む。高電圧巻線111は、例えば、9巻きなどの複数巻きで形成することができる。もちろん、最適な巻き数は、特定の使用目的の設計目標に依存するであろう。巻線111に使用されるワイヤーゲージは、変圧器の電力レベルに依存し、例えば、単一の16ゲージワイヤーまたは平行な複数のより太いゲージワイヤーからなることができる。すなわち、高電圧巻線111は、より低い電流を伝導するが、より高い印加電圧による複数巻きとして構成することができる。例えば、高電圧巻線111をパワー半導体デバイスに接続することができるが、その巻線内の電流はより低くなり得るので、AC損失は重要ではなく、したがってそれらの複数のパワー半導体デバイスへの均衡のとれたインピーダンス接続を必要としない可能性がある。高電圧巻線111の電圧レベルは、特定の値に制約されず、例えば、約50~100,000ボルトの範囲とすることができる。しかしながら、いくつかの実施形態では、適切な高電圧レベルは、約200~800ボルトの範囲とすることができる。

【0021】

統合型変圧器101は、低電圧巻線113をさらに含む。低電圧巻線113は、単一巻きであり、高電流を伝導するが、より低い印加電圧によるものとすることができる。図1Aおよび図1Bに示される実施形態では、低電圧巻線113は、必要な形状に予備成形された平らな金属部品から形成されている。それを介して伝導される大電流のために、低電圧巻線113は、図8を参照して以下に説明するように並列に接続された複数のパワー半導体デバイスの構成に接続するための均衡のとれたインピーダンス相互接続を含む。

【0022】

この実施形態では、上部コア105と下部コア107との間、および下部コア107とシャントコア109との間に挿入された高電圧巻線111は、下部コア107の周りに巻かれる。上部コア105と下部コア107の間に挿入される定電圧巻線113は、下部コア107、高電圧巻線111、およびシャントコア109の周りに巻かれている。

【0023】

図示されるように、巻線111および113は、巻線の長さの大部分にわたって互いに近接して配置されている。例えば、高電圧巻線111と低電圧巻線113は、高電圧巻線111の幅の0~0.25倍の距離で離間することができる。この実施形態では、高電圧巻線111の幅は、約2.5インチ(63.5mm)である。巻線111および113は、接触したときでさえ互いに電氣的に絶縁されるように絶縁することができる。近接効果により、巻線111および113の表面全体に電流密度のより均一な分布を提供するために、巻線111および113は、機械的許容範囲内で可能な限り互いに近接して配置されることが好ましい。対照的に、巻線111と113が互いに近接していない場合、言い換えると、巻線111と113が高電圧巻線111の幅の約0.25倍を超えて分離されて

10

20

30

40

50

いる場合、電流の大部分は低電圧巻線の縁部に集中し、ＡＣ損失が大幅に増加する。しかしながら、ここでは近接効果により、低電圧巻線の縁部に電流が集中しないため、ＡＣ損失は最小化される。

【００２４】

図２は、変圧器１０１の保持装置を示す。図示されるように、ホルダー２１５は、巻線１１１および１１３、ならびに上部コア１０５、下部コア１０７、およびシャントコア１０９の配置を維持する。したがって、ホルダー２１５は、すべての部品を所定の位置に維持し、それらを正しく位置決めする。ホルダーは、例えば、射出成形プラスチックなどの非磁性、非導電性材料から形成することができる。

【００２５】

この実施形態では、シャントコア１０９は、変圧器ホルダー２１５によって互いに、および下部コア１０７から正しく離間したいくつかのセグメント２１７から形成される。個々のシャントセグメント間の間隔（ギャップ）２２５は、変圧器ホルダー２１５によってシャントセグメント２１７の長さの０％～２５％の間となるように制御される。望ましいギャップ距離は設計目標に依存し、必要な電力容量、許容損失量、コア磁束密度、および変圧器に必要な漏れインダクタンスの量などの様々なパラメータに基づいて直接計算され得る。小さなギャップ２２５（別名、分散ギャップ２２５と呼ばれる）のアレイは、大きな総ギャップ距離を提供するが、磁束を含む。したがって、単一の大きなギャップと比較して、シャントコアの分散ギャップは、分散ギャップからの磁束が変圧器巻線内に、それらの巻線の伝導損失を増加させるフリンジを著しく形成することはないため、より効率的なパフォーマンスを提供する。シャントセグメント２１７の数は、所望のギャップ距離に応じて変化し、いくつかの実施形態では、１～７つのセグメント２１７の範囲とすることができる。

【００２６】

本発明に係るいくつかの実施形態では、シャントコア１０９は、図２に示されるようなものなどの複数のシャントコアセグメント２１７の代わりに、中実の自立コアとして構成することができることを留意すべきである。

【００２７】

ここで図３を参照すると、並列接続されたパワー半導体デバイス３１０と統合された変圧器１０１が示されている。図３では、パワー半導体デバイス３１０は、変圧器コア１０５、１０７、および１０９に面する基板側のプリント配線基板またはダイレクトボンディング銅（ＢＤＣ）基板３１５に取り付けられる。図３は、低電圧巻線１１３とパワー半導体デバイス３１０との間の近接した相互接続を示す。図示されている位置にあるパワー半導体デバイス３１０は、巻線の一巻きを完結し、それにより、巻線１１３の大電流が移動するのに必要な距離を大幅に最小化する。したがって、パワー半導体デバイス自体は物理的に巻線長の一部であるため、さもないと電流が導電体を通過する必要がある距離は大幅に短縮される。高電流コンバータでは、高ＡＣ電流が導体内を移動しなければならない距離は損失に直接関係しているため、電流が移動しなければならない距離を短くすると、損失が大幅に減少する。

【００２８】

さらに、この実施形態では、高電圧巻線１１１は、並列接続されたパワー半導体デバイス３１０の十分近くに配置され、高電圧巻線１１１からの近接効果により、物理的な変圧器巻線１１３の一部である並列化されたパワー半導体デバイス３１０間で電流が均等に分配されるようになる。電流の均等な分配により、信頼性が向上し、全体的な電力損失が減少する。

【００２９】

さらに、パワーデバイス、すなわちパワー半導体デバイス３１０のより大きな物理的サイズは、巻線の一部として挿入された場合、低電圧変圧器巻線１１３の電氣的長さを大幅に短縮する。したがって、より大きなパワー半導体デバイス３１０を利用することは、変圧器の伝導損失を低減するのにさらに役立つであろう。

【0030】

ここで図4を参照すると、変圧器101および整流器（パワー半導体デバイス）301の電気的および磁氣的相互接続の図が示されており、ACおよびDC電気経路を示している。

【0031】

図5は、整流器310および変圧器巻線113との間の物理的相互接続、およびプリント配線回路基板315を示す。様々な実施形態によれば、集合的にパワー半導体デバイスと呼ばれる、FET、ダイオード、またはIGBT301のいずれかを、AC電流をDC電流に整流するため、またはAC電流をDC電流から変換するために使用することができる。これにより、低電圧巻線113を電力入力または電力出力のいずれかにすることができる。図5には示されていないが、パワー半導体はまた、高電圧巻線111に接続することができ、変圧器101は、一方向または双方向の電力変換のいずれかに使用することができる。

10

【0032】

図6は、図3とは対照的に、変圧器101に接続されたパワー半導体デバイス301の代替位置を備えた別の一実施形態を示す。この実施形態では、パワー半導体デバイス310は、変圧器コア105、107、および109に対して回路基板または基板315の反対側に取り付けられている。この実施形態は、パワー半導体デバイスがヒートシンク（図示せず）と直接接触するのを容易にしながら、低電圧巻線の一部を形成し、変圧器への均衡のとれたインピーダンス接続を提供するパワー半導体デバイスの利点を維持している。したがって、パワー半導体デバイスがヒートシンクと直接接触すると、回路基板はもはや熱経路の一部ではなくなり、熱性能が向上する。この実施形態では、パワー半導体デバイスはまた、変圧器の取り外しを必要とせずに取り外すことができ、手直しの容易さを促進する。

20

【0033】

したがって、変圧器101は、同じ部品内にインダクタと変圧器との統合を提供する。図示されるように、磁束経路および電気伝導経路の両方の部分は、インダクタ要素と変圧器要素との間で共有され、それにより、伝導損失およびコア損失の低減を提供する。さらに、単一の統合型部品を使用すると、別個の変圧器とインダクタを使用する場合と比較して、サイズが小さくなり、重量が軽くなる。

30

【0034】

低電圧巻線113の近位に高電圧巻線111を配置すると、AC損失が減少する。これらの2つの巻線の電気経路は、それらの全経路長のごく一部、つまり巻線長の5%~30%の間でのみ発散し、これによって損失が大幅に増加することはない。

【0035】

シャントコア190は、AC損失を大幅に増加させない明確に画定された漏れ磁束経路を提供し、漏れインダクタンスは、シャントコアの分散ギャップを変更することによって正確かつ広く調整することができる。したがって、シャントコアの分散ギャップ距離を小さくすると漏れインダクタンスが増加し、シャントコアの分散ギャップ距離を大きくすると漏れインダクタンスが減少する。シャントコア109によって生成された漏れインダクタンスは、静電容量の追加と共に、共振タンクを作成するために使用することができ、そのような共振タンクは、共振DC/DCコンバータで利用することができる。

40

【0036】

並列パワー半導体デバイス301は、低電圧巻線113に接続されており、均衡のとれたインピーダンス接続で変圧器に接続されている。接続インピーダンスは、パワー半導体デバイス301を低電圧巻線113に接続する電気経路の長さによって決定される。この均衡のとれたインピーダンス接続では、パワー半導体デバイス301は、各々のデバイス301が低電圧巻線113への同じ電気経路長を有するように配置され、したがってインピーダンス接続の均衡をとる。ここで、低電圧巻線113は、細長い端子823によって回路基板315に接続され、パワー半導体デバイス301は、（図8に示される）端子8

50

23に接続される。端子823は、幅寸法よりも少なくとも10対1の比率でより長い長さ寸法を有する。端子823は、プリント配線基板へのはんだ付けを容易にするピンのアレイに形成することができる。一実施形態では、パワー半導体デバイス301は、変圧器端子823間に2つの列に配置され、各々の列内でほぼ等間隔で離間され、端子823に並列に接続することができる。パワー半導体デバイス301の等距離の間隔は、最適な電流バランスを実現するために重要である。パワー半導体デバイス列の長さは、低電圧巻線113の幅の75%~125%の間である。並列パワー半導体デバイス301のこの物理的配置、および変圧器端子823を介した低電圧巻線113へのそれらの接続は、パワー半導体デバイスと低電圧との間に均衡のとれたインピーダンス接続を形成する。部品のこの物理的な配置の結果として、低電圧巻線で伝導される大電流の電気経路長が最小化され、それによって伝導損失が最小化される。さらに、パワー半導体デバイス301は、低電圧巻線自体の一部を形成し、それによって伝導損失をさらに最小限に抑える。また、高電圧巻線111内の電流からの近接効果により、電流が並列化されたパワー半導体デバイス301間で均等に分配され、それにより、パワー半導体デバイス301内の伝導損失が最小限に抑えられる。

【0037】

開示されるように、変圧器接続と並列に接続されたパワー半導体デバイス301との間の相互接続インピーダンスは均衡がとれている。言い換えれば、変圧器と各々のパワー半導体デバイスとの間のインピーダンスは等しい。この等しい相互接続インピーダンスは、巻線113に並列に接続されたときに、パワー半導体デバイス間に均衡のとれた電流の流れを提供する。したがって、変圧器は、変圧器に必要な電流伝送能力を実現するために、並列に接続された複数のパワー半導体デバイスを特に備えている。複数の並列相互接続デバイス間のACインピーダンスの均衡がとれていない場合、電流がそれらのデバイス間で均等に分配されないため、並列に均衡のとれた接続は重要である。並列の複数のパワー半導体デバイス301間の不均衡な相互接続インピーダンスは、不均一な電流をもたらし、これは、次に、電力損失の増加につながり、部品ストレスのレベルが関連して上昇することにより、電力コンバータの信頼性の低下につながる。

【0038】

ここで図7を参照すると、フルブリッジ構成で並列に接続された、配置が不十分な整流器の一例が示される。当技術分野で現在知られているこの構成により、AC電流は、主に、変圧器端子723に最も近いパワーデバイスに流れる。したがって、図7に示されるように、既存のシステムは、変圧器端子723に最も近く配置されたパワー半導体デバイスが最も低い相互接続インピーダンスを有するため、矢印線に示されるように、AC電流を変圧器端子723に向かって流す。これにより、変圧器端子723からさらに離れた他のパワー半導体デバイスは、ほとんど電流を流さない。

【0039】

図8に示されるように、本発明の一実施形態は、パワー半導体デバイスに均衡のとれたインピーダンス相互接続を提供することによって、図7の問題に対処している。変圧器端子823は、各々のパワー半導体デバイスの対により近い並列レイアウトで示されている。このレイアウトは、並列に接続されたデバイス間でほぼ等しい電流分配を提供する。その結果、並列に接続されたデバイス間の相互接続インピーダンスの均衡がとれ、結果的に各々のデバイスに電流が均等に分配される。

【0040】

前述のように、高電圧巻線の電流による近接効果により、パワー半導体デバイスの伝導損失は最小限に抑えられる。この近接効果により、並列化されたパワー半導体デバイス間で電流が均等に分配され、これにより伝導損失が最小限に抑えられる。

【0041】

しかしながら、一部のシナリオでは、並列に接続されたデバイス間の電圧降下のわずかな違い、または外側縁部のパワーデバイスに電流が押し出される可能性のある高周波AC効果により、電流の不均一な共有が発生する場合がある。

【0042】

図9は、この問題を示し、隣接する導体を流れるAC電流によって引き起こされる近接効果を示しており、各々の導体のAC電流は反対方向に流れる。電流が反対方向に流れるため、電流は互いに最も近い導体の縁部に沿って集中する傾向がある。

【0043】

本発明の一実施形態によれば、この問題は、近接効果を使用して、並列に相互接続されたパワーデバイス間に均等な電流を生成することによって解決される。近接効果により、AC電流は、高電圧巻線に最も近い導体の面全体に、前記導体が高電圧巻線113またはパワー半導体デバイス301のどちらであるかに関係なく、均等に分散される。電圧巻線111の幅は、低電圧巻線113の幅の75%~125%の間とすることができる。高電圧巻線と低電圧巻線との間のほぼ同等の幅は、低電圧巻線の表面全体に電流の均等な分配と、伝導損失の減少とをもたらす。

10

【0044】

図10を参照すると、高電圧巻線111と低電圧巻線113に接続されたパワー半導体デバイス310との間のAC電流の流れの関係が示されている。巻線電流は反対方向に流れるので、電流の流れは並列に接続されたパワー半導体デバイス全体に均等に分配される。すなわち、本実施形態は、単一導体として機能する並列接続されたパワー半導体デバイス301を提供するので、近接効果により、高電圧巻線に近接すると、電流がそれらのパワー半導体デバイス301間で均等に分散される。

【0045】

均等に拡散された電流の結果が図11に示されており、これは、並列接続されたFET301の電流密度を示している。この図は、プリント配線基板315内のFETおよび相互接続のみを示している。図示されるように、並列に接続されたパワーデバイス間の相互接続における電流密度はほぼ等しい。これは、インピーダンスの均衡化と、FETのすぐ上に位置する高電圧巻線による近接効果によるものである。

20

【0046】

上記の利点を使用して、変圧器の長さを増やし、並列に接続されたFETの数を増やすことにより、電力コンバータの電流容量をより高い電流レベルにスケールアップすることができる。したがって、非常に高い切換周波数であっても、電流は、並列に接続された多数のパワー半導体デバイス間で均等に分配され得る。

30

【0047】

変圧器101がより低い電力コンバータで 사용되는場合などのさらなる実施形態では、パワー半導体デバイスは、並列構成で配置される必要はない。しかしながら、そのような実施形態は、プリント配線基板または基板315におけるAC損失を低減し、低電圧巻線113におけるAC損失を低減し、そして共振DC/DC電力コンバータで使用するのに十分に大きな漏れインダクタンスを生成するために有利であるため、本明細書に開示されるのと同じ基本的な機械的構成を依然として利用する。

【0048】

図12は、はんだ接続の除去を必要とせずに、変圧器がプリント配線基板またはダイレクトボンディング銅基板(DBC)315から取り外し可能である、追加の一実施形態を示す。図示されるように、変圧器は、ボルトまたは他のタイプの締結具335および多部品低電圧巻線113Aを使用することによって、パワー半導体デバイスに電氣的に接続することができる。

40

【0049】

本明細書に開示される実施形態のさらなる利点は、変圧器装置101の電力出力容量が約10,000ワットまで拡張可能であるのに対し、同じ設置面積を有する従来の変圧器は約1,000ワットしか出力できないことである。出力電力容量のこの約10倍の向上は、すべてのパワー半導体デバイス301への電流の均等な分配を生み出す均衡のとれたインピーダンス出力の使用と、変圧器の長さを長くし、必要に応じて電流出力容量を増やすために追加の半導体デバイスを追加可能にする設計に起因する。

50

【 0 0 5 0 】

開示された内容は、本明細書で提供される例示的な実施形態に関して説明および図示されてきたが、当業者には、以下の特許請求の範囲に記載されている、本明細書に開示されたイノベーションの趣旨および範囲から逸脱することなく、これらの開示された実施形態に様々な追加および修正を行うことができることが理解される。

【図面】

【図 1 A】

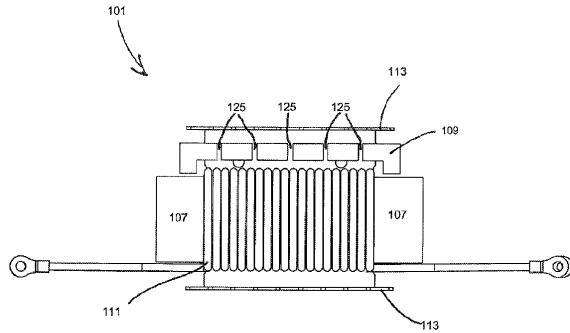


FIG. 1A

【図 1 B】

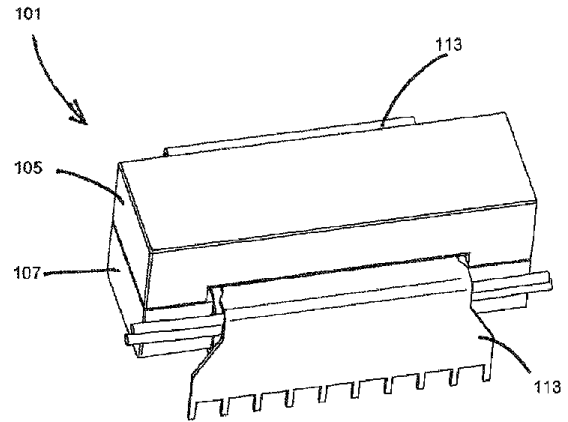


FIG. 1B

【図 2】

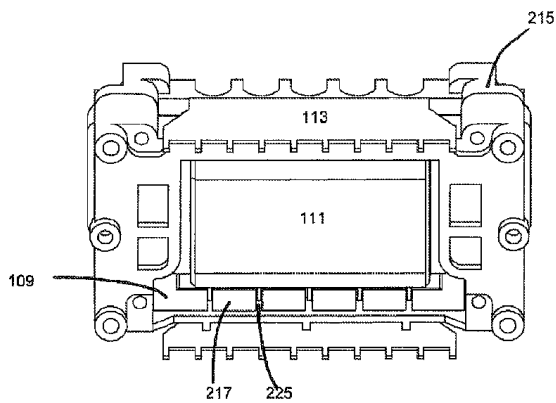


FIG. 2

【図 3】

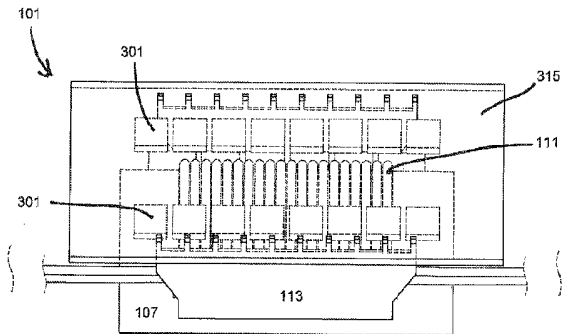


FIG. 3

10

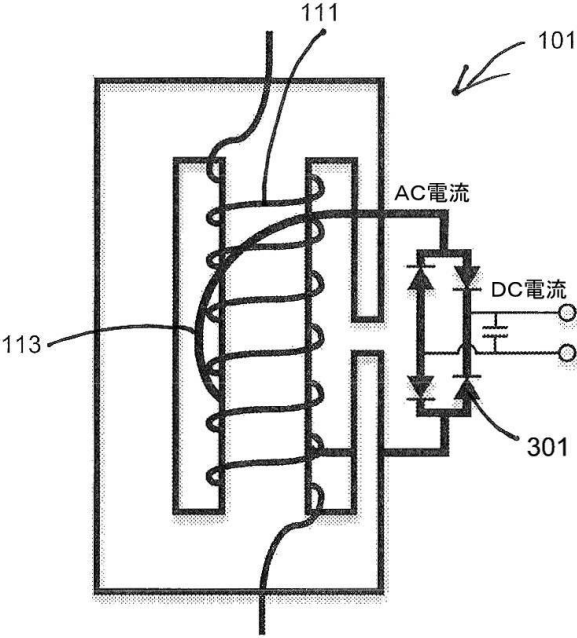
20

30

40

50

【図 4】



【図 5】

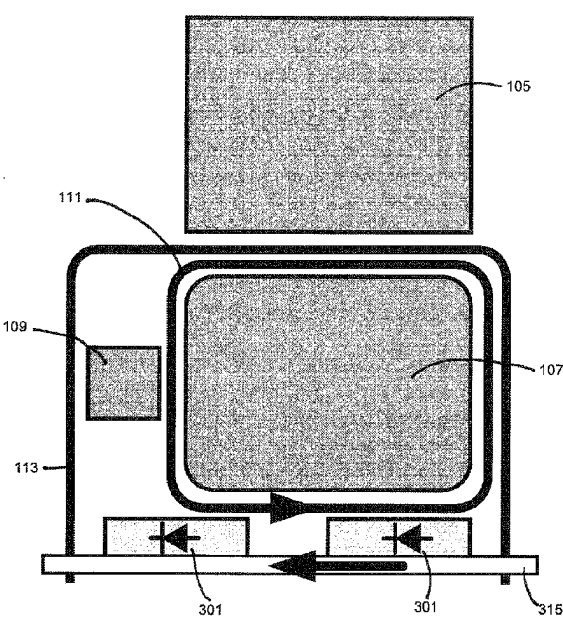


FIG. 5

【図 6】

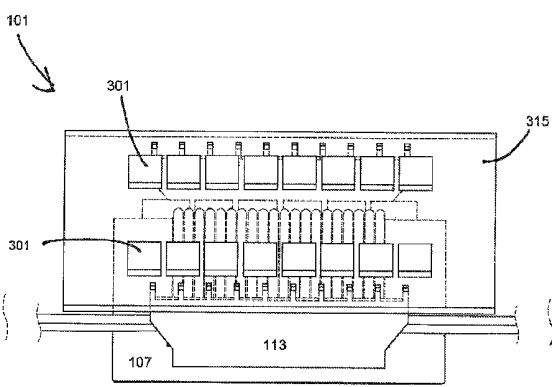
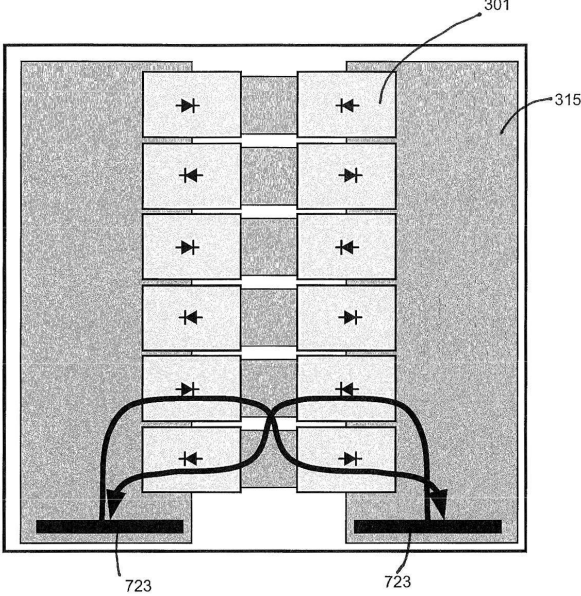


FIG. 6

【図 7】



従来技術

10

20

30

40

50

【図 8】

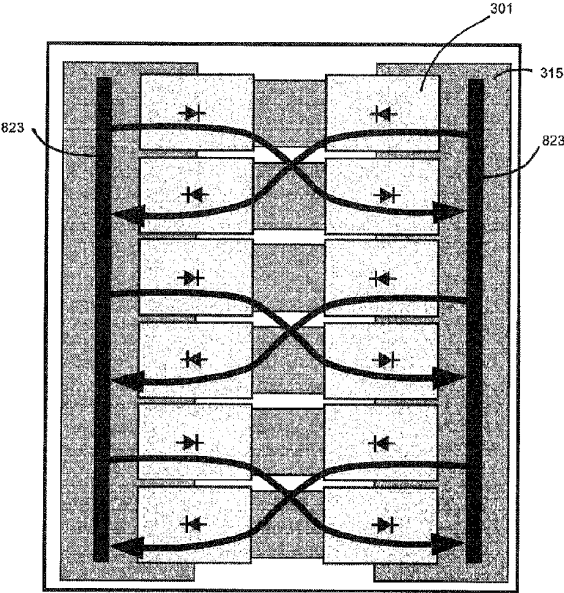
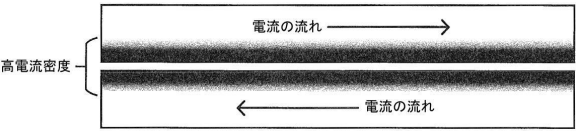


FIG. 8

【図 9】



10

20

【図 10】

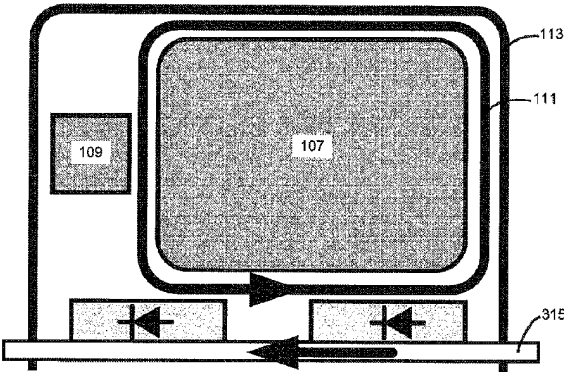


FIG. 10

【図 11】

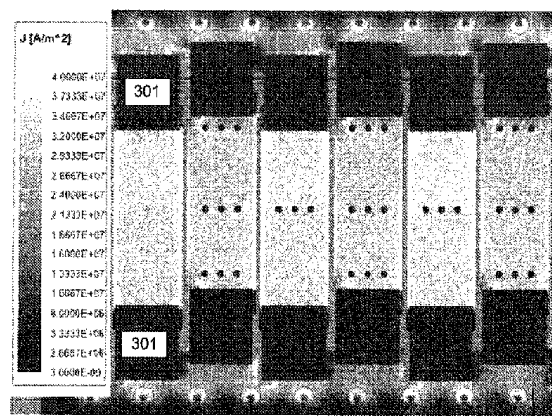


FIG. 11

315

30

40

50

【図 12】

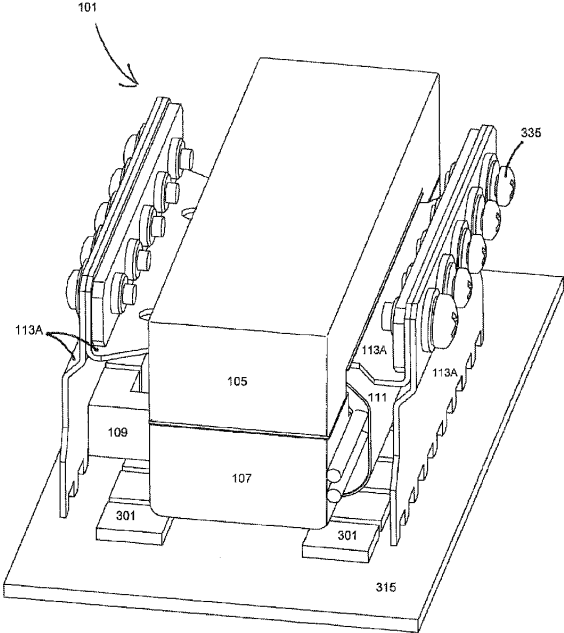


FIG. 12

10

20

30

40

50

フロントページの続き

(51)国際特許分類	F I		
	H 0 1 F	27/24	H
(56)参考文献	米国特許出願公開第 2 0 0 6 / 0 1 5 2 3 1 8 (U S , A 1)		
	米国特許第 0 4 6 1 3 8 4 1 (U S , A)		
	特開 2 0 0 7 - 2 2 1 9 1 9 (J P , A)		
	特表 2 0 0 9 - 5 1 7 8 7 3 (J P , A)		
	特開 2 0 1 4 - 1 2 7 6 3 7 (J P , A)		
(58)調査した分野	特開平 0 3 - 1 6 6 7 0 8 (J P , A)		
	(Int.Cl., D B 名)		
	H 0 2 M	3 / 2 8	
	H 0 2 M	7 / 0 4	
	H 0 1 F	3 0 / 1 0	
	H 0 1 F	2 7 / 2 4	