



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 600 09 181 T2** 2005.02.17

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 1 024 431 B1**

(21) Deutsches Aktenzeichen: **600 09 181.3**

(96) Europäisches Aktenzeichen: **00 300 164.1**

(96) Europäischer Anmeldetag: **11.01.2000**

(97) Erstveröffentlichung durch das EPA: **02.08.2000**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **24.03.2004**

(47) Veröffentlichungstag im Patentblatt: **17.02.2005**

(51) Int Cl.⁷: **G06F 11/20**
G11C 17/18

(30) Unionspriorität:

115377 P 11.01.1999 US

(73) Patentinhaber:

**Hyundai Electronics Industries Co., Ltd., Ichon,
Kyonggi, KR**

(74) Vertreter:

derzeit kein Vertreter bestellt

(84) Benannte Vertragsstaaten:

DE, FR, GB, NL

(72) Erfinder:

**Yang, Woodward, Ichon-shi, KR; Choi, Joo Sun,
Ichon-shi, KR; Wee, Jae Kyung, Kwangjin-ku, KR;
Seol, Young Ho, Kyongki-do, 467-850, KR; Oh,
Jin Keun, Ichon-shi, Kyongki-do 467-860, KR;
Kim, Phil Jung, Kyongki-do 467-850, KR; Cho, Ho
Youb, Seohcho-ku, KR**

(54) Bezeichnung: **Antischmelzsicherungsschaltung zur DRAMreparatur nach der Verpackung ins Gehäuse**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung**GEBIET DER ERFINDUNG**

[0001] Diese Erfindung betrifft eine elektrisch programmierbare integrierte Schaltung und einen zugehörigen Einrichtungsaufbau zum Implementieren eines nicht-flüchtigen Speichers; und insbesondere eine Anti-Schmelzsicherungs-Schaltungsanordnung.

BESCHREIBUNG DES STANDES DER TECHNIK

[0002] Ein mit einem Laser getrimmter Polysilizium-Schmelzsicherungsaufbau wird in einem weit verbreiteten Maße bei der programmierbaren Reparatur eines Chips mit einem dynamischen Speicher mit wahlfreiem Zugriff (Dynamic Random Access Memory; DRAM) verwendet, der typischerweise auf einer Waferebene typischerweise vor einem Einbrenntest gebildet wird. Bei einem Laser-getrimmten Reparaturverfahren, welches die Laser-getrimmte Polysilizium-Schmelzsicherungsstruktur verwendet, werden defekte Speicherzellen durch einen Wafersondentestprozess identifiziert. Der Polysilizium-Schmelzsicherungsaufbau wird dann durch Verwenden einer Lasertrimmtechnik programmiert, um eine Adressendekodierung von Redundantenspeicherzellen zu aktivieren, um den DRAM Chip zu reparieren. Während der Aufbau mit der von einem Laser getrimmten Schmelzsicherung bzw. Sicherung kompakt und zuverlässig ist, kann das Laser-getrimmte Reparaturverfahren nur effizient auf der Waferebene ausgeführt werden. Infolgedessen kann es die Fähigkeit zum Reparieren von irgendeiner defekten Speicherzelle, die nach einem Verpackungsprozess gefunden wird und allgemein während des Einbrenntests auftritt, ausschließen.

[0003] Andererseits können bei einem elektrisch programmierbaren nicht-flüchtigen Speicher zahlreiche Typen von Ausfällen nach der Verpackung repariert werden, was zu einer signifikanten Verbesserung der Ausbeute eines Hochdichte-DRAMs führt.

[0004] Ein Anti-Schmelzsicherungsaufbau und eine zugehörige Schaltungsanordnung, die zur Verwendung in integrierten Schaltungen geeignet ist, wird allgemein in eine nicht-flüchtige Speichereinrichtung eingebaut. Es wird erwartet, dass sie besonders nützlich für eine elektrisch programmierbare Reparaturtechnik eines DRAM unter Verwendung einer redundanten Speicherkapazität ist. Durch die Hinzufügung von speziellen Testmoden ist es insbesondere möglich diese Funktionalität ohne irgendeine Änderung der existierenden Produkt-Herausführungsstift-(pin-out)-Spezifikationen zu implementieren.

[0005] Zusätzlich zu ihren Verwendungen bei der DRAM Herstellung kann andererseits ins Auge gefasst werden, dass diese Funktionalität auch effektiv

im Feld oder von Endbenutzern oder als ein Teil einer Test-und-Reparatur-Prozedur verwendet werden kann. In ähnlicher Weise ist es auch möglich andere nützliche und einzigartige nicht-flüchtige Daten in die DRAM Komponente hinein zu programmieren, wie Verschlüsselungsschlüssel, Seriennummern, Herstellungsdaten und eine andere Qualitäts-Nachverfolgungsidentifikation.

[0006] Ein grundlegendes Anti-Schmelzsicherungselement ist allgemein eine Widerstandsschmelzsicherungs-Komponente, die in ihrem anfänglichen nicht programmierten Zustand einen sehr hohen Widerstand ($> 100 \text{ MOhm}$) aufweist und nach einem geeigneten Programmiervorgang einen signifikant niedrigeren Widerstand ($< 10 \text{ KOhm}$) aufweisen wird. Das Anti-Schmelzsicherungselement wird typischerweise aus einem sehr dünnen dielektrischen Material wie Siliziumdioxid, Siliziumnitrit, Tantaloxid oder einer Einbettungskombination von Dielektrika wie ONO (Siliziumdioxid-Siliziumnitrit-Siliziumdioxid) zwischen zwei Leitern gebildet. Diese Anti-Schmelzsicherung wird durch Anwenden einer geeigneten Programmierspannung unter einem ausreichenden Stromfluss durch Anschlüsse der Anti-Sicherung für eine ausreichende Zeit, um zu bewirken, dass sich der Widerstand der Anti-Schmelzsicherung permanent von hoch auf niedrig ändert, programmiert.

[0007] Die Programmierspannung ist typischerweise in der Größe größer als eine normale Betriebsspannung, sodass die Programmierspannung eine Beschädigung verursachen und die Zuverlässigkeit von zugehörigen Nachbareinrichtungen und einer Peripherie-Schaltungsanordnung, die nicht richtig isoliert sind, verringern kann. Insbesondere wird die Peripherie-Schaltungsanordnung zum Bereitstellen der Programmierspannung und zum Lesen eines Anti-Schmelzsicherungs-Widerstands typischerweise direkt an dem Anti-Schmelzsicherungselement angebracht sein, um dadurch einer potenziellen Beschädigung ausgesetzt zu werden.

[0008] Die Integrität der Anti-Schmelzsicherung sowohl in ihrem anfänglichen nicht programmierten als auch programmierten Zuständen kann ungünstig durch mehrere Faktoren beeinflusst werden. Z. B. kann eine verlängerte Aussetzung bei erhöhten Temperaturen oder eine Anwendung eines kontinuierlichen Stroms oder einer Vorspannung über das Anti-Schmelzsicherungselement die Eigenschaften des dünnen Dielektrikums verändern, was zu einer Erhöhung oder Verkleinerung der Anti-Schmelzsicherungs-Widerstandsfähigkeit und potenziell zu einer Hervorrufung eines Fehlers oder eines verschlechterten Betriebsverhaltens davon führt. Wenn ein einzelnes Anti-Schmelzsicherungselement programmiert wird, wird ein intern oder extern erzeugtes Programmierspannungs-(oder Strom-)Signal V_{hv} (oder I_{hv}) über die Anschlüsse des Anti-Sicherungsele-

ments für eine ausreichende Zeit angelegt. Wenn eine Vielzahl von Anti-Schmelzsicherungselementen verwendet wird, wie beispielsweise in einem multiplexierten Array, können jedoch nicht gewählte Anti-Schmelzsicherungselemente unbeabsichtigten Programmiersignalen ausgesetzt werden, was zu einer zufälligen Änderung der Leitfähigkeit der dünnen Dielektrika führt.

[0009] Die zuverlässige Programmierung und das zuverlässige Lesen der Anti-Schmelzsicherung erfordert mehrere Schlüsselkomponenten.

[0010] Als erstes muss ein geeignetes Programmierspannungs- oder Strom-Signal intern erzeugt oder von außen zugeführt werden. Insbesondere erfordert eine innere hohe Spannung für die Programmierung der Anti-Schmelzsicherung eine vorsichtige Isolation und ein Vorspannen von Einrichtungsstrukturen wie PN Übergängen und Gate-Dielektrika, um sicherzustellen, dass sie großen Spannungsdifferenzen nicht ausgesetzt werden. Die großen Spannungsdifferenzen können einen vorzeitigen Ausfall, eine verringerte Zuverlässigkeit, einen übermäßigen Leckstrom, eine Feldoxidinversion, eine Heraufverriegelung oder einen Ausfall verursachen. In ähnlicher Weise, wenn die Programmierspannung extern bereitgestellt wird, muss ein Verfahren zum Zuführen dieser Spannung ohne Störung von einer normalen elektrostatischen Entladungs-(ESD)Schaltungsanordnung, die typischerweise auf den Eingangsanschlussflecken und/oder Anschlussstiften der integrierten Schaltung verwendet werden, vorhanden sein.

[0011] Zweitens sollte ein Verfahren vorhanden sein, um einzelne Anti-Schmelzsicherungen per Adressierung zu wählen und zu programmieren, was ebenfalls eine weitere Manipulation eines Programmiersignals erfordert.

[0012] Drittens wird ein geeignetes Verfahren zum Erfassen oder Lesen des Zustands der Anti-Schmelzsicherung (Anti-Sicherung) benötigt. Der Zustand der Anti-Schmelzsicherung (Anti-Sicherung) wird typischerweise auf eine Einrichtungsaktivierung hin oder unmittelbar nach Hochfahren der Energie gelesen. Um ein Risiko eines Anti-Schmelzsicherungs-Ausfalls als Folge eines kontinuierlichen Lesebetriebs zu verringern und eine Lesezugriffsgeschwindigkeit auf die Anti-Schmelzsicherungs-Information zu verbessern, sollte ein flüchtiger Speicher mit einer geeigneten Schaltungsanordnung versehen werden, die effektiv einen richtigen Erfassungs/Verriegelungs-Betrieb des Anti-Schmelzsicherungs-Zustands in einem breiten Bereich von Betriebsbedingungen effektiv bereitzustellen kann.

[0013] Jedoch gab es bislang keine Schaltungsanordnung zum effektiven Implementieren der obigen

drei Anforderungen.

[0014] Die Offenbarung in der US-A-5734617 einer integrierten Schaltung mit Anti-Schmelzsicherungszellen, die die Merkmale des Oberbegriffs des Anspruchs 1 aufweist, wird gewürdigt.

ZUSAMMENFASSUNG DER ERFINDUNG

[0015] Es ist deshalb eine Aufgabe der vorliegenden Erfindung eine Anti-Schmelzsicherungsschaltung zur Verwendung in einem auf einer Anti-Schmelzsicherung bzw. Anti-Sicherung basierenden Speicher mit wahlfreiem Zugriff (RAM) bereitzustellen, der in der Lage ist eine verbesserte Ausbeute, Zuverlässigkeit und Funktionalität eines RAMs, insbesondere eines synchronen DRAMs (SDRAM), bereitzustellen.

[0016] Die Erfindung stellt eine integrierte Schaltung bereit, wie im Anspruch 1 definiert.

[0017] Ein schematisches Blockdiagramm einer Ausführungsform dieser Erfindung ist einfach in **Fig. 1** dargestellt. Es umfasst drei Unterblöcke: einen Multiplexer, welcher Eingänge von Steuersignalen und Adressen aufweist und die Aktivierung eines Programmiersignals und von Programmadressen (Unterblock **10**) hervorzubringen; einen Programmierspannungs-Generator, der aus einem Oszillator und einer Ladungspumpe (Unterblock **20**) besteht; und eine Anti-Schmelzsicherungseinheits-Schaltung für die Programmierung/den Lesevorgang der Anti-Schmelzsicherungs-Zustände (Unterblock **30**).

[0018] Zunächst aktiviert der Unterblock **10**, der Eingänge von Steuersignalen und Adressen aufweist, für eine Anti-Schmelzsicherungsprogrammierung in einen speziellen Testmodus den Programmierspannungs-Generator und bildet eine spezielle oder Programm-Adresse für die Auswahl der Anti-Schmelzsicherungseinheits-Schaltung. In einem normalen Modus bleibt der Unterblock **10** und der Unterblock **20** in einem nicht-aktiven Zustand. In dem Unterblock **30** dienen das Programmadressen- und das Programmierspannungssignal von dem Programmierspannungsgenerator dazu, den Anschluss der Anti-Schmelzsicherung auf einen Programmierspannungspegel herauf zu schalten, wenn die Anti-Schmelzsicherung oder Antisicherung für eine Programmierung von Anti-Schmelzsicherungs-Elementen gewählt wird.

[0019] In Übereinstimmung mit einer Ausführungsform der vorliegenden Erfindung umfasst ein interner Spannungsgenerator in dem Unterblock mehrere spezifisch konstruierte Elemente zum Aushalten einer negativen Spannung oder einer hohen Spannung. Wie in **Fig. 2** gezeigt sind zwei Typen von Spannungsgeneratoren mit Dioden und Kondensato-

ren dargestellt, die für einen speziellen Zweck verwendet werden. Die Kondensatoren (C2~C6), die mit einem Hochspannungsgenerator gekoppelt sind, und jede Diode sind aus Poly- und Metallschichten gebildet, die als Schicht-nach-Schicht-gestapelte Arrays (die als "fingerförmiger Stapelarray-Kondensator" bezeichnet werden) geformt. Sie weisen eine größere Kapazität (6~7 mal) als diejenige eines planaren Metallkondensators mit der gleichen Fläche und ein höheres Spannungs-Aushaltevermögen ($< 20\text{ V}$) als dasjenige eines ONO oder Gate-Kondensators auf. Die in **Fig. 2** gezeigten Dioden sind aus einer Dreifachwanne gebildet, die gute Charakteristiken aufweist, beispielsweise dass ein Leckstrom verhindert wird und andere Einrichtungen von negativen oder hohen Spannungen des Programmiermodus isoliert werden.

[0020] In einer anderen Ausführungsform der vorliegenden Erfindung verhindert der in dem Unterblock **10** verwendete Multiplexer, dass unerwünschte Spannungen an die Anti-Schmelzsicherung in dem Unterblock **30** angelegt werden, während eine andere Anti-Schmelzsicherung programmiert wird. Somit weisen Anti-Schmelzsicherungseinheits-Schaltungen in dem Unterblock **30** eine Vielzahl von Möglichkeiten wie unipolar und bipolar in Übereinstimmung mit Programmierspannungen oder Typen von Transistoren, die für einen Programmierenergietransfer verwendet werden, auf. Für einen Lesemodus werden einige Schaltungen konstruiert, um die Zuverlässigkeit von Anti-Schmelzsicherungen in bestimmten Typen von Systemen durch wesentliches Beseitigen der unerwünschten kontinuierlichen Zuführung von Spannungssignalen an die Anti-Schmelzsicherungs-Anschlüsse und ein Verbessern der Erfassungsgeschwindigkeit der programmierten Anti-Schmelzsicherungen für eine Reparatur eines ausgefallenen Stücks zu verbessern. Die Auswertung des Zustands der Anti-Schmelzsicherung, wie "programmiert" oder "nichtprogrammiert", wird mit speziellen Schaltungen während einer Energiehochfahrperiode betrieben, sodass eine zusätzliche Zeit für die Auswertung der Anti-Schmelzsicherungen nicht benötigt wird. Das Signal, das den Zustand der Anti-Schmelzsicherung beschreibt, wird dann in einem Haltespeicher durch einen Puffer gespeichert, was die Immunität einer Veränderung der Impedanz der programmierten Anti-Schmelzsicherung oder von unerwarteten Rauschkomponenten effektiv verbessert. Wenn die Anti-Schmelzsicherung nicht programmiert ist, dann ist ihr Verriegelungssignal in einem Hochspannungspegel und der NMOS Transistor, der die Poly-Schmelzsicherungen oder Metall-Schmelzsicherungen für ein Laserreparaturverfahren ersetzt, normalerweise in einem Ein-Zustand. In dieser Weise ist es nicht erforderlich einen direkten Lesevorgang eines Anti-Schmelzsicherungszustands zu vollführen, außer wenn die Energie eingeschaltet ist, und ein Lesestrom nicht in den Anti-Schmelzsicherungen

im Ansprechen auf den standardmäßigen Chipbetriebsmodus fließt. Somit werden kontinuierliche Spannungen über den zwei Anschlüssen der Anti-Schmelzsicherung vermieden und eine nichtprogrammierte Anti-Schmelzsicherung wird nicht einfach auf ihrem Hochimpedanzzustand (d. h. "nichtprogrammiert") zurück umgewandelt. Die Schaltung schließt ferner ein Speichersystem ein, welches über eine Halteschaltung durch einen Auswertepuffer mit der Anti-Schmelzsicherung gekoppelt und davon entkoppelt werden kann.

KURZBESCHREIBUNG DER ZEICHNUNGEN

[0021] Die obigen und andere Aufgaben und bevorzugte Merkmale der vorliegenden Erfindung ergeben sich näher aus der folgenden Beschreibung von bevorzugten Ausführungsformen, die in Verbindung mit den beiliegenden Zeichnungen angegeben sind. In den Zeichnung zeigen:

[0022] **Fig. 1** ein schematisches Diagramm einer programmierbaren Anti-Schmelzsicherungsschaltung, die für ein DRAM Redundanzschema in Übereinstimmung mit einer Ausführungsform der vorliegenden Erfindung verwendet wird;

[0023] **Fig. 2A bis 2F** Schaltungsdiagramme für Quellen von Programmierpotentialen und deren Einrichtungselementen wie Dioden, die mit einer Dreifachwannen-Struktur und fingerförmigen Stapelarray-Kondensatoren, die mit Poly- und Metallschichten konstruiert sind, konstruiert sind.

[0024] **Fig. 3A und 3B** ein Schaltungsdiagramm einer Anti-Schmelzsicherungseinheits-Schaltung zum Verbessern der Lesbarkeit und Zuverlässigkeit von Anti-Schmelzsicherungen auf Grundlage einer Programmierspannung von -4 V und 4 V zwischen zwei Anschlüssen der Anti-Schmelzsicherung; und ein Timingdiagramm, das den Betrieb der Anti-Schmelzsicherungseinheits-Schaltung in Übereinstimmung mit einer anderen Ausführungsform der vorliegenden Erfindung darstellt.

[0025] **Fig. 4** ein Schaltbild einer Anti-Schmelzsicherungseinheits-Schaltung zum Verbessern der Lesbarkeit und Zuverlässigkeit von Anti-Schmelzsicherungen auf Grundlage einer Programmierspannung von 8 V und 0 V zwischen zwei Anschlüssen der Anti-Sicherung in Übereinstimmung mit einer anderen Ausführungsform der vorliegenden Erfindung; und

[0026] **Fig. 5A und 5B** ein Schaltungsdiagramm einer Anti-Schmelzsicherungseinheits-Schaltung zur Verbesserung der Lesbarkeit und Zuverlässigkeit von Anti-Schmelzsicherungen auf Grundlage von modifizierten Transistoren und einer Programmierspannung von 8 V und 0 V zwischen zwei Anschlüssen

der Anti-Schmelzsicherung; und ein Diagramm, das die Struktur eines Hybridtransistors zeigt, der in der Anti-Schmelzsicherungseinheits-Schaltung in Übereinstimmung mit einer weiteren anderen Ausführungsform der vorliegenden Erfindung verwendet wird.

AUSFÜHRLICHE BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSFORMEN

[0027] Diese Erfindung umfasst jede Funktion oder Einrichtung, die für eine nicht-flüchtige Speichermöglichkeit benötigt wird, wie beispielsweise, aber nicht beschränkt auf: 1) eine elektrische Redundanzprogrammierung von Speichereinrichtungen; 2) eine Seriennummern- oder Identifikations-Programmierung von integrierten Schaltungen; 3) eine Sicherheits- und Verschlüsselungsschlüssel-Programmierung der integrierten Schaltungen; 4) eine Programmierung von Funktionsoptionen der integrierten Schaltungen; und 5) eine Ersetzung für einen Nur-Lese-Speicher (ROM) oder einen löschbaren programmierbaren Nur-Lese-Speicher (EPROM).

[0028] Die Funktionen in Übereinstimmung mit der vorliegenden Erfindung können einfach folgendermaßen beschrieben werden: 1) eine spezielle oder Programmadressen-Erzeugung für Anti-Schmelzsicherungen, die durch eine Wählschaltung und eine andere Adressen-Schaltungsanordnung, wie den speziellen Adressenmultiplexer in dem speziellen Testmodus, gewählt werden; 2) eine interne Spannungserzeugung für eine Programmierung; und 3) eine Programmierung während eines speziellen Testmodus und einem Lesevorgang während eines Energiehochfahr-Vorgangs. Während einer Programmierung wird eine Programmierspannung selektiv und sequenziell über jede Anti-Schmelzsicherung, die für eine Programmierung konstruiert ist, angelegt. Nicht-bestimmte Anti-Schmelzsicherungen werden vor Programmierspannungen geschützt, um eine unbeabsichtigte Programmierung oder eine Aufhebung einer Programmierung zu verhindern.

[0029] Typischerweise kann dieses Verfahren für eine interne oder externe Energie für eine Programmierung gemischt werden. Das heißt, der interne Energiegenerator kann mit einem externen Energiestift auf einer integrierten Schaltung oder einem DRAM Chip, welches gerade programmiert wird, wenn erforderlich, gekoppelt werden. Wenn der externe Energiestift verwendet wird, wird die ESD Schutzschaltung für den externen Energie-Anschlussflecken enthalten sein.

[0030] In Übereinstimmung mit der vorliegenden Erfindung wird der Zustand der Anti-Schmelzsicherung vorzugsweise in einem Haltespeicher gespeichert, da der vor-gehaltene Puffer dazu dient, um effektiv den Zustand der Anti-Schmelzsicherung während

der Energiehochfahr-Periode so effektiv zu erfassen, obwohl die Impedanz der programmierten Anti-Schmelzsicherung stärker verändert werden soll. Als Folge des relativ zuverlässigen Lesevorgangs kann auch die Periode der Programmierzeit, die Größe der Programmierspannung, und der Betrag des Programmierstroms ebenfalls verringert werden.

[0031] Bezug nehmend auf **Fig. 1** ist eine programmierbare Anti-Schmelzsicherungs-Schaltung in Übereinstimmung mit einer bevorzugten Ausführungsform der vorliegenden Erfindung dargestellt. Die programmierbare Anti-Schmelzsicherungs-Schaltung umfasst eine Programmadressen-Erzeugungsschaltung **10**, einen internen Energiegenerator **20** und eine Vielzahl von Anti-Schmelzsicherungseinheits-Schaltungen **30**.

[0032] Jede Anti-Schmelzsicherungseinheits-Schaltung **30** ist mit einem Schalttransistor G50 gekoppelt, der mit einer Blindzelle G51 (Dummyzelle) verbunden ist und zum Aktivieren der Dummyzelle G51 dient. Die Programmadressen-Erzeugungsschaltung **10** weist einen Testdekoder **11** und einen Adressendekoder **12** auf, die durch Empfangen eines Steuersignals aktiviert werden, das einen speziellen Testmodus darstellt, um eine Programmadresse für die Anti-Schmelzsicherungseinheits-Schaltungen **30** zu erzeugen. Das spezielle Testmodussignal kann z. B. durch eine Benutzeraktivierung erzeugt werden. Wenn der spezielle Testmodus durch ein externes Signal aktiviert wird, wählt die Programmadressen-Erzeugungsschaltung **10** eine der Anti-Schmelzsicherungseinheits-Schaltungen **30** durch Verwenden der Programmadresse für eine Anti-Schmelzsicherungs-Programmierung und stellt ein internes Steuersignal an dem internen Energiegenerator **20** bereit. Ein Programmierspannungssignal, das von dem internen Energiegenerator **20** erzeugt wird, der auch auf das interne Steuersignal anspricht, wird dann an die gewählte Anti-Schmelzsicherungseinheits-Schaltung **30** angelegt. Während der Programmierprozedur können die Anti-Schmelzsicherungseinheits-Schaltungen **30** sequenziell durch die Programmadressenschaltung **10** gewählt werden.

[0033] Der interne Energiegenerator **20** umfasst zwei Teile: einen Oszillator **21** und eine Ladungspumpenschaltung **22**. In einem unipolaren Spannungssystem in Übereinstimmung mit einer Ausführungsform der vorliegenden Erfindung, wie in **Fig. 4** und **5A** gezeigt, wird eine hohe Spannung wie 8 V, V_h, die von dem internen Energiegenerator **20** erzeugt wird, an die gewählte Anti-Schmelzsicherungseinheits-Schaltung **30** während der Programmierprozedur gekoppelt. In einem bipolaren Spannungssystem in Übereinstimmung mit einer anderen Ausführungsform der vorliegenden Erfindung, wie in **Fig. 3A** gezeigt, kann jedoch eine negative Spannung V_{nv} an die gewählte Anti-Schmelzsicherungseinheits-Schal-

tung **30** während der Programmierprozedur gekoppelt werden. Wenn die Programmierprozedur abgeschlossen ist und das externe Steuersignal, das den speziellen Testmodus darstellt, in einen Abschaltzustand verändert wird, werden sämtliche Anti-Schmelzsicherungseinheits-Schaltungen **30** abgewählt und der interne Energiegenerator **20** wird ebenfalls auf einen Abschaltzustand geändert.

[0034] Wenn eine Energiehochfahr-Prozedur initiiert wird, wird ein Lesevorgang oder eine Auswertung für Anti-Schmelzsicherungs-Zustände in den Anti-Schmelzsicherungseinheits-Schaltungen **30** ausgeführt. Jede Anti-Schmelzsicherungseinheits-Schaltung **30** empfängt ein Energiehochfahr-Signal PWRUP und ein Zustand einer Anti-Schmelzsicherung, die in jeder Anti-Schmelzsicherungs-Einheit **30** enthalten ist, wird als ein gehaltenes Signal an den Schalttransistor G50 übertragen. Das heißt, jede Anti-Schmelzsicherungseinheits-Schaltung **30** erzeugt das gehaltene Signal (das verriegelte Signal) als ein Pegelsignal niedriger Spannung, das einen programmierten Zustand der Anti-Schmelzsicherung dargestellt, oder ein Pegelsignal mit hoher Spannung, was einen nichtprogrammierten Zustand der Anti-Schmelzsicherung bezeichnet. Zusätzlich kann eine externe Spannungsquelle Vcc von 4 V für die Programmierprozedur auf 3,3 V für einen Lesebetrieb geändert werden.

[0035] Bezug nehmend auf die **Fig. 2A** und **2B** sind zwei Ausführungsformen der Ladungspumpenschaltung, die in dem internen Energiegenerator **20** enthalten ist, der in **Fig. 1** gezeigt ist, dargestellt. Das Steuersignal wird aktiviert und an den Oszillator **21** und die Ladungspumpenschaltung **22**, die in **Fig. 1** gezeigt ist, angelegt. Während der Programmierprozedur in dem speziellen Testmodus wird das Steuersignal PGM, das von der in **Fig. 1** gezeigten Programmadressen-Erzeugungsschaltung **10** erzeugt wird, ein Zustand mit hoher Spannung für sowohl negative als auch positive Spannungen. **Fig. 2A** zeigt eine Ladungspumpenschaltung, die drei Teile enthält: einen Hochspannungsgenerator **24**, einen Spannungstreiber **26** und einen Vorladungs-Spannungsgenerator **28** zum Anlegen der externen Quellenspannung Vcc. Ein NMOS Transistor D1 wird als eine Diode betrieben, wenn ein PGM Signal einen Zustand mit hoher Spannung dargestellt, und legt ein Spannungssignal Vcc-Vtn, wobei Vtn eine Schwellenspannung von D1 ist, in den Knoten N1 an. Die Dioden D2~C7 sind neu ausgelegt mit einer PN Diode, die mit einer P-Wanne verbunden ist, zu einem N-Wannenübergang, wie in **Fig. 2C** gezeigt.

[0036] Wie gezeigt ist die PN Dioden-Struktur im Wesentlichen mit einer Dreifachwannen-Struktur gebildet, bei der eine P-Wanne in eine N-Wanne eingefügt ist, die auf einem P-Substrat gebildet ist. In einer derartigen Diode ist das P-Substrat mit einer Masse

Gnd verbunden und die N-Wanne dient zum Isolieren der P-Wanne von dem P-Substrat, um einen Stromfluss von der P-Wanne zu dem P-Substrat zu verhindern. Ein anderer Vorteil der PN Dioden-Strukturen ist, dass eine Durchbruchspannung zwischen der N-Wanne und der P-Wanne höher als eine Programmiervspannung ist. Kondensatoren C1~C3 werden für einen Ladungspumpeffekt verwendet und Kondensatoren C4~C6 werden als Ladekondensatoren verwendet, die die Oszillationsamplitude eines Ausgangsspannungssignals Vhv reduzieren und die so bestimmt werden, dass eine relativ kleine Kapazität als diejenige der Ladungspumpkondensatoren C1~C3 aufweisen.

[0037] Wie in **Fig. 2E** gezeigt, wenn das PGM Signal ein hoher Spannungspegel für eine Vorladebetrieb des N1 Knotens wird und gleichphasige und phasenverschobene Takte OSC1 und OSC2, die von dem Oszillator **21** erzeugt werden, kontinuierlich bereitgestellt werden, wird ein Signal mit einer hohen Spannung, das von dem Hochspannungsgenerator **24** erzeugt wird, an die gewählte Anti-Schmelzsicherungseinheits-Schaltung **30** geführt. Zu Anfang wird die Spannung des Knotens N1 eine Spannung Vcc-Vtn, wenn das PGM Signal als ein hoher Spannungspegel freigeschaltet ist. Wenn der Takt OSC1 sich von einem Massespannungspegel auf einen externen Spannungspegel Vcc ändert, werden Ladungen, die von dem OSC1 zugeführt werden, an den Knoten N1 geführt, dessen Spannungspegel 2 Vcc-Vtn wird. Der Spannungspegel wird wieder an einen Knoten N2 transferiert, dessen Spannungspegel 2 Vcc-2Vtn wird.

[0038] Wenn sich danach der Takt OSC2 von dem Massespannungspegel auf den externen Spannungspegel Vcc ändert, wird ein Spannungspegel des Knoten N2 auf 3Vcc-2Vtn geladen und ein Spannungspegel des Knotens N3 ändert sich auf 3Vcc-3Vtn. Wenn sich als nächstes der Takt OSC1 von dem Massespannungspegel auf den externen Spannungspegel Vcc ändert, dann wird der Spannungspegel des Knotens N3 auf 4Vcc-3Vtn geändert. Schließlich werden die Spannungspegel der Knoten N1, N2, N3 und Vhv auf 2Vcc-Vtn, 3Vcc-2Vtn, 4Vcc-3Vtn bzw. 4Vcc-4Vtn geändert. Ein Ausgangssignal Vhv mit hoher Spannung kann durch Zuführen der obigen Takte erzeugt werden. Das Ausgangssignal Vhv mit hoher Spannung wird dann an die Anti-Schmelzsicherungseinheits-Schaltung **30** als ein Programmierspannungssignal gekoppelt.

[0039] Der Hochspannungs-Treiber **26** umfasst zwei Dioden DS~D6, die dazu dienen, um zwei unterschiedliche Ausgangsspannungspegel, wie Vhv2 und Vhv3 von 4Vcc-4Vtn bzw. 3Vcc-3Vtn, bereitzustellen. Wenn ein Lesemodus vorhanden ist, dann ändert der Vorlade-Spannungsgenerator **28** einen Spannungspegel des Ausgangsknotens Vhv in einen

Vorlade-Spannungspegel V_{cc} - V_{tn} . Der Vorlade-Spannungspegel kann für die Auswertung eines Zustands einer Anti-Schmelzsicherung verwendet werden.

[0040] Wie in **Fig. 2D** gezeigt, werden die Kondensatoren C2-C6, die in einer hohen Spannung verwendet werden, mit Poly- und Metallschichten M1-M2 und P1-P2 gebildet. Die Hochspannungskondensatoren C2~C6 können eine größere Kapazität bereitstellen, indem hinzugefügte gegenseitige Kapazitäten C_{jj} , C_{ji} und C_{jk} als Folge eines Finger-Stapeltyps verwendet werden, was als ein fingerförmiger Stapelarraykondensator bezeichnet wird.

[0041] Zurückkehrend zur **Fig. 2B** ist eine Ladungspumpenschaltung **22** in Übereinstimmung mit einer anderen Ausführungsform der vorliegenden Erfindung dargestellt. Die Ladungspumpenschaltung **22** dient als ein Negativspannungsgenerator zur Verwendung in einem Bipolarspannungs-Schema der Programmierprozedur der Anti-Schmelzsicherung. Die in **Fig. 2B** gezeigten Dioden D12~D14 sind ähnlich zu denjenigen der **Fig. 2A**, wobei eine Struktur von jeder Diode ebenfalls in **Fig. 2F** beschrieben ist. Die Kondensatoren C11 und C12 werden durch Verwenden von PMOS Transistoren gebildet und in einem Ladungspumpenbetrieb verwendet, bei dem ein Kondensator C13 ein Ladekondensator ist.

[0042] Wenn sich der Takt OSC1 von dem Massespannungspegel auf den externen Spannungspegel V_{cc} ändert, wird ein Spannungspegel eines Knotens N5 auf den externen Spannungspegel V_{cc} geladen. Der externe Spannungspegel V_{cc} wird dann in einen Knoten N4 transferiert, bis der Spannungspegel des Knotens N5 einen Schwellenspannungspegel V_{tn} der Diode D12 erreicht. Der Knoten N4 ist auf die Massespannung über einen Transistor D11 gezogen. Wenn die OSC1 und die OSC2 Takte sich gleichzeitig auf den Massespannungspegel bzw. den externen Spannungspegel V_{cc} ändern, werden der Knoten N5 und ein Knoten N6 auf Spannungspegel V_{tn} - V_{cc} bzw. V_{cc} geändert. Der Spannungspegel des Knotens N6 bleibt auf einem Spannungspegel $2V_{tn}$ - V_{cc} , nachdem seine Ladungen durch die Dioden D11, D12 und D13 entladen sind. Infolgedessen wird ein Ausgangsspannungspegel eines Ausgangsknotens Vnv $3V_{tn}$ - V_{cc} . Wenn sich die OSC1 und OSC3 Takte auf den externen Spannungspegel V_{cc} bzw. den Massespannungspegel ändern, ändern sich die Knoten N5 und N6 auf V_{tn} bzw. $2V_{tn}$ - $2V_{cc}$. Deshalb wird ein Spannungspegel des Ausgangsknotens Vnv $3V_{tn}$ - $2V_{cc}$. Schließlich gehen die Knoten N4, N5, N6 und der Ausgangsknoten Vnv auf den Massespannungspegel, V_{tn} - V_{cc} , $2V_{tn}$ - $2V_{cc}$, $3V_{tn}$ - $2V_{cc}$, nach Wiederholen von Taktbetrieben. Der Ausgangsspannungspegel Vnv wird dann an die Anti-Schmelzsicherungseinheits-Schaltung **30** als das Programmierspannungssignal gekoppelt,

[0043] Bezug nehmend auf **Fig. 3A** ist eine Anti-Schmelzsicherungseinheits-Schaltung **30** dargestellt, die ein Bipolarspannungs-Programmierschema in Übereinstimmung mit einer Ausführungsform der vorliegenden Erfindung verwendet. Die Anti-Schmelzsicherungseinheits-Schaltung **30** umfasst eine Anti-Schmelzsicherungs-Wählschaltung **331**, ein Anti-Schmelzsicherungs-Element **332**, eine Anti-Schmelzsicherungs-Zustandsauswerteschaltung **333**, und eine Halteschaltung **334**.

[0044] Der externe Spannungspegel V_{cc} , z. B. +4 V wird über zwei PMOS Transistoren P0 und P2 und einen NMOS Transistor N1 an einen Anschluss des Anti-Schmelzsicherungs-Elements **332** angelegt und das Programmierspannungssignal Vnv, z. B. -4 V, wird an den anderen Anschluss davon während der Programmierprozedur angelegt. Die Programmadresse wird an das Gate des PMOS P0 angelegt, der eingeschaltet wird, um dadurch den externen Spannungspegel an den PMOS Transistor P2 zu übertragen. Der PMOS Transistor P2 wird seriell mit dem PMOS Transistor P0 verbunden und wird als ein Übergabetransistor verwendet, wobei ein Energiehochfahr-Signal ein erstes Energiehochfahr-Signal PWRUP, ein zweites Energiehochfahr-Signal PWRUPB und ein drittes Energiehochfahr-Signal PWRUP D umfasst. Der NMOS Transistor N1 ist mit einem Knoten A01 verbunden und hält einen Abschaltzustand im Ansprechen auf das dritte Energiehochfahr-Signal PWRUP D während der Programmierprozedur der Anti-Schmelzsicherung aufrecht, wobei das dritte Energiehochfahr-Signal PWRUP D den Knoten A01 auf einen Massespannungspegel innerhalb von ungefähr 5 ns initialisiert. Der PMOS Transistor P2 dient zum Schützen von Übergängen des PMOS Transistors P0 und eines PMOS Transistors P5 vor dem Programmierspannungssignal Vnv, z. B. -4 V. Das Programmierspannungssignal Vnv ist zwischen den Anschluss des Anti-Schmelzsicherungs-Elements **332** und einen NMOS Transistor N4 geschaltet, der als eine Diode dient, mit einem gemeinsamen Gate, einem Substrat und einer Drain.

[0045] In dem Lesemodus, wie in **Fig. 3B** gezeigt, wird die Zustandsauswerteschaltung **333** während einer Energiehochfahr-Periode, die in **Fig. 3B** gezeigt ist, betrieben. Wenn das Anti-Schmelzsicherungs-Element **332** programmiert wird, dann wird der Anschluss A02 des programmierten Anti-Schmelzsicherungs-Elements **332** auf einen Niederspannungspegel gebracht. D. h., der Spannungspegel des Anschlusses A02 ist typischerweise ein Schwellenspannungspegel V_{tn} des NMOS Transistors N4, da die Ladungspumpenschaltung **20** in **Fig. 1** nicht betrieben wird und das Programmierspannungssignal Vnv in einem Schwebungszustand ist. Das erste Energiehochfahr-Signal PWRUP hält einen niedrigen Spannungspegel aufrecht, bis die Energie vollständig stabilisiert ist, und das zweite Energiehochfahr-Signal

PWRUPB steigt proportional zu dem externen Spannungspegel Vcc an. Das externe Spannungssignal Vcc wird an einen Knoten A02 über den PMOS Transistor P2 und den PMOS Transistor P5 während der Energiehochfahr-Periode übertragen. Wenn das Anti-Schmelzsicherungs-Element **332** programmiert wird, dann nimmt die Spannung des Knotens A02 allmählich ab und ändert sich auf einen niedrigen Spannungspegelzustand (nahe 1 V). Wenn jedoch das Anti-Schmelzsicherungs-Element **332** nicht programmiert wird, dann hält die Spannung des Knotens A02 einen Zustand mit einem hohen Spannungspegel (nahe Vcc) aufrecht. Zusätzlich, wenn das externe Spannungssignal Vcc an den Knoten A03 über den PMOS Transistor P6 übertragen wird und das zweite Energiehochfahr-Signal PWRUPB den Hochspannungspegelzustand aufrecht erhält, geht ein NMOS Transistor N7 auf einen eingeschalteten Zustand. Ein Ein- oder Auszustand eines NMOS Transistors N8 wird in Abhängigkeit von der Spannung des Knotens A02 bestimmt, sodass der Spannungspegel des Knotens A03 auf Grundlage des Zustands des NMOS Transistors N8 dann bestimmt wird. Wenn das Anti-Schmelzsicherungs-Element **332** programmiert ist, behält der Knoten A02 einen niedrigen Spannungspegelzustand aufrecht und der Knoten A03 bleibt ein Zustand mit einem hohen Spannungspegel. Wenn nicht programmiert ist der Knoten A02 ein Hochspannungspegelzustand und der Knoten A03 wird ein Niederspannungspegelzustand.

[0046] Die Halteschaltung **334** führt Information, die von dem Anti-Schmelzsicherungs-Element **332** als ein gehaltenes bzw. verriegeltes Signal durch die Zustandsauswerteschaltung **333** gelesen wird. Eine derartige anfängliche Verriegelung bzw. Haltung des Anti-Schmelzsicherungs-Zustands verbessert eine Erfassungsgeschwindigkeit eines Reparaturzellen-Lesemodus und einer Programmiergenauigkeit über einem breiten Bereich einer Programmier-Vorspannung und eines -Stroms. Da ferner die Anzahl von Anti-Schmelzsicherungs-Element-Zugriffen verringert werden kann, kann auch die Zuverlässigkeit des Anti-Schmelzsicherungs-Elements verbessert werden.

[0047] Bezug nehmend auf **Fig. 4** ist eine Anti-Schmelzsicherungseinheits-Schaltung **30** gezeigt, die ein unipolares Hochspannungsschema verwendet, welches eine Anti-Schmelzsicherungs-Wählschaltung **341**, eine Anti-Schmelzsicherungs-Element **342**, eine Anti-Schmelzsicherungs-Zustandsauswerteschaltung **343** und eine Halteschaltung **344** einschließt. Das externe Spannungssignal Vcc für die Programmierprozedur wird an das Anti-Schmelzsicherungs-Element **342** über einen PMOS Transistor P0 gekoppelt. Ein Programmierspannungssignal Vhv wird durch D1 an einen Anschluss des Anti-Schmelzsicherungs-Elements **342** gekoppelt und die Massespannung wird an den anderen Anschluss

des Anti-Schmelzsicherungs-Elements **342** über zwei NMOS Transistoren N2 und N4 während der Programmierprozedur geführt. Die Diode D1 verhindert einen Stromfluss von der externen Spannungspegel Vcc an eine Energiezuleitung für das Programmierspannungssignal Vhv, welches während des Le-sebetriebs in einem Schwebungszustand ist.

[0048] Ein Energiehochfahr-Signal PWRUP_D initialisiert einen Knoten A01 innerhalb von ungefähr 5 ns nach dem Energiestabilisierungsbetrieb, sodass der Knoten A01 nahe von Vcc durch einen PMOS Transistor P3 und einen NMOS Transistor N2 vorgeladen wird. Das Hochspannungssignal für eine Programm-adresse wird an einen NMOS Transistor N4 angelegt, um das vorgeladene Spannungssignal Vcc zu entladen und die Massespannung mit dem Anti-Schmelzsicherungs-Element **342** zu verbinden. Deshalb wird der Spannungspegel des Knotens A02 auf den Massespannungspegel geändert, wobei der NMOS Transistor N2 und der NMOS Transistor N4 gleichzeitig eingeschaltet werden. Demzufolge wird die Spannungsdifferenz zwischen den zwei Anschlüssen des gewählten Anti-Schmelzsicherungs-Elements **342** eine relativ hohe Spannung, Vhv, während der Programmierprozedur. Für den Fall der nicht gewählten Anti-Schmelzsicherungseinheits-Schaltung **30** wird das Niederspannungssignal der Programmadresse nicht verändert und die Spannungsdifferenz zwischen den zwei Anschlüssen des nicht gewählten Anti-Schmelzsicherungs-Elements **342** bleibt nahe Vhv-Vcc. Der NMOS Transistor N2 schützt Übergänge und Gates eines PMOS Transistors P3, des NMOS Transistors N4, eines NMOS Transistors N5, und eines NMOS Transistors N7 vor dem Programmierspannungssignal Vhv, um dadurch Übergangs-Durchbrüche oder Gate-Durchbrüche zu verhindern.

[0049] In dem Lesemodus arbeitet die Anti-Schmelzsicherungs-Zustandsauswerteschaltung **343** während der in **Fig. 3B** gezeigten Energiehochfahr-Periode. Das erste Energiehochfahr-Signal PWRUP hält einen niedrigen Spannungszustand aufrecht, bis die Energie vollständig stabilisiert ist und das zweite Energiehochfahr-Signal PWRUPB wird proportional auf das externe Spannungssignal Vcc erhöht. Der Anschluss des Anti-Schmelzsicherungs-Elements **342** wird auf eine hohe Spannung, typischerweise Vcc-Vtp, über den PMOS Transistor P0 gebracht, da die Ladungspumpenschaltung **20** in **Fig. 1** nicht betrieben wird, sodass die Zuleitung für das Programmierspannungssignal Vhv in einem Schwebungszustand ist. Wenn das Anti-Schmelzsicherungs-Element **342** programmiert wird, hält die Spannung des Knotens A02 einen Hochspannungszustand (nahe Vcc-Vtn) aufrecht. Für den Fall, dass das Anti-Schmelzsicherungs-Element **342** nicht programmiert ist, bleibt die Spannung an dem Knoten A02 auf der Massespannung, da der NMOS Transis-

tor N5 durch den Hochspannungspegels des zweiten Energiehochfahr-Signals PWRUPB eingeschaltet bleibt. Deshalb ist der NMOS Transistor N5 in der Größe klein, sodass die Spannung des Knotens A02 durch einen eingeschalteten Zustand des NMOS Transistors N5 nicht stark verringert wird.

[0050] Wenn das erste Energiehochfahr-Signal PWRUP einen Niederspannungszustand aufrecht erhält, wird die externe Spannung Vcc an die PMOS Transistoren P7 und P6 übertragen. Dann wird NMOS Transistor N8 durch das hohe erste Energiehochfahr-Signal PWRUP eingeschaltet, sodass der PMOS Transistor P7 in Übereinstimmung mit dem Pegel des Knotens A02 eingeschaltet wird. Wenn er programmiert ist, hält der Knoten A02 einen Hochspannungszustand aufrecht, sodass der PMOS Transistor P7 ein schwach eingeschalteter Zustand ist. Demzufolge ist der Knoten A03, der seriell mit dem NMOS Transistor N8 verbunden ist, ein Niederspannungszustand. Wenn nicht programmiert, ist der Knoten A02 ein Niederspannungszustand und der PMOS P7 wird ein vollständig eingeschalteter Zustand. Der Knoten A03 durch die eingeschalteten Zustände der PMOS Transistoren P6 und P7 wird auf einen Hochspannungszustand übertragen. Die Größe des NMOS Transistors N8 ist für einen kleineren Stromfluss durch den NMOS Transistor N8 als derjenige durch den PMOS Transistor P7 klein genug. Der Zustand mit der niedrigen oder hohen Spannung des Knotens A04 ist abhängig von der Spannung des Knotens A03, da das erste Energiehochfahr-Signal PWRUP einen niedrigen Spannungszustand aufrecht erhält. Die Veränderung der Spannungsdifferenz zwischen den programmierten und den nicht-programmierten Zuständen ist nicht groß genug zum Steuern des PMOS Transistors P7, sodass ein Puffer benötigt wird. Der gesteuerte Puffer, der einen Hochzieh-(Pull-up)PMOS Transistor P9, einen PMOS Transistor P10 und einen Herunterzieh-(Pull-down)NMOS Transistor N11, der zwischen den Knoten A03 und den Knoten A04 geschaltet ist, besteht, kann leicht mit dem Zustand des Anti-Schmelzsicherungs-Elements **342** ausgewertet werden. Die Halteschaltung **344** kann den Zustand des Anti-Schmelzsicherungs-Elements **342** durch das verstärkte Signal des Knotens A04 leicht halten.

[0051] Die Halteschaltung **344** führt Information, die von dem Anti-Schmelzsicherungs-Element **342** als das gehaltene Signal gelesen wird.

[0052] Bezug nehmend auf **Fig. 5A** ist eine Anti-Schmelzsicherungseinheits-Schaltung **30** dargestellt, die ein unipolares Hochspannungsschema in Übereinstimmung mit einer anderen Ausführungsform der vorliegenden Erfindung verwendet und eine Anti-Schmelzsicherungs-Wählschaltung **351**, eine Anti-Schmelzsicherungs-Zustandsauswerteschaltung **353**, und eine Halteschaltung **354** aufweist.

[0053] Die Anti-Schmelzsicherungs-Wählschaltung **351** umfasst die gleichen Schaltungselemente der in **Fig. 4** gezeigten Anti-Schmelzsicherungs-Wählschaltung, mit Ausnahme des PMOS Transistors P3 und des NMOS Transistor N2, die in **Fig. 4** gezeigt sind. Die Anti-Schmelzsicherungs-Zustandsauswerteschaltung **353** weist die gleichen Schaltungselemente der in **Fig. 4** gezeigten Anti-Schmelzsicherungs-Zustandsauswerteschaltung **343** auf, mit Ausnahme eines NMOS Transistors, der zwischen die in **Fig. 5A** gezeigten Knoten A01 und A02 geschaltet ist. Bei der Programmierprozedur dient der NMOS Transistor dazu, die Anti-Schmelzsicherungs-Wählschaltung **351** von der Anti-Schmelzsicherungs-Auswerteschaltung **353** im Wesentlichen zu isolieren.

[0054] Die externe Spannung Vcc wird an einen Anschluss des Anti-Schmelzsicherungs-Elements **352** durch PMOS Transistor P0 gekoppelt. Die Programmiervspannung Vhv wird durch eine Diode D1 an den einen Anschluss des Anti-Schmelzsicherungs-Elements **352** gekoppelt und die Massespannung wird an den anderen Anschluss des Anti-Schmelzsicherungs-Elements **352** während der Programmierprozedur gekoppelt. Die Diode D1 verändert einen Stromfluss von der externen Spannungsquelle Vcc an eine Energiezuleitung für das Programmiervspannungssignal Vhv, welches während eines Lesebetriebs in einem Schwebungszustand ist. Das Hochspannungssignal einer Programmadresse wird an den NMOS Transistor N2 angelegt, um die vorgeladene Spannung durch Verwenden der Kapazitätskopplung des Anti-Schmelzsicherungs-Elements **352** zu entladen und eine Quelle der Massespannung auf dem Anti-Schmelzsicherungs-Element **352** zu verbinden. Demzufolge wird die Spannungsdifferenz zwischen den zwei Anschlüssen des gewählten Anti-Schmelzsicherungs-Elements **352** eine relativ hohe Spannung Vhv während der Programmierprozedur.

[0055] Für den Fall, dass die Anti-Schmelzsicherungseinheits-Schaltung **30** nicht gewählt wird, wird das Niederspannungssignal der Programmadresse an den NMOS Transistor N2 angelegt. Die Spannungsdifferenz zwischen den zwei Anschlüssen des nicht gewählten Anti-Schmelzsicherungs-Elements **352** wird durch das Verhältnis von Leckströmen durch das Anti-Schmelzsicherungs-Element **352** und die Übergänge der NMOS Transistoren N2 und N3 bestimmt.

[0056] Wie in **Fig. 5B** gezeigt werden die NMOS Transistoren N2 und N3 durch verwenden eines hybriden Transistors erstellt. Die Source des hybriden Transistors enthält einen stark dotierten N+ Bereich **515** und zwei leicht dotierte N- Bereiche **520** und **521**, wobei einer davon über den unteren Abschnitt des Gate-Bereichs des hybriden Transistors überlappt ist. Die Drain des hybriden Transistors wird nur

mit einem N- Bereich **518** gebildet. Eine Drainelektrode DRAIN wird über ein gepuffertes Poly **523** mit dem N- Bereich **518** verbunden, wobei der obere Abschnitt des gepufferten Poly sich über den oberen Abschnitt des Gates erstreckt. Ein kleinerer N+ Bereich ist auf dem unteren Abschnitt des gepufferten Poly gebildet, um einen Ohm'schen Kontakt zwischen dem N+ Bereich und dem unteren Abschnitt des gepufferten Poly zu bilden. Der Gatebereich umfasst eine Polyoxidschicht **517**, eine Polyschicht **516** und Abstandsstücke **512**, die auf Seitenabschnitten davon gebildet sind. Wenn eine hohe Spannung, z. B. 8 V, an den hybriden Transistor angelegt wird, wird deshalb ein Verarmungsbereich **519** auf dem unteren Abschnitt des Drainbereichs **518** so gebildet, dass ein elektrisches Feld über dem Verarmungsbereich **519** verteilt wird. Der verarmte bzw. entleerte Bereich **519** ist über den unteren Abschnitt des Gatebereichs überlappt, um dadurch effektiv den Gate-Durchbruch als Folge der hohen Spannung zu schützen.

[0057] Zurückkehrend zur **Fig. 5A** arbeitet in dem Lesemodus die Zustandsauswerteschaltung **353** während der Energiehochfahr-Periode.

[0058] Für den Fall, dass das Anti-Schmelzsicherungs-Element **352** programmiert wird, hält eine Spannung des Knotens A02 einen Hochspannungszustand (nahe $V_{cc}-V_{tn}$) aufrecht. Für den Fall, dass das Anti-Schmelzsicherungs-Element **352** nicht programmiert wird, bleibt die Spannung des Knotens A02 noch auf der Massespannung, da der NMOS Transistor N4 einen eingeschalteten Zustand durch den hohen Spannungszustand des ersten Energiehochfahr-Signals PWRUP beibehält. Der Betrieb der Anti-Schmelzsicherungs-Auswerteschaltung **353** ist ähnlich zu demjenigen der in **Fig. 4** gezeigten Anti-Schmelzsicherungs-Schaltung **343**.

[0059] Demzufolge führt die Halteschaltung **354** effektiv Information, die von dem Anti-Schmelzsicherungs-Element **352** als das gehaltene bzw. verriegelte Signal gelesen wird.

[0060] Während die vorliegende Erfindung im Bezug nur auf bestimmte bevorzugte Ausführungsformen beschrieben worden ist, können ohne Abweichen von dem Umfang der vorliegenden Erfindung, sowie sie in den folgenden Ansprüchen aufgeführt ist, andere Modifikationen und Variationen durchgeführt werden.

Patentansprüche

1. Integrierte Schaltung mit einer Anzahl von Ersetzungsadressen-Signalgeneratoren, wobei jeder besagte Ersetzungsadressen-Signalgenerator zum Erzeugen eines Ersetzungsadressensignals zum Aktivieren einer redundanten Speicherstelle, zum Ersetzen einer defekten Speicherzelle konfiguriert ist, wo-

bei die integrierte Schaltung umfasst:

eine Programmadressen-Erzeugungsschaltung (**10**), die zum Erzeugen eines Programmadressensignals im Ansprechen auf einen Testmodus-Signaleingang und einen Adressen-Signaleingang konfiguriert ist; und

eine Anzahl von Anti-Sicherungseinheits-Schaltungen (**30**), wobei jede Anti-Sicherungseinheits-Schaltung mit einem besagten Ersetzungsadressen-Signalgenerator verbunden ist und von dem Programmadressensignal gewählt wird;

wobei eine besagte Anti-Sicherungseinheits-Schaltung einschließt:

ein Anti-Sicherungselement (**332**), welches programmierbar ist, um einen entsprechenden Ersetzungsadressen-Signalgenerator zu aktivieren, wobei die Programmierung im Ansprechen auf ein Programmierungsspannungssignal zum Programmieren des Anti-Sicherungselements und ein Einschaltsignal, welches eine Einschaltperiode der integrierten Schaltung anzeigt, bewirkt wird; und gekennzeichnet durch:

eine Anti-Sicherungswähl-Schaltung (**331**), die zum Wählen und Programmieren des Anti-Sicherungselements im Ansprechen auf das Programmadressensignal und das Programmierungsspannungssignal konfiguriert ist;

eine Anti-Sicherungszustands-Auswertungsschaltung (**333**), die in einem Anti-Sicherungszustands-Lesemodus konfiguriert ist, um ein Zustandssignal zu erzeugen, das den Zustand der Antisicherung im Ansprechen auf den externen Spannungseingang (V_{cc}) und das Einschaltsignal beschreiben; und

eine Halteschaltung (**334**), die zum Halten des Zustandssignals und zum Erzeugen eines gehaltenen Signals, das das Zustandssignal für den entsprechenden Ersetzungsadressen-Signalgenerator darstellt, konfiguriert ist.

2. Integrierte Schaltung nach Anspruch 1, ferner umfassend einen internen Leistungsgenerator, um im Ansprechen auf das Testmodussignal das Programmierungsspannungssignal zu erzeugen.

3. Integrierte Schaltung nach Anspruch 1 oder 2, wobei die Anti-Sicherungswähl-Schaltung (**331**) einschließt:

eine Schalteinrichtung, um im Ansprechen auf das Programmadressen- und das Einschaltsignal den externen Spannungseingang (V_{cc}) an einem Anschluss des Anti-Sicherungselements darzustellen;

eine Einrichtung zum Bereitstellen des Programmierungsspannungssignals als ein negatives Spannungssignal an dem anderen Anschluss des Anti-Sicherungselements, um dadurch zu ermöglichen, dass eine Spannung über zwei Anschlüssen des Anti-Sicherungselements eine Summe des externen Spannungseingangs und des Programmierungsspannungssignals in der Anti-Sicherungs-Programmierung

prozedur ist; und
eine Einrichtung zum Erzeugen eines Zustandssignals, das eine Spannung über den Anschlüssen des Anti-Sicherungselements in dem Anti-Sicherungsstands-Lesebetriebs darstellt.

4. Integrierte Schaltung nach Anspruch 1 oder 2, wobei die Anti-Sicherungswahl-Schaltung (**331**) einschließt:
eine Schalteinrichtung, um in Ansprechen auf die Programmadresse eine Massespannung an einem Anschluss des Anti-Sicherungselements bereitzustellen;
eine Einrichtung zum Bereitstellen des Programmierungs-Spannungssignals an dem anderen Anschluss des Anti-Sicherungselements, um dadurch zu ermöglichen, dass eine Spannung an den Anschlüssen des Anti-Sicherungselements eine Programmierungsspannung in der Anti-Sicherungs-Programmierungsprozedur ist; und
eine Einrichtung zum Erzeugen eines Zustandssignals, das eine Spannung über den Anschlüssen des Anti-Sicherungselements in dem Anti-Sicherungsstands-Lesebetrieb darstellt.

5. Integrierte Schaltung nach irgendeinem vorangehenden Anspruch, wobei die Anti-Sicherungs-Auswertungsschaltung (**333**) eine Puffereinrichtung einschließt, um im Ansprechen auf das Einschalt-Signal das Zustandssignal (A02) zu empfangen, um ein geregeltes Zustandssignal in Übereinstimmung mit dem externen Spannungseingang (V_{cc}) zu erzeugen.

6. Integrierte Schaltung nach einem der vorangehenden Ansprüche, wobei das Einschaltssignal ein erstes Einschaltssignal (PWRUP), ein zweites Einschaltssignal (PWRUPB) und ein drittes Einschaltssignal (PWRUP_D) einschließt; und wobei die Schalteinrichtung einschließt:
einen ersten PMOS-Transistor (P0), um im Ansprechen auf die Programmadresse selektiv den externen Spannungseingang (V_{cc}) an dem einen Anschluss des Anti-Sicherungselements bereitzustellen, und
optional einen zweiten PMOS-Transistor (P5), um im Ansprechen auf das erste Einschaltssignal (PWRUP) den externen Spannungseingang an dem einen Anschluss des Anti-Sicherungselements selektiv bereitzustellen.

7. Integrierte Schaltung nach Anspruch 3 oder 4 und Anspruch 6, wobei die Schalteinrichtung ferner einschließt:
einen dritten MOS-Transistor (N1; P3), um im Ansprechen auf das dritte Einschaltssignal den externen Spannungseingang (V_{cc}) selektiv nach Masse zu überbrücken; und
einen vierten PMOS-Transistor (P2), der zwischen den ersten und zweiten PMOS-Transistor und dem einen Anschluss des Anti-Sicherungselements (**332**)

geschaltet ist, wobei das Gate des Transistors mit der Masse gekoppelt ist.

8. Integrierte Schaltung nach Anspruch 5 und Anspruch 6 oder 7, wobei die Puffereinrichtung einschließt:
einen fünften PMOS-Transistor (P6), um im Ansprechen auf das erste Einschaltssignal (PWRUP) selektiv den externen Spannungseingang (V_{cc}) bereitzustellen; und
erste und zweite NMOS-Transistoren, die jeweils auf das zweite Einschaltssignal (PWRUPB) und das Zustandssignal (A02) ansprechen, um den externen Spannungseingang in Übereinstimmung mit dem Zustandssignal als das geregelte Zustandssignal (A03) bereitzustellen.

9. Integrierte Schaltung nach Anspruch 5, wobei die Schalteinrichtung einen NMOS-Transistor (N4) einschließt, um im Ansprechen auf die Programmadresse die Masse mit dem anderen Anschluss des Anti-Sicherungselements (**342**) zu koppeln.

10. Integrierte Schaltung nach Anspruch 9, wobei die Einrichtung zum Bereitstellen des Programmierungs-Spannungssignals eine Diode (D1) einschließt, um ein Programmierungs-Spannungssignal an dem einen Anschluss des Anti-Sicherungselements (**342**) bereitzustellen.

11. Integrierte Schaltung nach Anspruch 10, wobei das Einschaltssignal ein erstes Einschaltssignal (PWRUP), ein zweites Einschaltssignal (PWRUPB) und ein drittes Einschaltssignal (PWRUP_D) einschließt und die Puffereinrichtung einschließt
eine erste Reihenschaltung eines sechsten PMOS-Transistors (P6), eines siebten PMOS-Transistors (P7) und eines dritten NMOS-Transistors (N8), die von dem ersten Einschaltssignal, dem Zustandssignal bzw. dem zweiten Einschaltssignal gesteuert werden; und
eine zweite Reihenschaltung eines achten PMOS-Transistors (P9); eines neunten PMOS-Transistors (P10) und eines vierten NMOS-Transistors (N11), wobei der achte PMOS-Transistor von dem ersten Einschaltssignal gesteuert wird und der neunte PMOS und der vierte NMOS-Transistor von einem Ausgang (A03) der ersten Reihenschaltung gesteuert werden.

12. Integrierte Schaltung nach Anspruch 11, wobei die Puffereinrichtung (**353**) einen weiteren NMOS-Transistor (N3) einschließt, um im Ansprechen auf das zweite Einschaltssignal das Zustandssignal (A02) an der ersten Reihenschaltung bereitzustellen.

13. Integrationsschaltung nach Anspruch 12, wobei der weitere NMOS-Transistor (N3) ein hybrider Transistor ist, wobei die Source des hybriden Tran-

sistors einen stark dotierten N⁺ und zwei schwach dotierte N⁻ Bereiche einschließt, wobei einer davon auf einen unteren Abschnitt eines Gates einen hybriden Transistors überlappt ist, und eine Drain-Elektrode über ein gepuffertes Poly mit einem Drain-Bereich gekoppelt ist.

14. Integrationsschaltung nach Anspruch 13, wobei der Drain-Bereich aus einem N⁻ Bereich gebildet ist und kleiner als der N⁺ Bereich der Source ist.

15. Integrationsschaltung nach Anspruch 2 oder Anspruch 2 und irgendeinem der Ansprüche 3 bis 14, wobei der interne Leistungsgenerator (20) einschließt:
einen Oszillator (21), um im Ansprechen auf das Testmodussignal ein Taktsignal und ein inverses Taktsignal zu erzeugen; und
eine Ladungspumpenschaltung (22), um im Ansprechen auf das Testmodussignal und die Taktsignale das Programmierungs-Spannungssignal zu erzeugen.

16. Integrationsschaltung nach Anspruch 15, wobei die Ladungspumpenschaltung (22) einschließt:
eine Reihenschaltung eines NMOS-Transistors (D11), eine erste, zweite und dritte Diode (D12, D13, D14), die zwischen ein Eingangstor und die Masse gekoppelt sind, wobei der NMOS-Transistor von dem Testmodussignal (PGM) gesteuert wird; und
drei PMOS-Transistoren (C11, C12, C13), die mit den Anoden der ersten, zweiten und dritten Diode gekoppelt sind, die mit dem Taktsignal (OSC1), dem inversen Taktsignal (OSC2) bzw. der Masse gekoppelt sind.

17. Integrationsschaltung nach Anspruch 15, wobei die Ladungspumpenschaltung (22) einschließt:
eine Reihenschaltung eines NMOS-Transistors (D 1), einen ersten, zweiten und dritten Diode (D2, D3, D4), die zwischen eine externe Spannungsquelle und einen Ausgangsport gekoppelt sind, wobei der NMOS-Transistor von dem Testmodussignal (PGM) gesteuert wird; und
drei Kondensatoren (C2, C3, C4), die mit den Anoden der ersten, zweiten und dritten Diode gekoppelt sind, die mit dem Taktsignal (OSC1), dem inversen Taktsignal (OSC2) bzw. der Masse gekoppelt sind.

18. Integrierte Schaltung nach Anspruch 17, wobei jeder Kondensator ein fingerförmiger Stapelfeld-Kondensator ist.

19. Integrierte Schaltung nach Anspruch 18, wobei jede Diode aus dreifachen Wannen einer P-Wanne, eingefügt in eine N-Wanne, die auf einem P-Substrat gebildet ist, gebildet ist.

Es folgen 9 Blatt Zeichnungen

Anhängende Zeichnungen

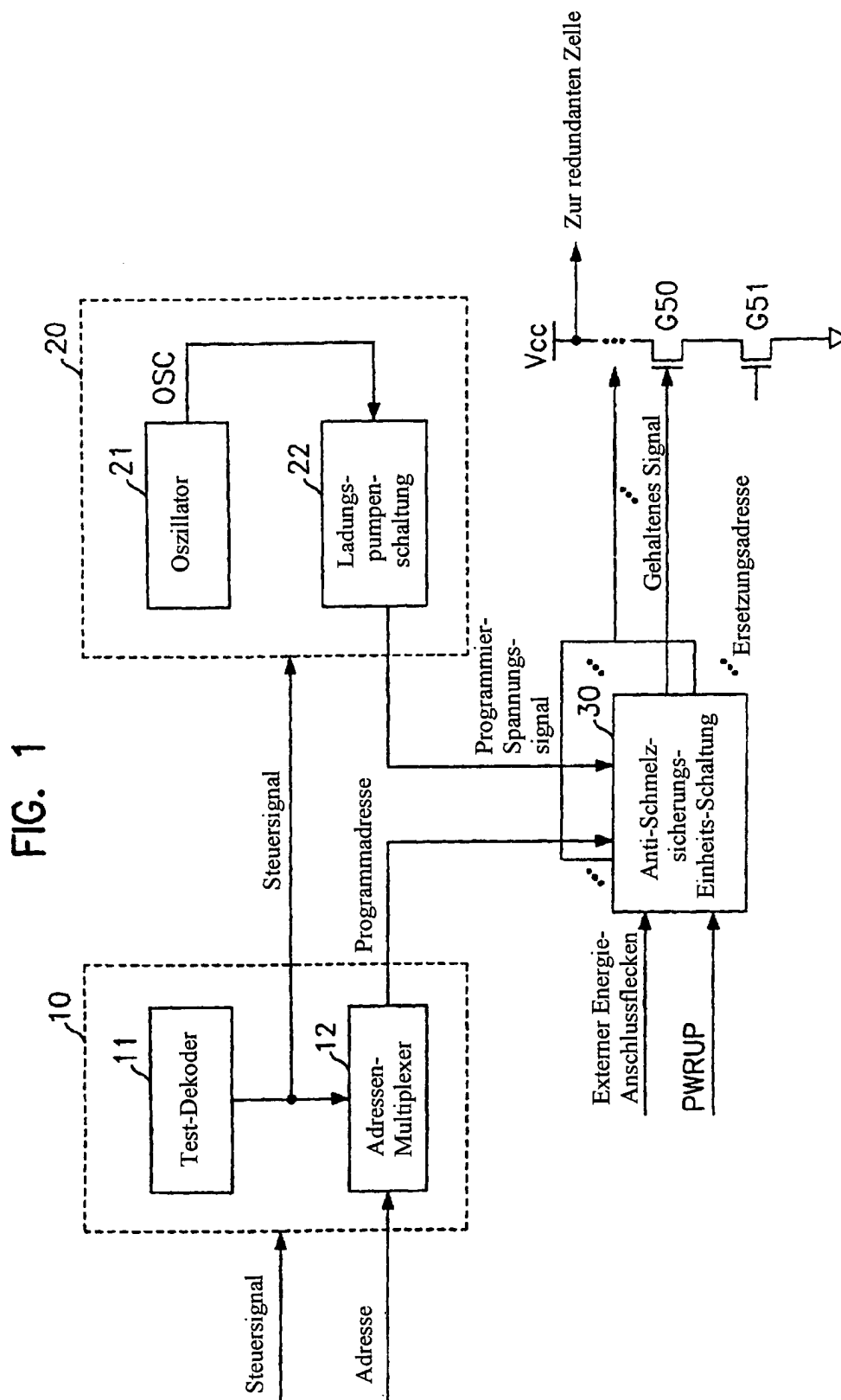


FIG. 2A

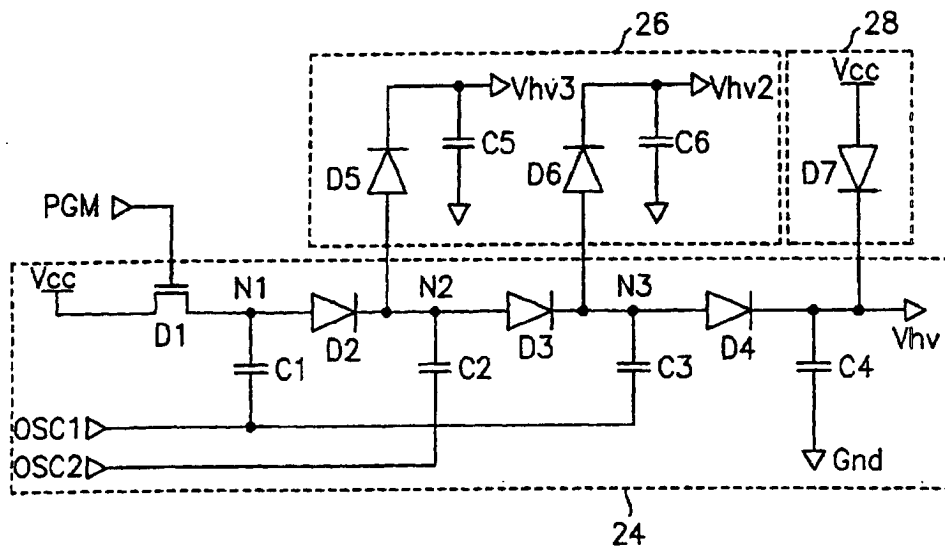


FIG. 2B

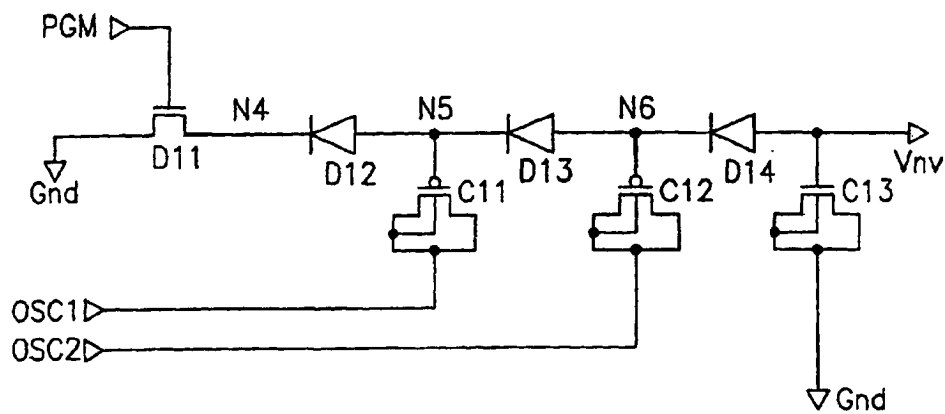


FIG. 2C

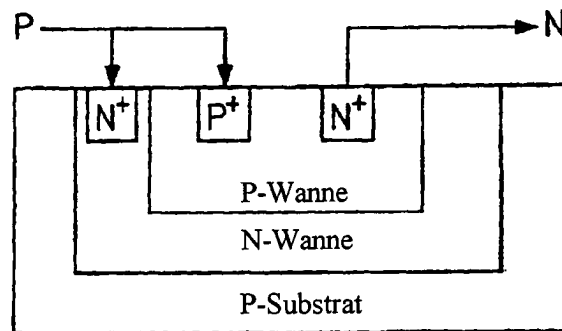


FIG. 2D

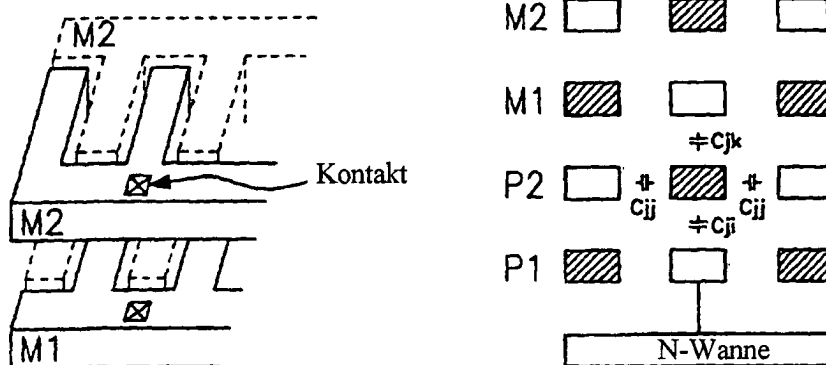


FIG. 2E

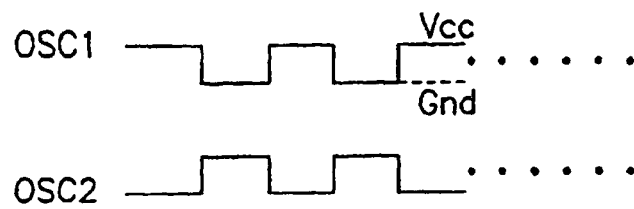


FIG. 2F

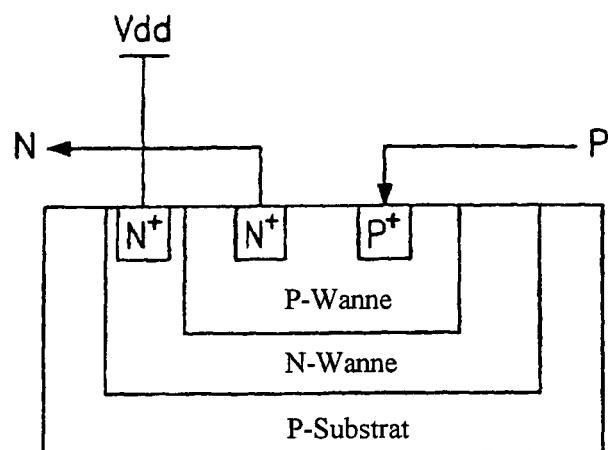


FIG. 3A

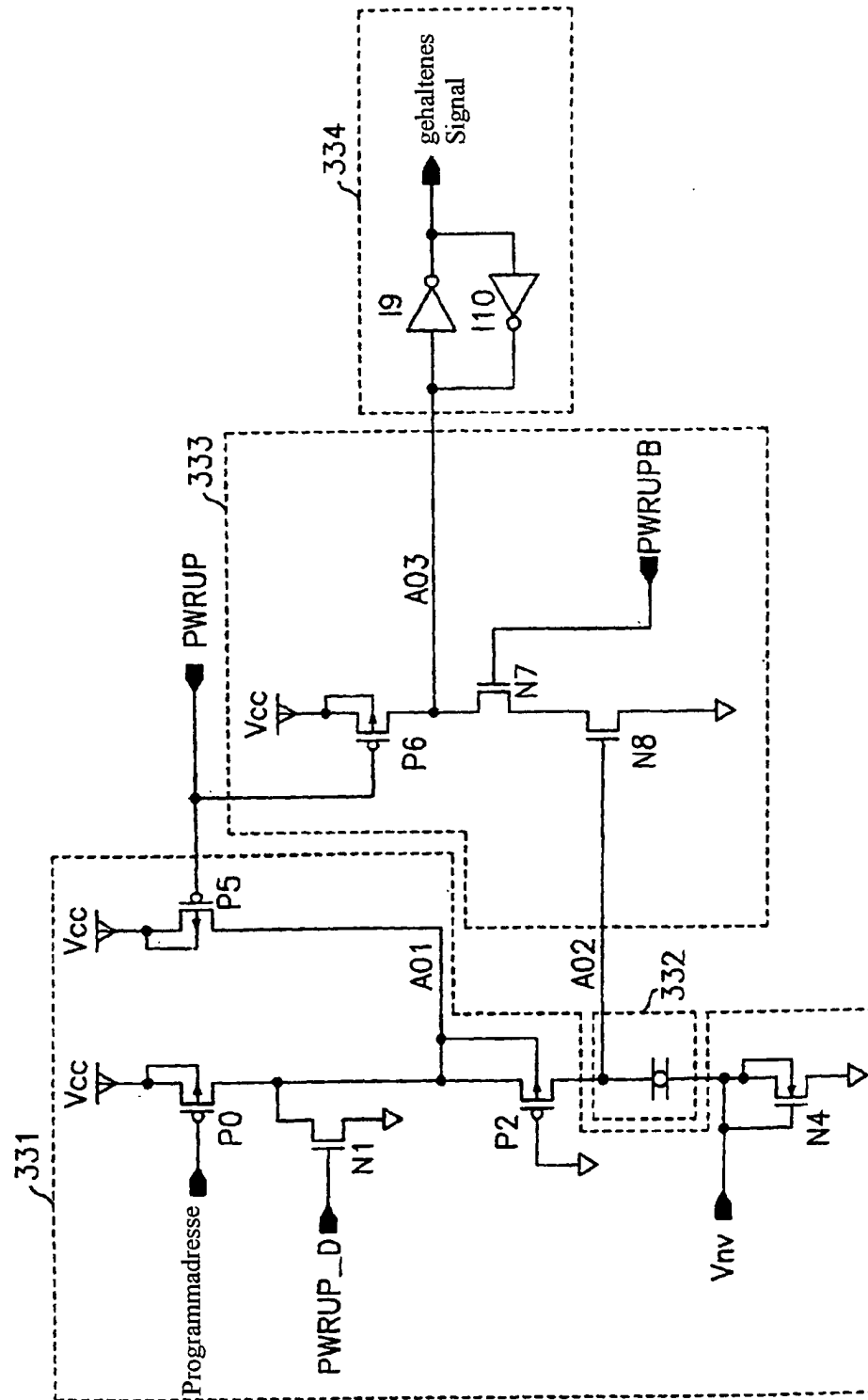


FIG. 3B

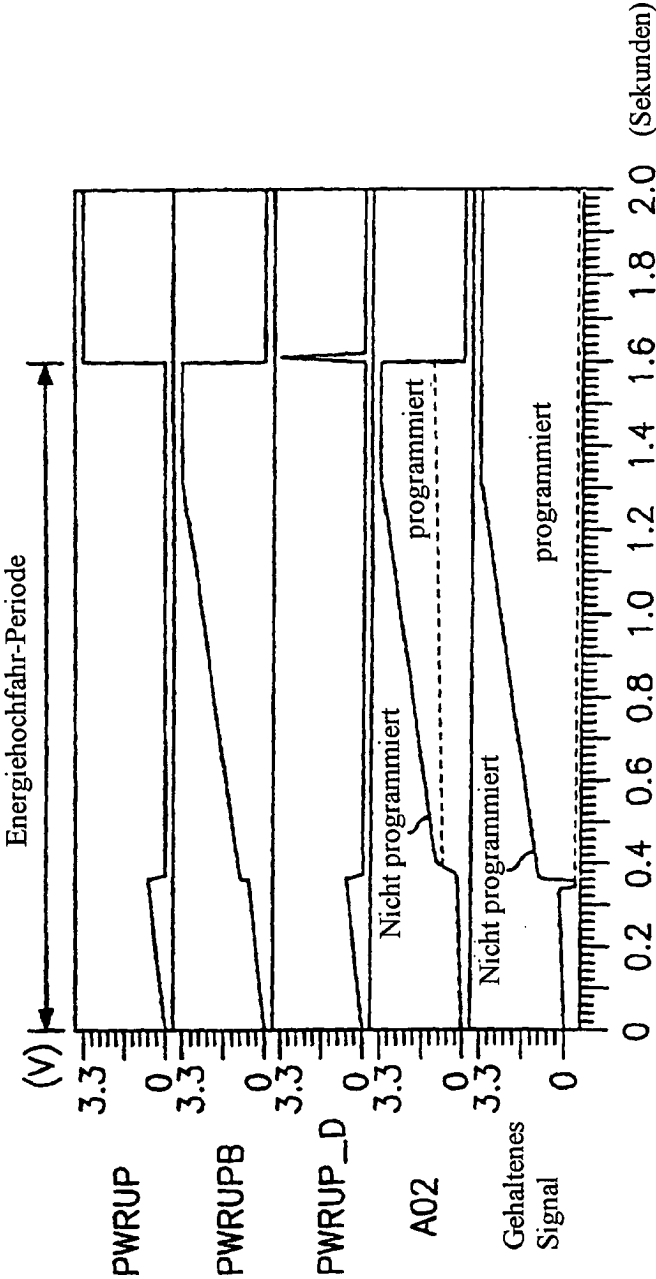


FIG. 4

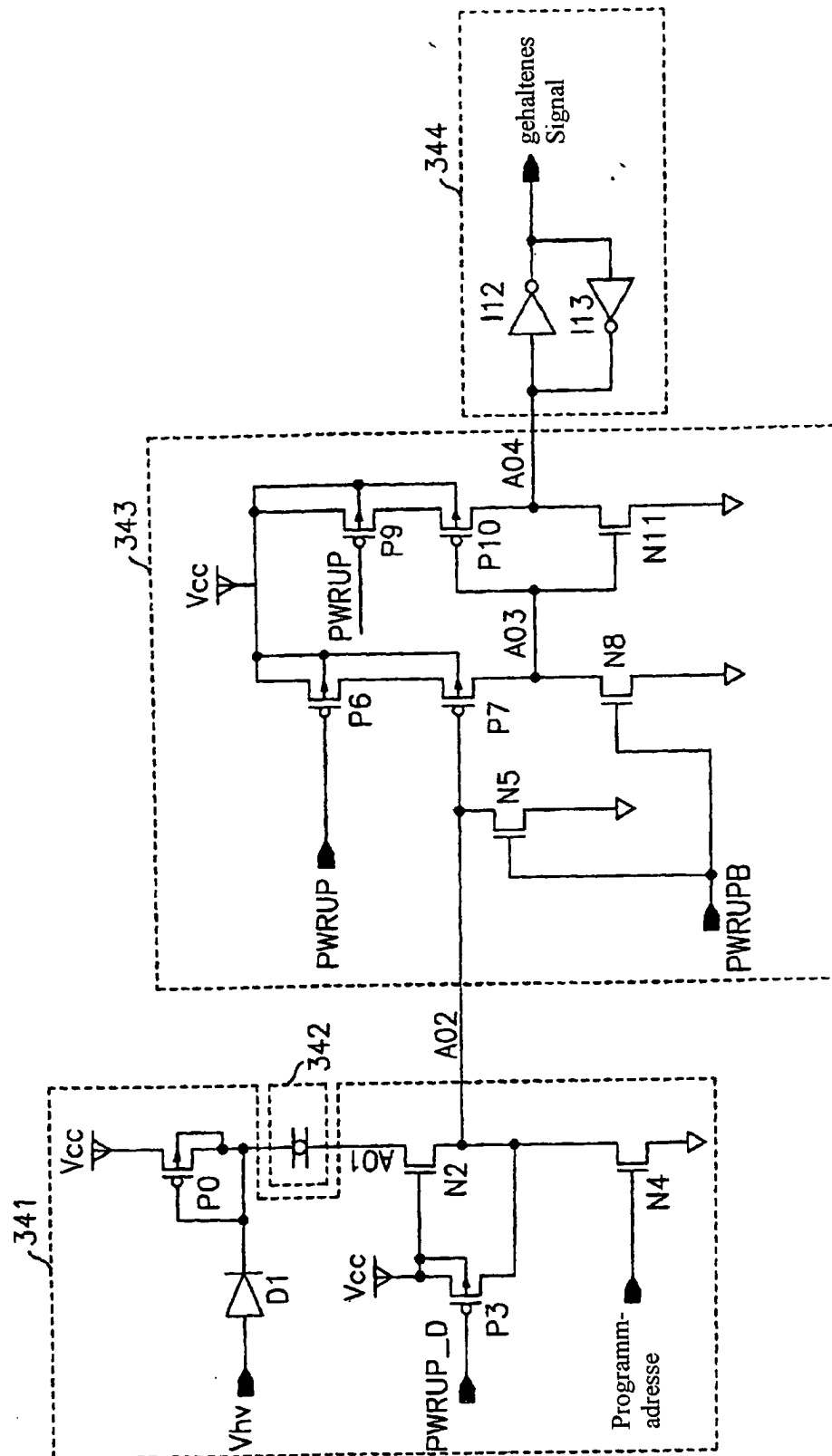


FIG. 5A

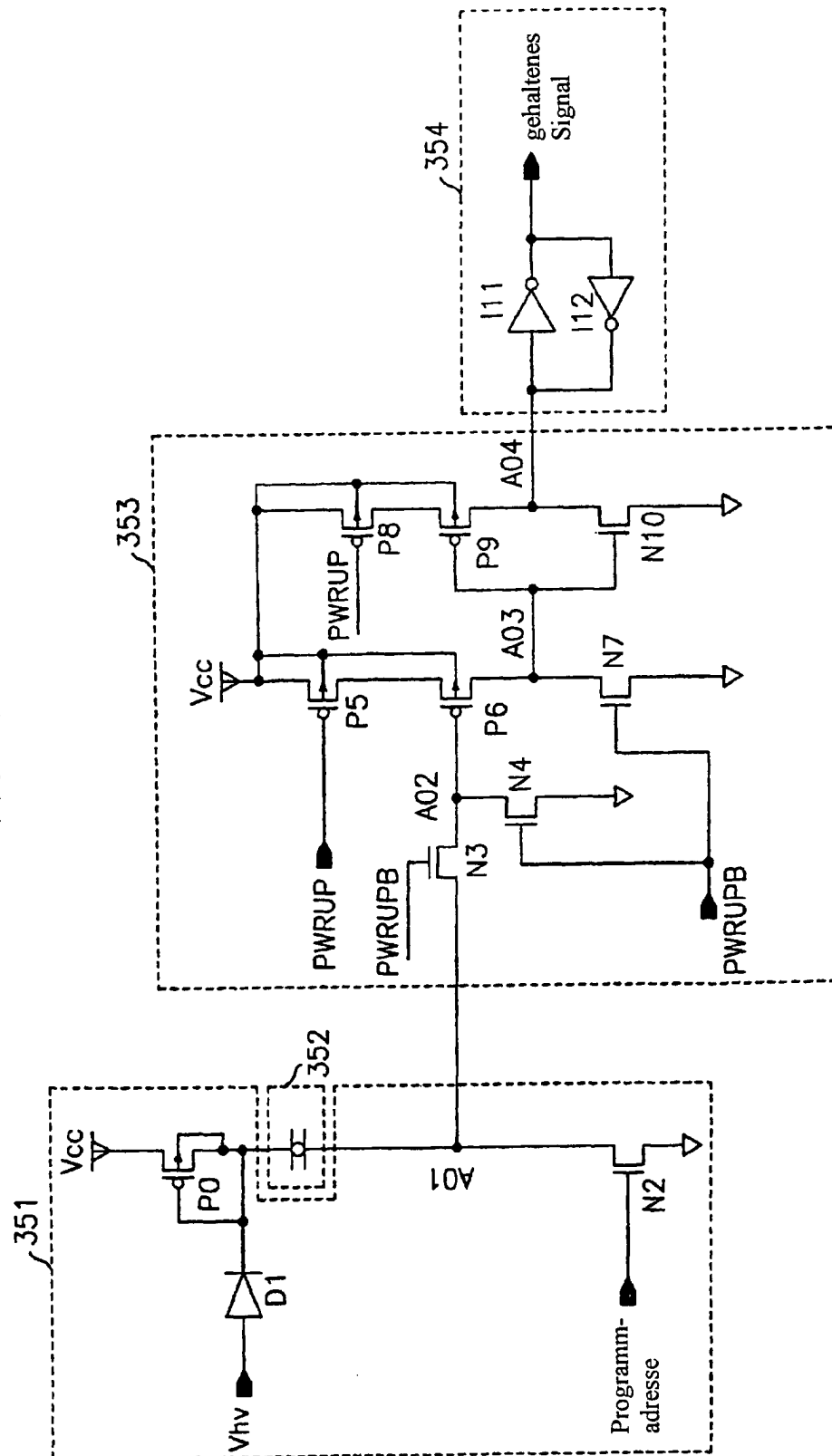


FIG. 5B

