

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年9月19日(19.09.2024)



(10) 国際公開番号

WO 2024/190877 A1

(51) 国際特許分類:

H01L 27/146 (2006.01) H10K 59/10 (2023.01)
H01L 31/10 (2006.01) H10K 59/65 (2023.01)
H01L 31/18 (2006.01)

(21) 国際出願番号: PCT/JP2024/010044

(22) 国際出願日: 2024年3月14日(14.03.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

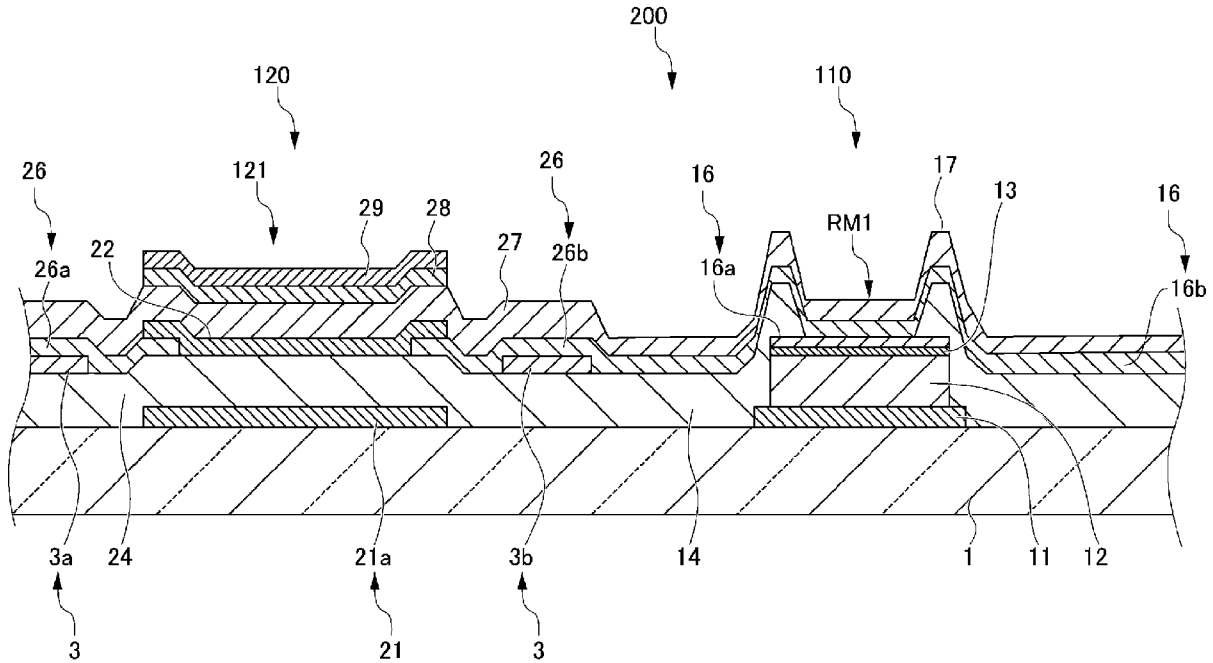
(30) 優先権データ:
特願 2023-042021 2023年3月16日(16.03.2023) JP

(71) 出願人: K e p l e r 株式会社 (KEPLER CORP.) [JP/JP]; 〒1510051 東京都渋谷区千駄ヶ谷三丁目55番11号B1 Tokyo (JP).

(72) 発明者: 木田 芳利(KIDA Yoshitoshi); 〒1510051 東京都渋谷区千駄ヶ谷三丁目55番11号B1 K e p l e r 株式会社内 Tokyo (JP). 大島 弘之(OSHIMA Hiroyuki); 〒1510051 東京都渋谷区千駄ヶ谷三丁目55番11号B1 K e p l e r 株式会社内 Tokyo (JP). 坪井 浩尚(TSUBOI Koshō); 〒1510051 東京都渋谷区千駄ヶ谷三丁目55番11号B1 K e p l e r 株式会社内 Tokyo (JP). 石鍋 隆宏(ISHINABE Takahiro); 〒1510051 東京都渋谷区千駄ヶ谷三丁目55番11号B1 K e p l e r 株式会社内 Tokyo (JP). 細田 育英(HOSODA Yasuhide);

(54) Title: TWO-DIMENSIONAL PHOTODIODE AND MANUFACTURING METHOD OF TWO-DIMENSIONAL PHOTODIODE

(54) 発明の名称: 二次元フォトセンサ及び二次元フォトセンサの製造方法



(57) Abstract: The present invention provides a two-dimensional photodiode which can be manufactured at a low cost in a thin film transistor factory and extends over a relatively wide two-dimensional plane. This two-dimensional photodiode 100 comprises a plurality of arrayed photodiodes. The photodiodes each have a laminate of a first metal electrode 11, a first semiconductor layer 12, a first ohmic contact layer 13, and a first transparent electrode 16. The first semiconductor layer 12 and the first ohmic contact layer 13 are arranged between the first metal electrode 11 and the first transparent electrode 16. This two-dimensional photodiode 100 has a Schottky barrier at the interface between the first semiconductor layer 12 and

〒1510051 東京都渋谷区千駄ヶ谷三丁目 5 5 番 1 1 号 B 1 K e p l e r 株式会社内 Tokyo (JP). カラントル カリル(KALANTAR Kalil); 〒1510051 東京都渋谷区千駄ヶ谷三丁目 5 5 番 1 1 号 B 1 K e p l e r 株式会社内 Tokyo (JP). 大島 裕(OSHIMA Yutaka); 〒1510051 東京都渋谷区千駄ヶ谷三丁目 5 5 番 1 1 号 B 1 K e p l e r 株式会社内 Tokyo (JP). シャルバーガー パトリック(SCHALBERGER Patrick); 70569 シュトゥットガルト アルマントリング 3 b ラージエリアマイクロエレクトロニクス研究所 ディスプレイテクノロジー研究室内 Stuttgart (DE).

(74) 代理人: 加藤 竜太, 外 (KATO Ryuta et al.); 〒1000005 東京都千代田区丸の内 1 - 7 - 1 2 サピアタワー Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

the first metal electrode 11, or at the interface between the first semiconductor layer 12 and the first transparent electrode 16, and senses light incident thereon from the first transparent electrode 16 side toward the first semiconductor layer 12.

(57) 要約: 薄膜トランジスタ工場で安価に製造可能であり、比較的広い二次元平面にわたる二次元フォトセンサを提供する。二次元フォトセンサ 100 は、複数配列するフォトダイオードを備え、フォトダイオードは、第 1 のメタル電極 11 と、第 1 の半導体層 12 と、第 1 のオーミックコンタクト層 13 と、第 1 の透明電極 16 と、の積層を有し、第 1 の半導体層 12 と第 1 のオーミックコンタクト層 13 とは、第 1 のメタル電極 11 と第 1 の透明電極 16 との間に配置されており、第 1 の半導体層 12 と第 1 のメタル電極 11 との界面、或いは、第 1 の半導体層 12 と第 1 の透明電極 16 との界面にショットキーバリアを有し、第 1 の透明電極 16 の側から第 1 の半導体層 12 に向けて入射する光をセンシングする。

明 細 書

発明の名称：

二次元フォトセンサ及び二次元フォトセンサの製造方法

技術分野

[0001] 本発明は、二次元フォトセンサ及び二次元フォトセンサの製造方法に関する。

背景技術

[0002] 従来より、二次元フォトセンサが撮像装置、指紋認証装置等に用いられてきた。二次元フォトセンサは、光に感応するフォトダイオードを有する。フォトダイオードは複数縦横に配列されている。フォトダイオードは、例えば、太陽電池のようなP-I-N型半導体素子が用いられる。半導体層としては、例えばアモルファスシリコン（以下、a-Si）層が用いられる。二次元フォトセンサを指紋センサに適用した例が下記特許文献1に開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2017-194676

発明の概要

発明が解決しようとする課題

[0004] 特許文献1には、光学式指紋センサが開示されている。光学式指紋センサは、指先程の小面積において高精細な指紋パターンを反射光で読み取る。指紋センサに用いられる構成は、指紋領域よりも広い領域にわたって環境光の分布を検出する用途に適合していない。例えば、ディスプレイ全面に亘る環境光の分布の検出がその例である。ディスプレイとして、有機ELディスプレイを例えば想定する。有機ELディスプレイにおいては、指紋センサに用いられるP-I-N型結合は用いられていない。有機ELディスプレイに指紋センサの構成を適用する場合、本来構成要素ではないP-I-N型結合を構成する半導体層をディスプレイ全面に追加して設けることとなる。しかしながら、

P I N型アモルファスシリコン（a-Si）フォトダイオード（PD）をディスプレイの有する広い面積に均一に設けることが難しい。一方、ディスプレイのような比較的広い二次元空間にわたって環境光の分布を検出する場合、指紋センサーのような高密度のセンサー配置は不要である。

[0005] ディスプレイのような比較的広い面積を有するデバイスに対して二次元フォトセンサを適用する場合、コストを抑える必要性がより高い。P I N型ダイオードは高コストであり、P I N型構成を製造出来る工場を選択しなければならない。薄膜トランジスタの製造プロセスと整合性が低く、プロセスの共有が困難である。

[0006] 本発明は、薄膜トランジスタ工場で安価に製造可能であり、比較的広い二次元平面にわたり検知出来る二次元フォトセンサを提供することを目的とする。

課題を解決するための手段

[0007] 二次元フォトセンサは、複数配列するフォトダイオードを備え、フォトダイオードは、第1のメタル電極と、第1の半導体層と、第1のオーミックコンタクト層と、第1の透明電極と、の積層を有し、第1の半導体層と第1のオーミックコンタクト層とは、第1のメタル電極と第1の透明電極との間に配置されており、第1の半導体層と第1のメタル電極との界面、或いは、第1の半導体層と第1の透明電極との界面にショットキーバリアを有し、第1の透明電極の側から第1の半導体層に向けて入射する光をセンシングする。

[0008] 二次元フォトセンサにおいて、第1の半導体層はアモルファスシリコンからなり、第1のオーミックコンタクト層はn+アモルファスシリコンからなる。

[0009] 二次元フォトセンサにおいて、第1のメタル電極は遮光性を有し、且つ、光センシング領域外に引き出される構成を有する。

[0010] 二次元フォトセンサにおいて、フォトダイオードの各々の光電流は、直接接続を通して個々に取得されるか、或いは、単純マトリクス方式を通して走査されて取得される。

- [0011] 二次元フォトセンサは、フォトダイオードの信号を読み出す読み出し回路を備え、読み出し回路は薄膜トランジスタを有し、薄膜トランジスタは、フォトダイオードを構成する層と同一の層からなる層を少なくとも1層有する。
- [0012] 二次元フォトセンサにおいて、薄膜トランジスタは、第2のメタル電極を有し、第2のメタル電極は薄膜トランジスタのゲート電極として機能し、第2のメタル電極は、フォトダイオードの第1のメタル電極と同一の層からなり互いに電氣的に接続されていない。
- [0013] 二次元フォトセンサにおいて、薄膜トランジスタは、ソース電極及びドレイン電極を有し、ソース電極及びドレイン電極は、フォトダイオードの有する第1の透明電極或いは第1のメタル電極と同一の層を少なくとも含む。
- [0014] 二次元フォトセンサは、薄膜トランジスタは第2の半導体層を有し、第2の半導体層は、フォトダイオードの有する第1の半導体層と同一の層からなる。
- [0015] 二次元フォトセンサにおいて、薄膜トランジスタは、インジウムガリウム亜鉛酸化物からなる第2の半導体層を有す。
- [0016] 二次元フォトセンサにおいて、フォトダイオードは、ガラス基板と反対の側の最表面に表面反射を低減する誘電体層を有する。
- [0017] 二次元フォトセンサの製造方法であって、二次元フォトセンサは、複数配列するフォトダイオードとフォトダイオードからの信号の読み出し回路とを備え、フォトダイオードは、第1のメタル電極と、第1の半導体層と、第1のオーミックコンタクト層と、第1の透明電極と、の積層を有し、第1の半導体層と第1のオーミックコンタクト層とは、第1のメタル電極と第1の透明電極との間に配置されており、第1の半導体層と第1のメタル電極との界面、或いは、第1の半導体層と第1の透明電極との界面にショットキーバリアを有し、第1の透明電極の側から第1の半導体層に向けて入射する光をセンシングし、信号読み出し回路は、薄膜トランジスタを備え、フォトダイオードと薄膜トランジスタとを構成する少なくとも1層を同時に形成する工程

を有する。

[0018] 二次元フォトセンサの製造方法であって、薄膜トランジスタは、ゲート電極と、第2の半導体層と、第2のオーミックコンタクト層と、ソース電極及びドレイン電極と、を有し、第1のメタル電極とゲート電極とを同時に形成するメタル電極成膜工程或いは第1のメタル電極とソース電極及びドレイン電極とを同時に形成するメタル電極成膜工程、及び、第1の半導体層と第2の半導体層とを同時に形成する半導体層成膜工程、及び、第1のオーミックコンタクト層と第2のオーミックコンタクト層とを同時に形成するオーミックコンタクト層成膜工程、及び、第1の透明電極とソース電極及びドレイン電極とを同時に形成する透明電極成膜工程、の何れか一つの工程を少なくとも有する。

[0019] 二次元フォトセンサの製造方法であって、第1の半導体層はアモルファスシリコンを含み、第1のオーミックコンタクト層はn+アモルファスシリコンを含む。

[0020] 二次元フォトセンサの製造方法であって、第1の半導体層はアモルファスシリコン層を含み、第1のオーミックコンタクト層はn+アモルファスシリコン層を含み、薄膜トランジスタは、ガラス基板上に配置されてゲート電極として機能する第2のメタル電極と、IGZO層からなる第2の半導体層と、第2の半導体層の上に配置されてソース電極及びドレイン電極として機能する第2の透明電極とを有し、二次元フォトセンサの製造方法は、第1のメタル電極と第2のメタル電極とを同時に形成するメタル電極成膜工程と、第1の透明電極と第2の透明電極とを同時に形成する透明電極成膜工程と、を有する。

発明の効果

[0021] 本発明により、比較的広い二次元平面にわたって階調検出の可能な二次元フォトセンサが提供される。

図面の簡単な説明

[0022] [図1]本発明の実施形態1に係る二次元フォトセンサの全体回路図である。

[図2]本発明の実施形態１に係るフォトダイオードの特性の例を示す図である。

[図3]本発明の実施形態１に係るゲートドライバからの出力信号、信号処理回路からの出力信号、信号処理回路への入力信号を示す模式図である。

[図4]本発明の実施形態１に係るフォトセンシング部の平面図である。

[図5]本発明の実施形態１に係るフォトダイオードの断面図である。

[図6]本発明の実施形態１に係るフォトセンシング部の断面図である。

[図7]本発明の実施形態１に係るフォトセンシング部の一製造工程における断面図である。

[図8]本発明の実施形態１に係るフォトセンシング部の一製造工程における断面図である。

[図9]本発明の実施形態１に係るフォトセンシング部の一製造工程における断面図である。

[図10]本発明の実施形態１に係るフォトセンシング部の一製造工程における断面図である。

[図11]本発明の実施形態１に係るフォトセンシング部の一製造工程における断面図である。

[図12]本発明の実施形態１に係るフォトセンシング部の一製造工程における断面図である。

[図13]本発明の実施形態１に係るフォトセンシング部の一製造工程における断面図である。

[図14]本発明の実施形態１に係るフォトセンシング部の一製造工程における断面図である。

[図15]本発明の変形例１に係るフォトセンシング部の平面図である。

[図16]本発明の変形例１に係るフォトセンシング部の断面図である。

[図17]本発明の実施形態２に係るフォトセンシング部の断面図である。

[図18]本発明の実施形態２に係るフォトセンシング部の一製造工程における断面図である。

[図19]本発明の実施形態2に係るフォトセンシング部の一製造工程における断面図である。

[図20]本発明の実施形態2に係るフォトセンシング部の一製造工程における断面図である。

[図21]本発明の実施形態2に係るフォトセンシング部の一製造工程における断面図である。

[図22]本発明の実施形態2に係るフォトセンシング部の一製造工程における断面図である。

[図23]本発明の実施形態2に係るフォトセンシング部の一製造工程における断面図である。

[図24]本発明の実施形態2に係るフォトセンシング部の一製造工程における断面図である。

[図25]本発明の第2の変形例に係るフォトダイオードの断面図である。

[図26]本発明の第3の変形例に係るフォトダイオードの平面図である。

[図27]本発明の第3の変形例に係るフォトダイオードの断面図である。

[図28]本発明の第4の変形例に係るフォトダイオードの断面図である。

[図29]本発明の第4の変形例に係るフォトダイオードと信号処理回路との関係を示す模式図である。

[図30]本発明の第5の変形例に係るフォトダイオードの断面図である。

[図31]本発明の第6の変形例に係るフォトダイオードの断面図である。

[図32]本発明の第7の変形例に係るフォトダイオードの断面図である。

[図33]本発明の第8の変形例に係る二次元フォトセンサの全体回路図である。

[図34]本発明の第8の変形例に係るフォトセンシング部の平面図である。

[図35]本発明の第8の変形例に係るフォトセンシング部の断面図である。

[図36]本発明の第9の変形例に係る二次元フォトセンサの全体回路図である。

発明を実施するための形態

[0023] 以下、本発明の実施形態１に係る二次元フォトセンサ１００について図面を参照しつつ説明する。なお、各図において、同一構成要素には同一符号を付す。同一構成要素にて第１の構成要素、第２の構成要素のように区別する場合には、符号に a、b 等が付加される。

[0024] (実施形態１)

図１は本発明の実施形態１に係る二次元フォトセンサ１００の全体回路図である。二次元フォトセンサ１００は、フォトセンシング部２００と、ゲートドライバ１３０と、走査電極２と信号読み出し電極３と、マルチプレクサ１４０と信号処理回路１５０とを備える。フォトセンシング部２００は、フォトダイオード１１０と読み出し回路１２０とを有する。

[0025] フォトダイオード１１０は、外部からの光である外光 L を受光して、電流を出力する。読み出し回路１２０は、信号読み出し回路薄膜トランジスタ１２１を有する。ゲートドライバ１３０は、ゲート信号出力端子を有する。ゲート信号出力端子は、複数の走査電極２にそれぞれ接続する。走査電極２は、ゲートドライバ１３０からの信号を読み出し回路１２０に順次伝達する。フォトダイオード１１０において、アノード電極として機能する一端は基準電圧部４に接続され、カソード電極として機能する他端は読み出し回路１２０に接続される。読み出し回路１２０は、ゲートドライバ１３０からの信号を受けて、フォトダイオード１１０の光電流を読み出す。読み出し回路１２０は、読み出したフォトダイオード１１０の光電流を信号読み出し電極３に伝達する。信号読み出し電極３は、伝達された光電流をマルチプレクサ１４０に伝達する。マルチプレクサ１４０は、複数の信号読み出し電極３からの信号を順次信号処理回路１５０に伝達する。信号処理回路１５０は、フォトダイオード１１０の出力した光電流を信号として処理する。信号処理回路１５０は、光電流が多い場合には光が照射されたと判断し、光電流量に基づいて入射光強度を求める。

[0026] ゲートドライバ１３０は、複数の走査電極２、即ち走査電極２ a、・・・、走査電極２ n、走査電極２ n + 1、・・・に対して順次電圧を出力する。

即ち、走査電極 2 が走査される。走査に伴い、読み出し回路 120 が順次動作する。読み出し回路 120 は、各走査電極 2 に複数接続されている。例えば走査電極 2 a に接続されている読み出し回路 120 は、走査電極 2 a が走査された時に、フォトダイオード 110 の光電流を読み出し、信号処理回路 150 に伝達する。次に、走査電極 2 n に接続されている読み出し回路 120 は、走査電極 2 n が走査された時に、フォトダイオード 110 の光電流を読み出し、信号処理回路 150 に伝達する。走査電極 2 が順次走査されることにより、二次元に配列されるフォトダイオード 110 の光電流は順次信号処理回路 150 に伝達される。そして、二次元フォトセンサ 100 の全面に亘りフォトダイオード 110 の光電流が信号処理回路 150 に伝達される。信号処理回路 150 は、Analog to digital converter によりデジタル化され、図示されない中央演算装置に接続されている。中央演算装置は、信号処理回路 150 から得た情報に基づいて、入射光強度の二次元分布を求める。

[0027] 図 2 は、フォトダイオード 110 の特性の例を示す図である。構造については後に詳述するが、本実施形態に係るフォトダイオード 110 は、ショットキーダイオードである。横軸はフォトダイオード 110 への印加電圧を示す。横軸の正方向は電圧がフォトダイオード 110 に順方向に印加される状態を示す。横軸の負方向は、電圧がフォトダイオード 110 に逆方向に印加される状態を示す。縦軸は、フォトダイオード 110 が出力する光電流を示す。単位はアンペアである。フォトダイオード 110 に照射する外光 L の照度は 0 ルクス (lux) から 7006 ルクスまで変化させた。照度が 0 ルクスとされている実験結果は、暗室での実験結果を示している。

[0028] 暗室におけるデータを参照する。印加電圧が順方向に印加されると電流が増加する。即ち、フォトダイオード 110 から電流が流れることを示している。印加電圧が逆方向に印加される場合、即ち図 2 で横軸の負の方向に電圧が印加される場合、電圧がマイナス 4 V を下回るまでは暗電流と呼ばれる微小な電流しか流れないことが分かる。

[0029] 次に、外光 L が照射され照度が 1802 ルクスから 7006 ルクスまで照射された場合のデータを参照する。印加電圧が順方向に印加されると電流が増加する。即ち、フォトダイオード 110 から電流が流れることを示している。これは照度が 0 、或いは暗室、におけるデータと同様である。逆方向に電圧を印加した状態、即ち図 2 で横軸の負の方向に電圧が印加される場合、電流の流れることが図 2 に示されている。そして、流れる電流は照度が高いほど大きい。例えば、印加電圧マイナス 2 V の場合、照度が 0 ルクスの場合微小な暗電流のほぼ 0 アンペア、照度が 1802 ルクスの場合約 0.8×10^{-9} アンペア、照度が 3672 ルクスの場合 2×10^{-9} アンペア、照度が 7006 ルクスの場合 3.9×10^{-9} アンペアの光電流が流れる。

[0030] 図 3 は、ゲートドライバ 130 からの出力信号、リセット信号、信号処理回路 150 の出力電圧を示す模式図である。横軸は時間を表す。図 $3(a)$ は第 n 行の走査電極 $2n$ へのゲートドライバ 130 からの出力電圧を表す。図 $3(b)$ は第 $n+1$ 行の走査電極 $2n+1$ へのゲートドライバ 130 からの出力電圧を表す。図 $3(c)$ は、図 1 に示す第 m 列の信号処理回路 150 のリセットスイッチ 152 のリセット状態を表す。図 $3(d)$ は、第 m 列第 n 行のフォトダイオード 110 に基づく、信号処理回路 150 の出力電圧 V_{out} を示す。

[0031] 第 n 行の走査電極 2 が走査されると、図 $3(a)$ に示すように、時刻 t_1 において第 n 行の走査電極 2 に ON 電圧（例えば $+15\text{ V}$ ）が印加される。図 1 に示す走査電極 2 に ON 電圧が印加され、信号読み出し回路薄膜トランジスタ 121 のゲートが開き、信号読み出し回路薄膜トランジスタ 121 のソースドレイン電極が導通する。即ち、スイッチとして信号読み出し回路薄膜トランジスタ 121 のスイッチが ON 状態となる。この時、 $n+1$ 行の走査電極 $2n+1$ の電圧は図 $3(b)$ に示すように OFF 電圧（例えば -5 V ）が印加される。

[0032] 信号処理回路 150 は図 1 に示すようにオペアンプ 151 を有する。信号処理回路 150 はオペアンプ 151 を介して、信号読み出し電極 3 に参照電

圧（図1参照、 V_{ref} 、例えば+1.5V）を印加する。時刻 t_1 において、図3（c）に示すように、信号処理回路150のリセットスイッチ152が導通される。そして、オペアンプ151がリセットされる。図3（d）に示すように、信号処理回路150の検出電圧が時刻 t_1 から時刻 t_2 にかけて低下する。即ち、フォトダイオード110に基づいた電圧がリセットされる。時刻 t_1 と時刻 t_2 との間の時間は、例えば160マイクロ秒である。時刻 t_2 において、図3（c）に示すように、信号処理回路150のリセットスイッチ152がOFFとなる。この時、参照電圧が、逆バイアスの電圧として、フォトダイオード110に印加される。第 n 行の走査電極2には図3（a）に示すように、時刻 t_3 までON電圧が印加される。そして、外光 L によりフォトダイオード110に光電流が流れ、信号読み出し電極3の電圧が低下しようとする。信号処理回路150のオペアンプ151の働きにより、信号処理回路150の出力電圧（ V_{out} ）が図3（d）に示すように、時刻 t_2 から時刻 t_3 にかけて漸増する。時刻 t_3 において、第 n 行の走査電極2には図3（a）に示すように、OFF電圧が印加される。信号処理回路150の出力電圧（ V_{out} ）は、図3（d）に示すように時刻 t_3 において最大となる。信号処理回路150を通して、時刻 t_3 における電圧がフォトダイオード110に入射した光の強度を表す電圧として検出される。

[0033] 時刻 t_4 において、 $n+1$ 行目の走査電極2にON電圧が印加される。以下、同様に $n+1$ 行目以上についてもフォトダイオード110に入射する光の強度が検出される。以上の走査は第1行から最終行まで行われ、最終行の後に第1行に走査が戻る。フォトダイオード110の光電流に基づいて入射光の強度が第1行の第1列から最終列まで、更に、最終行の最終列まで検出される。即ち入射光強度は2次元平面にて検出される。

[0034] 以上、二次元フォトセンサ100の動作について、電子回路の動作として説明した。以下、本実施形態に係る二次元フォトセンサ100の構造について説明する。

[0035] 図4は、フォトセンシング部200の平面図である。フォトセンシング部200は、フォトダイオード110と読み出し回路120とを有する。読み出し回路120は、信号読み出し回路薄膜トランジスタ121を有する。フォトダイオード110は、第1のメタル電極11と、第1の半導体層12と、第1の透明電極16とを有する。信号読み出し回路薄膜トランジスタ121は、第1のゲート電極21aと図4には図示されない第3の絶縁層24と第2の半導体層22と透明ソース電極26aと透明ドレイン電極26bとを有する。

[0036] 第1のメタル電極11は、二次元フォトセンサ100の左右方向に線状に延びる。第1のメタル電極11は、図1に示す、図4には示されない、基準電圧部4に接続される。第1のメタル電極11は、フォトセンシング部200において上下方向に矩形に延出して広がる。第1のメタル電極11の上に、第1の半導体層12が島状に形成される。第1の半導体層12を覆うように、図4には図示されない第1のオーミックコンタクト層13が島状に形成される。図4には図示されない第1の絶縁層14がガラス基板1及び第1のオーミックコンタクト層13の一部を覆うように配置される。第1の透明電極16が第1のオーミックコンタクト層13に接触し平面状に配置される。

[0037] 走査電極2は、図1に示したように例えば二次元フォトセンサ100の左右方向、フォトセンシング部200の左右方向に延びる。走査電極2はフォトセンシング部200において、二次元平面内の延出部を有する。信号読み出し回路薄膜トランジスタ121は上記の走査電極2の延出部を第1のゲート電極21aとして有する。信号読み出し回路薄膜トランジスタ121は、第1のゲート電極21aの上に平面状の第3の絶縁層24を有する。信号読み出し回路薄膜トランジスタ121は、第3の絶縁層24の上に、第2の半導体層22を有する。第2の半導体層22は島状である。信号読み出し回路薄膜トランジスタ121は、第2の半導体層22の上に、オーミックコンタクト層を有しても良い。信号読み出し回路薄膜トランジスタ121は、透明ソース電極26aと透明ドレイン電極26bとを有する。信号読み出し電極

3は枝状に延出部を有する。信号読み出し電極3の延出部は、信号読み出し回路薄膜トランジスタ121の透明ソース電極26aと導通し、メタルソース電極3aを構成する。信号読み出し電極3と同一の層は、矩形の島状のメタルドレイン電極3bを構成する。メタルドレイン電極3bは透明ドレイン電極26bと導通する。透明ドレイン電極26bは、フォトダイオード110の有する第1の透明電極16と電氣的に導通する。第1のゲート電極21aに所定の電圧、例えば15V、が印加されると透明ソース電極26aと透明ドレイン電極26bとが導通する。信号読み出し回路薄膜トランジスタ121はスイッチとして機能する。

[0038] 図5は、図4のI-I'線によるフォトダイオード110の断面図である。フォトダイオード110はガラス基板1の上に配置される。ガラス基板1は、フィルム基板でもよい。フォトダイオード110は、第1のメタル電極11と第1の半導体層12と第1のオーミックコンタクト層13と第1の絶縁層14と第1の透明電極16との積層を備える。図4で記載を省略した構成層が図5では記載されている。

[0039] ガラス基板1は例えば無アルカリ硝子、例えばホウケイ酸ガラスである。ガラス基板1は例えば、0.5から0.7mmの厚さを有する。第1のメタル電極11は、ガラス基板1の上に配置される。第1のメタル電極11は、例えば、図4に示したように略長方形の形を有する。第1のメタル電極11は、例えば、モリブデンとタンタルとの合金である。その他、アルミニウム（Al）や銅（Cu）等の低抵抗金属が例として挙げられる。第1のメタル電極11は、例えば、200nmの厚みを有する。第1の半導体層12が第1のメタル電極11の上に配置される。第1の半導体層12は、例えば図4に示したように、略長方形の形を有する。第1の半導体層12は、例えば、アモルファスシリコン層である。第1の半導体層12は、例えば、200nmの厚さを有する。第1のオーミックコンタクト層13は、第1の半導体層12の上に配置される。第1のオーミックコンタクト層13は、例えばドナー原子を不純物として添加したアモルファスシリコン層である。以下、上記

ドナー原子を不純物として添加したアモルファスシリコン層を $n+$ アモルファスシリコン層と称する。 $n+$ アモルファスシリコン層は例えば50 nmの厚さを有する。第1の絶縁層14は、第1のメタル電極11と第1の半導体層12と第1のオーミックコンタクト層13とを覆うように配置される。第1の絶縁層14は、例えば、窒化シリコン(SiN)膜である。第1の絶縁層14は、例えば、400 nmの厚さを有する。第1の絶縁層14の一部は、絶縁層除去部RM1において、第1のオーミックコンタクト層13の上部に配置されていない。第1の透明電極16は、第1の絶縁層14の上に配置される。特に第1の透明電極16は、第1の絶縁層14が配置されていない第1のオーミックコンタクト層13の上を覆うように配置される。第1の透明電極16は、例えば、インジウムとチタンの合金の酸化物(ITO)の膜である。透明電極としては、ITOの他に、インジウムと亜鉛の合金の酸化物(IZO)、アルミと亜鉛との酸化物(AlZnオキサイド)等が挙げられる。第1の透明電極16は、例えば、100 nmの厚さを有する。第1の透明電極16と第1のオーミックコンタクト層13とは、接触し、電氣的に接続される。

[0040] 第1のメタル電極11と第1の半導体層12との間にはショットキー障壁部Sが形成される。一方、第1のオーミックコンタクト層13が存在するため、第1の透明電極16と第1のオーミックコンタクト層13と第1の半導体層12とは、オーミックコンタクトし、ショットキー障壁は生じない。第1のメタル電極11と第1の半導体層12と第1のオーミックコンタクト層13と第1の透明電極16とは、ショットキーダイオードを構成する。図5の右にダイオードの回路の模式図を書いている。本模式図に表されるように、第1のメタル電極11から第1の透明電極16へ方向を順方向とするショットキーダイオードが実現される。

[0041] ショットキー障壁部Sは、第1のメタル電極11と第1の半導体層12との界面に生じる。このため第1の半導体層12の厚さは薄くすることが可能となる。但し、薄すぎるとショットキー障壁部分の電界が集中しリーク電流

が増えてしまう。一方、アモルファスシリコン層が厚いと抵抗が増えてしまい光電流が減ってしまう。本実施形態では、例えば、厚さ200nmのアモルファスシリコン層が配置される。アモルファスシリコン層の厚さは、好ましくは50nm以上500nm以下である。

[0042] ショットキーダイオードではなく、例えば、PIN型のダイオードとした場合には、アモルファスシリコン層は例えば1〜2ミクロン程度と厚い。そして、アモルファスシリコン層を光が通過し得ない。本発明に係るアモルファスシリコンで構成される第1の半導体層12は例えば200nmと薄いため、外光Lが通過する。外光Lはアモルファスシリコンで構成される第1の半導体層12の全面にてショットキー障壁部Sに到達する。単純な構成で受光部の広いフォトセンシング部200が実現され得る。

[0043] 本実施形態においては、第1の透明電極16の配置される側から、図5では紙面上方向から、外光Lが入射する。第1の透明電極16及び第1の絶縁層14は光の透過性が高い。外光Lは、第1の透明電極16及び第1の絶縁層14を通過する。外光Lは、ショットキー障壁の発現している、第1の半導体層12と第1のメタル電極11との界面に入射する。外光Lは、第1の半導体層12に吸収される。外光Lは、第1の透明電極16の側から、第1の半導体層12に向けて入射する。そして、ショットキー障壁の電荷キャリアのペアが開放される。自由電荷キャリアが光電流を与える。

[0044] 図6は、図4の1-1'線に対応するフォトセンシング部200の断面図である。フォトセンシング部200は、フォトダイオード110と読み出し回路120とを有する。

[0045] 図6に示すフォトダイオード110は、図5に示したフォトダイオード110の変形例となっており、第1の透明電極16は2層形成されている。2層の第1の透明電極16は、それぞれ、下層の第1の透明電極16aと上層の第1の透明電極16bと区別して表記する。

[0046] フォトダイオード110は、第1のメタル電極11と第1の半導体層12と第1のオーミックコンタクト層13と第1の透明電極16と第1の絶縁層

14と第2の絶縁層17とを有する。図5に示すフォトダイオード110と比較する。ガラス基板1の上に、第1のメタル電極11、第1の半導体層12、第1のオーミックコンタクト層13がこの順に配置される構成は、図6に示すフォトダイオード110と図5に示すフォトダイオード110とに共通である。図6に示すフォトダイオード110においては、下層の第1の透明電極16aは第1のオーミックコンタクト層13の全面に配置される。第1のオーミックコンタクト層13の上に第1の絶縁層14が形成され、その一部の無い領域として絶縁層除去部RM1が設けられる点で、図6と図5とは共通している。図6に示すフォトダイオード110では、上層の第1の透明電極16bが第1の絶縁層14の上に設けられる。上層の第1の透明電極16bは、絶縁層除去部RM1を覆うように配置される。この上層の第1の透明電極16bは、絶縁層除去部RM1を覆うように配置される点は、図5のフォトダイオード110において、第1の透明電極16が絶縁層除去部RM1を覆うように配置される点と共通である。製法については後述するが、第1の絶縁層14のパターニングにおいて、図5の構成の場合、第1のオーミックコンタクト層13もパターニングされてしまう可能性がある。図6の構成の場合、下層の第1の透明電極16aがストッパの役割を果たすため、第1のオーミックコンタクト層13がパターニングされてしまう可能性が低い。図5の構成は単純であり、基本構成を示している。図6の構成はより信頼性が高い。更に、第2の絶縁層17が上層の第1の透明電極16bの上に配置される。

[0047] 読み出し回路120について、図4と図6とを参照して説明する。読み出し回路120は、信号読み出し回路薄膜トランジスタ121と信号読み出し電極3とを有する。信号読み出し回路薄膜トランジスタ121は、第2のメタル電極21と、第3の絶縁層24と第2の半導体層22と第2の透明電極26と第4の絶縁層27と第3のメタル電極28と第3の透明電極29とを有する。

[0048] 第2のメタル電極21は、ガラス基板1の上に配置される。第2のメタル

電極 2 1 と第 1 のメタル電極 1 1 とは、後述するように同時に形成され、同一の層で構成される。ここで、同一の層とは、同時に形成された層、実質的に同じ厚みの層、同じ材料の層であることを含む。以下、同様である。本工程は、第 1 のメタル電極 1 1 と第 2 のメタル電極 2 1 とを同時に形成するメタル電極成膜工程である。第 2 のメタル電極 2 1 は、例えば、モリブデンとタンタルとの合金である。第 2 のメタル電極 2 1 は、例えば、200 nm の厚みを有する。第 2 のメタル電極 2 1 は、図 4 に示す走査電極 2 をも構成する。図 4 に示すように、走査電極 2 の一部が枝状に延出し、信号読み出し回路薄膜トランジスタ 1 2 1 の 1 部を構成する。この延出した部位は、信号読み出し回路薄膜トランジスタ 1 2 1 の第 1 のゲート電極 2 1 a を構成する。

[0049] 第 3 の絶縁層 2 4 は第 2 のメタル電極 2 1 の上に、第 2 のメタル電極 2 1 を覆うように配置される。第 3 の絶縁層 2 4 は、例えば、窒化シリコン (SiN) 膜である。第 3 の絶縁層 2 4 は、例えば、400 nm の厚さを有する。第 3 の絶縁層 2 4 と第 1 の絶縁層 1 4 とは、後述するように同時に形成され、同一の層で構成される。本工程は、第 1 の絶縁層 1 4 と第 3 の絶縁層 2 4 とを同時に形成する絶縁層成膜工程である。

[0050] 信号読み出し電極 3 は第 3 の絶縁層 2 4 の上に設けられる。信号読み出し電極 3 は、例えばクロム (Cr)、アルミニウム (Al)、チタン (Ti) 等の金属電極である。図 4 に示すように、信号読み出し電極 3 は、二次元フォトセンサ 1 0 0 の上下方向に延びている。信号読み出し電極 3 の一部が枝状に、水平方向、例えば図 4 では右方向に延出する。信号読み出し電極 3 の延出した部位は、図 6 の左端に示すように、読み出し回路 1 2 0 の一部を構成する。信号読み出し電極 3 の延出した部位は、後述する第 2 の透明電極 2 6 と重畳し、電氣的に接続し、メタルソース電極 3 a 及びメタルドレイン電極 3 b を構成する。メタルソース電極 3 a 及びメタルドレイン電極 3 b は、第 2 の透明電極 2 6 のみでは抵抗が高いのに対して、第 2 の透明電極 2 6 の透明ソース電極 2 6 a 及び透明ドレイン電極 2 6 b の抵抗を下げる機能を有する。

[0051] 第2の透明電極26は第3の絶縁層24の上、及び、走査電極2の延出部位、即ち、第1のゲート電極21a、の上に一部が重畳するように配置される。第2の透明電極26は、例えば、ITO膜である。第2の透明電極26は、例えば、100nmの厚さを有する。第2の透明電極26は、信号読み出し回路薄膜トランジスタ121の透明ソース電極26aと透明ドレイン電極26bとを構成する。第2の透明電極26の一部である透明ドレイン電極26bは、第1の透明電極16と電氣的に接続される。或いは、後述するように、第2の透明電極26と第1の透明電極16とは同時に形成され、同一の層で構成される。本工程は、第1の透明電極16と第2の透明電極26とを同時に形成する透明電極成膜工程である。

[0052] 第2の半導体層22は図4に示すように島状に配置される。第2の半導体層22は、図6に示すように、第3の絶縁層24の上、及び、第2の透明電極26に重なって配置される。第2の半導体層22は、例えば、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)、酸素(O)により構成された透明な酸化物半導体(以下、IGZO)で構成される。

[0053] 第4の絶縁層27は、第2の半導体層22及び第2の透明電極26の上に、これらを覆うように配置される。第4の絶縁層27と第2の絶縁層17とは、後述するように同時に形成されてもよく、同一の層にて構成される。本工程は、第2の絶縁層17と第4の絶縁層27とを同時に形成する絶縁層成膜工程である。

[0054] 第3のメタル電極28は、ガラス基板1に垂直な方向即ち紙面の上側から見て、第2のメタル電極21と重なる位置に配置される。第2のメタル電極21は第1のゲート電極21aとして機能し、第3のメタル電極28は、第2のゲート電極21bとして機能する。第1のゲート電極21aと第2のゲート電極21bとは、信号読み出し回路薄膜トランジスタ121のゲート電極として機能し、信号読み出し回路薄膜トランジスタ121のスイッチとしてのON/OFFを司る。第3の透明電極29は、ガラス基板1に垂直な方向即ち紙面の上側から見て、第3のメタル電極28と重なる位置に配置され

る。

[0055] 図6に示すフォトセンシング部200の製造方法について、図7から図14を参照して説明する。図7から図14は、フォトセンシング部200の各製造工程における断面図である。フォトセンシング部200は、フォトダイオード110と読み出し回路120とを有する。

[0056] 第1実施形態においては、詳細は後述するが、フォトダイオード110を形成した後に、IGZOを半導体層として有する信号読み出し回路薄膜トランジスタ121が形成される。この順番で形成することが好ましい。IGZOから製造した場合には、フォトダイオード110の作成時にアモルファスシリコンからIGZOに水素が添加されることとなり、IGZOの薄膜トランジスタの良好な特性を得ることが難しい可能性がある。

[0057] 図7に示すように、ガラス基板1の上に、第1のメタル電極11と第2のメタル電極21とが同時に形成される。本工程は、第1のメタル電極11と第2のメタル電極21とを同時に形成するメタル電極成膜工程である。この形成工程は、フォトダイオード110と信号読み出し回路薄膜トランジスタ121とを構成する層が同時に成膜或いは形成される工程の一つである。例えば、クロム、アルミ、チタン等の金属薄膜がスパッタリングにより形成される。金属薄膜は、例えば、略200nmの厚さを有する。この薄膜にフォトレジストが塗布される。フォトリソグラフィ法により、金属薄膜のパターンが形成される。例えば、塩素系ドライエッチング法によりレジストで覆われていなかった部分の金属薄膜がエッチングされる。第1のメタル電極11は、図4の平面図に示されるパターンを例えば有する。第2のメタル電極21は、図4の平面図に示されるパターンを例えば有する。

[0058] 続けて、図8に示すように、第1の半導体層12と第1のオーミックコンタクト層13と下層の第1の透明電極16aとが連続して積層され、積層体を構成する。第1の半導体層12は、例えば、アモルファスシリコン(a-Si)層である。第1のオーミックコンタクト層13は、例えば、n+アモルファスシリコン(n+a-Si)層である。下層の第1の透明電極16a

は例えばITOである。ドライエッチングプロセス工程を通して、積層体は島状にパターニングされる。積層体の島状のパターンは、例えば図4に示されるように、第1のメタル電極11の島状のパターンに重なり、第1のメタル電極11の島状のパターンより小さい面積を有する。

[0059] 続けて、図9に示すように、第1の絶縁層14と第3の絶縁層24とが同時に形成される。第1の絶縁層14と第3の絶縁層24とは、同一の層で構成される。本工程は、フォトダイオード110の絶縁層と信号読み出し回路薄膜トランジスタ121の絶縁層とを同時に形成する絶縁層成膜工程である。第1の絶縁層14と第3の絶縁層24とは、例えば、SiN膜である。SiN膜は、例えば、プラズマCVD法等により形成される。SiN膜は、例えば、SF₆系ドライエッチングによりパターニングされる。特に、下層の第1の透明電極16aの一部が露出するようにパターニングされる。ここで、下層の第1の透明電極16aはエッチングストッパとして機能する。エッチングは第1の透明電極16aで止まるので、n+アモルファスシリコンがエッチングされてなくなるということが無い。図5に示す、第1の透明電極16aのない構成も有効である。下層の第1の透明電極16aがない場合には、SF₆系ドライエッチングのエッチング終了時点の精密な管理が必要となる。エッチングストッパがないため、n+アモルファスシリコンがエッチングされてなくなる可能性がある。n+アモルファスシリコンがエッチングされてなくなるということが無いように、エッチングの終点を精密に管理する必要がある。

[0060] 続けて、図10に示すように、信号読み出し電極3が形成される。信号読み出し電極3は例えば、クロム(Cr)、アルミニウム(Al)、チタン(Ti)等の金属薄膜である。金属薄膜が形成された後、塩素系ドライエッチングによりパターニングされる。次に図11に示すように、上層の第1の透明電極16bが形成されると同時に、第2の透明電極26が形成される。上層の第1の透明電極16bと第2の透明電極26とは、同一の層で構成される。本工程は、上層の第1の透明電極16bと第2の透明電極26とを同時

に形成する透明電極成膜工程である。第2の透明電極26は、信号読み出し回路薄膜トランジスタ121の透明ソース電極26aと透明ドレイン電極26bとを構成する。透明ドレイン電極26bは、フォトダイオード110の上層の第1の透明電極16bに連続し、電氣的に接続する。

[0061] 続けて、図12に示すように、第2の半導体層22が形成される。第2の半導体層22は、例えばIGZO層で構成される。IGZO層は、例えば、In、Ga、及びZnを含む酸化物半導体ターゲットを用いてスパッタリング法にて形成される。IGZO膜は、例えばクエン酸やシュウ酸等の有機酸をエッチャントとして用いてエッチングされる。

[0062] 続けて、図13に示すように、第2の絶縁層17及び第4の絶縁層27が同時に形成される。第2の絶縁層17と第4の絶縁層27とは、同一の層で構成される。本工程は、第2の絶縁層17と第4の絶縁層27とを同時に形成する絶縁層成膜工程である。第2の絶縁層17及び第4の絶縁層27は、例えば、酸化シリコン(SiO₂)であり、例えばプラズマCVD法により形成される。

[0063] 続けて、図14に示すように、第3のメタル電極28及び第3の透明電極29とが積層され、パターニングされる。第3のメタル電極28は、例えば、クロム(Cr)、アルミニウム(Al)、チタン(Ti)等の金属電極である。第3のメタル電極28は、信号読み出し回路薄膜トランジスタ121において、第2のゲート電極21bとして、機能する。本構成は、従来よりダブルゲート構成として知られる。第3のメタル電極28は、第2のメタル電極21が第1のゲート電極21aとして機能するのを補助する。第3の透明電極29は、第3のメタル電極28を覆い、第3のメタル電極28の劣化を防ぐ働きを有する。

[0064] (変形例1)

以上説明した実施形態においては、図6に示したようにフォトダイオード110と信号読み出し回路薄膜トランジスタ121とにおいて、第1の半導体層12はアモルファスシリコンで構成され、第2の半導体層22はIGZ

0で構成され、互いに異なる。変形例1においても第1の半導体層12と第2の半導体層22とは、異なる。但し、変形例1においては、フォトダイオード110の有する構成要素の形成される層が異なる。変形例1について、図15及び図16を参照して説明する。図15は変形例1に係るフォトセンシング部200の平面図である。図16は、変形例1に係るフォトセンシング部200の断面図である。

[0065] 変形例1においては、図16に示すように、第1のメタル電極11は、信号読み出し電極3と同一の層で構成される。本工程は、第1のメタル電極11と信号読み出し電極3とを同時に形成するメタル電極成膜工程である。図15を図4と見比べる。図4においては、フォトダイオード110の基準電圧 V_b を決める第1のメタル電極11は図の左右方向、走査電極2と平行に走っている。第1のメタル電極11が走査電極2と同じ層で構成されているためである。一方、変形例1を示す図15においては、第1のメタル電極11は図の上下方向、信号読み出し電極3と平行に配置されている。第1のメタル電極11と信号読み出し電極3とが交差しないことを企図し、第1のメタル電極11は、信号読み出し電極3と平行に配置されている。第1のメタル電極11が信号読み出し電極3と同一の層で構成されているためである。第1のメタル電極11には基準電圧 V_b 、例えばマイナス1V、が印加される。

[0066] 図16を参照して、変形例1におけるフォトダイオード110の構造と製造方法とについて説明する。

[0067] 第2のメタル電極21がガラス基板1の上に配置される。第2のメタル電極21は、図15に示すように、走査電極2から枝状に延出し、信号読み出し回路薄膜トランジスタ121の第1のゲート電極21aとして機能する。第2のメタル電極21は、例えば、チタンとアルミとチタンとの積層体、アルミニウム、モリブデン、銅等で構成される。

[0068] 次に、第1の絶縁層14及び第3の絶縁層24とが同時に形成される。本工程は、第1の絶縁層14と第3の絶縁層24とが同時に形成される絶縁層

成膜工程である。第3の絶縁層24は、例えば、窒化シリコン（SiN）で構成される。第3の絶縁層24は、例えば、400nmの厚さを有する。

[0069] 次に、第1のメタル電極11が第1の絶縁層14（第3の絶縁層24と同一層）の上に形成されると同時に、信号読み出し回路薄膜トランジスタ121の信号読み出し電極3が第3の絶縁層24の上に形成される。第1のメタル電極11と信号読み出し電極3とは同一の層で構成される。本工程は、第1のメタル電極11と信号読み出し電極3とを同時に形成するメタル電極成膜工程である。第1のメタル電極11は図15に示すように、上下に線状に延びるとともに、矩形状の延出部を有する。信号読み出し電極3は、図15に示すように延出部を有する。延出部は、後述する第2の半導体層22とは接触せず、第2の半導体層22のチャネル部分に近接して配置される。第1のメタル電極11及び信号読み出し電極3とには、例えばモリブデンとタンタルとの合金（MoTa）が好適である。

[0070] 図16に示すように、第4の透明電極18が、第1のメタル電極11の上に第1のメタル電極11を覆うように形成される。第2の透明電極26が同時に形成される。本工程は、第4の透明電極18と第2の透明電極26とが同時に形成される透明電極成膜工程である。第4の透明電極18及び第2の透明電極26は例えばITOである。第4の透明電極18及び第2の透明電極26と、第1のメタル電極11及び信号読み出し電極3とは、例えば塩酸或いはシュウ酸等のウエットプロセス或いはドライプロセスでパターニングされる。第2の透明電極26は、パターニングされて、透明ソース電極26aと透明ドレイン電極26bとを構成する。

[0071] 次に、第1の半導体層12、第1のオーミックコンタクト層13、下層の第1の透明電極16aが順次形成され、島状に一括してパターニングされる。第1の半導体層12はアモルファスシリコン、第1のオーミックコンタクト層13はn+アモルファスシリコン層、下層の第1の透明電極16aはITOである。パターニングには、例えば、塩素系ドライエッチング法が用いられる。島状に一括してパターニングされる時において、下層の第1の透明

電極 1 6 a は、第 1 のオーミックコンタクト層 1 3 がエッチングされてしまうことを防止する、所謂エッチングストップパとして機能する。

[0072] 次に、第 2 の半導体層 2 2 が形成される。第 2 の半導体層 2 2 は、例えば I G Z O を有する。I G Z O 層は、例えば、I n、G a、及び Z n を含む酸化物半導体ターゲットを用いてスパッタリング法にて形成される。I G Z O 膜は、例えばクエン酸やシュウ酸等の有機酸をエッチャントとして用いてエッチングされる。

[0073] 第 2 の絶縁層 1 7 が、下層の第 1 の透明電極 1 6 a を覆うように形成される。下層の第 1 の透明電極 1 6 a の上部において、第 2 の絶縁層 1 7 の一部が除去される。ここで、下層の第 1 の透明電極 1 6 a は、第 2 の絶縁層 1 7 のエッチングが第 1 のオーミックコンタクト層 1 3 を侵食しないようにする。第 4 の絶縁層 2 7 が、第 2 の絶縁層 1 7 と同時に形成される。第 4 の絶縁層 2 7 と第 2 の絶縁層 1 7 とは、同一の層で構成される。本工程は、第 2 の絶縁層 1 7 と第 4 の絶縁層 2 7 とを同時に形成する絶縁層成膜工程である。第 2 の絶縁層 1 7 と第 4 の絶縁層 2 7 とは例えば酸化シリコン (S i O x) である。透明ドレイン電極 2 6 b を構成する部位にて第 4 の絶縁層 2 7 の一部が除去される。第 4 の絶縁層 2 7 が除去された部分は第 1 のコンタクトホール部 C 1 として機能する。

[0074] 第 3 のメタル電極 2 8 が形成されてパターニングされる。第 3 のメタル電極 2 8 は、例えばモリブデンとタンタルとの合金 (M o T a) である。第 3 のメタル電極 2 8 は、第 1 のゲート電極 2 1 a と平面視で重なるようにパターニングされ、第 2 のゲート電極 2 1 b として機能する。

[0075] 上層の第 1 の透明電極 1 6 b が、下層の第 1 の透明電極 1 6 a 及び第 1 のコンタクトホール部 C 1 を覆うように形成され、パターニングされる。上層の第 1 の透明電極 1 6 b は、第 3 の透明電極 2 9 と同時に形成される。本工程は、上層の第 1 の透明電極 1 6 b と第 3 の透明電極 2 9 と同時に形成する透明電極成膜工程である。上層の第 1 の透明電極 1 6 b は第 1 のコンタクトホール部 C 1 を通して、透明ドレイン電極 2 6 b と導通する。

[0076] フォトダイオード 110 で形成される光電流は、第 1 の透明電極 16 から第 1 のコンタクトホール部 C1 を通して透明ドレイン電極 26b に達し、第 1 のゲート電極 21a 及び第 2 のゲート電極 21b が ON 状態となるとともに、透明ソース電極 26a に到達する。透明ソース電極 26a から、信号読み出し電極 3 を通して、信号は図 1 に示す信号処理回路 150 に伝達される。

[0077] 図 16 では記載を省略しているが、第 2 のゲート電極 21b は第 1 のゲート電極 21a と電氣的に接続されている。第 2 のゲート電極 21b は第 1 のゲート電極 21a と協働し、信号読み出し回路薄膜トランジスタ 121 のスイッチング機能を強化する。更に、第 2 のゲート電極 21b のみが形成され、第 1 のゲート電極 21a の存在しない構成でもよい。この構成は、トップゲートのみの構成である。本構成においては、第 2 の半導体層 22 として、IGZO が好適である。高い移動度を IGZO が有するからである。

[0078] (実施形態 2)

実施形態 1 では、フォトダイオード 110 の第 1 の半導体層 12 と信号読み出し回路薄膜トランジスタ 121 の第 2 の半導体層 22 とは異なる半導体層を有していた。これに対して、実施形態 2 では、フォトダイオード 110 の第 1 半導体層と信号読み出し回路薄膜トランジスタ 121 の第 2 の半導体層 22 とは同一の半導体層で構成され、同時に成膜される。本工程は、第 1 の半導体層 12 と第 2 の半導体層 22 とを同時に形成する半導体層成膜工程である。構造及び製造方法について、図 17 から図 24 を参照して説明する。図 17 は、実施形態 2 に係るフォトセンシング部 200 の断面図である。図 18 から図 24 は、各製造工程におけるフォトセンシング部 200 の断面図である。

[0079] フォトセンシング部 200 は、フォトダイオード 110 と、読み出し回路 120 とを有する。読み出し回路 120 は、信号読み出し回路薄膜トランジスタ 121 を有する。フォトダイオード 110 は、ショットキー障壁部 S を有するショットキーダイオードを有する。ショットキーダイオードは外光 L

に反応するフォトダイオード110である。信号読み出し回路薄膜トランジスタ121はチェネルエッチ型の薄膜トランジスタである。

[0080] フォトダイオード110は、第1のメタル電極11と第1の絶縁層14と第1の半導体層12と第1のオーミックコンタクト層13と第1の透明電極16と第2の絶縁層17とを有する。第1のメタル電極11と第1の半導体層12との界面にショットキー障壁部Sが発現する。第1のメタル電極11から第1の透明電極16の方向を順方向とするショットキーダイオードが構成される。

[0081] ガラス基板1は例えば無アルカリ硝子、例えばホウケイ酸ガラスである。ガラス基板1は例えば、0.5から0.7mmの厚さを有する。第1のメタル電極11は、ガラス基板1の上に配置される。第1のメタル電極11は例えば略長方形の形を有する。第1のメタル電極11は、例えば、モリブデンとタンタルとの合金である。第1のメタル電極11は、例えば、200nmの厚みを有する。

[0082] 第1の絶縁層14が絶縁層除去部RM1を除いて第1のメタル電極11を覆うように配置される。成膜工程は後に詳述するが、第1の絶縁層14は、第1のメタル電極11を覆うように成膜された後、第1のメタル電極11の上部の絶縁層除去部RM1においてその一部が除去される。第1の絶縁層14は、例えば、窒化シリコン／酸化シリコン(SiN/SiO₂)膜である。第1の絶縁層14は、例えば、400nmの厚さを有する。第1の半導体層12が第1のメタル電極11の上に配置される。第1の半導体層12は例えば略長方形の形を有する。第1の半導体層12は、例えば、アモルファスシリコン層である。第1の半導体層12は、例えば、200nmの厚さを有する。第1のオーミックコンタクト層13は、第1の半導体層12の上に配置される。第1のオーミックコンタクト層13は、例えばn+アモルファスシリコン層である。n+アモルファスシリコン層は例えば50nmの厚さを有する。第1の透明電極16は、第1の絶縁層14及び第1のオーミックコンタクト層13の上を覆うように配置される。第1の透明電極16は、例え

ば、インジウムとチタンの合金の酸化物（ITO）の膜である。第1の透明電極16は、例えば、100nmの厚さを有する。第1の透明電極16と第1のオーミックコンタクト層13とは、接触し、電氣的に接続される。第2の絶縁層17が、第1の透明電極16を覆うように配置される。

[0083] 第1のメタル電極11と第1の半導体層12との間にはショットキー障壁部Sが形成される。一方、第1のオーミックコンタクト層13が存在するため、第1の透明電極16と第1のオーミックコンタクト層13と第1の半導体層12とは、オーミックコンタクトし、ショットキー障壁は生じない。第1のメタル電極11と第1の半導体層12と第1のオーミックコンタクト層13と第1の透明電極16とは、ショットキーダイオードを構成する。図17の右にダイオードの回路の模式図を書いている。本模式図に表されるように、第1のメタル電極11から第1の透明電極16へ方向を順方向とするショットキーダイオードが実現される。

[0084] ショットキー障壁部Sは、第1のメタル電極11と第1の半導体層12との界面に生じる。このため第1の半導体層12の厚さはショットキー障壁の発現に影響しない。このため第1の半導体層12の厚さは薄くすることが可能となる。本実施形態では、例えば、厚さ200nmのアモルファスシリコン層が配置される。アモルファスシリコン層の厚さは、好ましくは50nm以上500nm以下である。ショットキー障壁ではなく、例えば、PN型のダイオードとした場合には、アモルファスシリコン層は例えば1～2ミクロン程度と厚い。本開示に係るフォトダイオード110は、PN型と異なり単純な構成で受光部の広いフォトセンシング部200が実現され得る。

[0085] 本実施形態においては、図17に示すように、第1の透明電極16の配置される側から、外光Lが入射する。第1の透明電極16及び第2の絶縁層17は透明性が高い。外光Lは、第1の透明電極16及び第2の絶縁層17を通過する。外光Lは、ショットキー障壁が発現している、第1の半導体層12と第1のメタル電極11との界面に入射する。外光Lは、第1の半導体層12に吸収される。外光Lは、第1の透明電極16の側から、第1の半導体

層 1 2 に向けて入射する。そして、ショットキー障壁の電荷キャリアのペアが開放される。自由電荷キャリアが光電流を与える。

[0086] 読み出し回路 1 2 0 は、信号読み出し回路薄膜トランジスタ 1 2 1 と信号読み出し電極 3 とを有する。信号読み出し回路薄膜トランジスタ 1 2 1 は、第 2 のメタル電極 2 1 と、第 3 の絶縁層 2 4 と第 2 の半導体層 2 2 と第 2 のオーミックコンタクト層 2 3 とメタルソース電極 3 a とメタルドレイン電極 3 b と第 2 の透明電極 2 6 からなる透明ソース電極 2 6 a と透明ドレイン電極 2 6 b と第 4 の絶縁層 2 7 とを有する。ソース電極は、信号読み出し電極 3 から枝状に延出して形成されたメタルソース電極 3 a と第 2 の透明電極 2 6 にて構成される透明ソース電極 2 6 a とが積層された構成を有する。ドレイン電極は、信号読み出し電極 3 と同一の層で形成されたメタルドレイン電極 3 b と第 2 の透明電極 2 6 にて構成される透明ドレイン電極 2 6 b とが積層された構成を有する。

[0087] 第 2 のメタル電極 2 1 は、ガラス基板 1 の上に配置される。第 2 のメタル電極 2 1 と第 1 のメタル電極 1 1 とは、後述するように同時に形成され、同一の層で形成される。本工程は、第 1 のメタル電極 1 1 と第 2 のメタル電極 2 1 とを同時に形成するメタル電極成膜工程である。第 2 のメタル電極 2 1 は、例えば、モリブデンとタンタルとの合金である。第 2 のメタル電極 2 1 は、例えば、200 nm の厚みを有する。第 2 のメタル電極 2 1 は、図 4 に示す走査電極 2 を構成する。図 4 に示すように、走査電極 2 の一部が枝状に延出し、信号読み出し回路薄膜トランジスタ 1 2 1 の一部を構成する。この延出した部位は、信号読み出し回路薄膜トランジスタ 1 2 1 の第 1 のゲート電極 2 1 a を構成する。

[0088] 第 3 の絶縁層 2 4 は第 2 のメタル電極 2 1 の上に、第 2 のメタル電極 2 1 を覆うように配置される。第 3 の絶縁層 2 4 は、例えば、窒化シリコン (SiN) 膜である。第 3 の絶縁層 2 4 は、例えば、400 nm の厚さを有する。第 3 の絶縁層 2 4 と第 1 の絶縁層 1 4 とは、後述するように同時に形成され、同一の層で形成される。本工程は、第 1 の絶縁層 1 4 と第 3 の絶縁層 2

4 とを同時に形成する絶縁層成膜工程である。

[0089] 第2の半導体層22は図4に示すように島状に第1のゲート電極21aを覆うように配置される。第2の半導体層22は、図17に示すように、第3の絶縁層24の上に配置される。第2の半導体層22としては、アモルファスシリコン層が例えば用いられる。アモルファスシリコン層の上に第2のオーミックコンタクト層23が設けられる。第2のオーミックコンタクト層23は例えばn+アモルファスシリコンで構成される。詳細は後述するが、第1の半導体層12と第2の半導体層22とは同時に形成され、同一の層で構成される。第1のオーミックコンタクト層13と第2のオーミックコンタクト層23とは、同時に形成され、同一の層で構成される。本工程は、第1のオーミックコンタクト層13と第2のオーミックコンタクト層23とを同時に形成するオーミックコンタクト層成膜工程である。第1の半導体層12及び第2の半導体層22は、例えば、200nmの厚さを有する。第1のオーミックコンタクト層13及び第2のオーミックコンタクト層23を構成するn+アモルファスシリコン層は例えば50nmの厚さを有する。

[0090] 信号読み出し電極3は第3の絶縁層24及び第2のオーミックコンタクト層23の上に設けられる。信号読み出し電極3は、例えばクロム（Cr）、アルミニウム（Al）、チタン（Ti）等の金属電極である。図4に示すように、信号読み出し電極3は、二次元フォトセンサ100の上下方向に延びている。信号読み出し電極3の一部が枝状に、水平方向、例えば図4では右方向に延出する。信号読み出し電極3の延出した部位は、図17の左端に示すように、読み出し回路120の一部を構成する。

[0091] 第2の透明電極26は、第2のオーミックコンタクト層23の上に、図4に示すように、第1のゲート電極21aを挟んで、2か所に設けられる。一方は、信号読み出し回路薄膜トランジスタ121の透明ソース電極26aとして機能し、他方は、信号読み出し回路薄膜トランジスタ121の透明ドレイン電極26bとして機能する。第2の透明電極26の一部である透明ドレイン電極26bは、第1の透明電極16と導通する。本実施形態では、後述

するように、第2の透明電極26と第1の透明電極16とは同時に形成され、同一の層で構成される。本工程は、第1の透明電極16と第2の透明電極26とを同時に形成する透明電極成膜工程である。図17に示すように、第2の透明電極26の一部である透明ドレイン電極26bは延びて、第1の透明電極16となる。透明ドレイン電極26bは第1のオーミックコンタクト層13を覆うように、第1のオーミックコンタクト層13の上に配置される。第2の透明電極26及び第1の透明電極16は、例えば、インジウムとチタンの合金の酸化物（ITO）の膜である。第1の透明電極16及び第2の透明電極26は、例えば、100nmの厚さを有する。

[0092] 第2のオーミックコンタクト層23とメタルソース電極3a、透明ソース電極26aとメタルドレイン電極3b、透明ドレイン電極26bとはパターンニングされ、第2の半導体層22の上に二つに分かれて配置される。

[0093] 第4の絶縁層27は、第2の透明電極26の上に配置される。第4の絶縁層27は、例えば窒化シリコン（SiN）で構成される。後述するように、第2の絶縁層17と第4の絶縁層27とは同時に形成され、同一の層で構成される。本工程は、第2の絶縁層17と第4の絶縁層27とを同時に形成する絶縁層成膜工程である。

[0094] フォトダイオード110に外光Lが入射し、フォトダイオード110に光電流が発現する。第1のゲート電極21aにON電圧（例えば15V）が印加され、透明ドレイン電極26bと透明ソース電極26aとが導通状態となる。光電流は、第1の透明電極16から、第2の透明電極26、透明ドレイン電極26b、透明ソース電極26a、信号読み出し電極3を通して、信号処理回路150に伝達される。

[0095] 図17に示すフォトセンシング部200の製造方法について、図4及び図18から図24を参照して説明する。図18から図24は、フォトセンシング部200を図4のI-I'線で切断した、各製造工程における断面図である。

[0096] 図18に示すように、ガラス基板1の上に、第1のメタル電極11と第2

のメタル電極 2 1 とが同時に形成される。例えば、クロム、アルミ、チタン等の金属薄膜がスパッタリングにより形成される。金属薄膜は、例えば、略 200 nm の厚さを有する。この薄膜にフォトレジストが塗布される。フォトリソグラフィ法により、金属薄膜のパターンが形成される。例えば、塩素系ドライエッチング法によりレジストで覆われていなかった部分の金属薄膜がエッチングされる。第 1 のメタル電極 1 1 は、図 4 の平面図に示されるパターンを例えば有する。第 2 のメタル電極 2 1 は、図 4 の平面図に示されるパターンを例えば有する。本工程は、第 1 のメタル電極 1 1 と第 2 のメタル電極 2 1 とを同時に形成するメタル電極成膜工程である。

[0097] 次に、図 1 9 に示すように、第 1 の絶縁層 1 4 と第 3 の絶縁層 2 4 とが同時に形成される。第 1 の絶縁層 1 4 と第 3 の絶縁層 2 4 とは、同一の層で構成される。本工程は、第 1 の絶縁層 1 4 と第 3 の絶縁層 2 4 とを同時に形成する絶縁層成膜工程である。第 1 の絶縁層 1 4 と第 3 の絶縁層 2 4 とは、例えば、SiN 膜である。SiN 膜は、例えば、プラズマ CVD 法等により形成される。SiN 膜は、例えば、SF₆ 系ドライエッチングによりパターニングされる。特に、第 1 のメタル電極 1 1 の一部が露出するようにパターニングされる。フォトダイオード 1 1 0 において、第 1 のメタル電極 1 1 の上に、第 2 のコンタクト部 C 2 が形成される。

[0098] 次に、図 2 0 に示すように、第 1 の半導体層 1 2 及び第 2 の半導体層 2 2 と第 1 のオーミックコンタクト層 1 3 及び第 2 のオーミックコンタクト層 2 3 とが連続して積層され、積層体を構成する。第 1 の半導体層 1 2 と第 2 の半導体層 2 2 とは同時に形成され、同一の層で構成される。本工程は、第 1 の半導体層 1 2 と第 2 の半導体層 2 2 とを同時に形成する半導体層成膜工程である。第 1 のオーミックコンタクト層 1 3 と第 2 のオーミックコンタクト層 2 3 とは同時に形成され、同一の層で構成される。本工程は、第 1 のオーミックコンタクト層 1 3 と第 2 のオーミックコンタクト層 2 3 とを同時に形成するオーミックコンタクト層成膜工程である。第 1 の半導体層 1 2 及び第 2 の半導体層 2 2 は、例えば、アモルファスシリコン (a-Si) 層である。

。第1のオーミックコンタクト層13と第2のオーミックコンタクト層23とは、例えば、 n +アモルファスシリコン ($n+a-Si$) 層である。 SF_6 系ドライエッチングプロセス工程を通して、積層体は島状にパターニングされる。積層体の島状のパターンは、例えば図4に示される。第1の半導体層12と第1のオーミックコンタクト層13とは、第1のメタル電極11の島状のパターンに重なり、第1のメタル電極11の島状のパターンと同じかより小さい面積を有する。

[0099] 次に、図21に示すように、信号読み出し電極3が形成される。信号読み出し電極3は例えば、クロム (Cr)、アルミニウム (Al)、チタン (Ti) 等の金属薄膜である。金属薄膜が形成された後、塩素系ドライエッチングによりパターニングされる。信号読み出し電極3は、図4に示すように枝状に延出され、第2半導体層及び第2のオーミックコンタクト層23の上にも配置される。信号読み出し電極3から延出した部位は、信号読み出し回路薄膜トランジスタ121のメタルソース電極3aとメタルドレイン電極3bとを後述するように構成する。

[0100] 次に、図22に示すように、第1の透明電極16と第2の透明電極26とが同時に形成される。第1の透明電極16と第2の透明電極26とは同一の層で構成される。本工程は、第1の透明電極16と第2の透明電極26とを同時に形成する透明電極成膜工程である。第1の透明電極16は、図4に示すように、第1の半導体層12及び第1のオーミックコンタクト層13の上に島状に配置される。一方、第2の透明電極26と信号読み出し電極3とで第1のゲート電極21aの上に配置される部位の一部がパターニングされる。パターニングは、例えば、塩素系ドライエッチングにより実行される。第2の透明電極26は図4及び図22に示すように、第2のメタル電極21からなる第1のゲート電極21aを間に挟んで2か所に離れて配置される。一方の第2の透明電極26は透明ソース電極26aとして機能し、他方の第2の透明電極26は透明ドレイン電極26bとして機能する。第1の透明電極16と第2の透明電極26の一部である透明ドレイン電極26bとは一体で

あり、電氣的に導通する。

[0101] 次に、図23に示すように、第2のオーミックコンタクト層23と第2の半導体層22の一部が、第2の透明電極26からなる透明ソース電極26a及び透明ドレイン電極26bをマスク或いはレジストとしてパターンニングされる。チャンネルエッチング部CEが形成される。SF₄系ドライエッチングが例えば用いられる。この方法は、一般的にチャンネルエッチング方式と呼ばれる方式である。SF₆系ドライエッチングのエッチング終了時点の精密な管理が必要となる。エッチングストoppaがないため、n+アモルファスシリコンのみならずアモルファスシリコンがエッチングされてなくなる可能性がある。アモルファスシリコンがエッチングされてなくなるということが無いように、エッチングの終点を管理する必要がある。

[0102] 最後に、図24に示すように、第2の絶縁層17及び第4の絶縁層27が同時に形成される。第2の絶縁層17と第4の絶縁層27とは、同一の層で構成される。本工程は、第2の絶縁層17と第4の絶縁層27とを同時に形成する絶縁層成膜工程である。第2の絶縁層17及び第4の絶縁層27は、例えば、窒化シリコン(SiN)であり、例えばプラズマCVD法により形成される。

[0103] ここまで説明を省略しているが、信号の引き出しに、配線のつなぎ替えが行われる。適宜、絶縁層にコンタクトホールが設けられ、異なる層の導電層が導通させられる。

[0104] (第2の変形例)

図25は、第2の変形例に係るフォトダイオード110の断面図である。上記の実施形態で開示されている第1の絶縁層14の上に、更に、第5の絶縁層15が配置される。第5の絶縁層15は誘電体層でもある。第1の絶縁層14は、窒化シリコン(SiN)で構成されている。第5の絶縁層15は、酸化シリコン(SiO₂)で構成されている。第5の絶縁層15は、フォトダイオード110において、ガラス基板1と反対側の最表面に形成される。第5の絶縁層15は、表面反射を低減する機能を有する。位相差調整(イ

ンデックスマッチング)により、低反射構造が実現される。外光 L が入射した時に、第1の絶縁層14の表面での外光 L の反射を抑えることが出来る。第5の絶縁層15は、例えば、1.5の屈折率と90nmの厚さとを有する。これにより、ショットキー障壁部 S に到達する光量が増加し、フォトダイオード110の感度が向上する。

[0105] (第3の変形例)

図26及び図27は、第3の変形例に係るフォトダイオード110の例を示す。図26は平面図である。図27は、図26に示した $1-1'$ 断面線で切断した断面図である。第3の変形例においては、第5の絶縁層15が図25に示した第2の変形例に比してより広く配置される。図26において、第5の絶縁層15は透明であるので、第1の透明電極16b等の表記は点線ではなく、実線で表記している。第5の絶縁層15は、例えば、酸化シリコン(SiO_2)で構成される。第5の絶縁層15は、第1の絶縁層14及び第1の透明電極16(上層の第1の透明電極16bと下層の第1の透明電極16a)とを覆うように配置される。上層の第1の透明電極16bが形成されている部位以外では、窒化シリコン(SiN)と酸化シリコン(SiO_2)とが積層して配置される。外光 L が入射した時に、第1の絶縁層14及び第1の透明電極16の表面での外光 L の反射を抑えることが出来る。これにより、ショットキー障壁部 S に到達する光量が増加し、フォトダイオード110の感度が向上する。

[0106] (第4の変形例)

図28は、第4の変形例に係るフォトダイオード110を図4に示す $1-1'$ 断面線で切断した断面図である。上記の実施形態においては、第1のメタル電極11の上に第1の半導体層12が積層され、第1のオーミックコンタクト層13が第1の半導体層12の上に積層される。第4の変形例においては、第1のメタル電極11の上に第1のオーミックコンタクト層13が積層され、第1の半導体層12が第1のオーミックコンタクト層13の上に積層される。第1の半導体層12の上に下層の第1の透明電極16aが積層さ

れる。第1の絶縁層14が形成され、下層の第1の透明電極16aに接する一部が除去され絶縁層除去部RM1が形成される。上層の第1の透明電極16bが、絶縁層除去部RM1を覆い配置される。上層の第1の透明電極16bと下層の第1の透明電極16aとは電氣的に接続される。

[0107] 第1のメタル電極11、第1の半導体層12、第1のオーミックコンタクト層13、第1の絶縁層14、第1の透明電極16を構成する材料は、上記の実施形態に記載の材料と同様である。

[0108] 第4の変形例においては、ショットキー障壁部Sは、第1の半導体層12と第1の透明電極16aとの界面に生じる。フォトダイオード110の順方向は、図28の左に示すように、第1の透明電極16から第1のメタル電極11への方向である。図29に示すように、信号読み出し回路薄膜トランジスタ121のドレイン電極に対して逆方向となるフォトダイオード110が形成される。フォトダイオード110においては、逆バイアスが印加される必要がある。第1の実施形態では、図1に示す基準電圧Vbは-1Vであった。これに対して、第4の変形例に係る基準電圧Vbは例えば+3Vである。

[0109] 第4の変形例に係るフォトダイオード110に係る信号読み出し回路薄膜トランジスタ121としては、第1実施形態のIGZOを用いることが好ましい。第1実施形態で説明した製造工程を踏襲することが出来る。第2実施形態は第4の変形例と同様に、第2の半導体層22としてアモルファスシリコンを用いている。しかしながら、第4の変形例とはn+アモルファスシリコンの積層順序が異なる。第2の実施形態では逆スタagger型の薄膜トランジスタが使用されている。第2の半導体層22と第2のオーミックコンタクト層23との積層順序を変えることは難しい。このため、第4の変形例では、第2実施形態のように製造工程を共通化することが難しい。第4の変形例では、第1実施形態に則ることが好ましい。

[0110] (第5の変形例)

図30は、第5の変形例に係るフォトダイオード110の断面図である。

第4の変形例においては、下層の第1の透明電極16aが配置されていた。第5の変形例においては、下層の第1の透明電極16aは配置されない。第4の変形例では、下層の第1の透明電極16aはエッチングストッパとして機能する。第1の絶縁層14の除去が第1の半導体層12、例えばアモルファスシリコンの除去につながらない。第5の変形例では、エッチングストッパの機能がないために、第1の半導体層12が一部エッチングされる。図30においては、第1の半導体層12の上部がエッチングされて、第1の半導体層12は凹状の形状を有する。第1のオーミックコンタクト層13は例えばn+アモルファスシリコンであり、その厚さは例えば50nmと薄い。このため、第1実施形態では、図6に示したように、下層の第1の透明電極16aが配置されている。これに対して、第1の半導体層12、例えばアモルファスシリコン層、は例えば200nmの厚さを有する。第1の半導体層12は、第1のオーミックコンタクト層13に比べて厚い。このため、図30に示すように、第1の半導体層12の全てがエッチングされるのを防ぐことに精密なエッチングの制御の必要性は高くない。第5の変形例は、図30に示すように、図28に示される下層の第1の透明電極16aが不要で工程が短いという利点を有する。

[0111] (第6の変形例)

図31は、第6の変形例に係るフォトダイオード110の断面図である。上記の実施形態においては、フォトダイオード110は、ガラス基板1の反対側から入射する外光Lを受光する。第6の変形例に係るフォトダイオード110は、ガラス基板1の側から入射する外光Lを受光する。第1のメタル電極11は、透明電極で構成される。外光Lは、透明な第1のメタル電極11の側から、第1の半導体層12に向けて入射する。第1のメタル電極11は、例えば、酸化亜鉛にアルミニウム(AI)をドーピングしたAZOがこのましい。酸化亜鉛(ZnO)透明導電膜、ガリウムをドーピングしたGZO、或いは、ITO膜が採用されてもよい。

[0112] 第1のメタル電極11の上に、第1の半導体層12と第1のオーミックコ

ンタクト層 1 3 と下層の第 1 の透明電極 1 6 a がこの順に積層され、パターンニングされて配置される。次に第 1 の絶縁層 1 4 が積層され、パターンニングされる。絶縁層除去部 R M 1 が下層の第 1 の透明電極 1 6 a の上に形成される。第 4 のメタル電極 1 9 が絶縁層除去部 R M 1 を覆い配置される。上層の第 1 の透明電極 1 6 b が第 4 のメタル電極 1 9 の上に形成される。第 1 の半導体層 1 2 は例えばアモルファスシリコン層である。第 1 のオーミックコンタクト層 1 3 は、例えば n + アモルファスシリコン層である。下層の第 1 の透明電極 1 6 a と上層の第 1 の透明電極 1 6 b とは、例えば I T O 層である。第 4 のメタル電極 1 9 は、例えば、クロム (C r)、アルミニウム (A l)、チタン (T i) 等である。第 4 のメタル電極 1 9 は、信号読み出し回路薄膜トランジスタ 1 2 1 のメタルソース電極 3 a 及びメタルドレイン電極 3 b と同時に形成され、同一の層で構成されてもよい。本工程は、第 4 のメタル電極 1 9 とメタルソース電極 3 a とメタルドレイン電極 3 b とを同時に形成するメタル電極成膜工程である。

[0113] ガラス基板 1 と反対側から入射する外光 L は第 4 のメタル電極 1 9 により遮光される。一方、ガラス基板 1 の側から入射する外光 L は、第 1 のメタル電極 1 1 を透過し、第 1 のメタル電極 1 1 と第 1 の半導体層 1 2 の界面に形成されたショットキー障壁部 S に到達する。外光 L を受光して、フォトダイオード 1 1 0 は光電流を発生させる。ガラス基板 1 の側から入射する外光 L は、ショットキー障壁部 S を通過した後、第 4 のメタル電極 1 9 で反射し、再度ショットキー障壁部 S に入射する。外光 L は 2 度ショットキー障壁部 S を通過するので感度の高いフォトダイオード 1 1 0 が実現され得る。

[0114] (第 7 の変形例)

第 6 の変形例においては、ガラス基板 1 の側から入射する外光 L を受光し、且つ、第 1 の半導体層 1 2 に対して、ガラス基板 1 と反対の側に第 1 のオーミックコンタクト層 1 3 が設けられている。図 3 2 に示すように、ガラス基板 1 の側から入射する外光 L を受光し、且つ、第 1 の半導体層 1 2 に対して、ガラス基板 1 の側に第 1 のオーミックコンタクト層 1 3 が設けられてい

てもよい。第1のオーミックコンタクト層13の第1の半導体層12に対する位置は、上記の実施形態及びその変形例において示した位置と反対側に設けてもよい。これらの場合、図29に示したようにショットキーダイオードの向きが変わり、基準電圧 V_b が例えばマイナス1Vからプラス3Vに変わる。

[0115] (第8の変形例)

上記の実施形態に係る二次元フォトセンサ100においては、フォトダイオード110からの光電流は信号読み出し回路薄膜トランジスタ121を通して検知されている。これはアクティブマトリクス方式と呼ばれる。第8の変形例は、直接駆動方式に基づく二次元フォトセンサ100を開示する。第8の変形例について、図33から図35を参照して説明する。図33は二次元フォトセンサ100の全体概要を示す回路図である。図34は、フォトセンシング部200の平面図である。図35は、図34の「 $1-1-1'$ 」線で切断した断面図である。

[0116] 図33に示すように、フォトダイオード110の陽極は横方向に複数設けられる共通電極5に接続される。共通電極5は、図35に示す第1のメタル電極11である。図33と図34とに示されるように、共通電極5は、左右方向に延びる。フォトダイオード110の陰極は、第1の透明電極16に接続される。図34に示すように、第1の透明電極16は、信号読み出し電極3に接続される。信号読み出し電極3は、図33及び図34に示すように、上下方向に延びる。信号読み出し電極3は、図33に示すように、信号処理回路150に接続される。信号処理回路150は、各フォトダイオード110の信号から、各フォトダイオード110に入射した光の強度の面内分布を検知する。

[0117] 図33から35を参照して説明した直接駆動方式は、信号読み出し回路薄膜トランジスタ121が不要という利点を有する。二次元フォトセンサ100が実装されているガラス基板1とは別に、信号処理回路150はシリコン集積回路(Si-IC)を用いて実現され得る。

[0118] 図35に示すように、ガラス基板1の上に、第1のメタル電極11、第1の半導体層12、第1のオーミックコンタクト層13、下層の第1の透明電極16aがこの順に積層されて配置される。これらの層は一括して、図34に示すように島状にパターニングされて配置される。更に、第1の絶縁層14が配置される。下層の第1の透明電極16aの上の第1の絶縁層14の一部は除去されて、絶縁層除去部RM1が形成され、配置される。第1の絶縁層14の上に信号読み出し電極3が設けられ、パターニングされる。上層の第1の透明電極16bが、絶縁層除去部RM1を覆い、信号読み出し電極3と重なるように、積層され、パターニングされる。

[0119] ガラス基板1、第1のメタル電極11、第1の半導体層12、第1のオーミックコンタクト層13、第1の透明電極16、第1の絶縁層14を構成する材料は、上記の実施形態と同様である。

[0120] (第9の変形例)

第8の変形例では直接駆動方式について説明した。単純マトリクス(Passive Matrix)方式が採用されてもよい。図36は第9の変形例に係る二次元フォトセンサ100の全体回路図である。ゲートドライバ130により走査電極2に走査信号が印加される。例えば走査時の電圧はプラス4Vである。マルチプレクサ140からは、例えば電圧プラス1.5Vが印加され、フォトダイオード110には2.5Vの逆バイアス電圧が印加される。各フォトダイオード110への照度に応じて、図2に示すように光電流が発生する。発生した光電流に基づいて信号処理回路150が光照度を導き出す。非走査時には、走査電極2に例えばプラス1.1Vの電圧が印加される。この時、フォトダイオード110には、0.4Vの順方向電圧が印加される。この時には、図2に示すように、各フォトダイオード110への照度に拘らず、光電流は抑えられている。走査されているフォトダイオード110からの光電流がマルチプレクサ140及び信号処理回路150にもたらされる。走査電極2を走査することにより、各フォトダイオード110での照度が見積もられる。

[0121] 以上説明した二次元フォトセンサ１００は、ディスプレイに適用することが好ましい。ディスプレイは、例えば、液晶ディスプレイ、有機ＥＬディスプレイ等である。本発明に係る二次元フォトセンサ１００は、例えばガラス基板１に設けられる。このガラス基板１は、独立したガラス基板１でもよく、又、ディスプレイの有するガラス基板１であってもよい。独立したガラス基板１に二次元フォトセンサ１００を設けディスプレイと組み合わせる形態は、一般的にオンセル方式と呼ばれる。ガラス基板１としてディスプレイの有するガラス基板１に二次元フォトセンサ１００を設ける形態は、一般的にインセル方式と呼ばれる。本発明に係る二次元フォトセンサ１００は、オンセル方式にもインセル方式にも適用することが出来る。オンセル方式では、二次元フォトセンサ１００は、ディスプレイ本体とは独立して製造され駆動される。このため、大型ディスプレイにも適用が期待出来る。

[0122] 本開示は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。又、上述した実施形態は、この発明を説明するためのものであり、本発明の範囲を限定するものではない。即ち、本発明の範囲は、実施形態ではなく、特許請求の範囲によって示される。そして、特許請求の範囲内及びそれと同等の開示の意義の範囲内で施される様々な変形が、この発明の範囲内とみなされる。

[0123] 以上説明した実施形態に係る二次元フォトセンサ１００によれば以下のような効果が奏される。

[0124] (１) 二次元フォトセンサ１００は、複数配列するフォトダイオード１１０を備え、フォトダイオード１１０は、第１のメタル電極１１と、第１の半導体層１２と、第１のオーミックコンタクト層１３と、第１の透明電極１６と、の積層を有し、第１の半導体層１２と第１のオーミックコンタクト層１３とは、第１のメタル電極１１と第１の透明電極１６との間に配置されており、第１の半導体層１２と第１のメタル電極１１との界面、或いは、第１の半導体層１２と第１の透明電極１６との界面にショットキーバリアを有し、第１の透明電極１６の側から第１の半導体層１２に向けて入射する光をセンシ

ングする。

[0125] これによりディスプレイのような比較的広い二次元空間に渡って階調検出の可能な二次元フォトセンサ100が提供される。ディスプレイに注がれる影や輝度等の2次元分布を検出して、それをディスプレイの表示信号にフィードバックすることにより、実際の影や陰影の表現まで含めたディスプレイの表示を可能として、紙のような実物により近づけることが出来る。表示部分の明るい所のみ輝度を上げて視認性を確保することが出来る。低消費電力で見やすいディスプレイを実現することが出来る。

[0126] (2) (1)の二次元フォトセンサ100は、第1の半導体層12はアモルファスシリコンからなり、第1のオーミックコンタクト層13はn+アモルファスシリコンからなる。

[0127] これにより、アクセプタ原子を不純物として添加するP+の工程が無い工場でも製造することが出来る。既存のアモルファスシリコン薄膜トランジスタを扱う工程と同一の製造プロセスで二次元フォトセンサ100を製造することが出来る。新たな製造工程の追加や変更が不要である。従来のフォトセンサ、例えば太陽電池のようなPIN型アモルファスシリコンセンサーにおいては、光に対する感度を高めるために、アモルファスシリコン層の膜厚を1から2ミクロン程度に厚くして光の吸収を高める必要がある。これに対して本開示のショットキーダイオードでは、金属と半導体の「狭い界面」でキャリアが発生するため、アモルファスシリコン膜全体を厚くする必要がない。したがって、アモルファスシリコン薄膜トランジスタ工場で一般的に用いられる数100nm程度の薄いアモルファスシリコン膜でも高い感度を得ることが出来る。アモルファスシリコン層を厚くする必要がないため製造の効率化が出来低コストで生産出来る。

[0128] (3) (1)又は(2)の二次元フォトセンサ100において、第1のメタル電極11は遮光性を有し、且つ、光センシング領域外に引き出される構成を有する。

[0129] これにより、ガラス基板1側から入射する光が遮光される。そして、ガラ

ス基板 1 とは反対側から入射する外光 L の検出のみを行うことが出来る。第 1 のメタル電極 1 1 で外光 L は反射し、ショットキー障壁の形成されている第 1 のメタル電極 1 1 と第 1 の半導体層 1 2 の界面を 2 度通過することとなり、感度が向上する。第 1 のメタル電極 1 1 は遮光と引出し配線とを兼ねる。これにより、高生産性で低コスト化を図ることが出来る。

[0130] (4) (1) ~ (3) のいずれかの二次元フォトセンサ 1 0 0 において、フォトダイオード 1 1 0 の各々の光電流は、直接接続を通して個々に取得されるか、或いは、単純マトリクス方式を通して走査されて取得される。

[0131] これにより、高生産性と低コストとを有する二次元フォトセンサ 1 0 0 が得られる。

[0132] (5) (1) ~ (4) のいずれかの二次元フォトセンサ 1 0 0 は、フォトダイオード 1 1 0 の信号を読み出す読み出し回路 1 2 0 を備え、読み出し回路 1 2 0 は信号読み出し回路薄膜トランジスタ 1 2 1 を有し、信号読み出し回路薄膜トランジスタ 1 2 1 は、フォトダイオード 1 1 0 を構成する層と同一の層からなる層を少なくとも 1 層有する。

[0133] これにより既存のディスプレイ製造ラインで二次元フォトセンサ 1 0 0 と信号読み出し回路薄膜トランジスタ 1 2 1 とを製造することが可能となる。薄いアモルファスシリコン (a-Si) 膜の適用により、高感度のフォトセンサと高生産性とを両立することが出来る。

[0134] (6) (5) の二次元フォトセンサ 1 0 0 において、信号読み出し回路薄膜トランジスタ 1 2 1 は、第 2 のメタル電極 2 1 を有し、第 2 のメタル電極 2 1 は信号読み出し回路薄膜トランジスタ 1 2 1 のゲート電極として機能し、第 2 のメタル電極 2 1 は、フォトダイオード 1 1 0 の第 1 のメタル電極 1 1 と同一の層からなり互いに電氣的に接続されていない。

[0135] これにより、製造工程が短縮される。既存の薄膜トランジスタ工場での製造が可能となる。

[0136] (7) (5) 又は (6) の二次元フォトセンサ 1 0 0 において、信号読み出し回路薄膜トランジスタ 1 2 1 は、ソース電極及びドレイン電極を有し、ソ

ース電極及びドレイン電極は、フォトダイオード１１０の有する第１の透明電極１６或いは第１のメタル電極１１と同一の層を少なくとも含む。

[0137] これにより、製造工程が短縮される。既存の薄膜トランジスタ工場での製造が可能となる。

[0138] (８) (５)～(７)のいずれかの二次元フォトセンサ１００において、信号読み出し回路薄膜トランジスタ１２１は第２の半導体層２２を有し、第２の半導体層２２は、フォトダイオード１１０の有する第１の半導体層１２と同一の層からなる。

[0139] これにより、同じ半導体からなる層を信号読み出し回路薄膜トランジスタ１２１とフォトダイオード１１０との双方に用いて、しかも高い感度を持つフォトセンサを得ることが出来る。太陽電池に使われるアモルファスシリコン層の約１／１０と薄いアモルファスシリコン膜を採用することが可能なため、高い生産性も同時に達成出来る。

[0140] (９) (５)～(８)のいずれかの二次元フォトセンサ１００において、信号読み出し回路薄膜トランジスタ１２１は、インジウムガリウム亜鉛酸化物からなる第２の半導体層２２を有する。

[0141] これにより、信号読み出し回路薄膜トランジスタ１２１において、高い移動度が大面积にて実現される。ディスプレイ全面への読み出し回路１２０及びフォトダイオード１１０の配置が可能となる。

[0142] (１０) (１)～(９)のいずれかの二次元フォトセンサ１００において、フォトダイオード１１０は、ガラス基板１と反対の側の最表面に表面反射を低減する誘電体層を有する。

[0143] これにより、ショットキー障壁部Ｓに到達する光量が増加し、フォトダイオード１１０の感度が向上する。

[0144] (１１) 二次元フォトセンサ１００の製造方法であって、二次元フォトセンサ１００は、複数配列するフォトダイオード１１０とフォトダイオード１１０からの信号の読み出し回路とを備え、フォトダイオード１１０は、第１のメタル電極１１と、第１の半導体層１２と、第１のオーミックコンタクト層

１３と、第１の透明電極１６と、の積層を有し、第１の半導体層１２と第１のオーミックコンタクト層１３とは、第１のメタル電極１１と第１の透明電極１６との間に配置されており、第１の半導体層１２と第１のメタル電極１１との界面、或いは、第１の半導体層１２と第１の透明電極１６との界面にショットキーバリアを有し、第１の透明電極１６の側から第１の半導体層１２に向けて入射する光をセンシングし、信号読み出し回路は、信号読み出し回路薄膜トランジスタ１２１を備え、フォトダイオード１１０と信号読み出し回路薄膜トランジスタ１２１とを構成する少なくとも１層を同時に形成する工程を有する、二次元フォトセンサ１００の製造方法。

[0145] これにより、ディスプレイ全面に渡って階調検出の可能な二次元フォトセンサ１００が提供される。ディスプレイに注がれる影や輝度等の２次元分布を検出して、それをディスプレイの表示信号にフィードバックすることにより、実際の影や陰影の表現まで含めたディスプレイの表示を可能として、紙のような実物により近づけることが出来る。

[0146] （１２）（１１）の二次元フォトセンサ１００の製造方法において、信号読み出し回路薄膜トランジスタ１２１は、第２のメタル電極２１と、第２の半導体層２２と、第２のオーミックコンタクト層２３と、透明ソース電極２６a及び透明ドレイン電極２６bと、を有し、第１のメタル電極１１と第２のメタル電極２１とを同時に形成するメタル電極成膜工程或いは第１のメタル電極１１と透明ソース電極２６a及び透明ドレイン電極２６bとを同時に形成するメタル電極成膜工程、及び、第１の半導体層１２と第２の半導体層２２とを同時に形成する半導体層成膜工程、及び、第１のオーミックコンタクト層１３と第２のオーミックコンタクト層２３とを同時に形成するオーミックコンタクト層成膜工程、及び、第１の透明電極１６と透明ソース電極２６a及び透明ドレイン電極２６bとを同時に形成する透明電極成膜工程、の何れか一つの工程を少なくとも有する。

[0147] これにより、製造工程が短縮される。既存の薄膜トランジスタ工場での製造が可能となる。

[0148] (13) (11) 又は (12) の二次元フォトセンサ 100 の製造方法において、第 1 の半導体層 12 はアモルファスシリコンを含み、第 1 のオーミックコンタクト層 13 は n + アモルファスシリコンを含む。

[0149] これにより、既存のアモルファスシリコン薄膜トランジスタを扱う工程と同一の製造プロセスで二次元フォトセンサ 100 を製造することが出来る。新たな製造工程の追加や変更が不要である。従来のフォトセンサ、例えば太陽電池のような PIN 型アモルファスシリコンセンサーにおいては、光に対する感度を高めるために、アモルファスシリコン層の膜厚を 1 ~ 2 ミクロン程度に厚くして光の吸収を高める必要がある。これに対して本開示のショットキーダイオードでは、金属と半導体の「狭い界面」でキャリアが発生するため、アモルファスシリコン膜全体を厚くする必要がない。したがって、アモルファスシリコン薄膜トランジスタ工場で一般的に用いられる数 100 nm 程度の薄いアモルファスシリコン膜でも高い感度を得ることが出来る。

[0150] (14) (11) の二次元フォトセンサ 100 の製造方法において、第 1 の半導体層 12 はアモルファスシリコン層を含み、第 1 のオーミックコンタクト層 13 は n + アモルファスシリコン層を含み、信号読み出し回路薄膜トランジスタ 121 は、ガラス基板 1 上に配置されてゲート電極として機能する第 2 のメタル電極 21 と、IGZO 層からなる第 2 の半導体層 22 と、第 2 の半導体層 22 の上に配置されてソース電極及びドレイン電極として機能する第 2 の透明電極 26 とを有し、二次元フォトセンサ 100 の製造方法は、第 1 のメタル電極 11 と第 2 のメタル電極 21 とを同時に形成するメタル電極成膜工程と、第 1 の透明電極 16 と第 2 の透明電極 26 とを同時に形成する透明電極成膜工程とを有する。

[0151] これにより、信号読み出し回路薄膜トランジスタ 121 において、高い移動度が大面积にて実現される。ディスプレイ全面への読み出し回路 120 及びフォトダイオード 110 の配置が可能となる。

符号の説明

[0152] 1 ガラス基板

- 2 走査電極
- 3 信号読み出し電極
- 3 a メタルソース電極
- 3 b メタルドレイン電極
- 4 基準電圧部
- 5 共通電極
- 1 1 第1のメタル電極
- 1 2 第1の半導体層
- 1 3 第1のオーミックコンタクト層
- 1 4 第1の絶縁層
- 1 5 第5の絶縁層
- 1 6 第1の透明電極
- 1 6 a 下層の第1の透明電極
- 1 6 b 上層の第1の透明電極
- 1 7 第2の絶縁層
- 1 8 第4の透明電極
- 1 9 第4のメタル電極
- 2 1 第2のメタル電極
- 2 1 a 第1のゲート電極
- 2 1 b 第2のゲート電極
- 2 2 第2の半導体層
- 2 3 第2のオーミックコンタクト層
- 2 4 第3の絶縁層
- 2 5 第2の除去部
- 2 6 第2の透明電極
- 2 6 a 透明ソース電極
- 2 6 b 透明ドレイン電極
- 2 7 第4の絶縁層

2 8	第3のメタル電極
2 9	第3の透明電極
1 0 0	二次元フォトセンサ
1 1 0	フォトダイオード
1 2 0	読み出し回路
1 2 1	信号読み出し回路薄膜トランジスタ
1 3 0	ゲートドライバ
1 4 0	マルチプレクサ
1 5 0	信号処理回路
2 0 0	フォトセンシング部
L	外光
C 1	第1のコンタクト部
C 2	第2のコンタクト部
C E	チャネルエッチング部
R M 1	絶縁層除去部
S	ショットキー障壁部
V b	基準電圧

請求の範囲

- [請求項1] 二次元フォトセンサであって、
 複数配列するフォトダイオードを備え、
 前記フォトダイオードは、
 第1のメタル電極と、
 第1の半導体層と、
 第1のオーミックコンタクト層と、
 第1の透明電極と、
 を有し、
 前記第1の半導体層と前記第1のオーミックコンタクト層と
 は、前記第1のメタル電極と前記第1の透明電極との間に配置されて
 おり、
 前記第1の半導体層と前記第1のメタル電極との界面、或いは
 、前記第1の半導体層と前記第1の透明電極との界面にショットキー
 バリアを有し、
 前記第1の透明電極の側から前記第1の半導体層に向けて入射
 する光をセンシングする、
 二次元フォトセンサ。
- [請求項2] 前記第1の半導体層はアモルファスシリコンからなり、
 前記第1のオーミックコンタクト層はn+アモルファスシリコンか
 らなる、
 請求項1に記載の二次元フォトセンサ。
- [請求項3] 前記第1のメタル電極は遮光性を有し、且つ、光センシング領域外
 に引き出される構成を有する、
 請求項1又は請求項2に記載の二次元フォトセンサ。
- [請求項4] 前記フォトダイオードの各々の光電流は、直接接続を通して個々に
 取得されるか、或いは、単純マトリクス方式を通して走査されて取得
 される、

請求項 1 又は請求項 2 に記載の二次元フォトセンサ。

[請求項5] 前記フォトダイオードの信号を読み出す読み出し回路を備え、

前記読み出し回路は薄膜トランジスタを有し、

前記薄膜トランジスタは、前記フォトダイオードを構成する層
と同一の層からなる層を少なくとも 1 層有する、

請求項 1 又は請求項 2 に記載の二次元フォトセンサ。

[請求項6] 前記薄膜トランジスタは、第 2 のメタル電極を有し、

前記第 2 のメタル電極は前記薄膜トランジスタのゲート電極として機能し、

前記第 2 のメタル電極は、前記フォトダイオードの前記第 1 のメタル電極と同一の層からなり互いに電氣的に接続されていない、

請求項 5 に記載の二次元フォトセンサ。

[請求項7] 前記薄膜トランジスタは、ソース電極及びドレイン電極を有し、

前記ソース電極及び前記ドレイン電極は、前記フォトダイオードの
有する前記第 1 の透明電極、或いは、前記第 1 のメタル電極と同一の
層を少なくとも含む、

請求項 5 に記載の二次元フォトセンサ。

[請求項8] 前記薄膜トランジスタは第 2 の半導体層を有し、

前記第 2 の半導体層は、前記フォトダイオードの有する前記第 1 の
半導体層と同一の層からなる、

請求項 5 に記載の二次元フォトセンサ。

[請求項9] 前記薄膜トランジスタは、インジウムガリウム亜鉛酸化物からなる
第 2 の半導体層を有する、

請求項 5 に記載の二次元フォトセンサ。

[請求項10] 前記フォトダイオードは、ガラス基板と反対の側の最表面に表面反
射を低減する誘電体層を有する、

請求項 1 又は請求項 2 に記載の二次元フォトセンサ。

[請求項11] 二次元フォトセンサの製造方法であって、

二次元フォトセンサは、

複数配列するフォトダイオードと前記フォトダイオードからの
信号の読み出し回路とを備え、

前記フォトダイオードは、

第1のメタル電極と、

第1の半導体層と、

第1のオーミックコンタクト層と、

第1の透明電極と、

の積層を有し、

前記第1の半導体層と前記第1のオーミックコンタクト層と
は、前記第1のメタル電極と前記第1の透明電極との間に配置されて
おり、

前記第1の半導体層と前記第1のメタル電極との界面、或
いは、前記第1の半導体層と前記第1の透明電極との界面にショット
キーバリアを有し、

前記第1の透明電極の側から前記第1の半導体層に向けて
入射する光をセンシングし、

前記信号読み出し回路は、薄膜トランジスタを備え、

前記フォトダイオードと前記薄膜トランジスタとを構成する少なく
とも1層を同時に形成する工程を有する、

二次元フォトセンサの製造方法。

[請求項12]

前記薄膜トランジスタは、

ゲート電極と、

第2の半導体層と、

第2のオーミックコンタクト層と、

ソース電極及びドレイン電極と、

を有し、

前記第1のメタル電極と前記ゲート電極とを同時に形成するメタル

電極成膜工程或いは前記第 1 のメタル電極と前記ソース電極及び前記ドレイン電極とを同時に形成するメタル電極成膜工程と、

前記第 1 の半導体層と前記第 2 の半導体層とを同時に形成する半導体層成膜工程と、

前記第 1 のオーミックコンタクト層と前記第 2 のオーミックコンタクト層とを同時に形成するオーミックコンタクト層成膜工程と、

前記第 1 の透明電極と前記ソース電極及び前記ドレイン電極とを同時に形成する透明電極成膜工程と、の何れか一つの工程を少なくとも有する、

請求項 11 に記載の二次元フォトセンサの製造方法。

[請求項13] 前記第 1 の半導体層はアモルファスシリコンを含み、前記第 1 のオーミックコンタクト層は $n +$ アモルファスシリコンを含む、

請求項 11 又は請求項 12 に記載の二次元フォトセンサの製造方法。

[請求項14] 前記第 1 の半導体層はアモルファスシリコン層を含み、
前記第 1 のオーミックコンタクト層は $n +$ アモルファスシリコン層を含み、

前記薄膜トランジスタは、

ガラス基板上に配置されてゲート電極として機能する第 2 のメタル電極と、

$IGZO$ 層からなる第 2 の半導体層と、

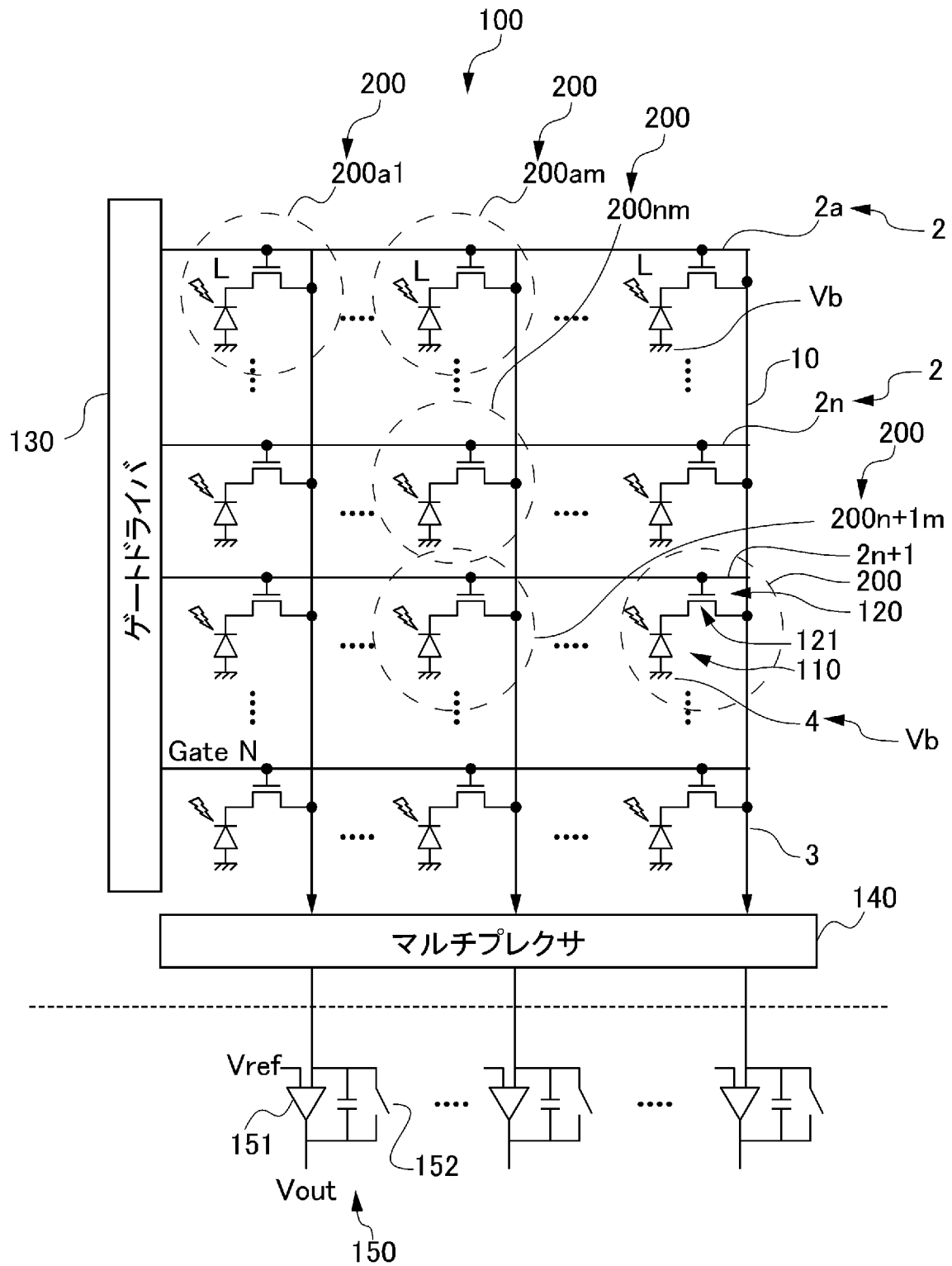
前記第 2 の半導体層の上に配置されてソース電極及びドレイン電極として機能する第 2 の透明電極とを有し、

前記第 1 のメタル電極と前記第 2 のメタル電極とを同時に形成するメタル電極成膜工程と、

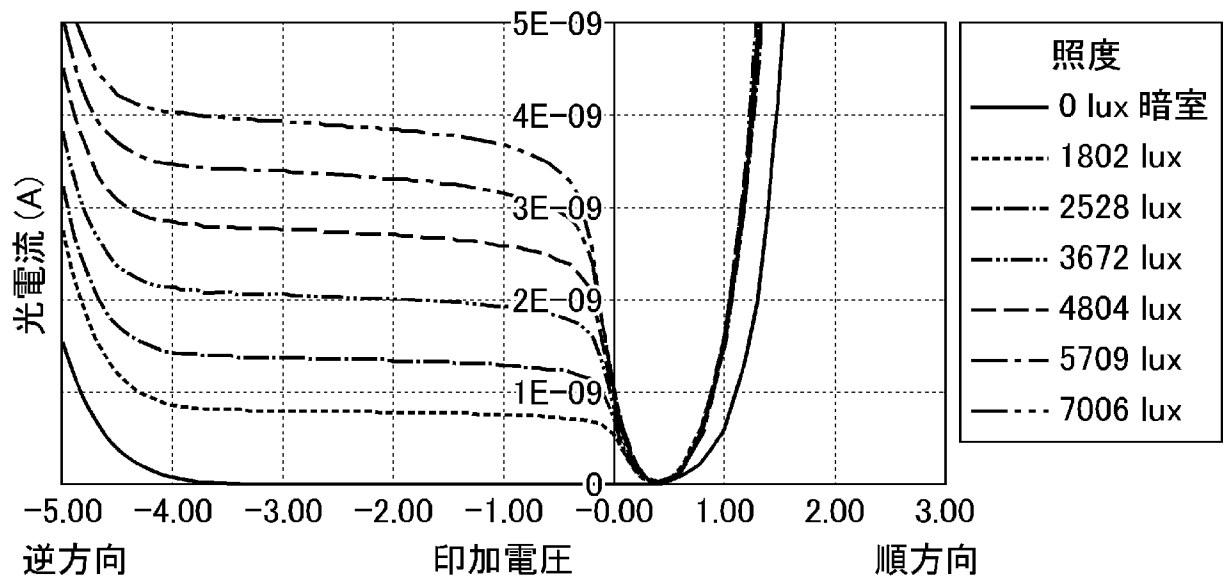
前記第 1 の透明電極と前記第 2 の透明電極とを同時に形成する透明電極成膜工程と、

を有する、請求項 11 に記載の二次元フォトセンサの製造方法。

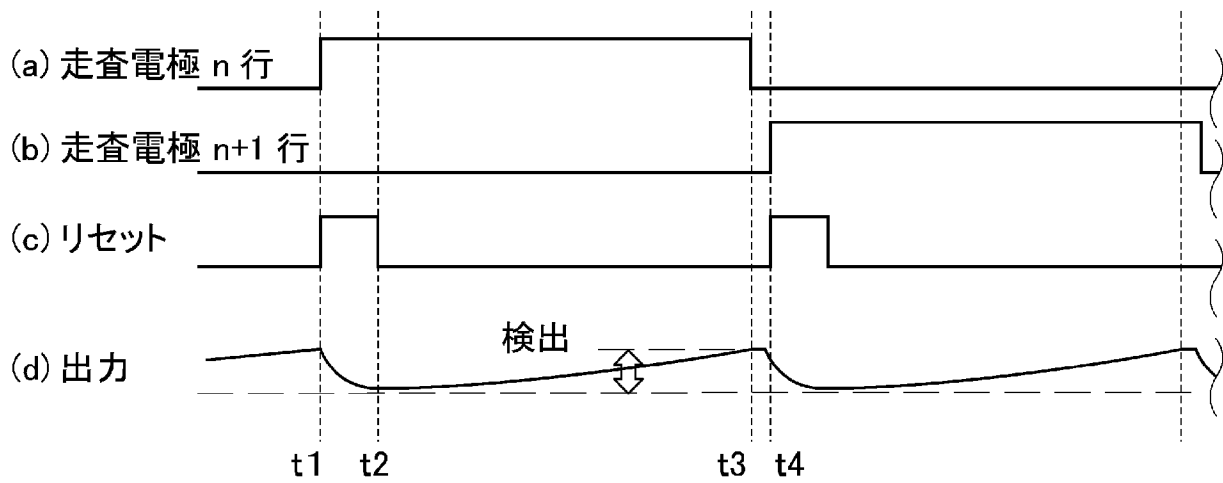
[図1]



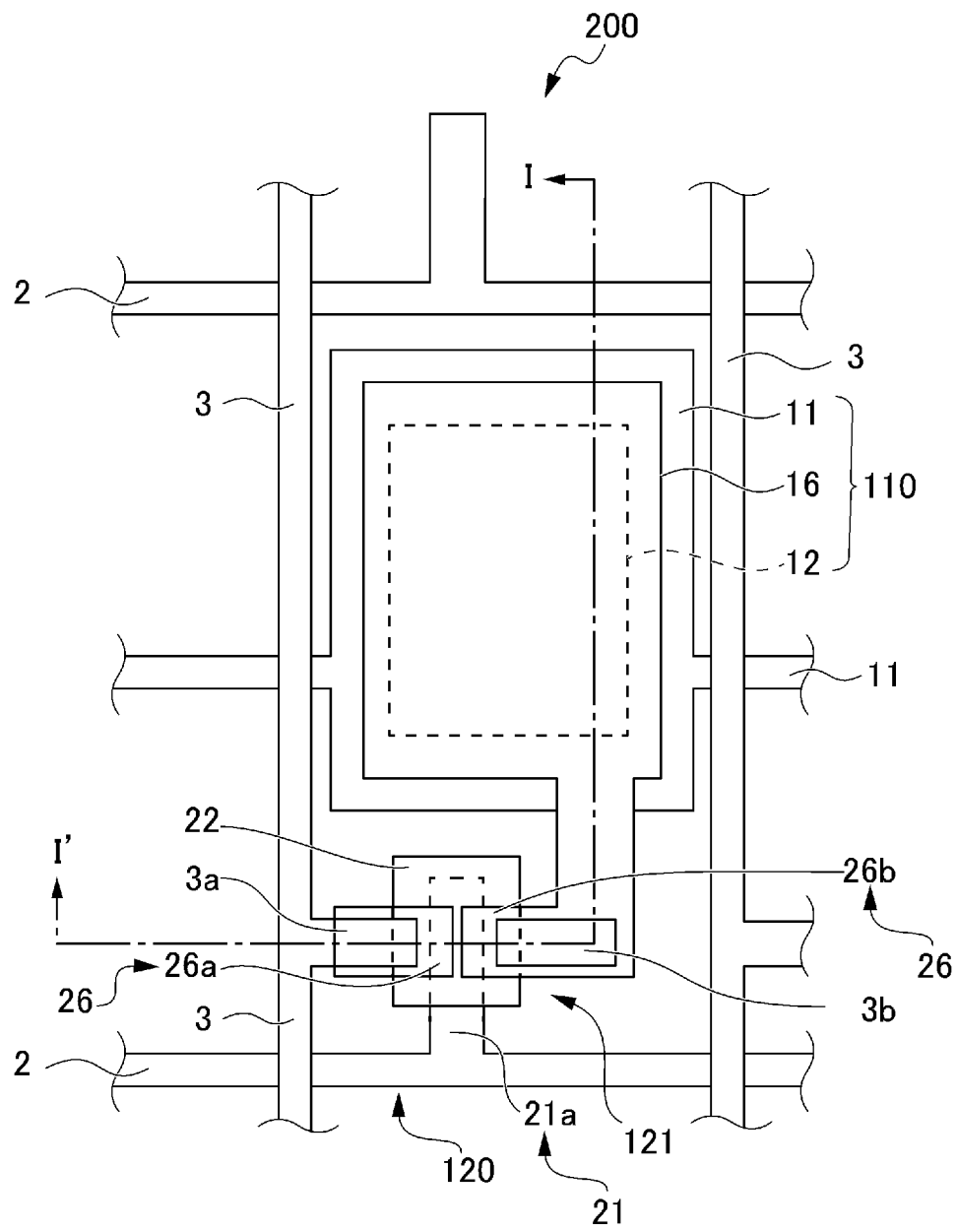
[図2]



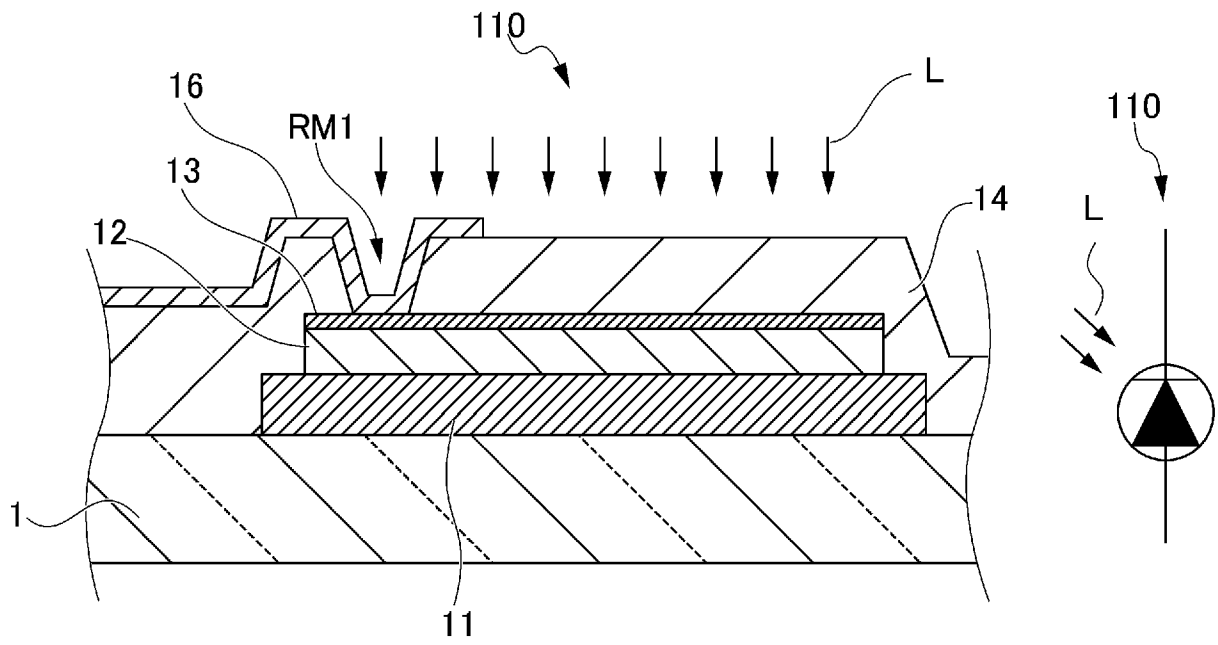
[図3]



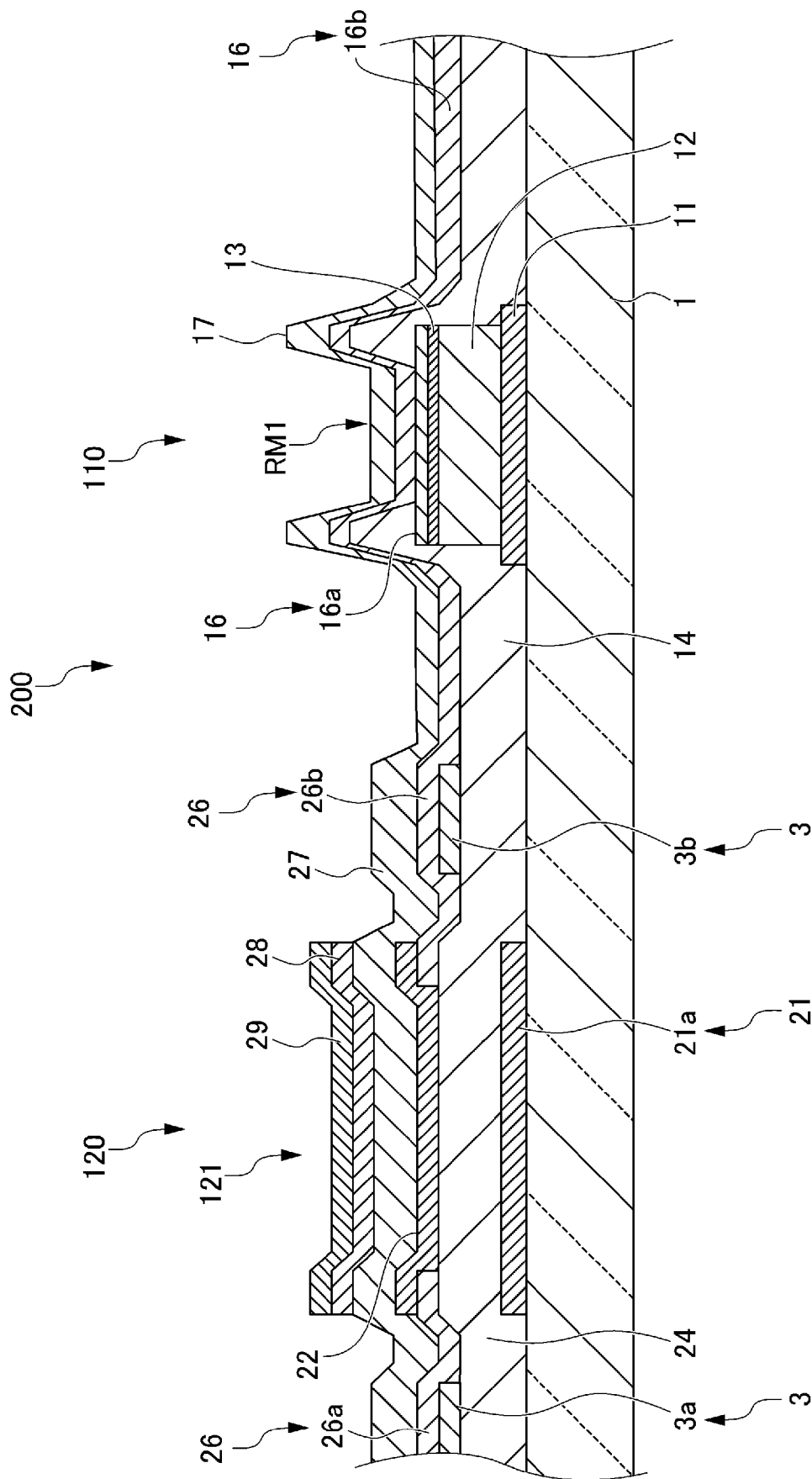
[図4]



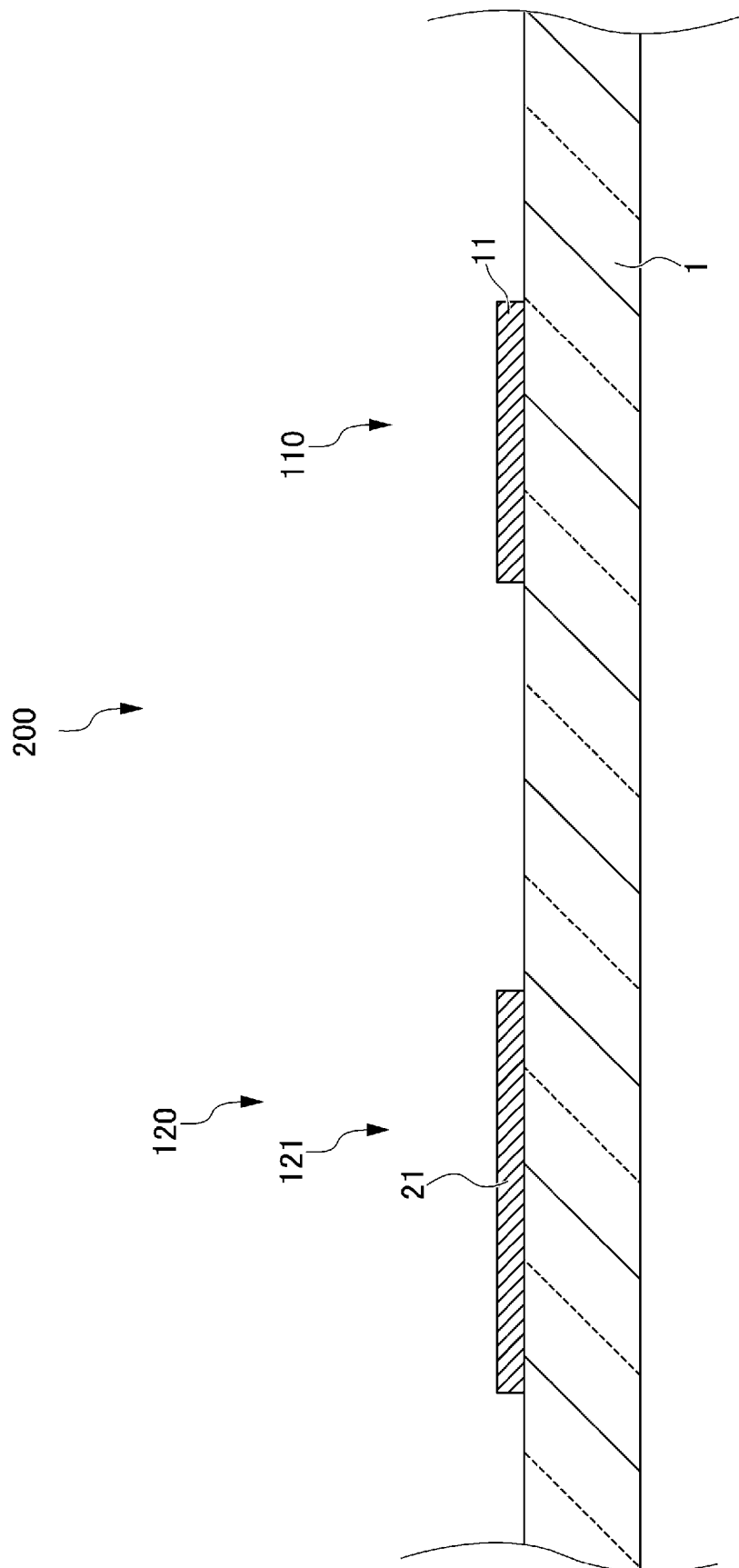
[図5]



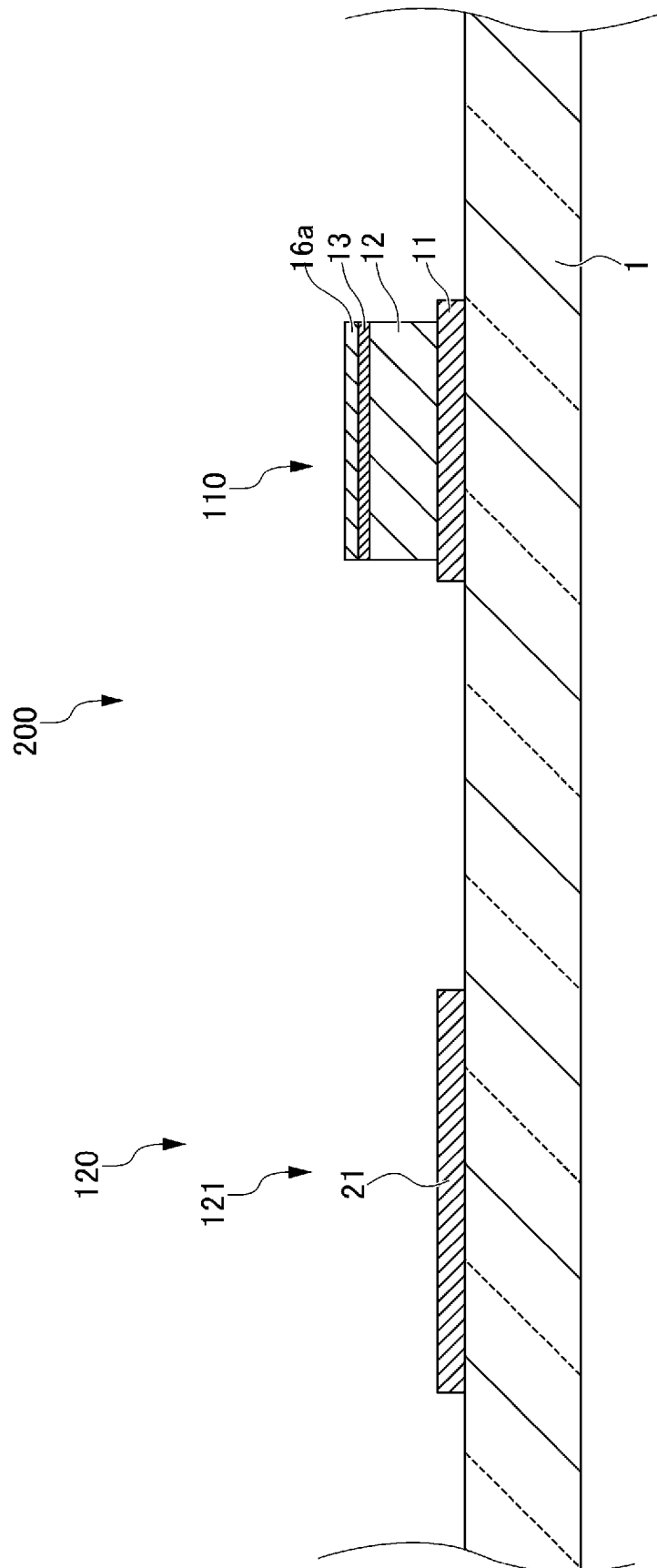
[図6]



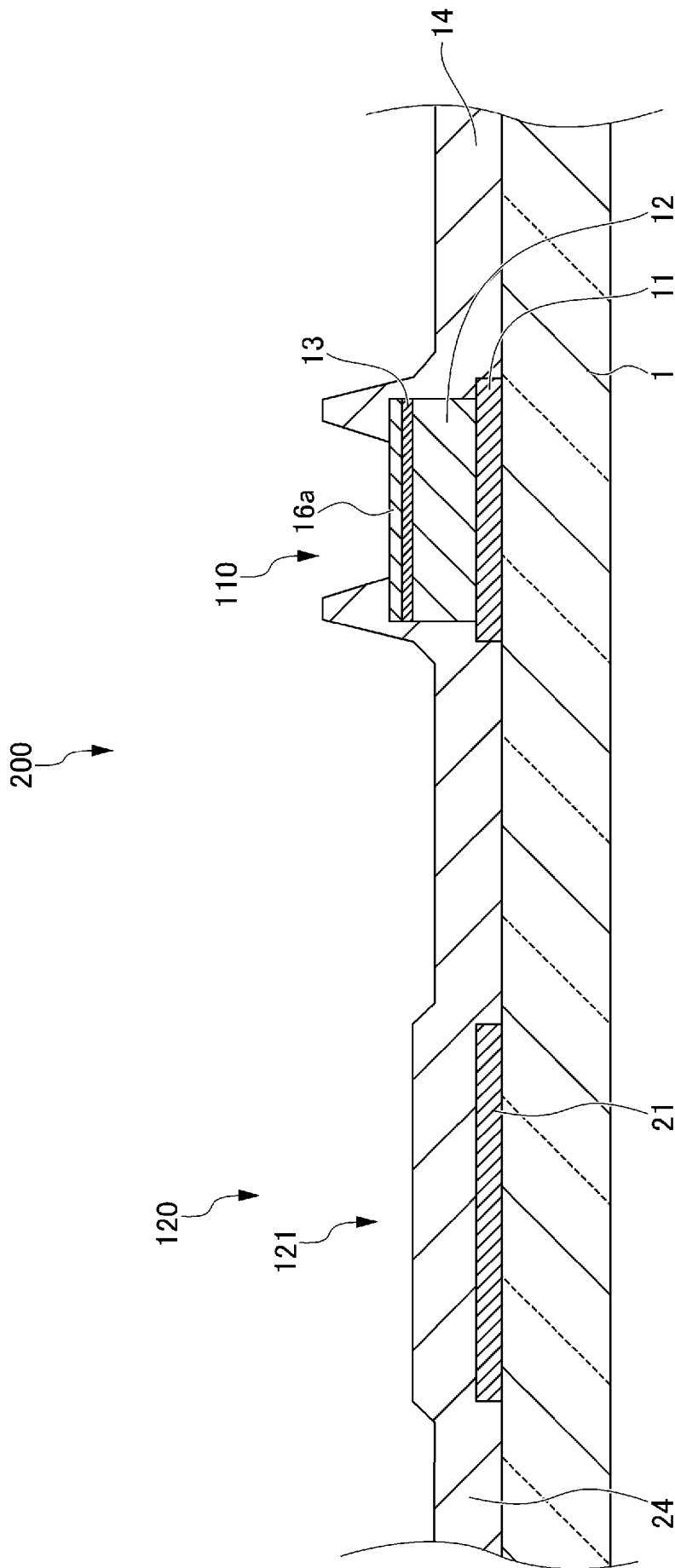
[図7]



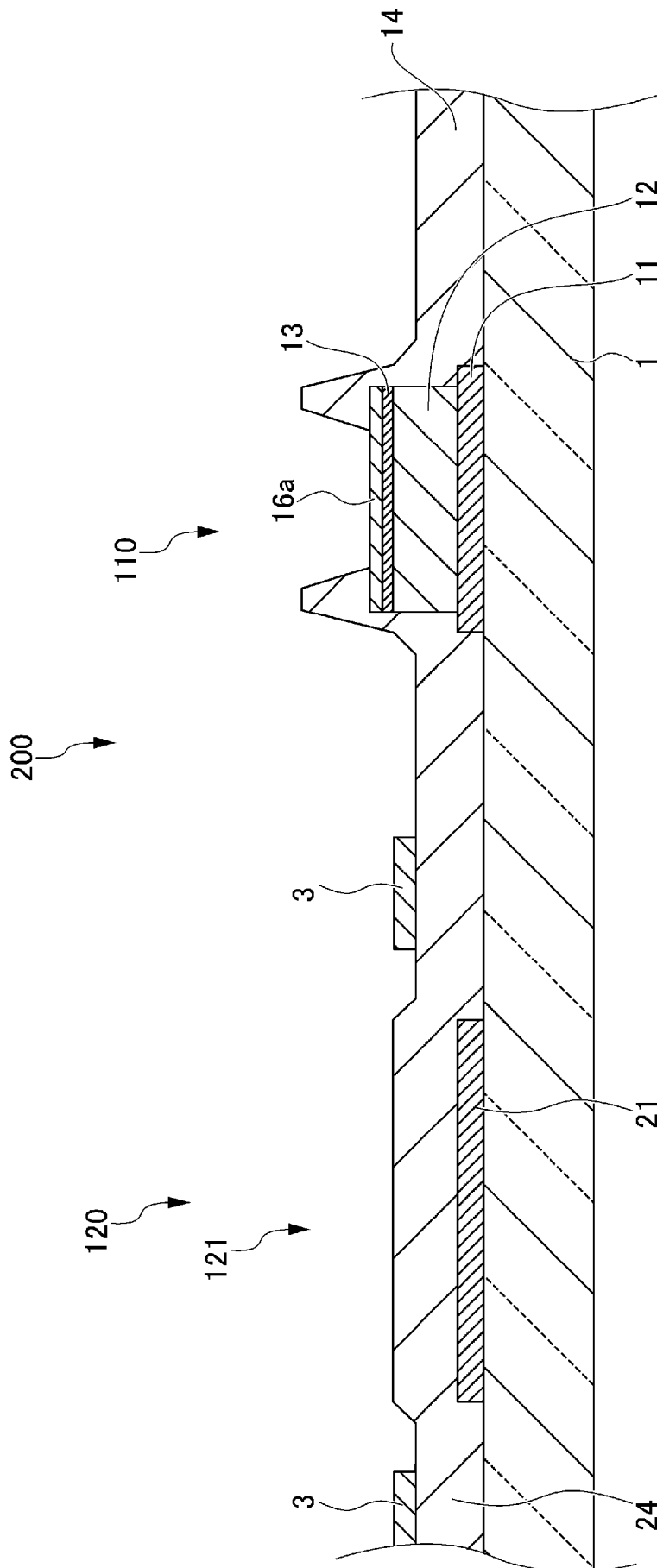
[図8]



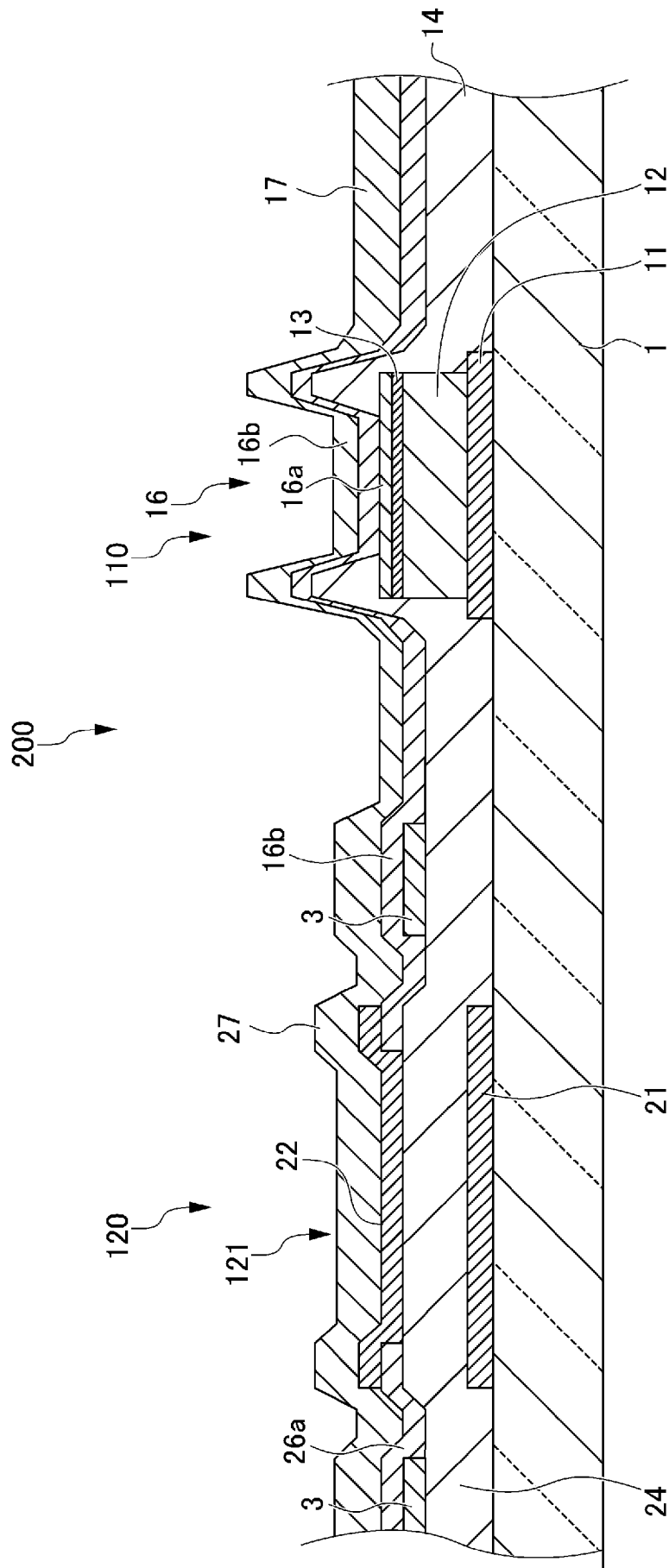
[図9]



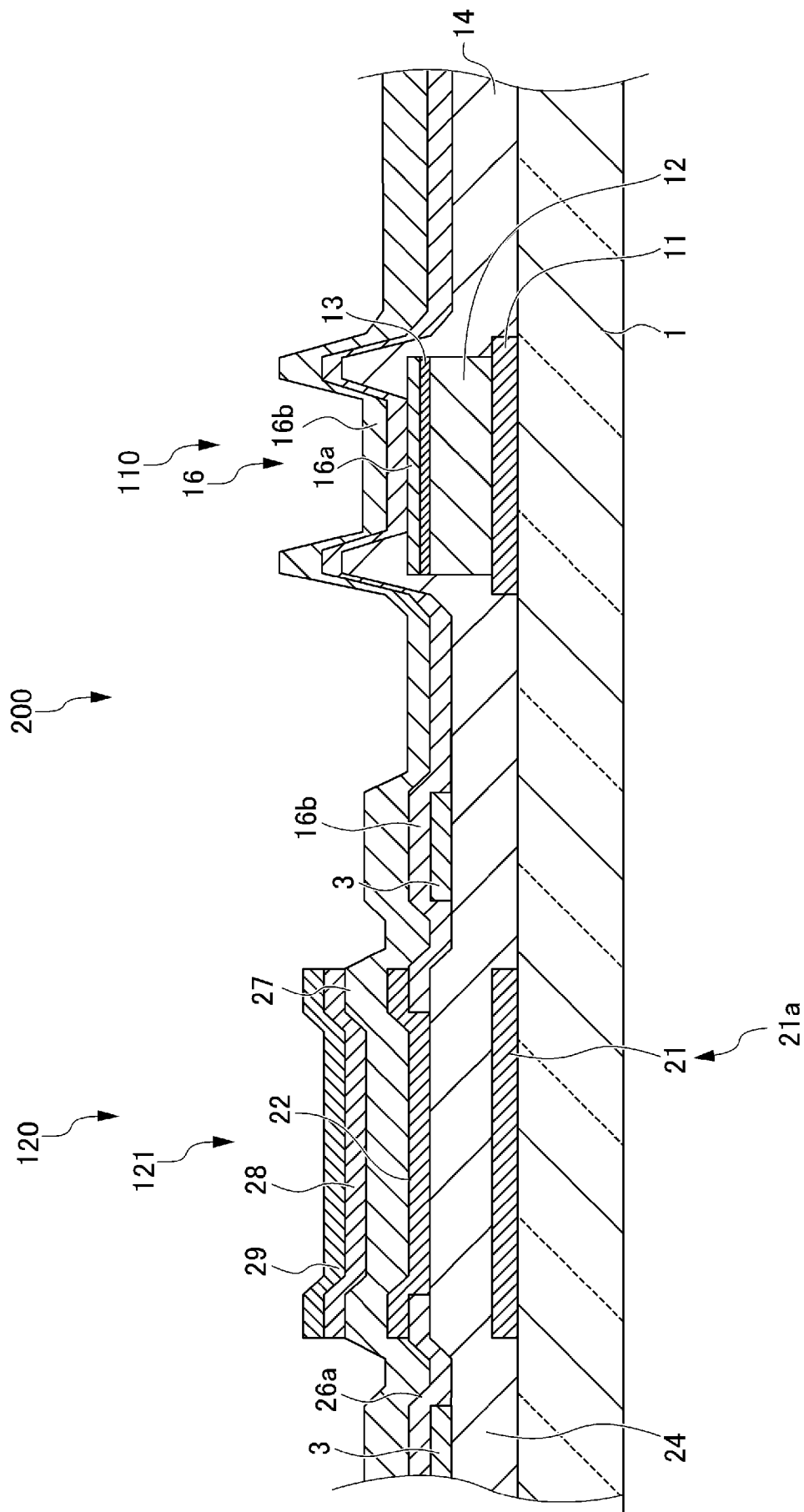
[図10]



[図13]

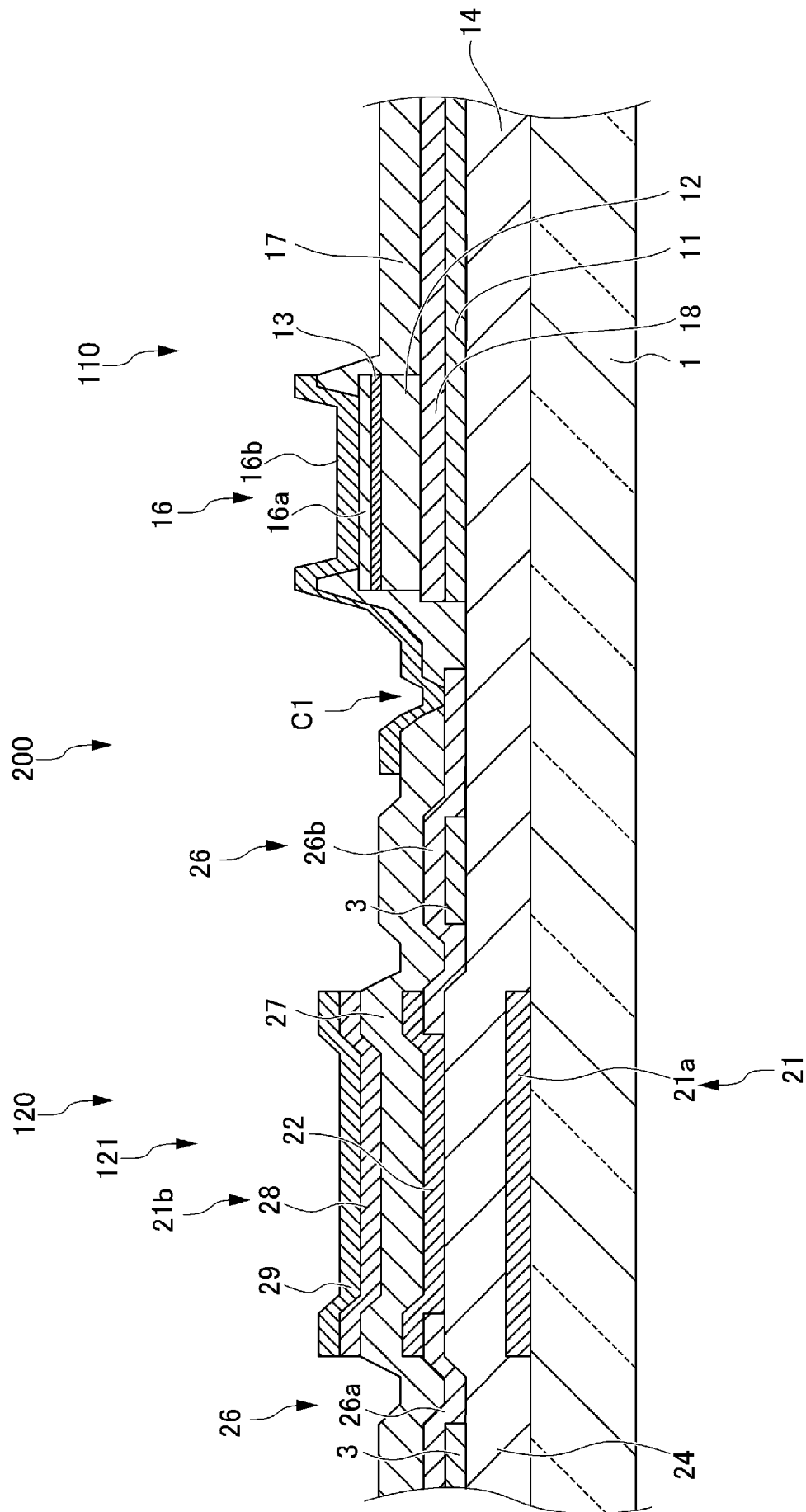


[図14]

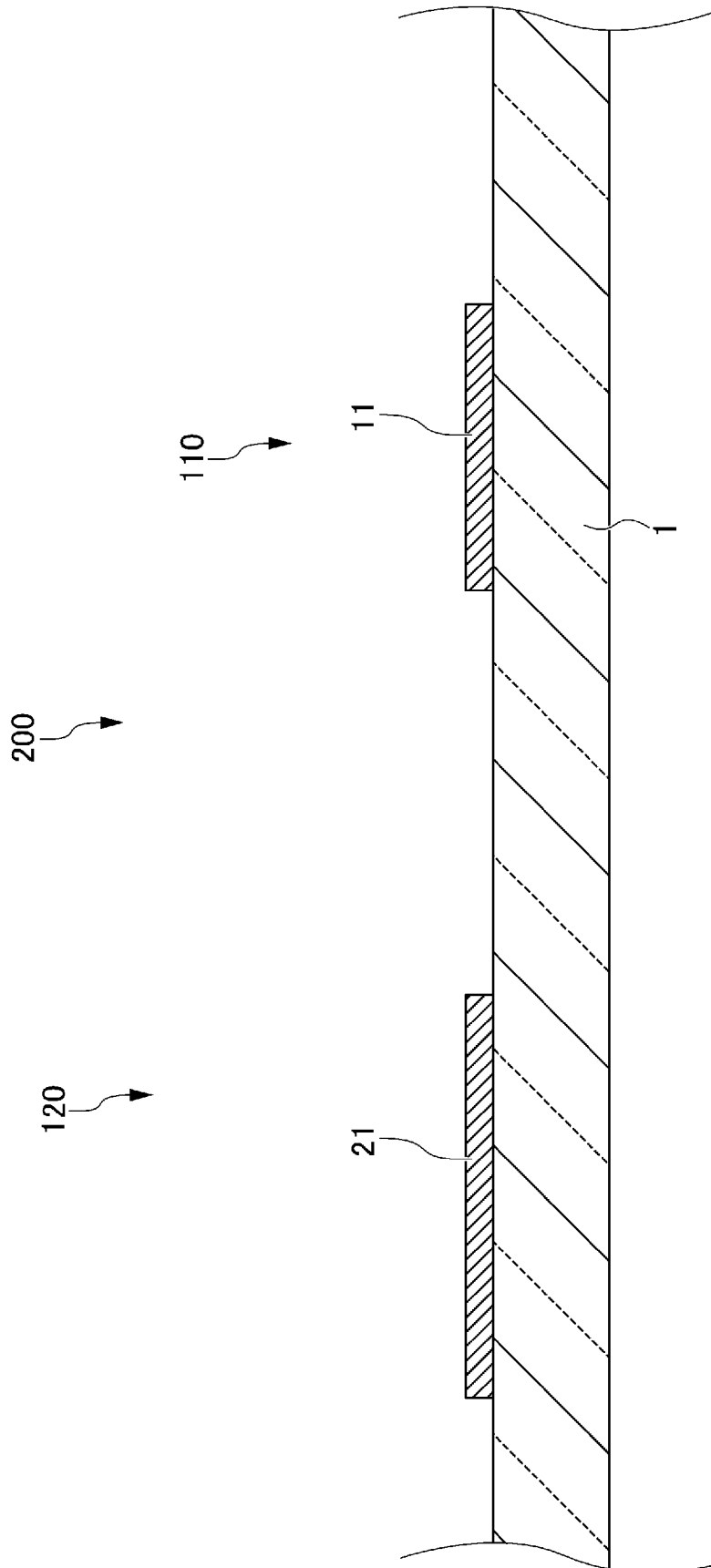


[illegible]

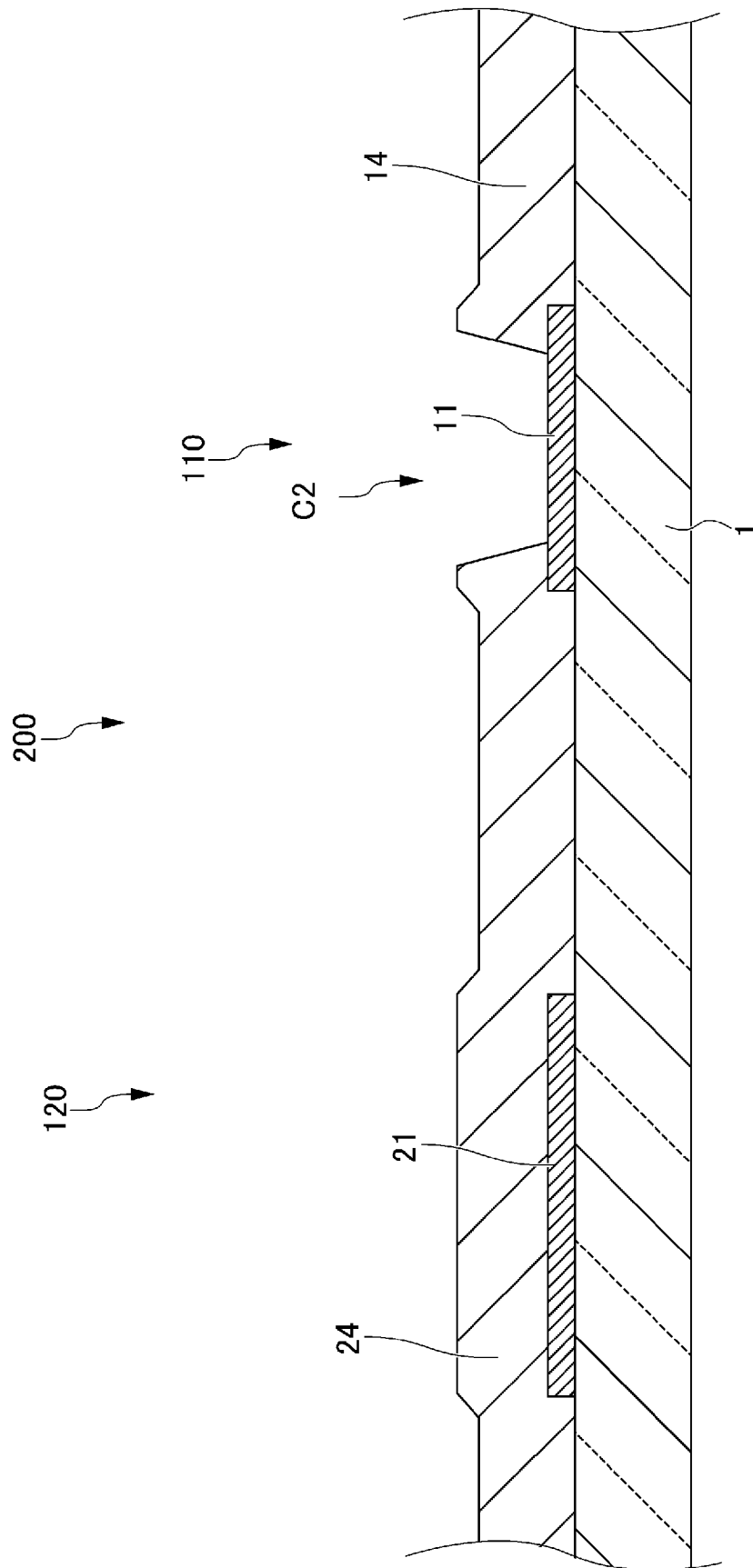
[図16]



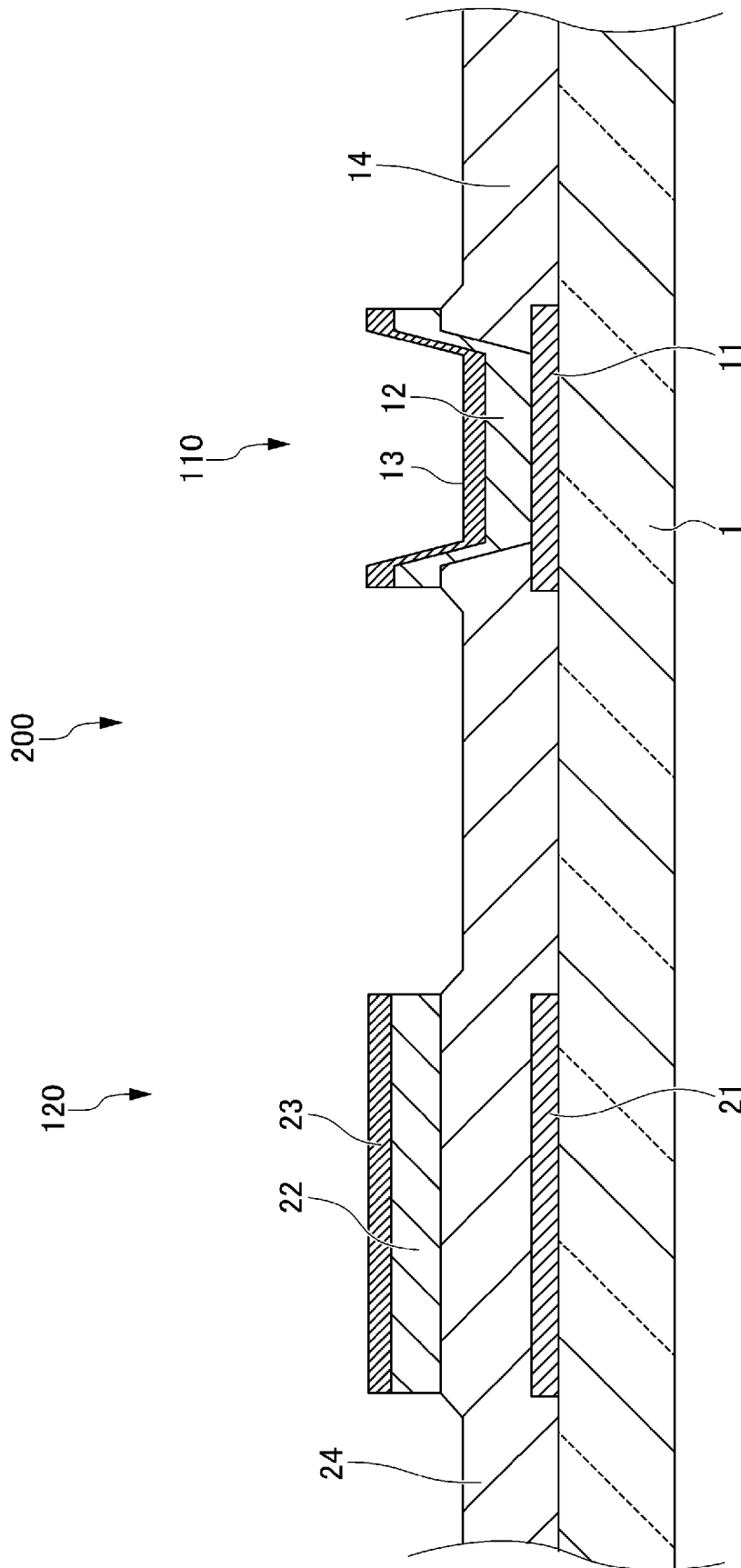
[図18]



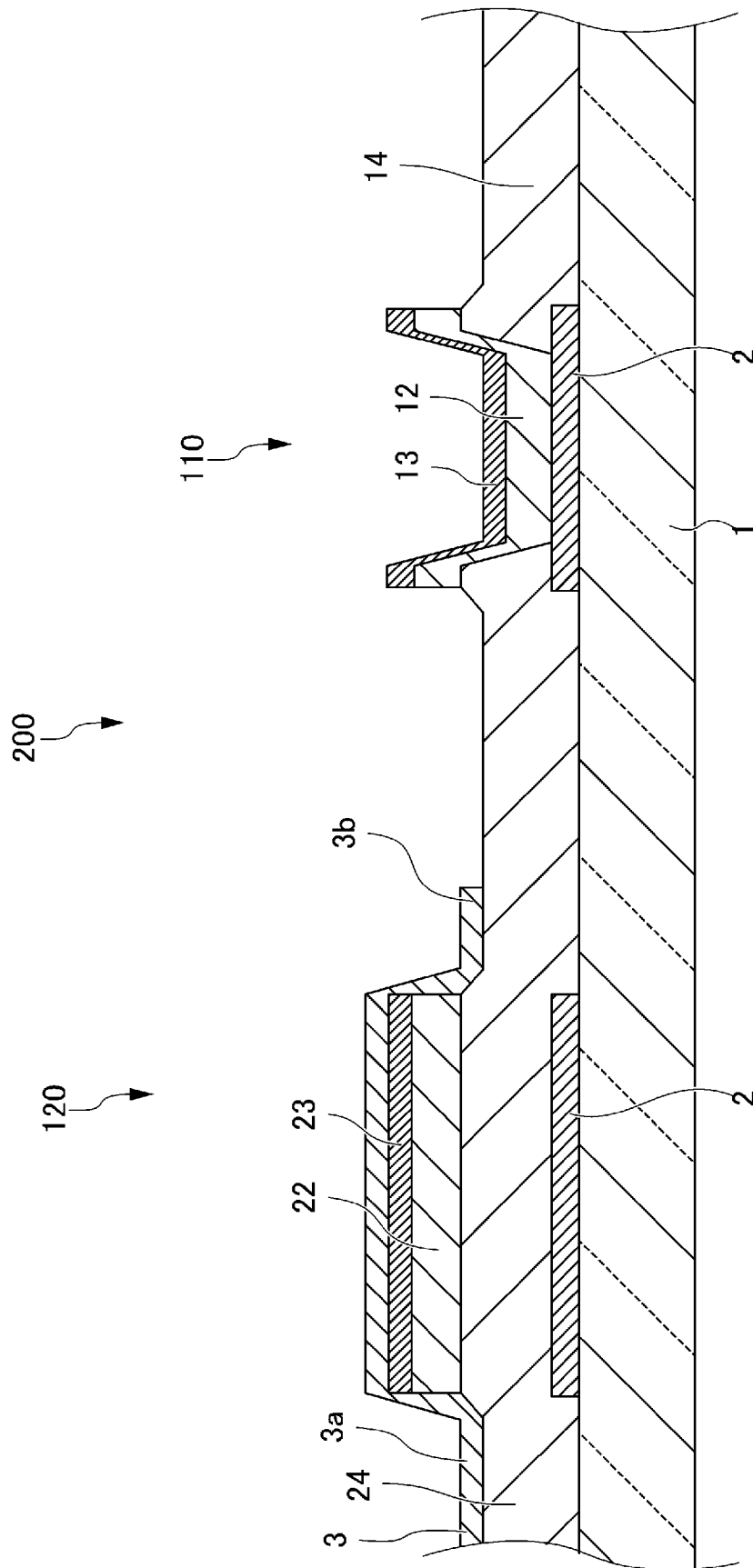
[図19]



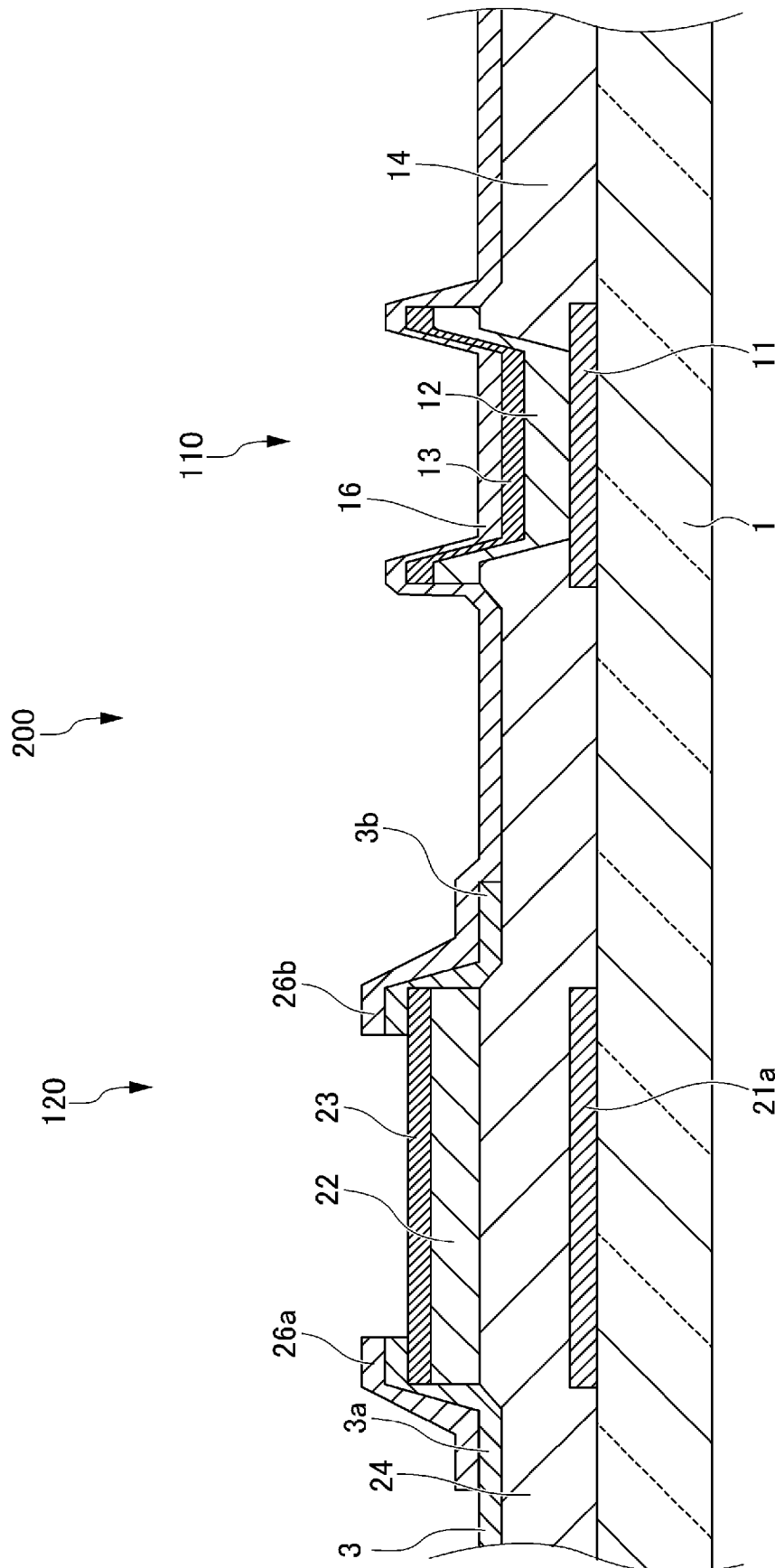
[図20]



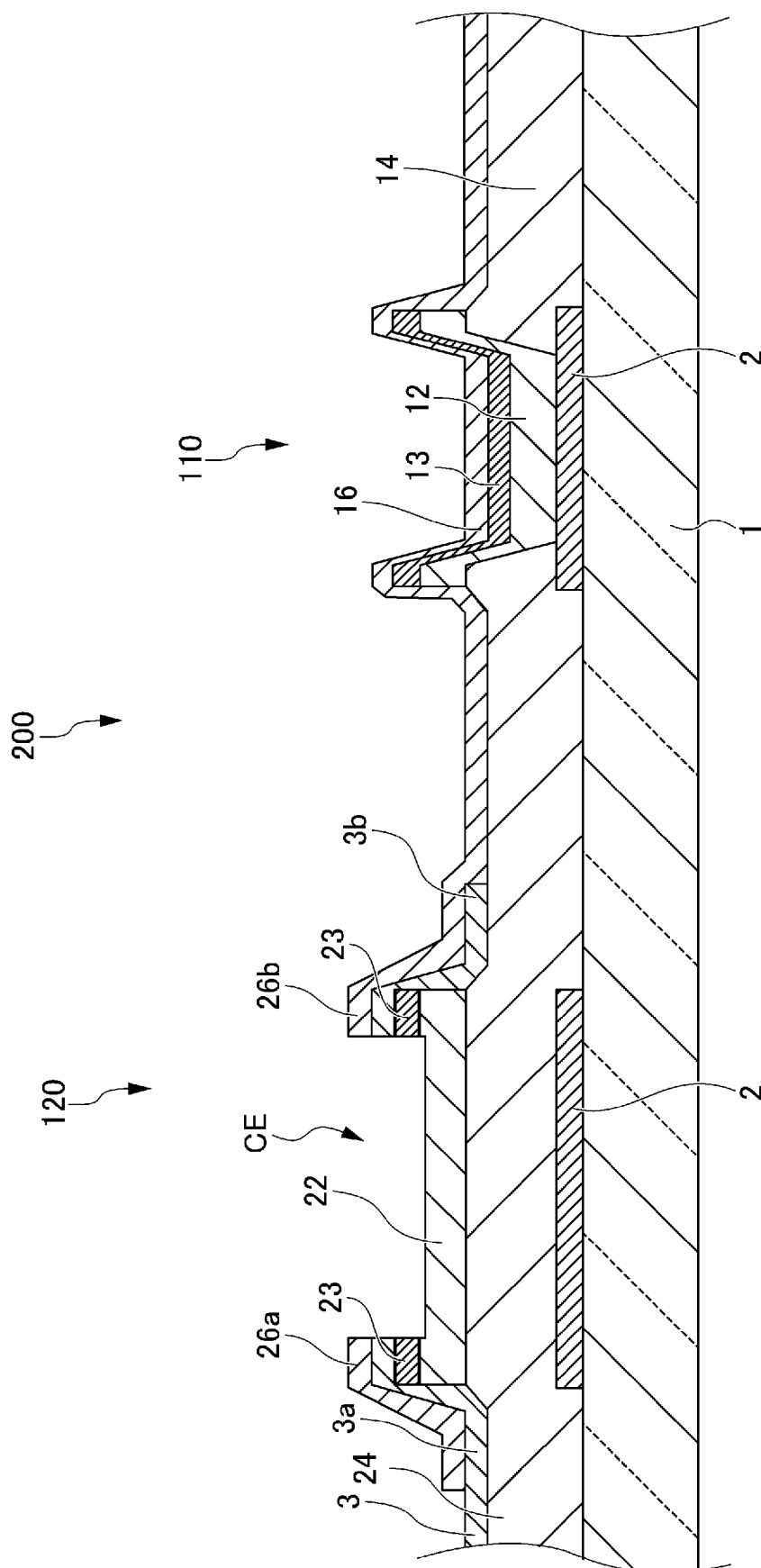
[図21]



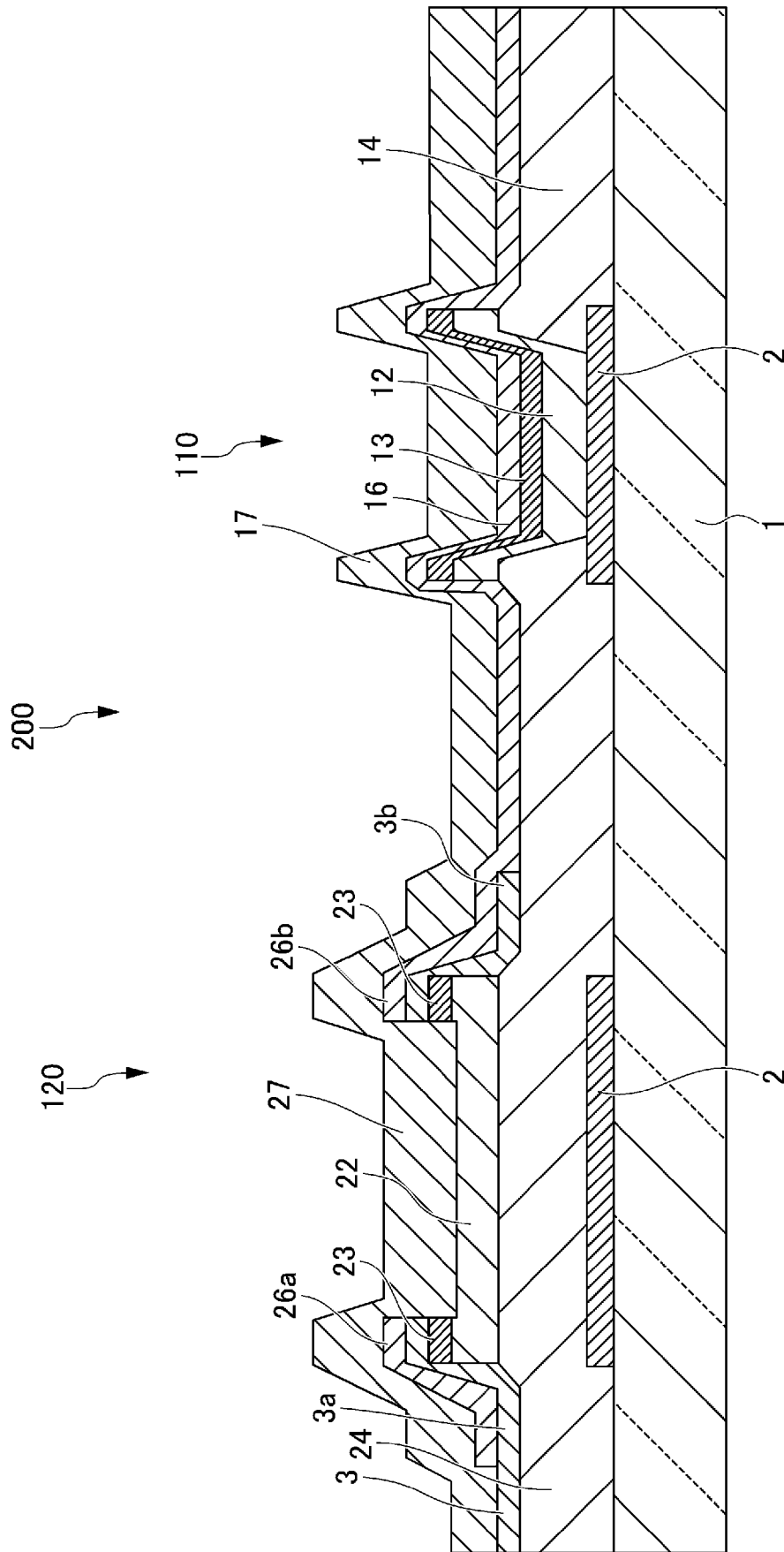
[図22]



[図23]



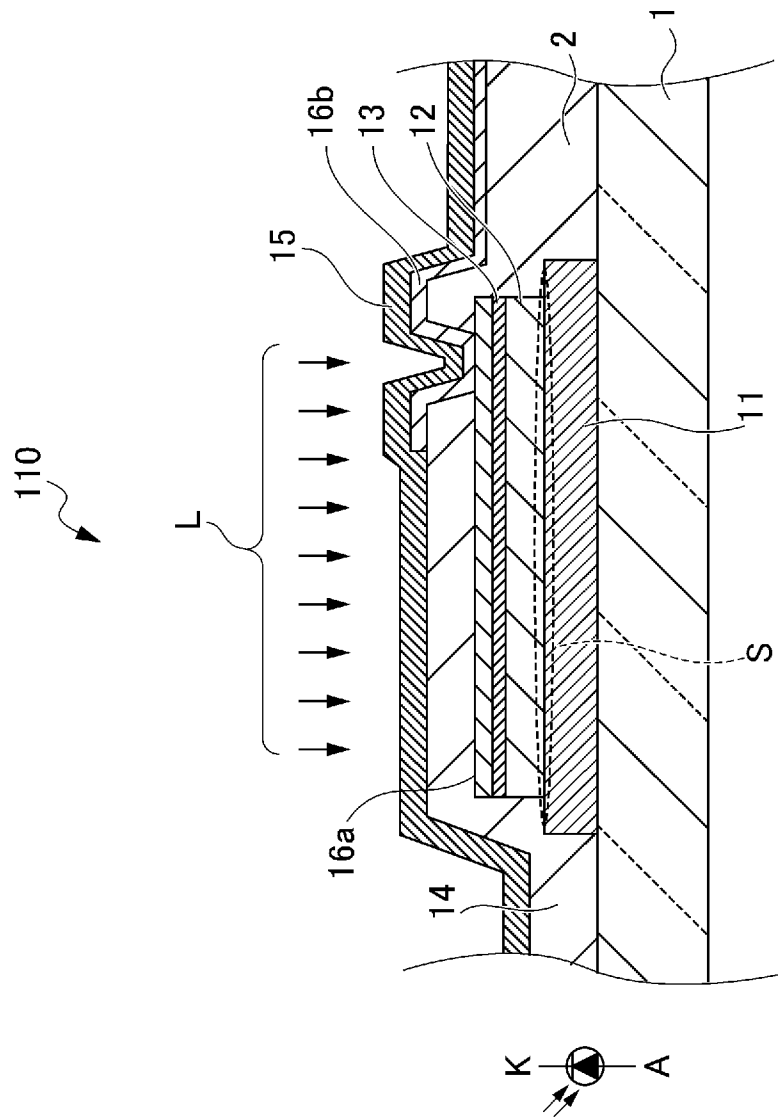
[図24]



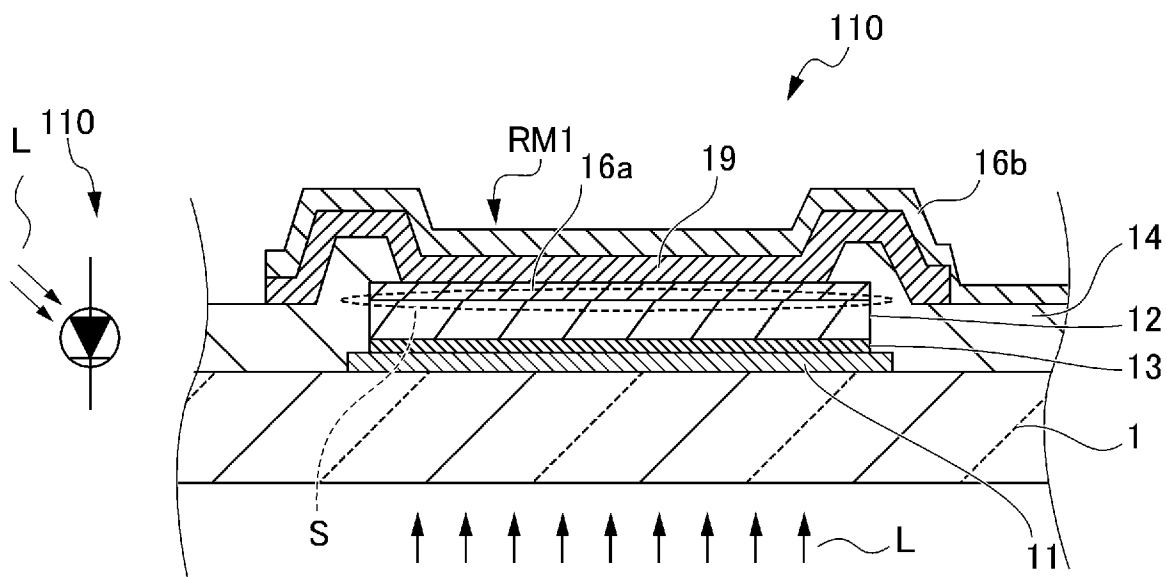
[illegible]

Figure 1 is a schematic diagram of a device 110. The device consists of a rectangular frame 14. Inside the frame, there is a rectangular region 15. A horizontal line II-II' passes through the center of the frame. A component 16a is located on the left side of the frame, and a component 16b is located on the right side. A dashed line 11 is shown within the frame.

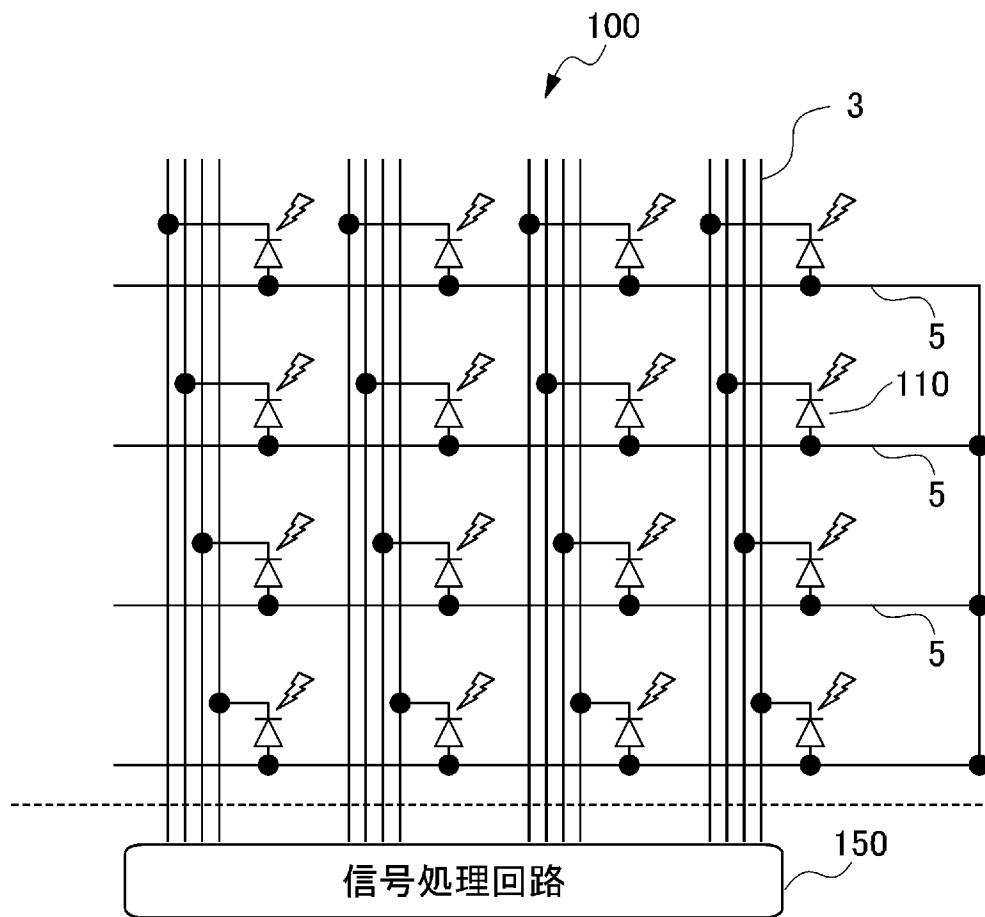
[図27]



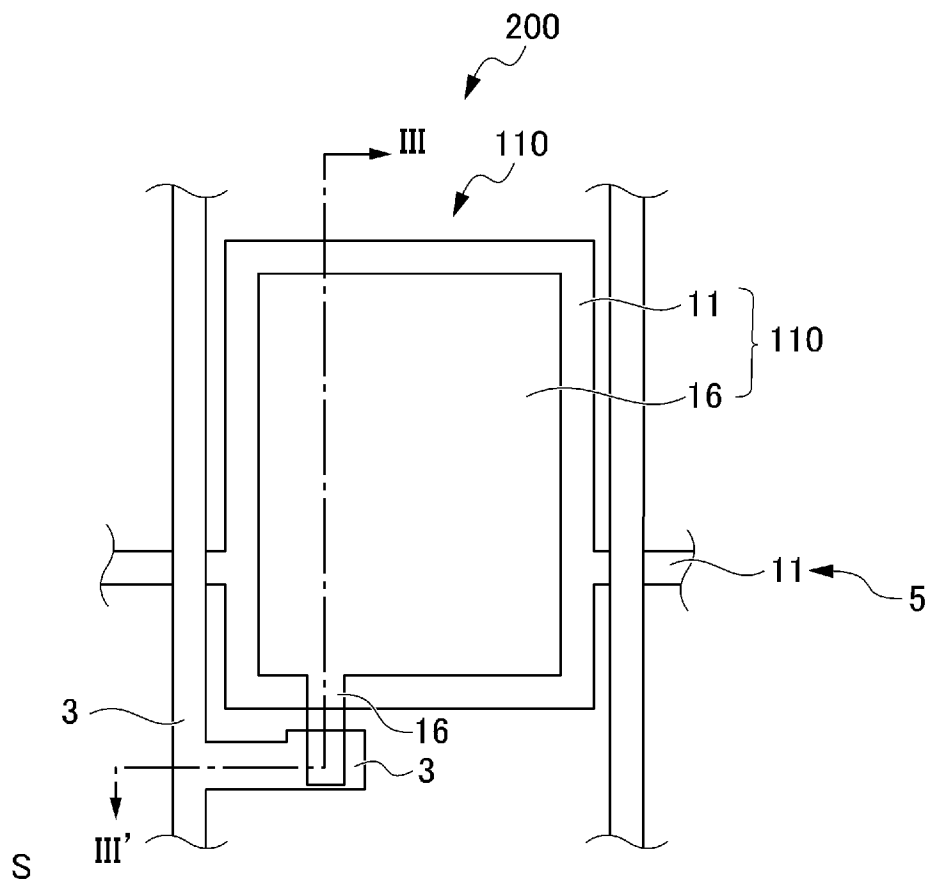
[図32]



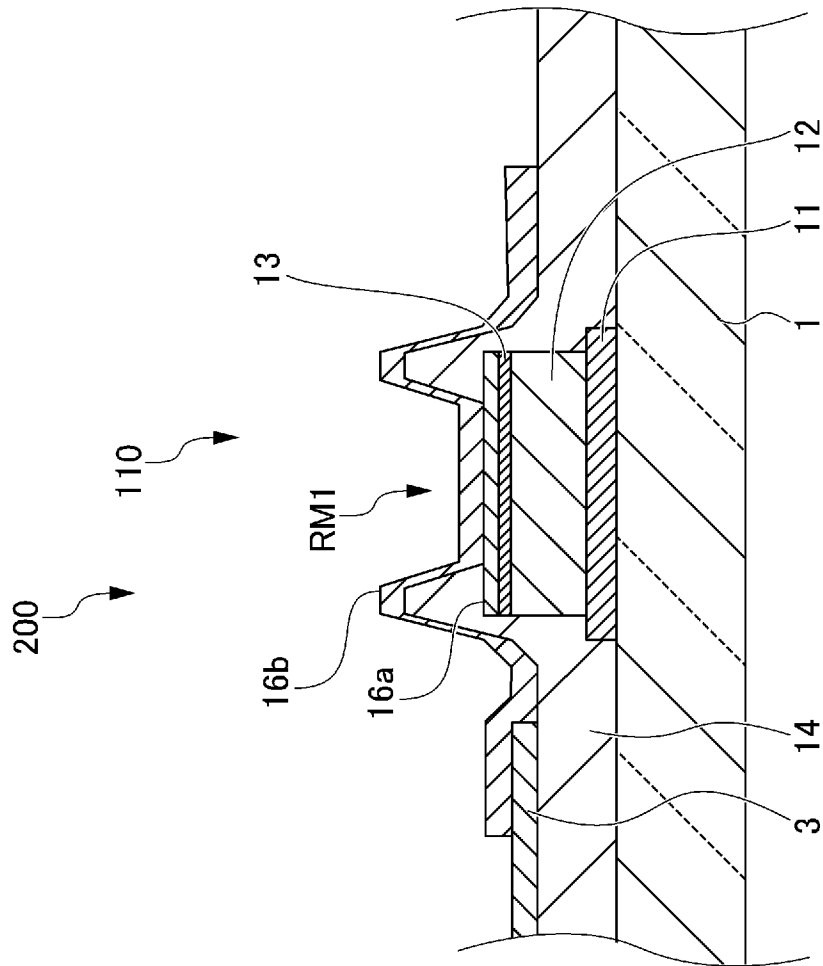
[図33]



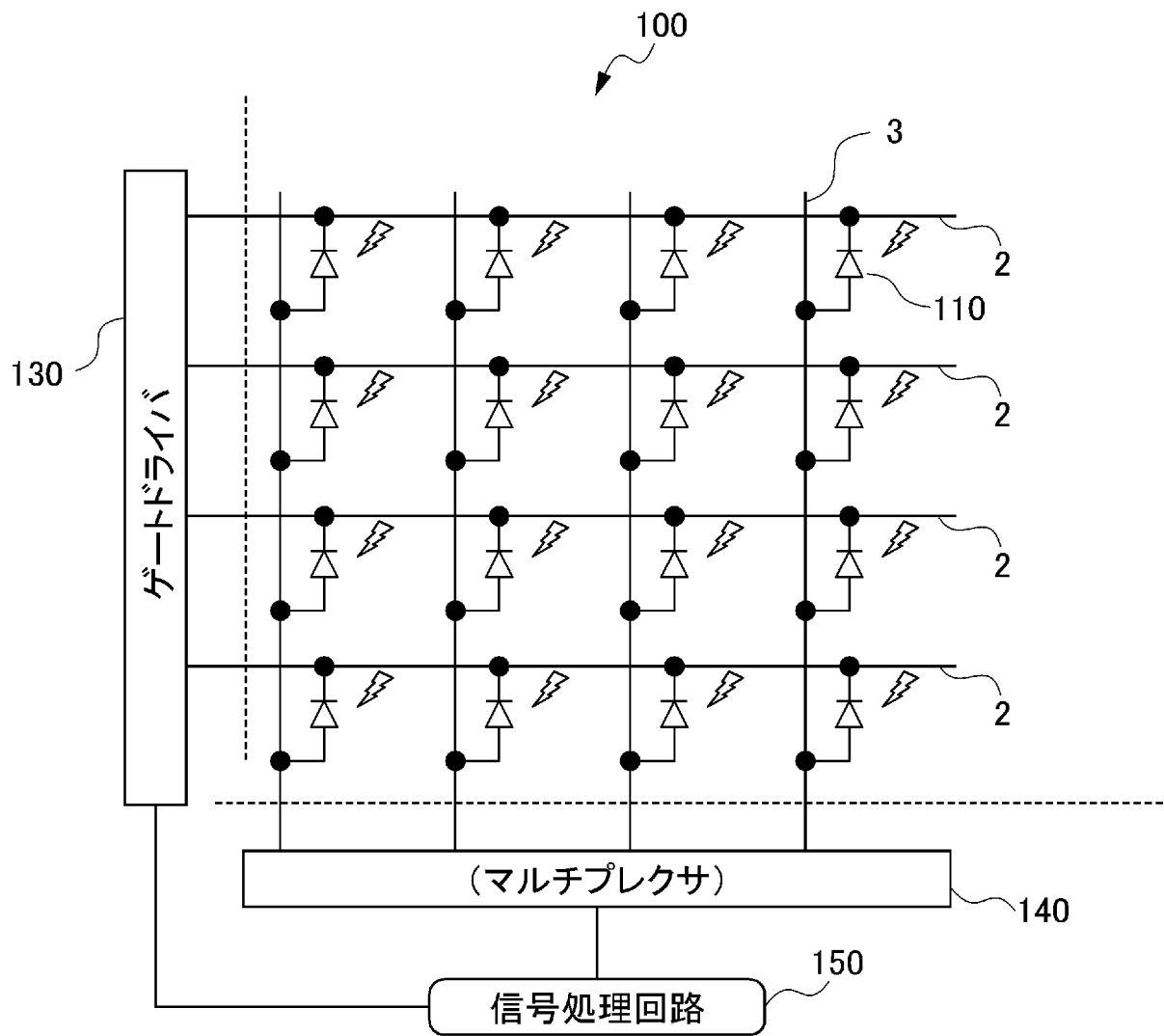
[図34]



[図35]



[図36]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/010044

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/146(2006.01)i; **H01L 31/10**(2006.01)i; **H01L 31/18**(2006.01)i; **H10K 59/10**(2023.01)i; **H10K 59/65**(2023.01)i
FI: H01L27/146 C; H01L31/10 A; H01L31/18; H10K59/10; H10K59/65

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146; H01L31/10; H01L31/18; H10K59/10; H10K59/65

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 6-188400 A (CANON KABUSHIKI KAISHA) 08 July 1994 (1994-07-08) paragraphs [0063]-[0120], fig. 18-51	1-8, 10-13
Y		1-5, 7, 9-13
A		14
Y	JP 11-345994 A (CANON KABUSHIKI KAISHA) 14 December 1999 (1999-12-14) paragraphs [0014]-[0030], fig. 1, 5	1-5, 7, 9-13
A		6, 8, 14
Y	JP 62-209862 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 16 September 1987 (1987-09-16) p. 3, upper left column, lines 6-12, fig. 1	1-5, 7, 9-13
Y	JP 61-203665 A (FUJITSU LIMITED) 09 September 1986 (1986-09-09) p. 2, lower right column, lines 1-7, fig. 2	1-5, 7, 9-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

07 May 2024

Date of mailing of the international search report

21 May 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/010044

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2-155270 A (DAINIPPON INK & CHEMICALS INC.) 14 June 1990 (1990-06-14) p. 6, upper left column, line 19 to upper right column, line 1	4
Y	WO 2016/195001 A1 (SHARP KABUSHIKI KAISHA) 08 December 2016 (2016-12-08) paragraph [0073]	9
Y	JP 2020-004922 A (SEIKO EPSON CORPORATION) 09 January 2020 (2020-01-09) paragraph [0043]	9
Y	JP 2017-220620 A (CANON KABUSHIKI KAISHA) 14 December 2017 (2017-12-14) paragraph [0016]	10

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/010044

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	6-188400	A	08 July 1994	(Family: none)	
JP	11-345994	A	14 December 1999	US 6353228 B1 column 3, line 16 to column 5, line 41, fig. 1, 5	
				EP 964451 A2	
JP	62-209862	A	16 September 1987	(Family: none)	
JP	61-203665	A	09 September 1986	(Family: none)	
JP	2-155270	A	14 June 1990	(Family: none)	
WO	2016/195001	A1	08 December 2016	US 2018/0138205 A1 paragraph [0092]	
				CN 107636840 A	
JP	2020-004922	A	09 January 2020	US 2020/0006413 A1 paragraph [0065]	
JP	2017-220620	A	14 December 2017	US 2017/0358622 A1 paragraph [0023]	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 27/146(2006.01)i; H01L 31/10(2006.01)i; H01L 31/18(2006.01)i; H10K 59/10(2023.01)i;
H10K 59/65(2023.01)i
FI: H01L27/146 C; H01L31/10 A; H01L31/18; H10K59/10; H10K59/65

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L27/146; H01L31/10; H01L31/18; H10K59/10; H10K59/65

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2024年
日本国実用新案登録公報 1996-2024年
日本国登録実用新案公報 1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 6-188400 A（キヤノン株式会社）08.07.1994（1994-07-08） 段落[0063]-[0120], 図18-51	1-8, 10-13
Y		1-5, 7, 9-13
A		14
Y	JP 11-345994 A（キヤノン株式会社）14.12.1999（1999-12-14） 段落[0014]-[0030], 図1, 5	1-5, 7, 9-13
A		6, 8, 14
Y	JP 62-209862 A（松下電器産業株式会社）16.09.1987（1987-09-16） 第3頁左上欄第6-12行, 第1図	1-5, 7, 9-13
Y	JP 61-203665 A（富士通株式会社）09.09.1986（1986-09-09） 第2頁右下欄第1-7行, 第2図	1-5, 7, 9-13
Y	JP 2-155270 A（大日本インキ化学工業株式会社）14.06.1990（1990-06-14） 第6頁左上欄第19行-同頁右上欄第1行	4

☒ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日
07.05.2024

国際調査報告の発送日
21.05.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）
黒田 久美子 5F 8393
電話番号 03-3581-1101 内線 3514

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2016/195001 A1 (シャープ株式会社) 08.12.2016 (2016 - 12 - 08) 段落[0073]	9
Y	JP 2020-004922 A (セイコーエプソン株式会社) 09.01.2020 (2020 - 01 - 09) 段落[0043]	9
Y	JP 2017-220620 A (キヤノン株式会社) 14.12.2017 (2017 - 12 - 14) 段落[0016]	10

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/010044

引用文献			公表日	パテントファミリー文献	公表日
JP	6-188400	A	08.07.1994	(ファミリーなし)	
JP	11-345994	A	14.12.1999	US 6353228 B1	
				第3欄第16行-第5欄第41行, 図1,5	
				EP 964451 A2	
JP	62-209862	A	16.09.1987	(ファミリーなし)	
JP	61-203665	A	09.09.1986	(ファミリーなし)	
JP	2-155270	A	14.06.1990	(ファミリーなし)	
WO	2016/195001	A1	08.12.2016	US 2018/0138205 A1	
				段落[0092]	
				CN 107636840 A	
JP	2020-004922	A	09.01.2020	US 2020/0006413 A1	
				段落[0065]	
JP	2017-220620	A	14.12.2017	US 2017/0358622 A1	
				段落[0023]	