

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-128401

(P2004-128401A)

(43) 公開日 平成16年4月22日(2004.4.22)

(51) Int. Cl.⁷

H O 1 L 21/8234

H O 1 L 21/76

H O 1 L 27/08

H O 1 L 27/088

F I

H O 1 L 27/08

H O 1 L 27/08

H O 1 L 21/76

1 O 2 C

3 3 1 A

L

テーマコード (参考)

5 F O 3 2

5 F O 4 8

審査請求 未請求 請求項の数 10 O L (全 14 頁)

(21) 出願番号 特願2002-293850 (P2002-293850)

(22) 出願日 平成14年10月7日 (2002. 10. 7)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(74) 代理人 100097445

弁理士 岩橋 文雄

(74) 代理人 100103355

弁理士 坂口 智康

(74) 代理人 100109667

弁理士 内藤 浩樹

(72) 発明者 上原 隆

大阪府門真市大字門真1006番地 松下
電器産業株式会社内

(72) 発明者 平井 健裕

大阪府門真市大字門真1006番地 松下
電器産業株式会社内

最終頁に続く

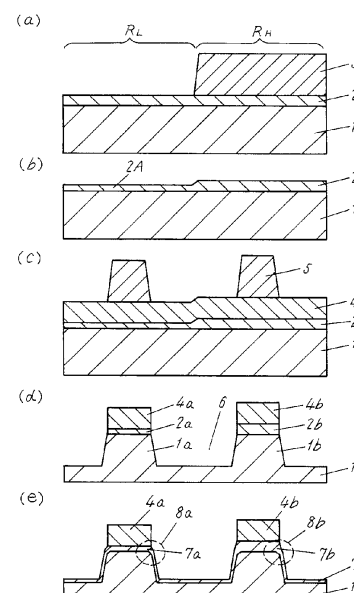
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 高電圧トランジスタのハンプ現象を抑制し、かつ低電圧トランジスタの実効的なチャンネル幅のロスを低減する。

【解決手段】 半導体基板1上にシリコン酸化膜2を形成した後、低電圧トランジスタ形成領域 R_L のシリコン酸化膜2の一部をエッチングしてシリコン酸化膜2Aを形成する。その後、シリコン窒化膜4を形成した後、シリコン窒化膜4及びシリコン酸化膜2、2Aのパターニングを行い、低電圧トランジスタ形成領域 R_L には酸化防止膜4a及びパッド絶縁膜2aを形成し、高電圧トランジスタ形成領域 R_H には酸化防止膜4b及びパッド絶縁膜2bを形成する。さらに、半導体基板1をエッチングして分離溝6を形成する。その後、酸化防止膜4a、4bを酸化防止マスクにして熱酸化を行い、保護酸化膜7を形成する。これにより、バースピーク幅の異なるバースピーク7a、7bを形成する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

第 1 の活性領域上に形成された第 1 のゲート絶縁膜を有する第 1 の M I S 型トランジスタと、第 2 の活性領域上に形成された第 2 のゲート絶縁膜を有する第 2 の M I S 型トランジスタとを備えた半導体装置において、

前記第 1 の活性領域と前記第 2 の活性領域とは、半導体基板に形成された素子分離領域によって分離されており、

前記第 1 の活性領域の端部に前記素子分離領域側から形成される第 1 のバースピークは、前記第 2 の活性領域の端部に前記素子分離領域側から形成される第 2 のバースピークに比べて、バースピーク幅が大きいことを特徴とする半導体装置。

10

【請求項 2】

請求項 1 記載の半導体装置において、

前記第 1 のゲート絶縁膜は、前記第 2 のゲート絶縁膜に比べて、膜厚が厚いことを特徴とする半導体装置。

【請求項 3】

請求項 1 又は 2 記載の半導体装置において、

前記第 1 の M I S 型トランジスタは、高電圧トランジスタであり、

前記第 2 の M I S 型トランジスタは、低電圧トランジスタであることを特徴とする半導体装置。

【請求項 4】

20

第 1 の M I S 型トランジスタと第 2 の M I S 型トランジスタを有する半導体装置の製造方法において、

半導体基板上における前記第 1 の M I S 型トランジスタ形成領域に第 1 のパッド絶縁膜を形成する工程 (a) と、

半導体基板上における前記第 2 の M I S 型トランジスタ形成領域に、前記第 1 のパッド絶縁膜よりも膜厚の薄い第 2 のパッド絶縁膜を形成する工程 (b) と、

前記第 1 のパッド絶縁膜及び前記第 2 のパッド絶縁膜上に酸化防止膜を形成する工程 (c) と、

前記第 1 のパッド絶縁膜、前記第 2 のパッド絶縁膜及び前記酸化防止膜をパターンニングして、前記第 1 の M I S 型トランジスタ形成領域に第 1 のパッド絶縁膜及び第 1 の酸化防止膜を形成し、前記第 2 の M I S 型トランジスタ形成領域に第 2 のパッド絶縁膜及び第 2 の酸化防止膜を形成する工程 (d) と、

30

前記工程 (d) の後に、前記半導体基板を所定の深さまでエッチングして分離溝を形成する工程 (e) と、

前記工程 (e) の後に、前記第 1 の酸化防止膜及び前記第 2 の酸化防止膜を酸化防止マスクにして酸化を行い、前記半導体基板における前記分離溝表面に保護酸化膜を形成する工程 (f) と

を有していることを特徴とする半導体装置の製造方法。

【請求項 5】

請求項 4 記載の半導体装置の製造方法において、

40

前記第 2 のパッド絶縁膜は、前記半導体基板上における前記第 2 の M I S 型トランジスタ形成領域に前記第 1 のパッド絶縁膜を形成した後、前記第 1 のパッド絶縁膜を所定の膜厚だけエッチングして形成することを特徴とする半導体装置の製造方法。

【請求項 6】

第 1 の M I S 型トランジスタと第 2 の M I S 型トランジスタを有する半導体装置の製造方法において、

半導体基板上にパッド絶縁膜を形成する工程 (a) と、

前記パッド絶縁膜上における前記第 1 の M I S 型トランジスタ形成領域に第 1 の酸化防止膜を形成する工程 (b) と、

前記パッド絶縁膜上における前記第 2 の M I S 型トランジスタ形成領域に、前記第 1 の酸

50

化防止膜よりも膜厚の厚い第2の酸化防止膜を形成する工程(c)と、
前記パッド絶縁膜、前記第1の酸化防止膜及び前記第2の酸化防止膜をパターンニングして、前記第1のMIS型トランジスタ形成領域に第1のパッド絶縁膜及び第1の酸化防止膜を形成し、前記第2のMIS型トランジスタ形成領域に第2のパッド絶縁膜及び第2の酸化防止膜を形成する工程(d)と、
前記工程(d)の後に、前記半導体基板を所定の深さまでエッチングして分離溝を形成する工程(e)と、
前記工程(e)の後に、前記第1の酸化防止膜及び前記第2の酸化防止膜を酸化防止マスクにして酸化を行い、前記半導体基板における前記分離溝表面に保護酸化膜を形成する工程(f)と
を有していることを特徴とする半導体装置の製造方法。

10

【請求項7】

請求項6記載の半導体装置の製造方法において、
前記第1の酸化防止膜は、前記半導体基板上における前記第1のMIS型トランジスタ形成領域に前記第2の酸化防止膜を形成した後、前記第2の酸化防止膜を所定の膜厚だけエッチングして形成することを特徴とする半導体装置の製造方法。

【請求項8】

第1のMIS型トランジスタと第2のMIS型トランジスタを有する半導体装置の製造方法において、
半導体基板上にパッド絶縁膜を形成する工程(a)と、
前記パッド絶縁膜上における前記第1のMIS型トランジスタ形成領域に第1の半導体膜を形成する工程(b)と、
前記工程(b)の後に、前記第1の半導体膜を含む前記半導体基板上に酸化防止膜を形成する工程(c)と、
前記パッド絶縁膜、前記第1の半導体膜及び前記酸化防止膜をパターンニングして、前記第1のMIS型トランジスタ形成領域に第1のパッド絶縁膜、第1の半導体膜及び第1の酸化防止膜を形成し、前記第2のMIS型トランジスタ形成領域に第2のパッド絶縁膜及び第2の酸化防止膜を形成する工程(d)と、
前記工程(d)の後に、前記半導体基板を所定の深さまでエッチングして分離溝を形成する工程(e)と、
前記工程(e)の後に、前記第1の酸化防止膜及び前記第2の酸化防止膜を酸化防止マスクにして酸化を行い、前記半導体基板における前記分離溝表面に保護酸化膜を形成する工程(f)と
を有していることを特徴とする半導体装置の製造方法。

20

30

【請求項9】

請求項8記載の半導体装置の製造方法において、
前記工程(b)の後で前記工程(c)の前に、前記パッド絶縁膜上における前記第2のMIS型トランジスタ形成領域に前記第1の半導体膜よりも膜厚の薄い第2の半導体膜を形成する工程を備え、
前記工程(c)では、前記第1の半導体膜及び前記第2の半導体膜上に前記酸化防止膜を形成し、
前記工程(d)では、前記第2の半導体膜もパターンニングして、前記第2のMIS型トランジスタ形成領域の前記第2のパッド絶縁膜と前記第2の酸化防止膜との間に第2の半導体膜を形成することを特徴とする半導体装置の製造方法。

40

【請求項10】

請求項4～9のうちのいずれか1項に記載の半導体装置の製造方法において、
前記工程(f)では、前記酸化によって、前記第1の酸化防止膜の端部下に形成される第1のバズピークは、前記第2の酸化防止膜の端部下に形成される第2のバズピークに比べて、バズピークの幅が大きいことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

50

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、特に、トレンチ型素子分離領域によって分離されているゲート絶縁膜の膜厚が異なる少なくとも2種類以上のMIS型トランジスタを有する半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】

半導体装置の微細化・高集積化に伴い、素子領域（活性領域）及び素子分離領域の寸法もますます小さくなってきている。従来、素子分離領域の形成には、工程が簡便なLOCOS法が用いられてきたが、LOCOS素子分離領域の端部に形成されるバースピークによる素子領域の寸法縮小が無視できなくなっており、最近ではLOCOS法による素子分離に代わりトレンチ型素子分離領域（STI：Shallow Trench Isolation）が使用されるようになってきている（例えば、特許文献1参照）。 10

【0003】

以下、従来のトレンチ型素子分離領域を有する半導体装置の製造方法について説明する。

【0004】

図6（a）～（c）は、従来のトレンチ型素子分離領域を有する半導体装置の製造工程を示す断面図である。

【0005】

まず、図6（a）に示す工程で、半導体基板101上にシリコン酸化膜102及びシリコン窒化膜103を順次形成する。その後、シリコン窒化膜103上に、素子分離領域が開 20

【0006】

次に、図6（b）に示す工程で、レジスト膜104をエッチングマスクにして、シリコン窒化膜103及びシリコン酸化膜102のエッチングを行い、低電圧トランジスタ形成領域 R_L には酸化防止膜103a及びパッド絶縁膜102aを形成し、高電圧トランジスタ形成領域 R_H には酸化防止膜103b及びパッド絶縁膜102bを形成する。さらに、半導体基板101を約400nm程度エッチングして分離溝（トレンチ）105を形成する。この分離溝105によって半導体基板101が区画され、低電圧トランジスタ形成領域 R_L には活性領域101aが形成され、高電圧トランジスタ形成領域 R_H には活性領域 30

【0007】

次に、図6（c）に示す工程で、レジスト膜104を除去した後、酸化防止膜103a、103bを酸化防止マスクにして熱酸化を行い、シリコンが露出している半導体基板101の分離溝105表面に酸化膜106を形成する。この熱酸化により、酸化防止膜103a、103bの端部下に位置する活性領域101a、101bのコーナー部107a、107bも酸化され丸み形状となる。このコーナー部107a、107bの丸み形状部に形成された酸化膜をバースピーク106a、106bと呼ぶ。

【0008】

その後、基板上の全面に、分離溝105が埋まるように絶縁膜を堆積した後、CMP等によって酸化防止膜103a、103bが露出するまで絶縁膜の平坦化を行い、その後、露出した酸化防止膜を熱リン酸等で除去して素子分離領域を形成する。 40

【0009】

上記のような従来の製造方法によれば、低電圧トランジスタ形成領域 R_L の活性領域101aのコーナー部107aに形成されるバースピーク106aと、高電圧トランジスタ形成領域 R_H の活性領域101bのコーナー部107bに形成されるバースピーク106bとは、同一形状に形成される。また、このバースピーク106a、106bの形状によって、ゲート絶縁膜の耐圧、ハンプ現象や逆狭チャネル特性、実効的なチャネル幅（ W_{eff} ）等の各種特性が左右されることになる。

【0010】

中でも素子の微細化に合わせて、実効的なチャンネル幅を小さくする必要があり、トレンチ型素子分離領域においてもこのバズピークの抑制が必要となりつつある。

【0011】

【特許文献1】

特開2002-110828号公報（第7-9頁、図2）

【0012】

【発明が解決しようとする課題】

半導体装置の微細化・高集積化に合わせてゲート絶縁膜も薄膜化され、信頼性上の問題から電源電圧も合わせて低電圧化している。一方、システム上の問題から、従来の電源電圧との併用が必要となり、それに合わせてゲート絶縁膜の膜厚が異なる少なくとも2種類以上のMIS型トランジスタを同一基板上に形成することが一般的になりつつある。即ち、入出力部などの高電圧側では厚いゲート絶縁膜を有するMIS型トランジスタを用い、内部の低電圧側ではより薄いゲート絶縁膜を有するMIS型トランジスタを用いる方法が一般的になりつつある。 10

【0013】

上記のような従来の製造方法では、トレンチ型素子分離領域の形成において、低電圧トランジスタ形成領域 R_L のバズピーク106aと、高電圧トランジスタ形成領域 R_H のバズピーク106bとは同一形状に形成される。しかしながら、素子分離の微細化に合わせて、低電圧トランジスタ形成領域 R_L のバズピーク106aは小さくする必要があるが、一方、高電圧トランジスタ形成領域 R_H のバズピーク106bが小さくなるとトランジスタ特性にハンプ現象があらわれてしまい、低電圧トランジスタの特性と高電圧トランジスタの特性を同時に満たすことが難しくなってしまうという課題がある。 20

【0014】

本発明の目的は、上記問題点に鑑み、トレンチ型素子分離領域によって分離されているゲート絶縁膜の膜厚が異なる少なくとも2種類以上のMIS型トランジスタを有する半導体装置において、低電圧トランジスタの特性と高電圧トランジスタの特性を同時に満たす半導体装置及びその製造方法を提供することである。

【0015】

【課題を解決するための手段】

本発明の半導体装置は、第1の活性領域上に形成された第1のゲート絶縁膜を有する第1のMIS型トランジスタと、第2の活性領域上に形成された第2のゲート絶縁膜を有する第2のMIS型トランジスタとを備えた半導体装置において、第1の活性領域と第2の活性領域とは、半導体基板に形成された素子分離領域によって分離されており、第1の活性領域の端部に素子分離領域側から形成される第1のバズピークは、第2の活性領域の端部に素子分離領域側から形成される第2のバズピークに比べて、バズピーク幅が大きく形成されている。 30

【0016】

上記半導体装置において、第1のゲート絶縁膜は、第2のゲート絶縁膜に比べて、膜厚が厚く形成されている。

【0017】

上記半導体装置において、第1のMIS型トランジスタは、高電圧トランジスタであり、第2のMIS型トランジスタは、低電圧トランジスタである。 40

【0018】

本発明の第1の半導体装置の製造方法は、第1のMIS型トランジスタと第2のMIS型トランジスタを有する半導体装置の製造方法において、半導体基板上における第1のMIS型トランジスタ形成領域に第1のパッド絶縁膜を形成する工程（a）と、半導体基板上における第2のMIS型トランジスタ形成領域に、第1のパッド絶縁膜よりも膜厚の薄い第2のパッド絶縁膜を形成する工程（b）と、第1のパッド絶縁膜及び第2のパッド絶縁膜上に酸化防止膜を形成する工程（c）と、第1のパッド絶縁膜、第2のパッド絶縁膜及び酸化防止膜をパターニングして、第1のMIS型トランジスタ形成領域に第1のパッド 50

絶縁膜及び第1の酸化防止膜を形成し、第2のMIS型トランジスタ形成領域に第2のパッド絶縁膜及び第2の酸化防止膜を形成する工程(d)と、工程(d)の後に、半導体基板を所定の深さまでエッチングして分離溝を形成する工程(e)と、工程(e)の後に、第1の酸化防止膜及び第2の酸化防止膜を酸化防止マスクにして酸化を行い、半導体基板における分離溝表面に保護酸化膜を形成する工程(f)とを有している。

【0019】

上記第1の半導体装置の製造方法において、第2のパッド絶縁膜は、半導体基板上における第2のMIS型トランジスタ形成領域に第1のパッド絶縁膜を形成した後、第1のパッド絶縁膜を所定の膜厚だけエッチングして形成する。

【0020】

本発明の第2の半導体装置の製造方法は、第1のMIS型トランジスタと第2のMIS型トランジスタを有する半導体装置の製造方法において、半導体基板上にパッド絶縁膜を形成する工程(a)と、パッド絶縁膜上における第1のMIS型トランジスタ形成領域に第1の酸化防止膜を形成する工程(b)と、パッド絶縁膜上における第2のMIS型トランジスタ形成領域に、第1の酸化防止膜よりも膜厚の厚い第2の酸化防止膜を形成する工程(c)と、パッド絶縁膜、第1の酸化防止膜及び第2の酸化防止膜をパターンニングして、第1のMIS型トランジスタ形成領域に第1のパッド絶縁膜及び第1の酸化防止膜を形成し、第2のMIS型トランジスタ形成領域に第2のパッド絶縁膜及び第2の酸化防止膜を形成する工程(d)と、工程(d)の後に、半導体基板を所定の深さまでエッチングして分離溝を形成する工程(e)と、工程(e)の後に、第1の酸化防止膜及び第2の酸化防止膜を酸化防止マスクにして酸化を行い、半導体基板における分離溝表面に保護酸化膜を形成する工程(f)とを有している。

【0021】

上記第2の半導体装置の製造方法において、第1の酸化防止膜は、半導体基板上における第1のMIS型トランジスタ形成領域に第2の酸化防止膜を形成した後、第2の酸化防止膜を所定の膜厚だけエッチングして形成する。

【0022】

本発明の第3の半導体装置の製造方法は、第1のMIS型トランジスタと第2のMIS型トランジスタを有する半導体装置の製造方法において、半導体基板上にパッド絶縁膜を形成する工程(a)と、パッド絶縁膜上における第1のMIS型トランジスタ形成領域に第1の半導体膜を形成する工程(b)と、工程(b)の後に、第1の半導体膜を含む半導体基板上に酸化防止膜を形成する工程(c)と、パッド絶縁膜、第1の半導体膜及び酸化防止膜をパターンニングして、第1のMIS型トランジスタ形成領域に第1のパッド絶縁膜、第1の半導体膜及び第1の酸化防止膜を形成し、第2のMIS型トランジスタ形成領域に第2のパッド絶縁膜及び第2の酸化防止膜を形成する工程(d)と、工程(d)の後に、半導体基板を所定の深さまでエッチングして分離溝を形成する工程(e)と、工程(e)の後に、第1の酸化防止膜及び第2の酸化防止膜を酸化防止マスクにして酸化を行い、半導体基板における分離溝表面に保護酸化膜を形成する工程(f)とを有している。

【0023】

上記第3の半導体装置の製造方法において、工程(b)の後で前記工程(c)の前に、パッド絶縁膜上における第2のMIS型トランジスタ形成領域に第1の半導体膜よりも膜厚の薄い第2の半導体膜を形成する工程を備え、工程(c)では、第1の半導体膜及び第2の半導体膜上に酸化防止膜を形成し、工程(d)では、第2の半導体膜もパターンニングして、第2のMIS型トランジスタ形成領域の第2のパッド絶縁膜と第2の酸化防止膜との間に第2の半導体膜を形成する。

【0024】

上記第1～第3の半導体装置の製造方法において、工程(f)では、酸化によって、第1の酸化防止膜の端部下に形成される第1のバースピークは、第2の酸化防止膜の端部下に形成される第2のバースピークに比べて、バースピークの幅が大きく形成される。

【0025】

【発明の実施の形態】**（第１の実施形態）**

以下、本発明の第１の実施形態に係る半導体装置について、図面を参照しながら説明する。

【００２６】

図１は、本発明の第１の実施形態に係る半導体装置であり、（ａ）は平面図、（ｂ）は（ａ）におけるＡ－Ａ'箇所の断面図、（ｃ）は（ｂ）におけるＢ箇所の拡大断面図、（ｄ）は（ｂ）におけるＣ箇所の拡大断面図である。

【００２７】

図１において、１は半導体基板、 R_L は低電圧トランジスタ形成領域、 R_H は高電圧トランジスタ形成領域、１ａは低電圧トランジスタの活性領域（素子形成領域）、１ｂは高電圧トランジスタの活性領域（素子形成領域）、９は素子分離領域、１０は高電圧トランジスタのゲート絶縁膜、１１は低電圧トランジスタのゲート絶縁膜、１２ａは低電圧トランジスタのゲート電極、１２ｂは高電圧トランジスタのゲート電極である。本実施形態によれば、低電圧トランジスタ形成領域 R_L における素子分離領域９からのバースピーク７ａを抑制し、且つ、高電圧トランジスタ形成領域 R_H における素子分離領域９からのバースピーク７ｂを増大させることができるため、高電圧トランジスタではハンプ現象を抑制することができ、かつ低電圧トランジスタでは実効的なチャンネル幅のロスを低減することができる。

【００２８】

図２（ａ）～（ｅ）及び図３（ａ）～（ｄ）は、本発明の第１の実施形態に係る半導体装置の製造工程を示す断面図である。なお、この断面図は、ゲート幅方向の断面図である。

【００２９】

まず、図２（ａ）に示す工程で、熱酸化法により半導体基板１上に厚さ２０ｎｍのシリコン酸化膜２を形成する。その後、シリコン酸化膜２上に、低電圧トランジスタ形成領域 R_L が開口され、高電圧トランジスタ形成領域 R_H を覆うレジスト膜３を形成する。

【００３０】

次に、図２（ｂ）に示す工程で、レジスト膜３をマスクにして、ドライエッチまたはウェットエッチにより低電圧トランジスタ形成領域 R_L のシリコン酸化膜２を約１０ｎｍエッチングして厚さ約１０ｎｍのシリコン酸化膜２Ａを形成する。その後、レジスト膜３を除去する。

【００３１】

次に、図２（ｃ）に示す工程で、シリコン酸化膜２、２Ａ上の全面に、厚さ１５０ｎｍのシリコン窒化膜４を形成する。その後、シリコン窒化膜４上に、素子分離領域形成部が開口され、活性領域形成部を覆うレジスト膜５を形成する。

【００３２】

次に、図２（ｄ）に示す工程で、レジスト膜５をエッチングマスクにして、シリコン窒化膜４及びシリコン酸化膜２、２Ａのパターニングを行い、低電圧トランジスタ形成領域 R_L には酸化防止膜４ａ及びパッド絶縁膜２ａを形成し、高電圧トランジスタ形成領域 R_H には酸化防止膜４ｂ及びパッド絶縁膜２ｂを形成する。さらに、半導体基板１を約４００ｎｍ程度エッチングして分離溝（トレンチ）６を形成する。この分離溝６によって半導体基板１が区画され、低電圧トランジスタ形成領域 R_L には活性領域１ａが形成され、高電圧トランジスタ形成領域 R_H には活性領域１ｂが形成される。その後、レジスト膜５を除去する。

【００３３】

次に、図２（ｅ）に示す工程で、酸化防止膜４ａ、４ｂを酸化防止マスクにして高温で熱酸化を行い、シリコンが露出している半導体基板１の分離溝６表面に厚さ３０ｎｍの保護酸化膜７を形成する。この熱酸化により、酸化防止膜４ａ、４ｂの端部下に位置する活性領域１ａ、１ｂのコーナー部８ａ、８ｂも酸化され丸み形状になる。このコーナー部８ａ、８ｂの丸み形状部に形成された酸化膜をバースピーク７ａ、７ｂと呼ぶ。

【００３４】

次に、図 3 (a) に示す工程で、基板上の全面に、分離溝 6 が埋まるように HDP-CVD 法により厚さ 800 nm の酸化膜からなる絶縁膜を堆積する。その後、CMP 法等によって酸化防止膜 4a、4b の表面が露出するまで絶縁膜の平坦化を行い、分離溝 6 に素子分離絶縁膜 9a を形成する。

【0035】

次に、図 3 (b) に示す工程で、酸化防止膜 4a、4b を熱リン酸等で除去した後、パッド絶縁膜 2a、2b をフッ酸溶液でウェットエッチングし、活性領域 1a、1b の表面を露出させる。これにより、分離溝 6 に保護酸化膜 7 及び素子分離絶縁膜 9a が埋め込まれた素子分離領域 9 が形成される。

【0036】

次に、図 3 (c) に示す工程で、基板上に、熱酸化法により厚さ 10 nm のシリコン酸化膜を形成した後、リソグラフィ及びウェットエッチングにより低電圧トランジスタ形成領域 R_L の活性領域 1a 上のシリコン酸化膜 10 を選択的に除去することによって、高電圧トランジスタ形成領域 R_H の活性領域 1b 上に高電圧トランジスタ用のゲート絶縁膜 10 を形成する。

【0037】

次に、図 3 (d) に示す工程で、熱酸化により低電圧トランジスタ形成領域 R_L の活性領域 1a 上に、低電圧トランジスタ用の厚さ 2 nm のシリコン酸化膜からなるゲート絶縁膜 11 を形成する。その後、基板上にポリシリコン膜を堆積した後、ポリシリコン膜をパターンニングして低電圧トランジスタ用のゲート電極 12a 及び高電圧トランジスタ用のゲート電極 12b を形成する。

【0038】

本実施形態によれば、保護酸化膜 7 を形成する工程において、高電圧トランジスタ形成領域 R_H のパッド絶縁膜 2b の膜厚が、低電圧トランジスタ形成領域 R_L のパッド絶縁膜 2a の膜厚よりも厚くなっている。このため、保護酸化膜 7 を形成する際の酸化種は、パッド絶縁膜 2a に比べてパッド絶縁膜 2b の方が素子分離領域端からより内部へ拡散し易いため、高電圧トランジスタ形成領域 R_H のバースピーク 7b の方が低電圧トランジスタ形成領域 R_L のバースピーク 7a よりも大きく形成される。その結果、高電圧トランジスタ形成領域 R_H に形成される高電圧トランジスタでは、バースピークの縮小によるハンプ現象を抑制することができ、かつ低電圧トランジスタ形成領域 R_L に形成される低電圧トランジスタでは、バースピークを小さくすることにより実効的なチャンネル幅 (Weffct) のロスを抑減することができる。

【0039】

尚、本実施形態の図 2 (b) に示す工程では、低電圧トランジスタ形成領域 R_L のシリコン酸化膜 2A は、シリコン酸化膜 2 の一部を残存させることによって形成したが、低電圧トランジスタ形成領域 R_L のシリコン酸化膜 2 を全て除去した後、新たな酸化により低電圧トランジスタ形成領域 R_L のシリコン酸化膜を再度形成する方法であっても良い。この方法では、工程数は増加するが、低電圧トランジスタ形成領域 R_L のシリコン酸化膜の膜厚制御性が向上する為、より微細な半導体装置の製造が可能となる。

【0040】

(第 2 の実施形態)

図 4 (a) ~ (d) は、本発明の第 2 の実施形態に係る半導体装置の製造工程を示す断面図である。なお、この断面図は、ゲート幅方向の断面図である。

【0041】

まず、図 4 (a) に示す工程で、熱酸化法により半導体基板 1 上に厚さ 10 nm のシリコン酸化膜 13 を形成した後、シリコン酸化膜 13 上に厚さ 200 nm のシリコン窒化膜 14 を形成する。その後、シリコン窒化膜 14 上に、高電圧トランジスタ形成領域 R_H が開口され、低電圧トランジスタ形成領域 R_L を覆うレジスト膜 15 を形成する。

【0042】

次に、図 4 (b) に示す工程で、レジスト膜 15 をマスクにして、ドライエッチにより高

10

20

30

40

50

電圧トランジスタ形成領域 R_H のシリコン窒化膜 14 を約 50 nm エッチングして厚さ約 150 nm のシリコン窒化膜 14A を形成する。そして、レジスト膜 15 を除去した後、シリコン窒化膜 14、14A 上に、素子分離領域形成部が開口され、活性領域形成部を覆うレジスト膜 16 を形成する。

【0043】

次に、図 4 (c) に示す工程で、レジスト膜 16 をエッチングマスクにして、シリコン窒化膜 14、14A 及びシリコン酸化膜 13 のパターニングを行い、低電圧トランジスタ形成領域 R_L には酸化防止膜 14a 及びパッド絶縁膜 13a を形成し、高電圧トランジスタ形成領域 R_H には酸化防止膜 14b 及びパッド絶縁膜 13b を形成する。さらに、半導体基板 1 を約 400 nm 程度エッチングして分離溝 (トレンチ) 6 を形成する。この分離溝 6 によって半導体基板 1 が区画され、低電圧トランジスタ形成領域 R_L には活性領域 1a が形成され、高電圧トランジスタ形成領域 R_H には活性領域 1b が形成される。その後、レジスト膜 16 を除去する。 10

【0044】

次に、図 4 (d) に示す工程で、酸化防止膜 14a、14b を酸化防止マスクにして高温で熱酸化を行い、シリコンが露出している半導体基板 1 の分離溝 6 表面に厚さ 30 nm の保護酸化膜 7 を形成する。この熱酸化により、酸化防止膜 14a、14b の端部下に位置する活性領域 1a、1b のコーナー部 8a、8b も酸化され丸み形状になる。このコーナー部 8a、8b の丸み形状部に形成された酸化膜をバズピーク 7a、7b と呼ぶ。

【0045】

その後、第 1 の実施形態の図 3 (a) ~ (d) と同様な方法によって、素子分離絶縁膜 9a、高電圧トランジスタ用のゲート絶縁膜 10、低電圧トランジスタ用のゲート絶縁膜 11、及び、ゲート電極 12a、12b を形成して、図 1 に示すようなトランジスタ構成を得る。 20

【0046】

本実施形態によれば、保護酸化膜 7 を形成する工程において、高電圧トランジスタ形成領域 R_H の酸化防止膜 14b の膜厚が、低電圧トランジスタ形成領域 R_L の酸化防止膜 14a の膜厚よりも薄くなっている。酸化防止膜はその膜ストレスによりバズピークの形成を抑制する働きがあり、膜厚が厚い方がよりバズピークを抑制しやすい。そのため、保護酸化膜 7 を形成する際に、酸化防止膜 14a に比べて膜厚の薄い酸化防止膜 14b の方がバズピークの抑制効果が低いため、高電圧トランジスタ形成領域 R_H のバズピーク 7b が低電圧トランジスタ形成領域 R_L のバズピーク 7a よりも大きく形成することができる。その結果、高電圧トランジスタ形成領域 R_H に形成される高電圧トランジスタでは、バズピークの縮小によるハンプ現象を抑制することができ、かつ低電圧トランジスタ形成領域 R_L に形成される低電圧トランジスタでは、バズピークを小さくすることにより実効的なチャンネル幅 (W-e f f e c t) のロスを低減することができる。 30

【0047】

尚、本実施形態の図 4 (b) に示す工程では、高電圧トランジスタ形成領域 R_H のシリコン窒化膜 14A は、シリコン窒化膜 14 の一部を残存させることによって形成したが、高電圧トランジスタ形成領域 R_H のシリコン窒化膜 14 を全て除去した後、所定膜厚のシリコン窒化膜を再度形成する方法であっても良い。この方法では、工程数は増加するが、高電圧トランジスタ形成領域 R_H のシリコン窒化膜の膜厚制御性が向上する為、より微細な半導体装置の製造が可能となる。 40

【0048】

(第 3 の実施形態)

図 5 (a) ~ (d) は、本発明の第 3 の実施形態に係る半導体装置の製造工程を示す断面図である。なお、この断面図は、ゲート幅方向の断面図である。

【0049】

まず、図 5 (a) に示す工程で、熱酸化法により半導体基板 1 上に厚さ 10 nm のシリコン酸化膜 17 を形成した後、シリコン酸化膜 17 上に厚さ 50 nm の多結晶シリコン又は 50

非晶質シリコンからなるシリコン膜 18 を形成する。その後、シリコン膜 18 上に、低電圧トランジスタ形成領域 R_L が開口され、高電圧トランジスタ形成領域 R_H を覆うレジスト膜 19 を形成する。

【0050】

次に、図 5 (b) に示す工程で、レジスト膜 19 をマスクにして、ドライエッチにより低電圧トランジスタ形成領域 R_L のシリコン膜 18 を約 30 nm エッチングして厚さ約 20 nm のシリコン膜 18A を形成する。そして、レジスト膜 19 を除去した後、シリコン膜 18、18A 上に厚さ 150 nm のシリコン窒化膜 20 を形成する。その後、シリコン窒化膜 20 上に、素子分離領域形成部が開口され、活性領域形成部を覆うレジスト膜 21 を形成する。

10

【0051】

次に、図 5 (c) に示す工程で、レジスト膜 21 をエッチングマスクにして、シリコン窒化膜 20、シリコン膜 18、18A 及びシリコン酸化膜 17 のパターンニングを行い、低電圧トランジスタ形成領域 R_L には酸化防止膜 20a、半導体膜 18a 及びパッド絶縁膜 17a を形成し、高電圧トランジスタ形成領域 R_H には酸化防止膜 20b、半導体膜 18b 及びパッド絶縁膜 17b を形成する。さらに、半導体基板 1 を約 400 nm 程度エッチングして分離溝 (トレンチ) 6 を形成する。この分離溝 6 によって半導体基板 1 が区画され、低電圧トランジスタ形成領域 R_L には活性領域 1a が形成され、高電圧トランジスタ形成領域 R_H には活性領域 1b が形成される。その後、レジスト膜 21 を除去する。

【0052】

20

次に、図 5 (d) に示す工程で、酸化防止膜 20a、20b を酸化防止マスクにして高温で熱酸化を行い、シリコンが露出している半導体基板 1 の分離溝 6 表面に厚さ 30 nm の保護酸化膜 7 を形成する。この熱酸化により、酸化防止膜 20a、20b の端部下に位置する活性領域 1a、1b のコーナー部 8a、8b も酸化され丸み形状になる。このコーナー部 8a、8b の丸み形状部に形成された酸化膜をバースピーク 7a、7b と呼ぶ。

【0053】

その後、第 1 の実施形態の図 3 (a) ~ (d) と同様な方法によって、素子分離絶縁膜 9a、高電圧トランジスタ用のゲート絶縁膜 10、低電圧トランジスタ用のゲート絶縁膜 11、及び、ゲート電極 12a、12b を形成して、図 1 に示すようなトランジスタ構成を得る。

30

【0054】

本実施形態によれば、保護酸化膜 7 を形成する工程において、高電圧トランジスタ形成領域 R_H の半導体膜 18b の膜厚が、低電圧トランジスタ形成領域 R_L の半導体膜 18a の膜厚よりも厚くなっている。酸化防止膜とシリコン酸化膜との間に半導体膜が存在していると、保護酸化時に半導体膜も同時に酸化されるためバースピークが大きくなる。従って、保護酸化膜 7 を形成する際に、半導体膜 18a に比べて膜厚の厚い半導体膜 18b の方がバースピークの抑制効果が低いため、高電圧トランジスタ形成領域 R_H のバースピーク 7b が低電圧トランジスタ形成領域 R_L のバースピーク 7a よりも大きく形成することができる。その結果、高電圧トランジスタ形成領域 R_H に形成される高電圧トランジスタでは、バースピークの縮小によるハンプ現象を抑制することができ、かつ低電圧トランジスタ形成領域 R_L に形成される低電圧トランジスタでは、バースピークを小さくすることにより実効的なチャンネル幅 (W-effective) のロスを低減することができる。

40

【0055】

尚、本実施形態の図 5 (b) に示す工程では、低電圧トランジスタ形成領域 R_L のシリコン膜 18A は、シリコン膜 18 の一部を残存させることによって形成したが、低電圧トランジスタ形成領域 R_L のシリコン膜 18 を全て除去した後、所定膜厚の半導体膜を再度形成する方法であっても良い。この方法では、工程数は増加するが、低電圧トランジスタ形成領域 R_L の半導体膜の膜厚制御性が向上する為、より微細な半導体装置の製造が可能となる。

【0056】

50

また、本実施形態の図 5 (b) に示す工程で、低電圧トランジスタ形成領域 R_L にシリコン膜 18 の一部を残存させてシリコン膜 18A を形成したが、高電圧トランジスタ形成領域 R_H に形成するシリコン膜 18 の膜厚を最適化すれば、低電圧トランジスタ形成領域 R_L に半導体膜を形成する必要はない。従って、低電圧トランジスタ形成領域 R_L のシリコン膜 18 を全て除去した後、低電圧トランジスタ形成領域 R_L のシリコン酸化膜 17 上に直接シリコン窒化膜 20 を形成しても同様な効果を得ることができる。

【0057】

上記第 1 ～ 第 3 の実施形態では、2 種類のゲート絶縁膜の場合について説明したが、ゲート絶縁膜の膜厚が 3 種類以上の場合でも、同様の工程を繰り返すことにより、同様の効果を得ることができる。

10

【0058】

【発明の効果】

本発明の構成によれば、低電圧トランジスタ形成領域における素子分離領域からのバースピークを抑制し、且つ、高電圧トランジスタ形成領域における素子分離領域からのバースピークを増大させることができるため、高電圧トランジスタではハンプ現象を抑制することができ、かつ低電圧トランジスタでは実効的なチャンネル幅のロスを低減することができる。従って、低電圧トランジスタの特性と高電圧トランジスタの特性を同時に満たす半導体装置を得ることができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態に係る半導体装置であり、

20

(a) は平面図

(b) は (a) における A - A' 箇所の断面図

(c) は (b) における B 箇所の拡大断面図

(d) は (b) における C 箇所の拡大断面図

【図 2】(a) ～ (e) は、本発明の第 1 の実施形態に係る半導体装置の製造工程のうちの前半部分を示す断面図

【図 3】(a) ～ (d) は、本発明の第 1 の実施形態に係る半導体装置の製造工程のうちの後半部分を示す断面図

【図 4】(a) ～ (d) は、本発明の第 2 の実施形態に係る半導体装置の製造工程を示す断面図

30

【図 5】(a) ～ (d) は、本発明の第 3 の実施形態に係る半導体装置の製造工程を示す断面図

【図 6】(a) ～ (c) は、従来の半導体装置の製造工程を示す断面図

【符号の説明】

1 半導体基板

1 a、1 b 活性領域 (素子形成領域)

2、2 A シリコン酸化膜

2 a、2 b パッド絶縁膜

3 レジスト膜

4 シリコン窒化膜

40

4 a、4 b 酸化防止膜

5 レジスト膜

6 分離溝

7 保護酸化膜

7 a、7 b バースピーク

8 a、8 b コーナー部

9 素子分離領域

9 a 素子分離絶縁膜

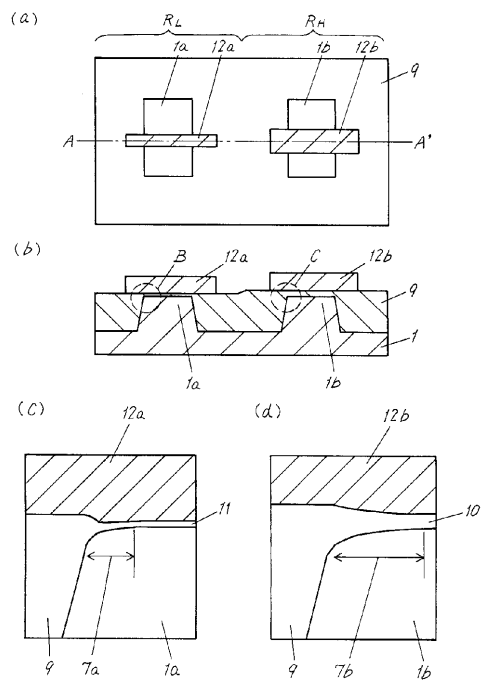
10 ゲート絶縁膜

11 ゲート絶縁膜

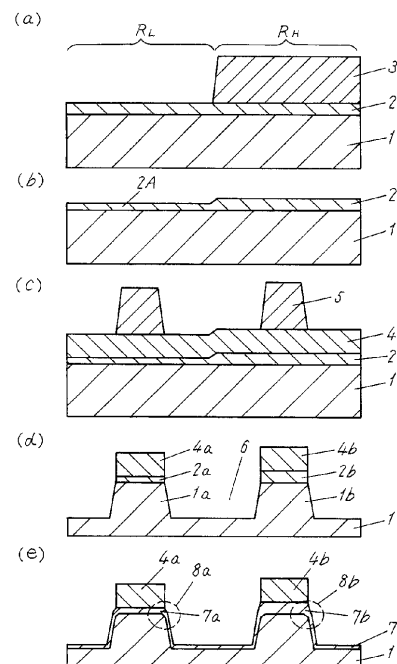
50

- 1 2 a、1 2 b ゲート電極
- 1 3 シリコン酸化膜
- 1 3 a、1 3 b パッド絶縁膜
- 1 4、1 4 A シリコン窒化膜
- 1 4 a、1 4 b 酸化防止膜
- 1 5 レジスト膜
- 1 6 レジスト膜
- 1 7 シリコン酸化膜
- 1 7 a、1 7 b パッド絶縁膜
- 1 8、1 8 A シリコン膜
- 1 8 a、1 8 b 半導体膜
- 1 9 レジスト膜
- 2 0 シリコン窒化膜
- 2 0 a、2 0 b 酸化防止膜
- 2 1 レジスト膜

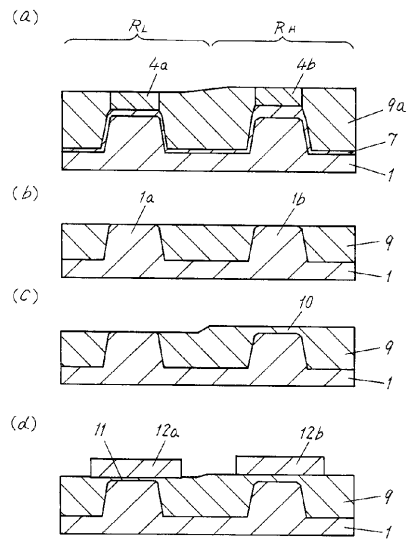
【図 1】



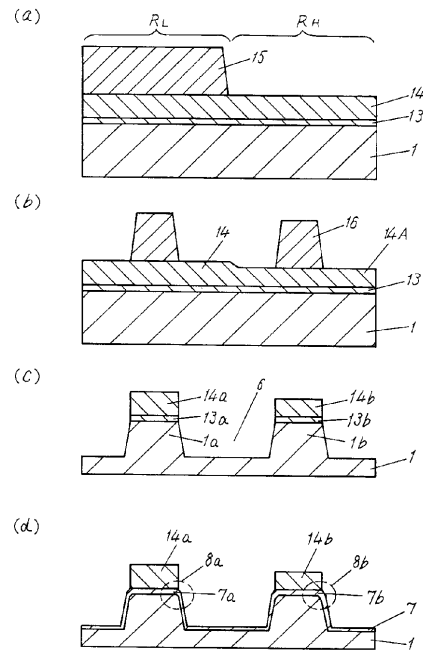
【図 2】



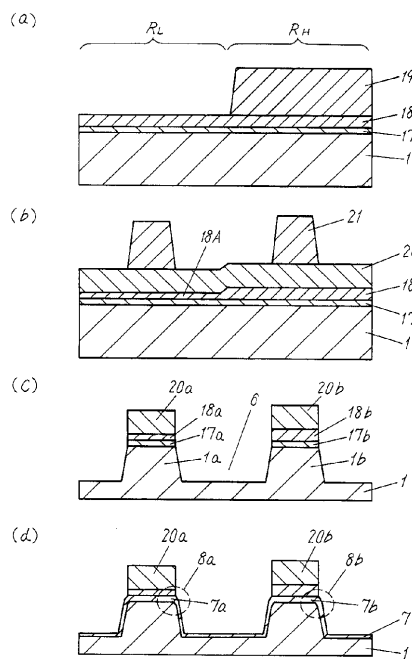
【図 3】



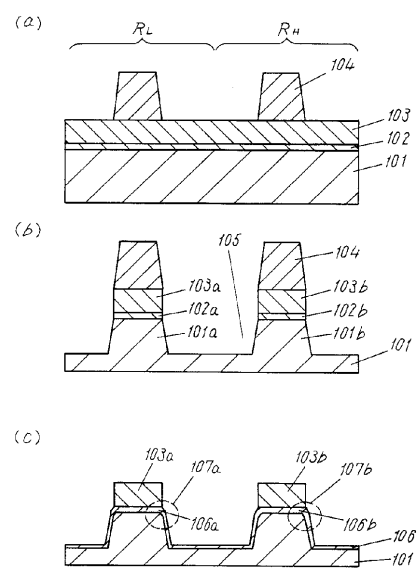
【図 4】



【図 5】



【図 6】



フロントページの続き

Fターム(参考) 5F032 AA36 AA45 AA77 BA05 CA17 CA20 CA24 CA25 DA04 DA22
DA23 DA24 DA33 DA53
5F048 AA04 AA05 AA07 AC01 BB01 BB05 BB16 BG12 BG13 BG14