(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2008-241780
(P2008-241780A)
(43)公開日　平成20年10月9日(2008.10.9)

| (51)Int.Cl. | | F I | | | テーマコード（参考） |
|---|---|---|---|---|---|
| G09G 3/30 | (2006.01) | G09G | 3/30 | J | 3K107 |
| G09G 3/20 | (2006.01) | G09G | 3/20 | 611A | 5C080 |
| H01L 51/50 | (2006.01) | G09G | 3/20 | 611H | |
| | | G09G | 3/20 | 622C | |
| | | G09G | 3/20 | 622G | |

審査請求 未請求　請求項の数 6　ＯＬ　（全 16 頁）　最終頁に続く

(21)出願番号　特願2007-78217(P2007-78217)
(22)出願日　平成19年3月26日(2007.3.26)

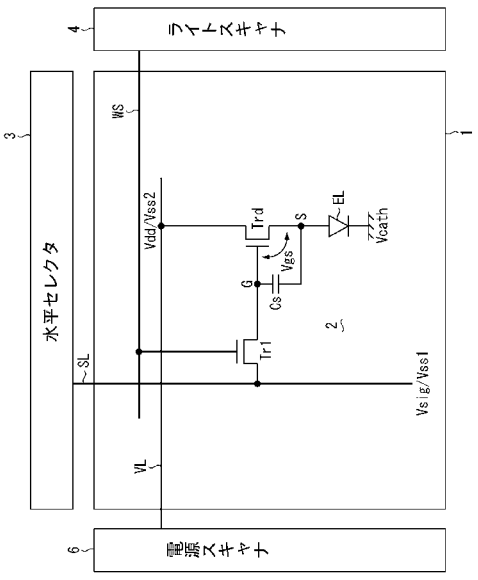
(71)出願人　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　100092336
弁理士　鈴木　晴敏
(72)発明者　山下　淳一
東京都港区港南１丁目７番１号　ソニー株式会社内
(72)発明者　内野　勝秀
東京都港区港南１丁目７番１号　ソニー株式会社内

Ｆターム(参考)　3K107 AA01　BB01　CC14　CC33　EE03
HH02　HH04

最終頁に続く

(54)【発明の名称】表示装置及び電子機器

(57)【要約】
【課題】各画素の多様な補正動作を実現しつつ、消費電力の抑制が可能な表示装置を提供する。
【解決手段】サンプリングトランジスタＴｒ１は制御信号ＷＳに応じて駆動信号をドライブトランジスタＴｒｄの制御端Ｇに印加する。ドライブトランジスタＴｒｄは、駆動信号に応じて各画素の多様な補正動作を実現しつつ、発光素子ＥＬに駆動電流を供給する。ライトスキャナ４は、各走査線ＷＳに対して一水平走査周期内に二発のパルスを含む制御信号ＷＳを出力する出力バッファを有する。出力バッファは、固定電源に接続した第一出力部とパルス電源に接続した第二出力部と備え、二発のパルスの一方は第一出力部から出力し、他方はパルス電源から供給されるパルスを第二出力部で抜き取って出力する。パルスは一水平走査周期に一個で良く、充放電が少なくなってその分消費電力を抑制できる。
【選択図】図２



【特許請求の範囲】
【請求項１】
画素アレイ部と駆動部とからなり、
前記画素アレイ部は、給電線と、行状の走査線と、列状の信号線と、各走査線と各信号線とが交差する部分に配された行列状の画素とを備え、
各画素は、少なくともサンプリングトランジスタと、ドライブトランジスタと、発光素子と、保持容量とを備え、
前記サンプリングトランジスタは、その制御端が該走査線に接続し、その一対の電流端が該信号線と該ドライブトランジスタの制御端との間に接続し、
前記ドライブトランジスタは、一対の電流端の一方が該発光素子に接続し、他方が給電線に接続し、
前記保持容量は該ドライブトランジスタの制御端と該ドライブトランジスタの一対の電流端の片方との間に接続しており、
前記駆動部は、水平走査周期毎に順次制御信号を各走査線に供給するライトスキャナと、各水平走査周期内で信号電位と基準電位とが切り換わる駆動信号を各信号線に供給する信号セレクタとを有し、
前記サンプリングトランジスタは該制御信号に応じて該駆動信号を該ドライブトランジスタの制御端に印加し、
前記ドライブトランジスタは、該駆動信号に応じて該発光素子に駆動電流を供給する表示装置であって、
前記ライトスキャナは、各走査線に対して一水平走査周期内に二発のパルスを含む制御信号を出力する出力バッファを有し、
前記出力バッファは、固定電源に接続した第一出力部とパルス電源に接続した第二出力部と備え、該二発のパルスの一方は該第一出力部から出力し、他方は該パルス電源から供給されるパルスを該第二出力部で抜き取って出力することを特徴とする表示装置。
【請求項２】
前記サンプリングトランジスタは、該第一出力部から出力された第一パルスに応じて該駆動信号の基準電位をサンプリングし、以って画素が該ドライブトランジスタの閾電圧のバラツキを補正する閾電圧補正動作を行う一方、該第二出力部から出力された第二パルスに応じて該駆動信号の信号電位をサンプリングし、以って画素が信号電位を該保持容量に書き込むと同時に該ドライブトランジスタの移動度のバラツキを補正する移動度補正動作を行うことを特徴とする請求項１記載の表示装置。
【請求項３】
前記ライトスキャナの各出力バッファは、各水平走査周期内で、第一パルスと第二パルスが時間的に重ならないように順次出力することを特徴とする請求項２記載の表示装置。
【請求項４】
前記ライトスキャナの各出力バッファは、各水平走査周期内で、初めに第一パルスを出力しその後時間をおいて第二パルスを出力することを特徴とする請求項３記載の表示装置。
【請求項５】
前記駆動部は、各給電線を高電位と低電位で切り換える電源スキャナを有しており、
前記電源スキャナは、各画素が閾電圧補正動作を行う時、該給電線を一旦低電位に切り換えてから高電位に戻すことを特徴とする請求項２記載の表示装置。
【請求項６】
請求項１に記載の表示装置を備えた電子機器。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は発光素子を画素に用いたアクティブマトリクス型の表示装置に関する。またこの種の表示装置を備えた電子機器に関する。

【背景技術】
【０００２】
発光素子として有機ＥＬデバイスを用いた平面自発光型の表示装置の開発が近年盛んになっている。有機ＥＬデバイスは有機薄膜に電界をかけると発光する現象を利用したデバイスである。有機ＥＬデバイスは印加電圧が１０Ｖ以下で駆動するため低消費電力である。また有機ＥＬデバイスは自ら光を発する自発光素子であるため、照明部材を必要とせず軽量化及び薄型化が容易である。さらに有機ＥＬデバイスの応答速度は数μｓ程度と非常に高速であるので、動画表示時の残像が発生しない。
【０００３】
有機ＥＬデバイスを画素に用いた平面自発光型の表示装置の中でも、とりわけ駆動素子として薄膜トランジスタを各画素に集積形成したアクティブマトリクス型の表示装置の開発が盛んである。アクティブマトリクス型平面自発光表示装置は、例えば以下の特許文献１ないし５に記載されている。
【特許文献１】特開２００３－２５５８５６
【特許文献２】特開２００３－２７１０９５
【特許文献３】特開２００４－１３３２４０
【特許文献４】特開２００４－０２９７９１
【特許文献５】特開２００４－０９３６８２
【発明の開示】
【発明が解決しようとする課題】
【０００４】
しかしながら、従来のアクティブマトリクス型平面自発光表示装置は、プロセス変動により発光素子を駆動するトランジスタ（ドライブトランジスタ）の閾電圧や移動度がばらついてしまう。また有機ＥＬデバイスの電流／電圧特性も経時的に変化する。この様なドライブトランジスタの特性ばらつきや有機ＥＬデバイスの特性変動は発光輝度に影響を与えてしまう。表示装置の画面全体にわたって発光輝度を均一に制御するため、各画素回路内で上述したドライブトランジスタや有機ＥＬデバイスの特性変動を補正する必要がある。従来からかかる補正機能を画素毎に備えた表示装置が提案されている。
【０００５】
ところで従来のアクティブマトリクス型平面自発光表示装置は、発光素子を駆動するドライブトランジスタに加え、映像信号電位や基準電位をサンプリングして画素内に保持するためのサンプリングトランジスタを備えているのが一般的である。従来の補正機能を備えた表示装置は、各画素に多様な補正動作を実行させるため、サンプリングトランジスタを水平走査周期毎に複数回オンオフ駆動して、信号電位や基準電位を所定のシーケンスに従ってサンプリングする必要がある。サンプリングトランジスタのオンオフ駆動のため高速のゲートパルスが必要となり、その分表示パネルの駆動電流が高くなり、消費電力の増加を招いていたという課題がある。
【課題を解決するための手段】
【０００６】
上述した従来の技術の課題に鑑み、本発明は各画素の多様な補正動作を実現しつつ、消費電力の抑制が可能な表示装置を提供することを目的とする。かかる目的を達成するために以下の手段を講じた。即ち本発明は、画素アレイ部と駆動部とからなり、前記画素アレイ部は、給電線と、行状の走査線と、列状の信号線と、各走査線と各信号線とが交差する部分に配された行列状の画素とを備え、各画素は、少なくともサンプリングトランジスタと、ドライブトランジスタと、発光素子と、保持容量とを備え、前記サンプリングトランジスタは、その制御端が該走査線に接続し、その一対の電流端が該信号線と該ドライブトランジスタの制御端との間に接続し、前記ドライブトランジスタは、一対の電流端の一方が該発光素子に接続し、他方が給電線に接続し、前記保持容量は該ドライブトランジスタの制御端と該ドライブトランジスタの一対の電流端の片方との間に接続しており、前記駆動部は、水平走査周期毎に順次制御信号を各走査線に供給するライトスキャナと、各水平

走査周期内で信号電位と基準電位とが切り換わる駆動信号を各信号線に供給する信号セレクタとを有し、前記サンプリングトランジスタは該制御信号に応じて該駆動信号を該ドライブトランジスタの制御端に印加し、前記ドライブトランジスタは、該駆動信号に応じて該発光素子に駆動電流を供給する表示装置であって、前記ライトスキャナは、各走査線に対して一水平走査周期内に二発のパルスを含む制御信号を出力する出力バッファを有し、前記出力バッファは、固定電源に接続した第一出力部とパルス電源に接続した第二出力部と備え、該二発のパルスの一方は該第一出力部から出力し、他方は該パルス電源から供給されるパルスを該第二出力部で抜き取って出力することを特徴とする。

【０００７】

好ましくは、前記サンプリングトランジスタは、該第一出力部から出力された第一パルスに応じて該駆動信号の基準電位をサンプリングし、以って画素が該ドライブトランジスタの閾電圧のバラツキを補正する閾電圧補正動作を行う一方、該第二出力部から出力された第二パルスに応じて該駆動信号の信号電位をサンプリングし、以って画素が信号電位を該保持容量に書き込むと同時に該ドライブトランジスタの移動度のバラツキを補正する移動度補正動作を行う。又前記ライトスキャナの各出力バッファは、各水平走査周期内で、第一パルスと第二パルスが時間的に重ならないように順次出力する。この場合、前記ライトスキャナの各出力バッファは、各水平走査周期内で、初めに第一パルスを出力しその後時間をおいて第二パルスを出力する。好ましくは、前記駆動部は、各給電線を高電位と低電位で切り換える電源スキャナを有しており、前記電源スキャナは、各画素が閾電圧補正動作を行う時、該給電線を一旦低電位に切り換えてから高電位に戻す。

【発明の効果】

【０００８】

本発明によれば、ライトスキャナは各走査線に対して一水平走査周期（１Ｈ）内に二発のパルスを含む制御信号を出力する出力バッファを備えており、これによりサンプリングトランジスタを１Ｈ毎２回オンオフして、閾電圧補正動作や信号電位書き込み動作及び移動度補正動作などを実行している。その際、この出力バッファは固定電源に接続した第一出力部とパルス電源に出力した第二出力部とに分かれており、二発のパルスの一方は第一出力部から出力し、他方はパルス電源から供給されるパルスを第二出力部で抜き取って走査線に出力している。この様にすることで、パルス電源は１Ｈにつき２個のパルスではなく、１個のパルスのみを出力すれば良いことになり、実効動作周波数がその分低くなり、表示パネルの消費電力を抑制できる。

【０００９】

補正動作の内容により、制御信号に含まれるパルスに要求される精度が異なる。比較的高い精度が要求される補正動作時には、第二出力部から供給される高精度のパルスを用い、高い精度が要求されない補正動作時には第一出力部から出力されるパルスで対応することが出来る。一般にパルス電源から供給されるパルスを抜き取った制御信号は波形歪や伝搬遅延が少なく高精度であるのに対し、固定電源に接続した通常のインバータなどからなる第一出力部から供給されるパルスは波形鈍りがあり、各走査線毎にばらつきがあるため、精度は高くない。そこで本発明は精度の異なる二種類のパルスを使い分けることで、パルス電源の負荷を減らし、以って表示装置モジュールの低消費電力化を可能にしたものである。

【発明を実施するための最良の形態】

【００１０】

以下図面を参照して本発明の実施の形態を詳細に説明する。図１は本発明にかかる表示装置の全体構成を示すブロック図である。図示するように、本表示装置は、画素アレイ部１とこれを駆動する駆動部とからなる。画素アレイ部１は、行状の走査線ＷＳと、列状の信号線（信号ライン）ＳＬと、両者が交差する部分に配された行列状の画素２と、各画素２の各行に対応して配された給電線（電源ライン）ＶＬとを備えている。なお本例は、各画素２にＲＧＢ三原色のいずれかが割り当てられており、カラー表示が可能である。但しこれに限られるものではなく、単色表示のデバイスも含む。駆動部は、各走査線ＷＳに順

次制御信号を供給して画素２を行単位で線順次走査するライトスキャナ４と、この線順次走査に合わせて各給電線ＶＬに第１電位と第２電位で切換る電源電圧を供給する電源スキャナ６と、この線順次走査に合わせて列状の信号線ＳＬに駆動信号となる信号電位と基準電位を供給する信号セレクタ（水平セレクタ）３とを備えている。

【００１１】

図２は、図１に示した表示装置に含まれる画素２の具体的な構成及び結線関係を示す回路図である。図示するように、この画素２は有機ＥＬデバイスなどで代表される発光素子ＥＬと、サンプリングトランジスタＴｒ１と、ドライブトランジスタＴｒｄと、保持容量Ｃｓとを含む。サンプリングトランジスタＴｒ１は、その制御端（ゲート）が対応する走査線ＷＳに接続し、一対の電流端（ソース及びドレイン）の片方が対応する信号線ＳＬに接続し、他方がドライブトランジスタＴｒｄの制御端（ゲートＧ）に接続する。ドライブトランジスタＴｒｄは、一対の電流端（ソースＳ及びドレイン）の一方が発光素子ＥＬに接続し、他方が対応する給電線ＶＬに接続している。本例では、ドライブトランジスタＴｒｄがＮチャネル型であり、そのドレインが給電線ＶＬに接続する一方、ソースＳが出力ノードとして発光素子ＥＬのアノードに接続している。発光素子ＥＬのカソードは所定のカソード電位Ｖｃａｔｈに接続している。保持容量Ｃｓはドライブトランジスタ Ｔｒｄの片方の電流端であるソースＳと制御端であるゲートＧの間に接続している。

【００１２】

かかる構成において、サンプリングトランジスタＴｒ１は走査線ＷＳから供給された制御信号に応じて導通し、信号線ＳＬから供給された信号電位をサンプリングして保持容量Ｃｓに保持する。ドライブトランジスタＴｒｄは、第１電位（高電位Ｖｄｄ）にある給電線ＶＬから電流の供給を受け保持容量Ｃｓに保持された信号電位に応じて駆動電流を発光素子ＥＬに流す。ライトスキャナ４は、信号線ＳＬが信号電位にある時間帯にサンプリングトランジスタＴｒ１を導通状態にするため、所定のパルス幅の制御信号を制御線ＷＳに出力し、以って保持容量Ｃｓに信号電位を保持すると同時にドライブトランジスタＴｒｄの移動度μに対する補正を信号電位に加える。この後ドライブトランジスタＴｒｄは保持容量Ｃｓに書き込まれた信号電位Ｖｓｉｇに応じた駆動電流を発光素子ＥＬに供給し、発光動作に入る。

【００１３】

本画素回路２は、上述した移動度補正機能に加え閾電圧補正機能も備えている。即ち電源スキャナ６は、サンプリングトランジスタＴｒ１が信号電位Ｖｓｉｇをサンプリングする前に、第１タイミングで給電線ＶＬを第１電位（高電位Ｖｄｄ）から第２電位（低電位Ｖｓｓ２）に切換える。またライトスキャナ４は同じくサンプリングトランジスタＴｒ１が信号電位Ｖｓｉｇをサンプリングする前に、第２タイミングでサンプリングトランジスタＴｒ１を導通させて信号線ＳＬから基準電位Ｖｓｓ１をドライブトランジスタＴｒｄのゲートＧに印加すると共にドライブトランジスタＴｒｄのソースＳを第２電位（Ｖｓｓ２）にセットする。電源スキャナ６は第２タイミングの後の第３タイミングで給電線ＶＬを第２電位Ｖｓｓ２から第１電位Ｖｄｄに切換えて、ドライブトランジスタＴｒｄの閾電圧Ｖｔｈに相当する電圧を保持容量Ｃｓに保持する。かかる閾電圧補正機能により、本表示装置は画素毎にばらつくドライブトランジスタＴｒｄの閾電圧Ｖｔｈの影響をキャンセルすることができる。

【００１４】

本画素回路２は、さらにブートストラップ機能も備えている。即ちライトスキャナ４は保持容量Ｃｓに信号電位Ｖｓｉｇが保持された段階で走査線ＷＳに対する制御信号の印加を解除し、サンプリングトランジスタＴｒ１を非道通状態にしてドライブトランジスタＴｒｄのゲートＧを信号線ＳＬから電気的に切り離し、以ってドライブトランジスタＴｒｄのソースＳの電位変動にゲートＧの電位が連動し、ゲートＧとソースＳ間の電圧Ｖｇｓを一定に維持することができる。

【００１５】

図３は、図２に示した画素回路２の動作説明に供するタイミングチャートである。時間

軸を共通にして、走査線ＷＳの電位変化、給電線ＶＬの電位変化及び信号線ＳＬの電位変化を表している。またこれらの電位変化と並行に、ドライブトランジスタのゲートＧ及びソースＳの電位変化も表してある。

【００１６】

本発明の特徴として走査線ＷＳには、サンプリングトランジスタＴｒ１をオンするための制御信号パルスが印加される。この制御信号パルスは画素アレイ部の線順次走査に合わせて１フィールド（１ｆ）周期で走査線ＷＳに印加される。この制御信号パルスは一水平走査周期（１Ｈ）の間に二発のパルスを含んでいる。以下本明細書では、最初のパルスを第一パルスＰ１とし、後続のパルスを第二パルスＰ２と呼ぶ場合がある。給電線ＶＬは同じように１フィールド周期（１ｆ）で高電位Ｖｄｄと低電位Ｖｓｓ２との間で切換る。信号線ＳＬには一水平走査周期（１Ｈ）内で信号電位Ｖｓｉｇと基準電位Ｖｓｓ１が切換る駆動信号を供給している。

【００１７】

図３のタイミングチャートに示すように、画素は前のフィールドの発光期間から当該フィールドの非発光期間に入り、そのあと当該フィールドの発光期間となる。この非発光期間で準備動作、閾電圧補正動作、信号書込動作、移動度補正動作などを行う。

【００１８】

前フィールドの発光期間では、給電線ＶＬが高電位Ｖｄｄにあり、ドライブトランジスタＴｒｄが駆動電流Ｉｄｓを発光素子ＥＬに供給している。駆動電流Ｉｄｓは高電位Ｖｄｄにある給電線ＶＬからドライブトランジスタＴｒｄを介して発光素子ＥＬを通り、カソードラインに流れ込んでいる。

【００１９】

続いて当該フィールドの非発光期間に入るとまずタイミングＴ１で給電線ＶＬを高電位Ｖｄｄから低電位Ｖｓｓ２に切換える。これにより給電線ＶＬはＶｓｓ２まで放電され、さらにドライブトランジスタＴｒｄのソースＳの電位はＶｓｓ２まで下降する。これにより発光素子ＥＬのアノード電位（即ちドライブトランジスタＴｒｄのソース電位）は逆バイアス状態となるため、駆動電流が流れなくなり消灯する。またドライブトランジスタのソースＳの電位降下に連動してゲートＧの電位も降下する。

【００２０】

続いてタイミングＴ２になると、走査線ＷＳを低レベルから高レベルに切換えることで、サンプリングトランジスタＴｒ１が導通状態になる。この時信号線ＳＬは基準電位Ｖｓｓ１にある。よってドライブトランジスタＴｒｄのゲートＧの電位は導通したサンプリングトランジスタＴｒ１を通じて信号線ＳＬの基準電位Ｖｓｓ１となる。この時ドライブトランジスタＴｒｄのソースＳの電位はＶｓｓ１よりも十分低い電位Ｖｓｓ２にある。この様にしてドライブトランジスタＴｒｄのゲートＧとソースＳとの間の電圧ＶｇｓがドライブトランジスタＴｒｄの閾電圧Ｖｔｈより大きくなるように、初期化される。タイミングＴ１からタイミングＴ３までの期間Ｔ１‐Ｔ３はドライブトランジスタＴｒｄのゲートＧ／ソースＳ間電圧Ｖｇｓを予めＶｔｈ以上に設定する準備期間である。

【００２１】

この後タイミングＴ３になると、給電線ＶＬが低電位Ｖｓｓ２から高電位Ｖｄｄに遷移し、ドライブトランジスタＴｒｄのソースＳの電位が上昇を開始する。やがてドリライブトランジスタＴｒｄのゲートＧ／ソースＳ間電圧Ｖｇｓが閾電圧Ｖｔｈとなった所で電流がカットオフする。この様にしてドライブトランジスタＴｒｄの閾電圧Ｖｔｈに相当する電圧が保持容量Ｃｓに書き込まれる。これが閾電圧補正動作である。この時電流がもっぱら保持容量Ｃｓ側に流れ、発光素子ＥＬには流れないようにするため、発光素子ＥＬがカットオフとなるようにカソード電位Ｖｃａｔｈを設定しておく。

【００２２】

タイミングＴ４では走査線ＷＳがハイレベルからローレベルに戻る。換言すると、走査線ＷＳに印加された第一パルスＰ１が解除され、サンプリングトランジスタはオフ状態になる。以上の説明から明らかなように、第一パルスＰ１は閾電圧補正動作を行うために、

サンプリングトランジスタＴｒ１のゲートに印加される。

【００２３】

この後信号線ＳＬが基準電位Ｖｓｓ１から信号電位Ｖｓｉｇに切換る。続いてタイミングＴ５で走査線ＷＳが再びローレベルからハイレベルに立上る。換言すると第二パルスＰ２がサンプリングトランジスタＴｒ１のゲートに印加される。これによりサンプリングトランジスタＴｒ１は再びオンし、信号線ＳＬから信号電位Ｖｓｉｇをサンプリングする。よってドライブトランジスタＴｒｄのゲートＧの電位は信号電位Ｖｓｉｇになる。ここで発光素子ＥＬは始めカットオフ状態（ハイインピーダンス状態）にあるためドライブトランジスタＴｒｄのドレインとソースの間に流れる電流は専ら保持容量Ｃｓと発光素子ＥＬの等価容量に流れ込み充電を開始する。この後サンプリングトランジスタＴｒ１がオフするタイミングＴ６までに、ドライブトランジスタＴｒｄのソースＳの電位はΔＶだけ上昇する。この様にして映像信号の信号電位ＶｓｉｇがＶｔｈに足し込まれる形で保持容量Ｃｓに書き込まれる共に、移動度補正用の電圧ΔＶが保持容量Ｃｓに保持された電圧から差し引かれる。よってタイミングＴ５からタイミングＴ６まで期間Ｔ５‐Ｔ６が信号書込期間＆移動度補正期間となる。換言すると、走査線ＷＳに第二パルスＰ２が印加されると、信号書込動作及び移動度補正動作が行われる。信号書込期間＆移動度補正期間Ｔ５‐Ｔ６は、第二パルスＰ２のパルス幅に等しい。即ち第二パルスＰ２のパルス幅が移動度補正期間を規定している。

【００２４】

この様に信号書込期間Ｔ５‐Ｔ６では信号電にＶｓｉｇの書き込みと補正量ΔＶの調整が同時に行われる。Ｖｓｉｇが高いほどドライブトランジスタＴｒｄが供給する電流Ｉｄｓは大きくなり、ΔＶの絶対値も大きくなる。従って発光輝度レベルに応じた移動度補正が行われる。Ｖｓｉｇを一定とした場合、ドライブトランジスタＴｒｄの移動度μが大きいほどΔＶの絶対値が大きくなる。換言すると移動度μが大きいほど保持容量Ｃｓに対する負帰還量ΔＶが大きくなるので、画素毎の移動度μのばらつきを取り除くことが出来る。

【００２５】

最後にタイミングＴ６になると、前述したように走査線ＷＳが低レベル側に遷移し、サンプリングトランジスタＴｒ１はオフ状態となる。これによりドライブトランジスタＴｒｄのゲートＧは信号線ＳＬから切り離される。同時にドレイン電流Ｉｄｓが発光素子ＥＬを流れ始める。これにより発光素子ＥＬのアノード電位は駆動電流Ｉｄｓに応じて上昇する。発光素子ＥＬのアノード電位の上昇は、即ちドライブトランジスタＴｒｄのソースＳの電位上昇に他ならない。ドライブトランジスタＴｒｄのソースＳの電位が上昇すると、保持容量Ｃｓのブートストラップ動作によりドライブトランジスタＴｒｄのゲートＧの電位も連動して上昇する。ゲート電位の上昇量はソース電位の上昇量に等しくなる。ゆえに発光期間中ドライブトランジスタＴｒｄのゲートＧ／ソースＳ間電圧Ｖｇｓは一定に保持される。このＶｇｓの値は信号電位Ｖｓｉｇに閾電圧Ｖｔｈ及び移動量μの補正をかけたものとなっている。ドライブトランジスタＴｒｄは、飽和領域で動作する。即ちドライブトランジスタＴｒｄは、ゲートＧ／ソースＳ間電圧Ｖｇｓに応じた駆動電流Ｉｄｓを供給する。このＶｇｓの値は信号電位Ｖｓｉｇに閾電圧Ｖｔｈ及び移動量μの補正をかけたものとなっている。

【００２６】

図４は、図１及び図２に示したライトスキャナ４の第１参考例を示す模式的な回路図である。図４は、ライトスキャナ４の出力部３段分と、これに接続される画素アレイ部１の３行分（３ライン分）を模式的に表している。

【００２７】

ライトスキャナ４はシフトレジスタＳ／Ｒで構成されており、外部から入力されるクロック信号に応じて動作し、同じく外部から入力されるスタート信号を順次転走することで、各段毎に順次信号を出力している。シフトレジスタＳ／Ｒの各段には出力バッファ４Ｂの一部であるＮＡＮＤ素子が接続されており、隣り合う段のＳ／Ｒから出力された順次信

号をＮＡＮＤ処理して、制御信号の元になる矩形波形を生成している。この矩形波形はインバータを介して出力バッファ４Ｂの出力部となる別のインバータに入力される。出力バッファ４Ｂはシフトレジスタ５Ｒ側から供給される入力信号に応じて動作し、最終的な制御信号を対応する画素アレイ部１の走査線ＷＳに供給している。図示するように走査線ＷＳに出力された制御信号は二連パルスＰ１，Ｐ２からなる。

【００２８】

出力バッファ４Ｂ出力部は電源電位Ｖｃｃと接地電位Ｖｓｓとの間に直列接続された一対のスイッチング素子からなる。本参考例はこの出力部がインバータ構成となっており、一方のスイッチング素子がＰチャネル型トランジスタＴｒＰ（典型的にはＰＭＯＳトランジスタ）で、他方がＮチャネル型トランジスタＴｒＮ（典型的にはＮＭＯＳトランジスタ）からなる。なお各出力バッファに接続される画素アレイ部１側の各ラインは、等価回路的に抵抗成分Ｒと容量成分Ｃで表してある。

【００２９】

インバータ構成の出力部は、ＰチャネルトランジスタＴｒＰとＮチャネルトランジスタＴｒＮが交互にオンすることで制御信号の矩形パルスを出力している。ＰチャネルトランジスタＴｒＰがオンしたとき、インバータの出力ノードは電源電位Ｖｃｃ側に急激に持ち上げられる。即ちＰチャネルトランジスタＴｒＰは制御信号ＷＳの立上り波形を主として形成している。一方インバータのＮチャネルトランジスタＴｒＮがオンすると、インバータの出力ノードは急激に接地ラインＶｓｓ側に引き下げられる。換言するとインバータのＮチャネルトランジスタＴｒＮは、主として制御信号ＷＳの立下り波形を形成している。

【００３０】

ライトスキャナ４の出力バッファから供給される制御信号は第一パルスＰ１と第二パルスＰ２を含んでいる。前述したように第一パルスＰ１はＶｔｈ補正動作のときに出力され、そのパルス幅がＶｔｈ補正期間を規定している。第二パルスＰ２は移動度補正動作のときに出力され、そのパルス幅が移動度補正期間を規定している。一般にＶｔｈ補正期間は数十μｓのオーダーでそれほど正確に制御する必要はない。一方移動度補正期間は通常数μｓと短く、しかも高い精度が要求される。移動度補正期間がライン毎にばらつくと、補正量ΔＶがライン毎にばらつくため、結果的に輝度がライン毎にばらついてしまう。これにより画面上に水平方向の筋が入るため、画像品位を損なうことになる。

【００３１】

第二パルスＰ２は基本的に矩形波形であり、パルス幅にばらつきは生じないはずである。しかしながら実際にはパルスＰ２の立上り波形及び立下り波形が鈍るため、実効パルス幅に差が生じる。各段の出力バッファを構成するトランジスタに特性上のばらつきがあると、この影響を受けてパルスＰ２の波形に鈍りが生じ、精度の悪化を招く。図４に示した第１参考例は単純なインバータ構成で矩形パルスＰ１，Ｐ２を出力しているため、各段ごとに波形鈍りの差が生じ、精度の悪化を招いている。特に第二パルスＰ２の精度の低下は画面上に筋ムラとなって現れ、画像品位を損なう恐れがある。

【００３２】

図５は、ライトスキャナの第２参考例を示す模式的な回路図である。理解を容易にするため、図４に示したライトスキャナの第１参考例と対応する部分には対応する参照番号を付してある。異なる点は、パルス電源７が各段の出力バッファ４Ｂの電源ラインに接続されていることである。パルス電源７はライトスキャナ４側と同期して動作し、１Ｈ毎に第一パルスＰ１及び第二パルスＰ２を含む電源パルスを出力バッファの電源ラインに供給している。一方出力バッファ４ＢはシフトレジスタＳ／Ｒから出力されたゲートパルスに応じてオンし、電源ラインから供給された二連の電源パルスＰ１，Ｐ２を抜き取り、そのまま走査線ＷＳに出力している。

【００３３】

パルス電源７から供給されるパルスＰ１，Ｐ２は安定した波形となっており、いずれの段の出力バッファ４Ｂも、この安定した精度の高いパルスＰ１，Ｐ２を抜き取って、そのまま対応する走査線ＷＳに出力している。従って第２参考例では、各段毎で第二パルスＰ

２のパルス幅に大きな差は無く、移動度補正期間のばらつきは抑制されている。従って画面に水平な筋ムラが現れることが無く、画像品位を改善することが出来る。

【００３４】

図６は、図５に示した第２参考例にかかるライトスキャナの動作説明に供するタイミングチャートである。図示するように、パルス電源７は１Ｈ毎に二連のパルスＰ１，Ｐ２を含む電源パルス列を出力バッファの電源ラインに供給している。図示のタイミングチャートは、電源パルスと時系列を合わせて、各出力バッファの最終出力部を構成するインバータの入力パルスと出力パルスも表している。図では、Ｎ－１段目及びＮ段目の出力バッファに供給される入力パルスと出力パルスを表してある。入力パルスは１段毎に１Ｈずつシフトしていく矩形パルスである。Ｎ－１段目の出力バッファに入力パルスが供給されると、インバータがオンし電源ラインから二連のパルスＰ１，Ｐ２をそのまま抜き取る。これがＮ－１段目の出力バッファの出力パルスとなって、そのまま対応するＮ－１ライン目の走査線ＷＳに出力される。同様にしてＮ段目の出力バッファに入力パルスが印加されると、二連の出力パルスＰ１，Ｐ２がＮ段目の出力バッファから対応する走査線ＷＳに出力される。

【００３５】

ここで各段毎に出力される第一パルスＰ１はタイミングＴ２～Ｔ４までＶｔｈ補正期間を規定している。また各段毎に出力される第二パルスＰ２はタイミングＴ５～タイミングＴ６まで信号書き込み＆移動度補正期間を規定している。各段毎に出力されるラインパルスＰ２は、電源パルス列から１Ｈ毎にパルスＰ２をそのまま抜き取って出力したものであり、各段ごとでパルス幅に大きな差はない。従って各ライン毎に移動度補正期間Ｔ５‐Ｔ６は一定に保たれ、横筋ムラのような画品位の低下は生じない。

【００３６】

しかしながら図６に示した第２参考例は、１Ｈ毎に二連のパルスＰ１，Ｐ２を出力するため、パルス電源７は１Ｈの間に２回の充放電が必要となり、ライトスキャナの出力バッファの消費電力が倍増してしまう。パネルが高精細化すると走査線数も増加するので、さらに消費電力が増加してしまう。よってパネルの高精細化に伴い、ライトスキャナの出力バッファの消費電力を抑制することが緊急の課題となっている。

【００３７】

図７は、本発明にかかるライトスキャナの実施形態を示す模式的な回路図であり、特にライトスキャナの出力バッファの部分を表してある。図７の（Ａ）は第１実施形態であり、（Ｂ）は第２実施形態となっている。第１実施形態を参照すると、ライトスキャナの出力バッファは、対応する走査線ＷＳに対して一水平走査周期（１Ｈ）内に二発のパルスを含む制御信号を出力する。この出力バッファは、固定電位Ｖｃｃに接続した第一出力部とパルス電源に接続した第二出力部とを備え、二発のパルスの一方は第一出力部から出力し、他方はパルス電源から供給されるパルスを第二出力部で抜き取って出力する。

【００３８】

この第１実施形態は、第一出力部がＰチャネルトランジスタＴｒＰ１からなり、第二出力部が同じくＰチャネルトランジスタＴｒＰ２からなる。第１ＰチャネルトランジスタＴｒＰ１のソースは電源Ｖｃｃに接続され、ドレインは出力端子に接続され、ゲートには入力信号１が印加される。この第１ＰチャネルトランジスタＴｒＰ１のドレインにはＮチャネル型トランジスタＴｒＮのドレインが接続している。ＮチャネルトランジスタＴｒＮのソースは接地ラインＶｓｓに接続しており、ゲートには入力信号３が印加される。ＰチャネルトランジスタＴｒＰ１とＮチャネルトランジスタＴｒＮはインバータを構成している。この部分は、図４に示した第１参考例の出力部と同じ構成である。

【００３９】

第２ＰチャネルトランジスタＴｒＰ２はそのソースがパルス電源に接続されており、ドレインが出力端子に出力されており、ゲートには入力信号２が印加される。このＰチャネルトランジスタＴｒＰ２と前述したＮチャネルトランジスタＴｒＮとでインバータを構成している。この部分は図５に示した第２参考例の出力部と同様の構成である。以上のこと

から理解されるように、図７の（Ａ）に示した第１実施形態は、第１参考例と第２参考例を組み合わせたハイブリッド型となっている。

【００４０】

図７の（Ｂ）に示した第２実施形態は、基本的に（Ａ）に示した第１実施形態と同様な構成となっている。異なる点は、第二出力部を構成するスイッチング素子を、Ｐチャネルトランジスタ ＴｒＰ２からトランスミッションゲート素子ＴＧに代えたことである。第二出力部はパルス電源から供給されたパルスをそのまま歪ませること無く抜き取って対応する走査線ＷＳに出力しなければならない。このためより線形性に優れたスイッチング素子としてトランスミッションゲート素子ＴＧを用いている。但しトランスミッションゲート素子ＴＧは一対のＰチャネルトランジスタとＮチャネルトランジスタで構成されるため、（Ａ）に示した第１実施形態に比べ、各段当たり１個のトランジスタ分だけ素子数が増えることになる。

【００４１】

図８は、図７に示した第１実施形態及び第２実施形態にかかる出力バッファの動作説明に供するタイミングチャートである。パルス電源７から供給される電源パルスは、１Ｈ当たり１個のパルスのみを含んでいる。パルス電源は１Ｈ当たり１回の充放電動作で済むため、前述した第２参考例に比べ消費電力をほぼ半減することが出来る。電源パルスと時系列を揃えて出力バッファの入力信号１，２，３及び出力信号の波形を表している。入力信号１は固定電源Ｖｃｃに接続したＰチャネルトランジスタＴｒＰ１に入力されており、これに応答して第一パルスＰ１が出力される。この第一パルスＰ１はＶｔｈ補正用に用いられる。入力信号２はパルス電源に接続したＰチャネルトランジスタＴｒＰ２に入力されており、パルス電源からパルスを抜き取り、第二パルスＰ２として対応するＮライン目の走査線ＷＳに出力する。ここで第二パルスＰ２は信号電位書き込みと移動度補正に用いる。ここで入力信号１と入力信号２は１Ｈ内で交互に入り、これらがタイミング的にオーバーラップすることは無い。入力信号３はＮチャネルトランジスタＴｒＮに入力される。このＮチャネルトランジスタＴｒＮは２つのＰチャネルトランジスタＴｒＰ１，ＴｒＰ２がオンしている期間オフ状態にする必要があるので、入力信号３は結局入力信号１と入力信号２を合成した波形となっている。

【００４２】

前述したようにＶｔｈ補正期間は数十μｓのオーダーであり、その間にドライブトランジスタをカットオフさせることが出来れば良いため、時間的な精度は厳しくない。ライトスキャナの出力バッファから供給される第一パルスの時間幅や位相にばらつきがあっても大きな問題は無い。そこで本発明では、第一パルスＰ１はパルス電源から抜き取る方式ではなく、通常の固定電源に接続されたインバータで形成している。一方移動度補正期間は駆動信号との関係もあって位相ばらつきがあってはならず、時間幅も数μｓのオーダーで精密に制御する必要がある。そこで本発明はパルス電源から供給されるパルスをそのまま抜き取って対応する走査線に出力している。これにより第二パルスＰ２の位相ばらつきや時間幅のばらつきを抑制することが出来、移動度補正期間Ｔ５‐Ｔ６を最適な時間に設定できる。以上のように本発明ではライトスキャナの最終段バッファにおいて、Ｖｔｈ補正用の第一パルスＰ１は固定電源を用いて形成し、移動度補正用の第二パルスは電源パルスを抜き取って形成している。これによりパルス電源は１Ｈに１回のパルスを出力できれば良く、充放電の回数を削減できるのでパネルモジュールの消費電力を大幅に抑制できる。同時に移動度補正時間のばらつきを抑制することが可能であり、高いユニフォーミティを得ることが出来る。

【００４３】

図９は、図７（Ａ）に示した出力バッファを組み込んだライトスキャナの具体的な回路構成を示す回路図である。理解を容易にするため、ライトスキャナの１段分を示すと共に、回路上のノードＡ，Ｂ，Ｃ，Ｄで観測される波形を表してある。なお一対のナンドゲート素子ＮＡＮＤに印加される制御信号ＥＮＢ１，ＥＮＢ２はそれぞれ閾電圧補正動作と移動度補正動作のタイミングを制御している信号であり、表示パネルの外部から１Ｈ周期で

入力されている。

【００４４】

本発明にかかる表示装置は、図１０に示すような薄膜デバイス構成を有する。本図は、絶縁性の基板に形成された画素の模式的な断面構造を表している。図示するように、画素は、複数の薄膜トランジタを含むトランジスター部（図では１個のＴＦＴを例示）、保持容量などの容量部及び有機ＥＬ素子などの発光部とを含む。基板の上にＴＦＴプロセスでトランジスター部や容量部が形成され、その上に有機ＥＬ素子などの発光部が積層されている。その上に接着剤を介して透明な対向基板を貼り付けてフラットパネルとしている。

【００４５】

本発明にかかる表示装置は、図１１に示すようにフラット型のモジュール形状のものを含む。例えば絶縁性の基板上に、有機ＥＬ素子、薄膜トランジスタ、薄膜容量等からなる画素をマトリックス状に集積形成した画素アレイ部を設ける、この画素アレイ部（画素マトリックス部）を囲むように接着剤を配し、ガラス等の対向基板を貼り付けて表示モジュールとする。この透明な対向基板には必要に応じて、カラーフィルタ、保護膜、遮光膜等を設けてもよい。表示モジュールには、外部から画素アレイ部への信号等を入出力するためのコネクタとして例えばＦＰＣ（フレキシブルプリントサーキット）を設けてもよい。

【００４６】

以上説明した本発明における表示装置は、フラットパネル形状を有し、様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピューター、携帯電話、ビデオカメラなど、電子機器に入力された、若しくは、電子機器内で生成した駆動信号を画像若しくは映像として表示するあらゆる分野の電子機器のディスプレイに適用することが可能である。以下この様な表示装置が適用された電子機器の例を示す。

【００４７】

図１２は本発明が適用されたテレビであり、フロントパネル１２、フィルターガラス１３等から構成される映像表示画面１１を含み、本発明の表示装置をその映像表示画面１１に用いることにより作製される。

【００４８】

図１３は本発明が適用されたデジタルカメラであり、上が正面図で下が背面図である。このデジタルカメラは、撮像レンズ、フラッシュ用の発光部１５、表示部１６、コントロールスイッチ、メニュースイッチ、シャッター１９等を含み、本発明の表示装置をその表示部１６に用いることにより作製される。

【００４９】

図１４は本発明が適用されたノート型パーソナルコンピュータであり、本体２０には文字等を入力するとき操作されるキーボード２１を含み、本体カバーには画像を表示する表示部２２を含み、本発明の表示装置をその表示部２２に用いることにより作製される。

【００５０】

図１５は本発明が適用された携帯端末装置であり、左が開いた状態を表し、右が閉じた状態を表している。この携帯端末装置は、上側筐体２３、下側筐体２４、連結部（ここではヒンジ部）２５、ディスプレイ２６、サブディスプレイ２７、ピクチャーライト２８、カメラ２９等を含み、本発明の表示装置をそのディスプレイ２６やサブディスプレイ２７に用いることにより作製される。

【００５１】

図１６は本発明が適用されたビデオカメラであり、本体部３０、前方を向いた側面に被写体撮影用のレンズ３４、撮影時のスタート／ストップスイッチ３５、モニター３６等を含み、本発明の表示装置をそのモニター３６に用いることにより作製される。

【図面の簡単な説明】

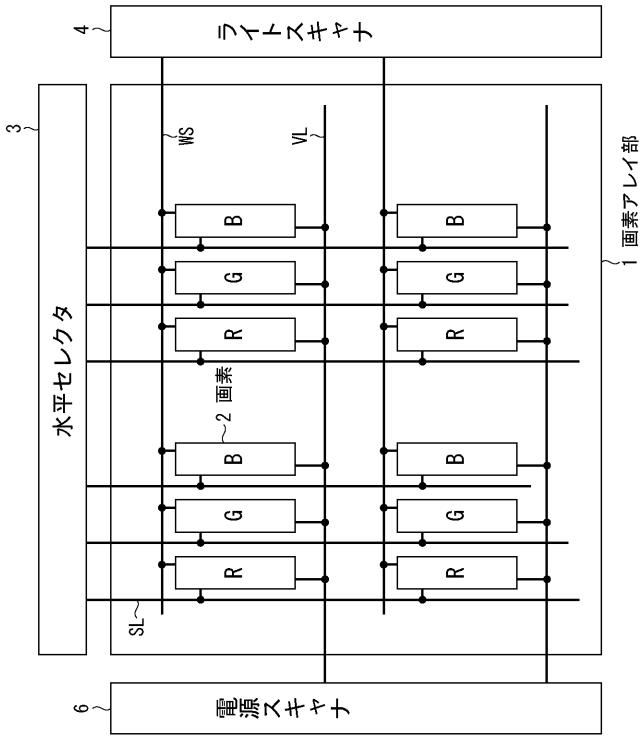
【００５２】

【図１】本発明にかかる表示装置の全体構成を示すブロック図である。

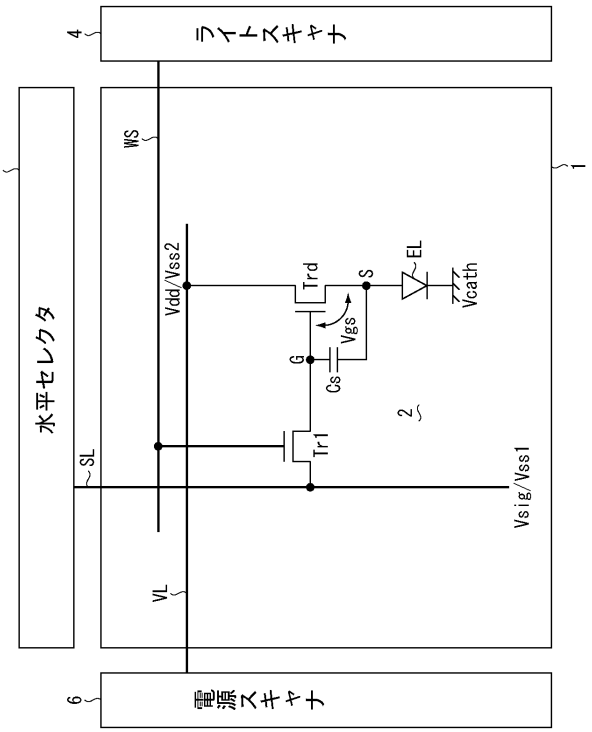
【図２】図１に示した表示装置の具体的な構成を示す回路図である。

【図３】図２に示した表示装置の動作説明に供するタイミングチャートである。
【図４】表示装置の周辺駆動部に含まれるライトスキャナの第１参考例を示す回路図である。
【図５】同じく第２参考例を示す回路図である。
【図６】第２参考例の動作説明に供する波形図である。
【図７】本発明にかかる表示装置に組み込まれるライトスキャナの実施形態を示す回路図である。
【図８】図７に示したライトスキャナの動作説明に供する波形図である。
【図９】本発明にかかるライトスキャナの具体的な実施例を示す回路図である。
【図１０】本発明にかかる表示装置のデバイス構成を示す断面図である。
【図１１】本発明にかかる表示装置のモジュール構成を示す平面図である。
【図１２】本発明にかかる表示装置を備えたテレビジョンセットを示す斜視図である。
【図１３】本発明にかかる表示装置を備えたデジタルスチルカメラを示す斜視図である。
【図１４】本発明にかかる表示装置を備えたノート型パーソナルコンピューターを示す斜視図である。
【図１５】本発明にかかる表示装置を備えた携帯端末装置を示す模式図である。
【図１６】本発明にかかる表示装置を備えたビデオカメラを示す斜視図である。
【符号の説明】
【００５３】
１・・・画素アレイ部、２・・・画素、３・・・水平セレクタ（信号セレクタ）、４・・・ライトスキャナ、４Ｂ・・・出力バッファ、６・・・電源スキャナ、７・・・パルス電源、Ｔｒ１・・・サンプリングトランジスタ、Ｔｒｄ・・・ドライブトランジスタ、Ｃｓ・・・保持容量、ＥＬ・・・発光素子

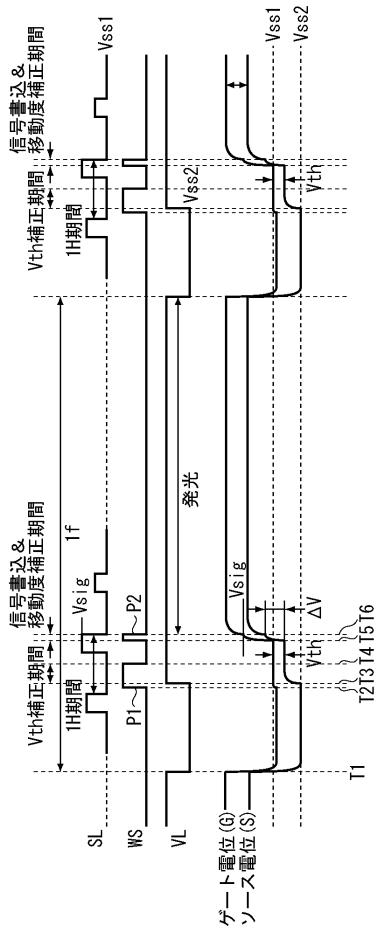
【図１】



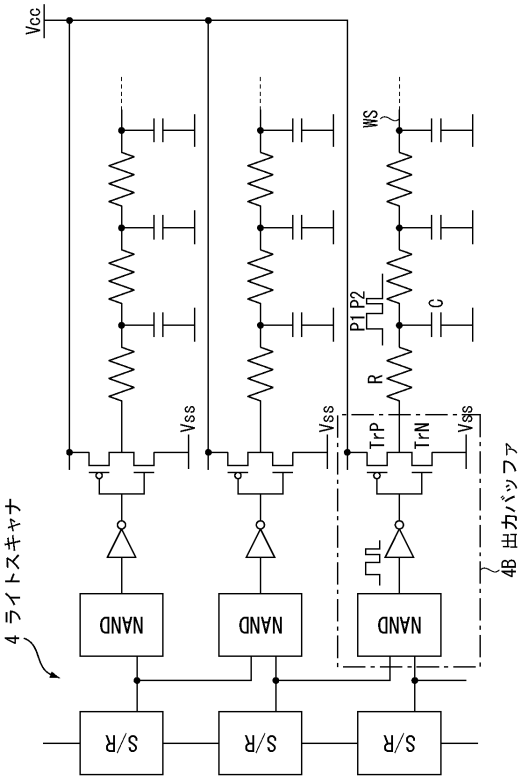

【図２】



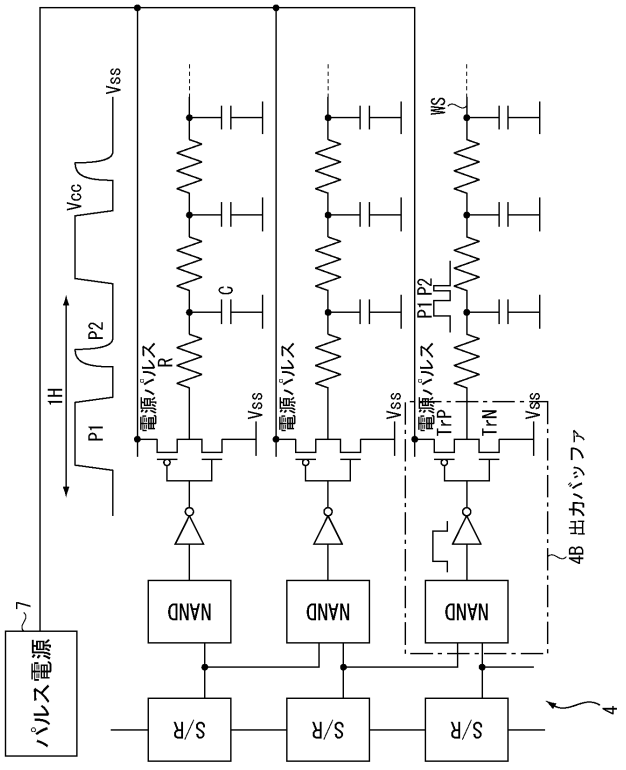
【図３】


信号書込＆
移動度補正期間
Vth補正期間
1H期間
Vss1
Vss2
Vss2
Vth
1f
Vsig
P2
P1
発光
ΔV
T1
T2T3T4 T5T6
SL
WS
VL
ゲート電位(G)
ソース電位(S)

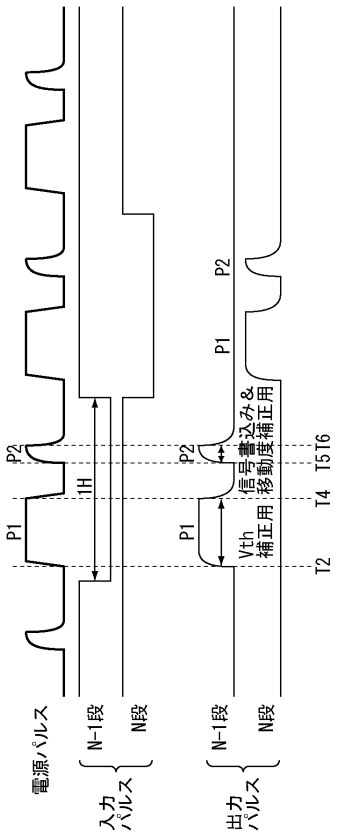
【図４】


Vcc
Vss
WS
P1 P2
R
C
TrP
TrN
NAND
S/R
4 ライトスキャナ
4B 出力バッファ

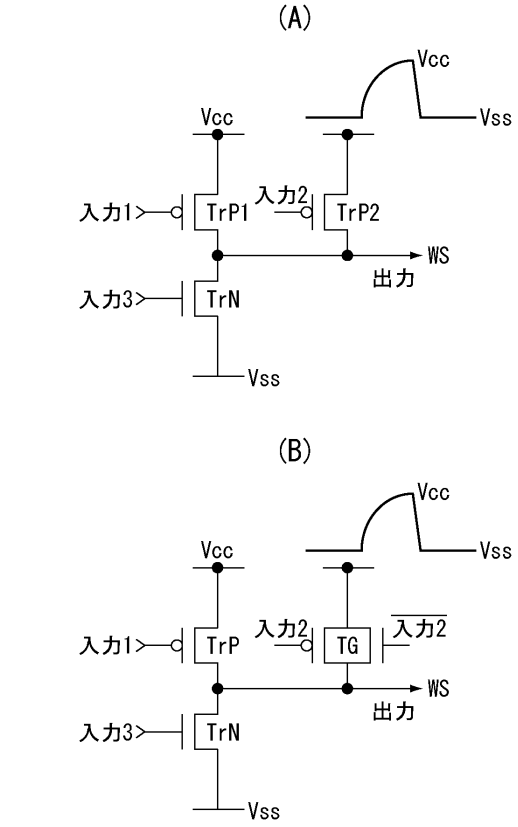
【図５】


パルス電源
7
1H
P1
P2
Vcc
Vss
電源パルス
R
C
WS
TrP
TrN
NAND
S/R
4
4B 出力バッファ

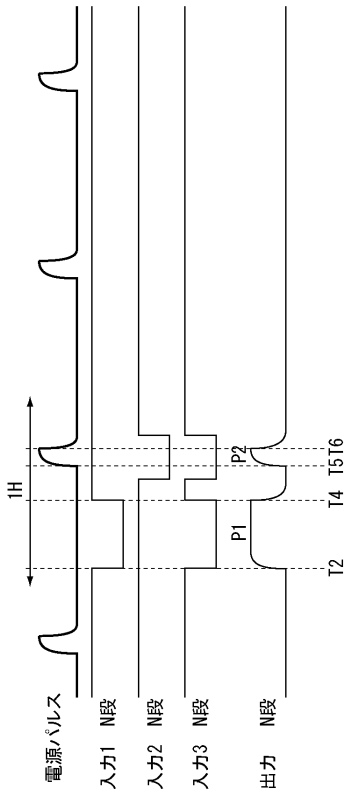
【図６】


電源パルス
入力パルス
出力パルス
N-1段
N段
P1
P2
1H
信号書込み＆
移動度補正用
Vth
補正用
T2
T4
T5T6

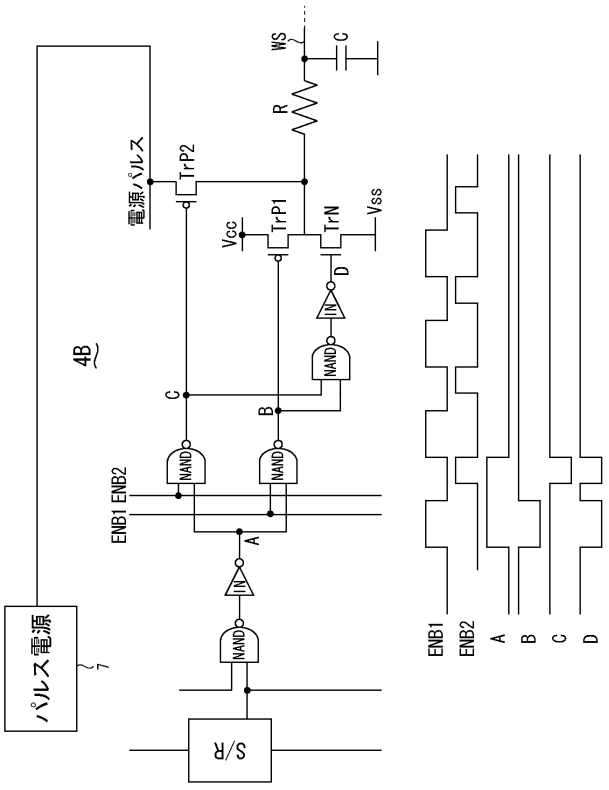
【図７】



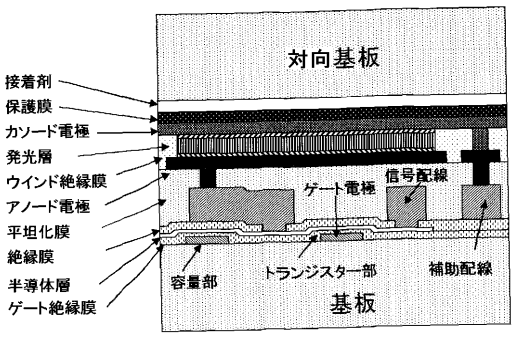

【図８】



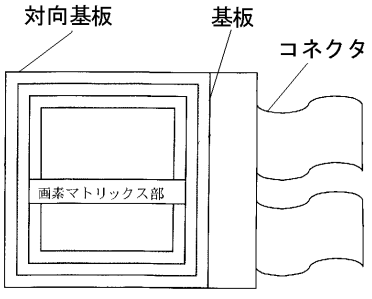

【図９】



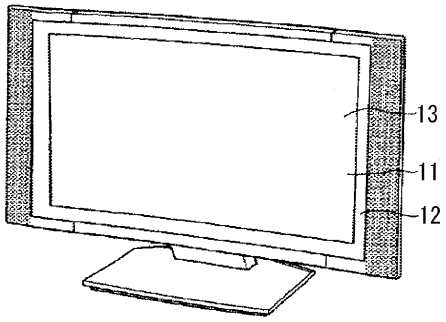

【図１０】



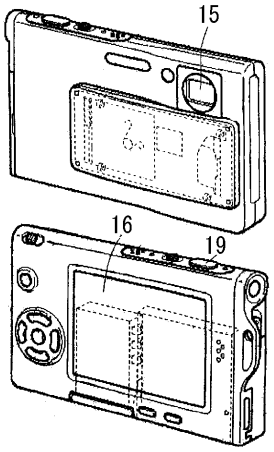

【図１１】



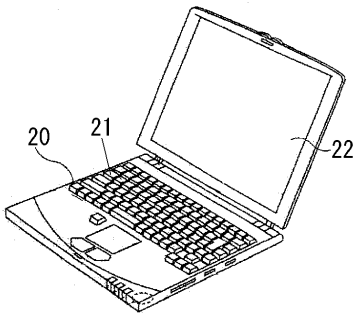
【図１２】



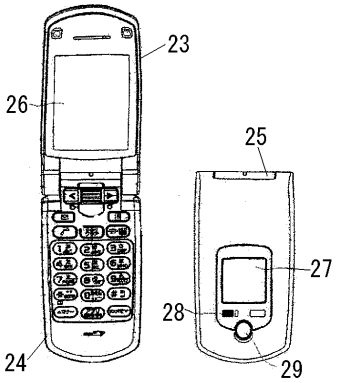

【図１３】



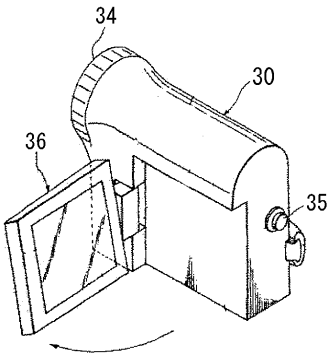

【図１４】




【図１５】




【図１６】



フロントページの続き

| (51)Int.Cl. | FI | | テーマコード（参考） |
|---|---|---|---|
| | G09G 3/20 | 624B | |
| | H05B 33/14 | A | |
| | G09G 3/20 | 642A | |
| | G09G 3/20 | 642P | |

Fターム(参考) 5C080 AA06 BB05 DD05 DD26 EE29 FF01 FF07 FF11 HH09 JJ02
JJ03 JJ04 JJ06 KK01 KK07 KK43 KK47