



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201251039 A1

(43)公開日：中華民國 101 (2012) 年 12 月 16 日

(21)申請案號：101113657

(22)申請日：中華民國 101 (2012) 年 04 月 17 日

(51)Int. Cl. : *H01L31/0312(2006.01)*

H01L21/08 (2006.01)

H01L21/20 (2006.01)

H01L21/265 (2006.01)

H01L21/316 (2006.01)

H01L21/324 (2006.01)

(30)優先權：2011/06/01 日本

2011-123076

(71)申請人：住友電氣工業股份有限公司 (日本) SUMITOMO ELECTRIC INDUSTRIES, LTD.

(JP)

日本

(72)發明人：穗永美紗子 HONAGA, MISAKO (JP)；增田健良 MASUDA, TAKEYOSHI (JP)；

和田圭司 WADA, KEIJI (JP)；日吉透 HIYOSHI, TORU (JP)

(74)代理人：陳長文

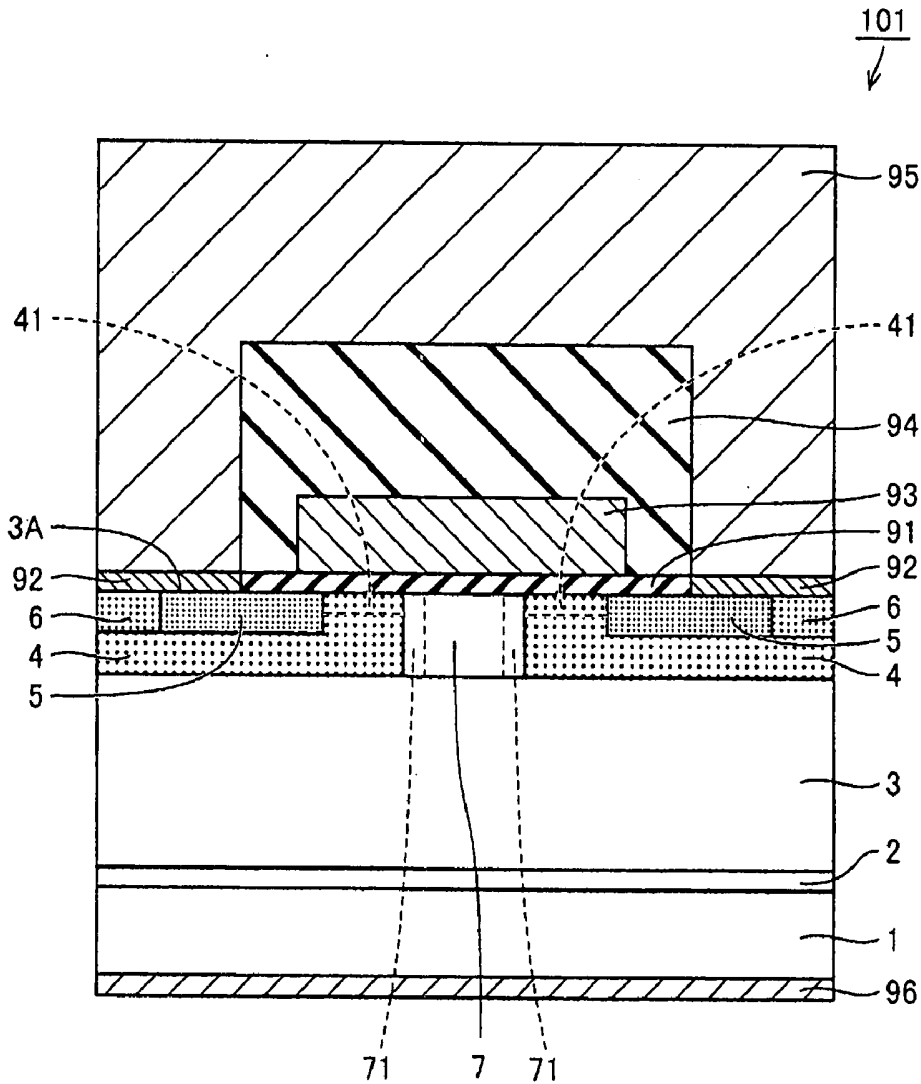
申請實體審查：無 申請專利範圍項數：7 項 圖式數：10 共 29 頁

(54)名稱

碳化矽半導體裝置及其製造方法

(57)摘要

漂移層(3)具有電流通過之厚度方向，且具有第 1 導電型之雜質濃度 N_{1d} 。主體區域(4)設置於漂移層(3)之一部分上，包含藉由閘極電極(93)開關之通道(41)，且具有第 1 導電型之雜質濃度 N_{1b} 、及較雜質濃度 N_{1b} 大之第 2 導電型之雜質濃度 N_{2b} 。JFET 區域(7)於漂移層(3)上與主體區域(4)鄰接，具有第 1 導電型之雜質濃度 N_{1j} 、及較雜質濃度 N_{1j} 小之第 2 導電型之雜質濃度 N_{2j} 。滿足 $N_{1j}-N_{2j} > N_{1d}$ 且 $N_{2j} < N_{2b}$ 。



1：碳化矽基板

2：緩衝層

3：漂移層

4：主體區域

5：n⁺區域

6：p⁺區域

7：JFET 區域

41：通道

71：空乏層

91：閘極氧化膜(閘極絕緣膜)

92：源極接觸電極

93：閘極電極

94：層間絕緣膜

95：源極配線

96：汲極電極

101：MOSFET(碳化矽半導體裝置)



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201251039 A1

(43)公開日：中華民國 101 (2012) 年 12 月 16 日

(21)申請案號：101113657

(22)申請日：中華民國 101 (2012) 年 04 月 17 日

(51)Int. Cl. : *H01L31/0312(2006.01)*

H01L21/08 (2006.01)

H01L21/20 (2006.01)

H01L21/265 (2006.01)

H01L21/316 (2006.01)

H01L21/324 (2006.01)

(30)優先權：2011/06/01 日本

2011-123076

(71)申請人：住友電氣工業股份有限公司 (日本) SUMITOMO ELECTRIC INDUSTRIES, LTD.

(JP)

日本

(72)發明人：穗永美紗子 HONAGA, MISAKO (JP)；增田健良 MASUDA, TAKEYOSHI (JP)；

和田圭司 WADA, KEIJI (JP)；日吉透 HIYOSHI, TORU (JP)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：7 項 圖式數：10 共 29 頁

(54)名稱

碳化矽半導體裝置及其製造方法

(57)摘要

漂移層(3)具有電流通過之厚度方向，且具有第 1 導電型之雜質濃度 N_{1d} 。主體區域(4)設置於漂移層(3)之一部分上，包含藉由閘極電極(93)開關之通道(41)，且具有第 1 導電型之雜質濃度 N_{1b} 、及較雜質濃度 N_{1b} 大之第 2 導電型之雜質濃度 N_{2b} 。JFET 區域(7)於漂移層(3)上與主體區域(4)鄰接，具有第 1 導電型之雜質濃度 N_{1j} 、及較雜質濃度 N_{1j} 小之第 2 導電型之雜質濃度 N_{2j} 。滿足 $N_{1j}-N_{2j} > N_{1d}$ 且 $N_{2j} < N_{2b}$ 。

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種碳化矽半導體裝置及其製造方法。

【先前技術】

近年來，正在對使用碳化矽之立式 MOSFET(Metal Oxide Semiconductor Field Effect Transistor，金屬氧化物半導體場效應電晶體)之製造方法進行研究。

根據由日本專利特開 2009-158788 號公報(專利文獻 1)揭示之一方法，首先準備包含具有第 1 導電型之半導體之基板。向基板上導入原料氣體及第 1 導電型之摻雜氣體並藉由氣相反應而使緩衝層磊晶成長。向緩衝層上導入原料氣體及第 1 導電型之摻雜氣體並藉由氣相反應使漂移層磊晶成長。向漂移層表面離子注入第 2 導電型之雜質而形成有主體區域。向主體區域內離子注入第 1 導電型之雜質而形成有源極區域。

又，根據由日本專利特開 2011-023757 號公報(專利文獻 2)揭示之一方法，沈積 p 型層之後，繼而對 p 型層進行利用遮罩之選擇性之 n 型雜質離子注入，藉此 p 型層之一部分成為 n 型區域。藉此，形成有由 p 型井層夾著之 n 型區域。

先前技術文獻

專利文獻

專利文獻 1：日本專利特開 2009-158788 號公報

專利文獻 2：日本專利特開 2011-023757 號公報

【發明內容】

發明所欲解決之問題

若根據由日本專利特開 2009-158788 號公報揭示之上述方法，則於 MOSFET 中，根據與 JFET (Junction Field Effect Transistor，接面場效電晶體) 相同之原理，藉由自 p 型主體區域延伸之空乏層，流過漂移層之電流之路徑變狹窄。因此，難以使 MOSFET 之導通電阻足夠小。

又，若根據由日本專利特開 2011-023757 號公報揭示之上述方法，則藉由離子注入而使導電型自 p 型向 n 型反轉之部分構成漂移層之表面側。該部分包含用以對碳化矽賦予 p 型雜質 (亦稱為 p 型雜質)、及以較 p 型雜質之濃度高之濃度摻雜之用以對碳化矽賦予 n 型雜質 (亦稱為 n 型雜質)。於此情形時，相互相抵消之 p 型雜質及 n 型雜質儘管無助於賦予導電型但卻會導致提高碳化矽中之總雜質濃度。即，碳化矽中之雜質濃度不必要地變高，其結果為，於碳化矽中流動之載子產生雜質散射之頻度增大。因此，難以使 MOSFET 之導通電阻足夠小。

本發明係為了應對此種問題而完成者，其目的在於提供一種可降低導通電阻之碳化矽半導體裝置及其製造方法。

解決問題之技術手段

本發明之碳化矽半導體裝置係具有用以開關電流之閘極電極者，且包含漂移層、主體區域及 JFET 區域。漂移層具有電流貫通之厚度方向，且具有第 1 導電型之雜質濃度 N_{1d} 。主體區域設置於漂移層之一部分上，包含藉由閘極電極開關之通道，且具有第 1 導電型之雜質濃度 N_{1b} 、及較

雜質濃度 N_{1b} 大之第2導電型之雜質濃度 N_{2b} 。JFET區域於漂移層上與主體區域鄰接，且具有第1導電型之雜質濃度 N_{1j} 、及較雜質濃度 N_{1j} 小之第2導電型之雜質濃度 N_{2j} 。滿足 $N_{1j}-N_{2j}>N_{1d}$ 且 $N_{2j}<N_{2b}$ 。

根據本發明之碳化矽半導體裝置，滿足 $N_{1j}-N_{2j}>N_{1d}$ 。即與漂移層之雜質濃度相比，JFET區域之實際上之雜質濃度變高。藉此，可抑制JFET區域中之空乏層之擴大，因此可確保更寬之JFET區域中之電流路徑。

又，滿足 $N_{2j}<N_{2b}$ 。即，於JFET區域中使實質上無助於賦予導電型之第2導電型之雜質濃度 N_{2j} 變小。藉此，可抑制流過JFET區域之載子產生雜質散射之頻度，因此JFET區域之電阻率變小。

如上所述根據本發明之碳化矽半導體裝置，JFET區域中之電流路徑較寬、且JFET區域之電阻率較小。其結果為，JFET區域之電阻變小。因此，可減小碳化矽半導體裝置之導通電阻。

於上述碳化矽半導體裝置中，亦可滿足 $N_{1j}-N_{2j}<N_{2b}-N_{1b}$ 。藉此，主體區域中之實際上之雜質濃度變高。因此，可抑制主體區域中之空乏層擴大，因此改善斷開耐壓。

於上述之碳化矽半導體裝置中，亦可滿足 $N_{1j}=N_{1b}$ 。藉此JFET區域之第1導電型之雜質濃度與主體區域之第1導電型之雜質濃度相等。因此於碳化矽半導體裝置之製造中，使用具有第1導電型之雜質濃度 N_{1j} 之磊晶層之一部分形成JFET區域，且對該層之其他部分離子注入第2導電型之雜

質，藉此可形成主體區域。因此，可不使用離子注入而形成JFET區域，從而可避免於JFET區域中隨著離子注入而產生結晶缺陷。藉此，可使導通電阻更小。

於上述碳化矽半導體裝置中，亦可滿足 $N_{1d}=N_{1b}$ 。藉此，可使主體區域之第1導電型之雜質濃度與漂移層之第1導電型之雜質濃度相同。因此，可避免主體區域之第1雜質濃度大於漂移層之第1導電型之雜質濃度。即，於主體區域中，可避免實質上無助於賦予導電型之第1導電型之雜質濃度之增大。藉此，於主體區域中流動之載子之雜質散射得以抑制，因此可使碳化矽半導體裝置之導通電阻更小。

本發明之碳化矽半導體裝置之製造方法係包含用以開關電流之閘極電極之碳化矽半導體裝置之製造方法，具有以下步驟。

形成具有電流貫通之厚度方向且具有第1導電型之雜質濃度 N_{1d} 之漂移層。於漂移層之一部之上形成主體區域，該主體區域包含藉由閘極電極開關之通道，且具有第1導電型之雜質濃度 N_{1b} 、及較雜質濃度 N_{1b} 大之第2導電型之雜質濃度 N_{2b} 。形成JFET區域，該JFET區域於漂移層上與主體區域鄰接，且具有第1導電型之雜質濃度 N_{1j} 、及較雜質濃度 N_{1j} 小之第2導電型之雜質濃度 N_{2j} ，滿足 $N_{1j}-N_{2j}>N_{1d}$ 且 $N_{2j}<N_{2b}$ 。

根據本發明之碳化矽半導體裝置之製造方法，滿足 $N_{1j}-N_{2j}>N_{1d}$ 。即，與漂移層之雜質濃度相比JFET區域之實

質上之雜質濃度變高。藉此，可抑制JFET區域中之空乏層擴大，因此流過JFET區域之電流路徑變寬。

又，滿足 $N_{2j} < N_{2b}$ 。即，於JFET區域中實質上無助於賦予導電型之第2導電型之雜質濃度 N_{2j} 變小。藉此，於JFET區域流動之載子之雜質散射得以抑制，因此JFET區域之電阻率變小。

如上所述，根據本發明之碳化矽半導體裝置之製造方法，JFET區域中之流路徑較寬、且JFET區域之電阻率較小，因此JFET區域之電阻變小。藉此，可減小碳化矽半導體裝置之導通電阻。

於上述碳化矽半導體裝置之製造方法中，於形成JFET區域時，亦可使第1導電型之磊晶層於漂移層上成長。藉此，不使用離子注入即可形成JFET區域，因此可避免於JFET區域中伴隨離子注入而產生結晶缺陷。藉此，可使通電阻更小。

於上述碳化矽半導體裝置之製造方法中，於形成JFET區域時，亦可向漂移層離子注入第1導電型之雜質。藉此，可於漂移層上藉由局部注入雜質離子而選擇第1導電型之雜質濃度變高之部分。因此，可避免主體區域之位置處之第1導電型之雜質濃度增大。即，可避免於主體區域中實質上無助於賦予導電型之第1導電型之雜質濃度增大。藉此，於主體區域中流動之載子之雜質散射得以抑制，因此可使碳化矽半導體裝置之導通電阻更小。

發明之效果

由以上說明可明白，根據本發明，可使碳化矽半導體裝置之導通電阻變小。

【實施方式】

以下，根據圖式對本發明之實施形態進行說明。再者，以下之圖式中對同一或相當之部分標註同一參照編號，並不再重複其說明。

(實施形態1)

如圖1所示，本實施形態之碳化矽半導體裝置為尤其適合作為電力用半導體裝置之MOSFET 101。MOSFET 101更具體而言為立式DiMOSFET(Double-Implanted MOSFET，雙注入MOSFET)。MOSFET 101包含碳化矽基板1、緩衝層2、漂移層3、一對主體區域4、 n^+ 區域5、 p^+ 區域6、JFET區域7、閘極氧化膜91(閘極絕緣膜)、源極接觸電極92、閘極電極93、層間絕緣膜94、源極配線95、汲極電極96。

漂移層3隔著緩衝層2而設置於碳化矽基板1之上表面上，具有電流貫通之厚度方向(圖1中之縱方向)。又，漂移層3具有n型(第1導電型)之雜質濃度 N_{1d} 。再者，漂移層3之p型(第2導電型)之雜質濃度實質上為零而可忽略。由此，雜質濃度 N_{1d} 為漂移層3之實質上之雜質濃度。雜質濃度 N_{1d} 例如為 $1 \times 10^{14} \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下。

緩衝層2具有與漂移層3相同之導電型即n型。碳化矽基板1具有與漂移層3相同之導電型即n型。n型雜質例如為N(氮)。漂移層3之n型雜質濃度小於緩衝層2之n型雜質濃度。

一對主體區域4於漂移層3之一部之上相互分離而設置。
各主體區域4包含藉由閘極電極93開關之通道41。通道41之長度即通道長度例如為 $0.1\ \mu\text{m}$ 以上 $1\ \mu\text{m}$ 以下。

各主體區域4具有n型雜質濃度 N_{1b} 、及較雜質濃度 N_{1b} 大之p型雜質濃度 N_{2b} 。即，滿足 $N_{1b} < N_{2b}$ ，藉此主體區域4具有p型導電型。作為主體區域4之p型半導體之實質上之雜質濃度 $N_{2b} - N_{1b}$ 例如為 $5 \times 10^{16}\ \text{cm}^{-3}$ 以上 $2 \times 10^{18}\ \text{cm}^{-3}$ 以下。p型雜質例如為鋁(Al)或硼(B)。主體區域4之厚度為例如 $0.5\ \mu\text{m}$ 以上且 $1\ \mu\text{m}$ 以下。

n^+ 區域5具有與主體區域4之導電型不同之導電型即n型。又， n^+ 區域5於主體區域4上由主體區域4包圍。 n^+ 區域5中，例如包含磷(P)作為n型雜質。

p^+ 區域6具有與主體區域4之導電型相同之導電型即p型。 p^+ 區域6於主體區域4上由主體區域4包圍，並且與 n^+ 區域5鄰接。 p^+ 區域6之p型雜質濃度大於主體區域4之p型雜質濃度。

JFET區域7於漂移層3上與主體區域4鄰接。JFET區域7之寬度尺寸(圖1中之橫向尺寸)例如為 $1\ \mu\text{m}$ 以上且 $5\ \mu\text{m}$ 以下。

又，JFET區域7具有n型雜質濃度 N_{1j} 、及較 N_{1j} 小之p型雜質濃度 N_{2j} 。即，滿足 $N_{1j} > N_{2j}$ ，藉此JFET區域7具有n型導電型。作為JFET區域7之n型半導體之實質上之雜質濃度 $N_{1j} - N_{2j}$ 例如為 $1 \times 10^{14}\ \text{cm}^{-3}$ 以上 $5 \times 10^{17}\ \text{cm}^{-3}$ 以下。

又，JFET區域7以滿足 $N_{1j} - N_{2j} > N_{1d}$ 之方式摻雜。即，作

為 JFET 區域之 n 型半導體之實質上之雜質濃度 $N_{1j}-N_{2j}$ 小於作為漂移層 3 之 n 型半導體之實質上之雜質濃度 N_{1d} 。

又，JFET 區域 7 以滿足 $N_{2j} < N_{2b}$ 之方式摻雜。即，作為 n 型半導體之 JFET 區域 7 中所包含之 p 型雜質濃度小於作為 p 型半導體之主體區域 4 中所包含之 p 型雜質濃度。

又，JFET 區域 7 由以具有 n 型雜質濃度 N_{1j} 及 p 型雜質濃度 N_{2j} 之方式磊晶成長之 n 型磊晶層形成。主體區域 4 藉由如下方式形成，即藉由對該 n 型磊晶層離子注入 p 型雜質而使其導電型反轉為 p 型。因而，主體區域 4 之 n 型雜質濃度 N_{1b} 等於 JFET 區域之 n 型雜質濃度 N_{1j} 。即滿足 $N_{1j} = N_{1b}$ 。再者，於厚度方向上之濃度分佈之變化較大之情形時，JFET 區域 7 之 n 型雜質濃度與主體區域 4 之 n 型雜質濃度之比較係於同一深度進行。又，是否滿足 $N_{1j} = N_{1b}$ 之判定時，鑒於製造偏差及測定誤差之存在，若兩者之差異在 5% 以內則可視作兩者相等。

又，較佳為 JFET 區域 7 之 p 型雜質濃度 N_{2j} 實質上為零。於此情形時，上述關係式 $N_{1j}-N_{2j} > N_{1d}$ 簡化為 $N_{1j} > N_{1d}$ 。即，漂移層 3 及 JFET 區域 7 之各個實質上僅具有 n 型雜質，且與漂移層 3 之 n 型雜質濃度相比 JFET 區域 7 之 n 型雜質濃度較大。

又，較佳為滿足 $N_{1j}-N_{2j} < N_{2b}-N_{1b}$ 。即，與作為 JFET 區域之 n 型半導體之實質上之雜質濃度相比，作為主體區域 4 之 p 型半導體之實質上之雜質濃度較大。

閘極氧化膜 91 以自一方之 n^+ 區域 5 之上部表面延伸至另

一方之 n^+ 區域5之上部表面為止之方式形成。閘極氧化膜由例如二氧化矽(SiO_2)製作。

閘極電極93係用以開關電流者，配置於閘極氧化膜91上。閘極電極93由導電體製作，例如由添加有雜質之多晶矽、Al等金屬、或合金而製作。

源極接觸電極92自一對 n^+ 區域5之各自向離開閘極氧化膜91之方向延伸而到達 p^+ 區域6。源極接觸電極92由可與 n^+ 區域5歐姆接觸之材料製作，較佳為由矽化物製作，例如由矽化鎳(Ni_xSi_y)製作。

層間絕緣膜94覆蓋閘極電極93。層間絕緣膜94例如由二氧化矽(SiO_2)製作。

源極配線95包含配置於層間絕緣膜94上之部分及配置於源極接觸電極92上之部分。源極配線95較佳為由金屬或合金製作。

汲極電極96配置於碳化矽基板1之背面上。汲極電極96由可與碳化矽基板1歐姆接觸之材料製作，較佳為由矽化物製作，例如由矽化鎳(Ni_xSi_y)製作。

其次，以下對MOSFET 101之製造方法進行說明。

如圖3所示，首先準備碳化矽基板1(圖2：步驟S110)。碳化矽基板1較佳為具有單晶構造。

其次，於碳化矽基板1之上表面上進行磊晶成長(圖2：步驟S120~S140)。

具體而言，首先，於碳化矽基板1之上表面上磊晶形成緩衝層2(步驟S120)。其次於緩衝層2上磊晶形成漂移層

3(步驟S130)。

繼而，使n型磊晶層70於漂移層3上成長(步驟S140)。磊晶層70形成為具有與JFET區域7之n型雜質濃度 N_{1j} 及p型雜質濃度 N_{2j} 之各者相同之n型及p型雜質濃度。再者，如上所述，較佳為 N_{2j} 實質上為零。

磊晶層70包含用作JFET區域7之部分。即，藉由形成磊晶層70而形成JFET區域7。

其次，如圖4所示，向磊晶層70進行離子注入(圖2：步驟S150及160)。具體而言，形成主體區域4(步驟S150)。又，形成 n^+ 區域5及 p^+ 區域6、即接觸區域(步驟S160)。

主體區域4之形成藉由如下方式進行，即對n型磊晶層70以較磊晶層70之n型雜質濃度大之雜質濃度離子注入p型雜質。其結果為，主體區域4具有大致等於磊晶層70之n型雜質濃度之n型雜質濃度 N_{1b} 、及較 N_{1b} 大之p型雜質濃度 N_{2b} 。

p^+ 區域6之形成藉由對主體區域4進而離子注入p型雜質而形成。 n^+ 區域5之形成藉由對主體區域4離子注入n型雜質而進行。

上述離子注入亦可使用例如由二氧化矽(SiO_2)製作之遮罩而進行。再者，步驟S150及S160之順序為任意。

其次，進行用以使所注入之雜質之活化之活化退火(圖2：步驟S170)。例如，活化退火之環境為氬(Ar)環境，退火溫度為 1700°C ，退火時間為30分鐘。

其次，如圖5所示，形成有閘極氧化膜91(圖2：步驟S180)。閘極氧化膜91例如可藉由氧環境中之碳化矽之熱

氧化而形成。例如退火溫度為 1300°C ，退火時間為60分鐘。

其次，如圖1所示，形成有閘極電極93、源極接觸電極92、及汲極電極96(圖2：步驟S190)。具體而言，進行以下步驟。

首先，閘極電極93藉由成膜及圖案化而形成。作為成膜方法，使用例如CVD(Chemical Vapor Deposition，化學氣象沈積)法。其次，例如使用CVD法沈積覆蓋閘極電極93之層間絕緣膜94。其次，為了確保用以形成源極接觸電極92之區域，將層間絕緣膜94及閘極氧化膜91之一部分去除。繼而，形成源極接觸電極92及汲極電極96。為此，使用例如蒸鍍法形成鎳(Ni)膜及使其矽化物化。然後，使用例如蒸鍍法形成源極配線95。

藉由以上順序完成MOSFET 101。

根據本實施形態，滿足 $N_{1j}-N_{2j}>N_{1d}$ 。即，與作為漂移層3之實質上之雜質濃度的 N_{1d} 相比，作為JFET區域7之實質上之雜質濃度之 $N_{1j}-N_{2j}$ 較大。即，提高JFET區域7之實質上之雜質濃度。藉此，可抑制JFET區域7中之空乏層71(圖1)擴大，因此可確保更寬之於厚度方向流過JFET區域7之電流之路徑。具體而言，可於JFET區域7之寬度方向(圖1中之橫向)將空乏層71之擴大抑制在50%以內。

又，滿足 $N_{2j}<N_{2b}$ 。即，與主體區域4之p型雜質濃度 N_{2b} 相比，於JFET區域7中實質上無助於賦予導電型之p型雜質濃度 N_{2j} 較小。藉此，與滿足p型雜質濃度間之關係式

$N_{2j}=N_{2b}$ 之情形相比，可避免JFET區域7之雜質濃度因實質上無助於賦予導電型之雜質而變大。由此，藉由抑制JFET區域7之總雜質濃度 $N_{1j}+N_{2j}$ 而抑制載子之雜質散射，藉此可使JFET區域7之電阻率變小。

如上所述，流過JFET區域7之電流路徑變寬，且JFET區域7之電阻率變小，藉此JFET區域7之電阻變小。藉此，可使MOSFET 101之導通電阻變小。

又，滿足 $N_{1j}-N_{2j}<N_{2b}-N_{1b}$ 。藉此，與JFET區域7之實質上之雜質濃度相比，主體區域4中之實質上之雜質濃度變高。由此，可抑制空乏層71自JFET區域7及主體區域4間之pn接面向 n^+ 區域5延伸。藉此，該空乏層71難以到達 n^+ 區域5，因此可改善MOSFET 101之斷開耐壓。

又，滿足 $N_{1j}=N_{1b}$ 。即，JFET區域7之n型雜質濃度與主體區域4之n型雜質濃度大致相等。因而，於製造MOSFET 101時，使用具有n型雜質濃度 $N_{1j}(=N_{1b})$ 之磊晶層之一部分形成JFET區域7，且對該層之其他部分離子注入p型雜質，藉此可形成主體區域4。由此，不使用離子注入即可形成JFET區域7，因此可避免於JFET區域7中伴隨離子注入而產生結晶缺陷。藉此，JFET區域7之電阻率變小，因此可使MOSFET 101之導通電阻更小。

(實施形態2)

如圖6所示，本實施形態之MOSFET102中，包含主體區域4v、 n^+ 區域5v、及 p^+ 區域6v代替MOSFET101(圖1)之主體區域4、 n^+ 區域5、及 p^+ 區域6之各者。又，與實施形態1

不同，主體區域4v之n型雜質濃度 N_{1b} 不滿足 $N_{1b}=N_{1j}$ 而滿足 $N_{1b}=N_{1d}$ 。即，主體區域4v之n型雜質濃度與漂移層3之n型雜質濃度大致相等。再者，於漂移層3之濃度分佈之變化較大之情形時，以漂移層3中之面向主體區域4v之部分之濃度為基準。

再者，對於除了上述以外之構成，與上述之實施形態1之構成大致相同，因此對同一或對應之要素標註同一符號，並不再重複其說明。

其次，以下對MOSFET 102之製造方法進行說明。

首先，進行步驟S110及S120(圖7)。該等步驟與實施形態1中之步驟(圖2)相同。

其次，如圖8所示，使漂移層3成膜(圖7：步驟S230)。於步驟S230中，與步驟S130(圖2：實施形態1)不同，較最終之MOSFET 102(圖6)之漂移層3之厚度僅多出厚度DT地成膜。厚度DT對應於主體區域4v(圖6)之厚度。

其次，如圖9所示，藉由離子注入而向漂移層3添加n型雜質，藉此形成有JEFT區域7v(圖7：步驟S240)。

又，如圖10所示，藉由離子注入向漂移層3添加p型雜質，由此形成主體區域4v(圖7：步驟S250)。於步驟S250中，亦可與步驟S150(圖2：實施形態1)相比，離子注入量變少。該離子注入量之差分大致對應於 $N_{1j}-N_{1d}$ 。

以下，藉由與實施形態1(圖2)同樣地進行步驟S160~S190(圖7)而完成MOSFET 102(圖6)。

根據本實施形態，由於藉由向漂移層3添加p型雜質而形

成主體區域4v，故而主體區域4v之n型雜質濃度 N_{1b} 與漂移層3之n型雜質濃度 N_{1d} 大致相等。即滿足 $N_{1b}=N_{1d}$ 。因而，可避免主體區域4v之n型雜質濃度大於漂移層3之n型雜質濃度。即，可避免於p型主體區域4v中實質性地無助於賦予導電型之n型雜質濃度增大。藉此，可抑制於主體區域4v中流動之載子之雜質散射，因此可使MOSFET102之導通電阻更小。

有關上述實施形態1及2之說明中，第1導電型為n型且第2導電型為p型，但只要第1及第2導電型為互不相同之導電型即可，因而，亦可為第1導電型為p型且第2導電型為n型。其中，第1導電型為n型且第2導電型為p型之情形與相反之情形相比，可使通道電阻更小。

又，閘極絕緣膜並不限定於氧化膜，因而，半導體裝置亦可為除MOSFET以外之MISFET(Metal Insulator Semiconductor Field Effect Transistor，金屬絕緣半導體場效應電晶體)。又，半導體裝置並不限定於MISFET，例如亦可為IGBT(Insulated Gate Bipolar Transistor，絕緣柵雙極電晶體)。

又，於碳化矽半導體裝置之製造方法中進行複數個離子注入步驟之情形時，亦可於該複數個步驟間改變順序。

又，雜質濃度之測定例如可藉由SIMS(Secondary Ion Mass Spectroscopy，次級離子質譜分析)進行。

應當認為本次所揭示之實施形態於所有方面均為例示而非限制性者。本發明之範圍並非由上述之說明表示而藉由

申請專利範圍表示，且欲包含與申請專利範圍均等之含義及範圍內之所有變更。

【圖式簡單說明】

圖1係概略地表示本案發明之實施形態1中之作為碳化矽半導體裝置之MOSFET之構成的剖面圖。

圖2係表示圖1之MOSFET之製造方法之概略之流程圖。

圖3係概略地表示圖1之MOSFET之製造方法之第1步驟之剖面圖。

圖4係概略地表示圖1之MOSFET之製造方法之第2步驟之剖面圖。

圖5係概略地表示圖1之MOSFET之製造方法之第3步驟之剖面圖。

圖6係概略地表示本案發明之實施形態2中之作為碳化矽半導體裝置之MOSFET之構成的剖面圖。

圖7係表示圖6之MOSFET之製造方法之概略之流程圖。

圖8係概略地表示圖6之MOSFET之製造方法之第1步驟之剖面圖。

圖9係概略地表示圖6之MOSFET之製造方法之第2步驟之剖面圖。

圖10係概略地表示圖6之MOSFET之製造方法之第3步驟之剖面圖。

【主要元件符號說明】

- | | |
|---|-------|
| 1 | 碳化矽基板 |
| 2 | 緩衝層 |

3	漂 移 層
4	主 體 區 域
4v	主 體 區 域
5	n^+ 區 域
5v	n^+ 區 域
6	p^+ 區 域
6v	p^+ 區 域
7	JFET 區 域
7v	JFET 區 域
41	通 道
70	磊 晶 層
71	空 乏 層
91	閘 極 氧 化 膜 (閘 極 絕 緣 膜)
92	源 極 接 觸 電 極
93	閘 極 電 極
94	層 間 絕 緣 膜
95	源 極 配 線
96	汲 極 電 極
101	MOSFET (碳 化 矽 半 導 體 裝 置)
102	MOSFET (碳 化 矽 半 導 體 裝 置)

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 101113657

H01L 31/0312 (2006.01)

※ 申請日： 101.02.27

※IPC 分類：H01L 21/08 (2006.01)

一、發明名稱：(中文/英文)

H01L 21/20 (2006.01)

碳化矽半導體裝置及其製造方法

H01L 21/265 (2006.01)

H01L 21/316 (2006.01)

二、中文發明摘要：

H01L 21/324 (2006.01)

漂移層(3)具有電流貫通之厚度方向，且具有第1導電型之雜質濃度 N_{1d} 。主體區域(4)設置於漂移層(3)之一部分上，包含藉由閘極電極(93)開關之通道(41)，且具有第1導電型之雜質濃度 N_{1b} 、及較雜質濃度 N_{1b} 大之第2導電型之雜質濃度 N_{2b} 。JFET區域(7)於漂移層(3)上與主體區域(4)鄰接，具有第1導電型之雜質濃度 N_{1j} 、及較雜質濃度 N_{1j} 小之第2導電型之雜質濃度 N_{2j} 。滿足 $N_{1j}-N_{2j}>N_{1d}$ 且 $N_{2j}<N_{2b}$ 。

三、英文發明摘要：

七、申請專利範圍：

1. 一種碳化矽半導體裝置，其係具有用以開關電流之閘極電極(93)之碳化矽半導體裝置(101)，且包含：

漂移層(3)，其具有上述電流貫通之厚度方向，且具有第1導電型之雜質濃度 N_{1d} ；

主體區域(4)，其設置於上述漂移層之一部分上，包含藉由上述閘極電極開關之通道(41)，且具有上述第1導電型之雜質濃度 N_{1b} 、及較上述雜質濃度 N_{1b} 大之第2導電型之雜質濃度 N_{2b} ；及

JFET區域(7)，其於上述漂移層上與上述主體區域鄰接，且具有上述第1導電型之雜質濃度 N_{1j} 、及較上述雜質濃度 N_{1j} 小之上述第2導電型之雜質濃度 N_{2j} ，滿足 $N_{1j}-N_{2j}>N_{1d}$ 且 $N_{2j}<N_{2b}$ 。

2. 如請求項1之碳化矽半導體裝置，其中滿足 $N_{1j}-N_{2j}<N_{2b}-N_{1b}$ 。
3. 如請求項1或2之碳化矽半導體裝置，其中滿足 $N_{1j}=N_{1b}$ 。
4. 如請求項1或2之碳化矽半導體裝置，其中滿足 $N_{1d}=N_{1b}$ 。
5. 一種碳化矽半導體裝置之製造方法，其係具有用以開關電流之閘極電極(93)之碳化矽半導體裝置(101)之製造方法，且包含如下步驟：

形成具有上述電流貫通之厚度方向且具有第1導電型之雜質濃度 N_{1d} 之漂移層(3)；

於上述漂移層之一部分上形成主體區域(4)，該主體區域包含藉由上述閘極電極開關之通道(41)，且具有上述第1導電型之雜質濃度 N_{1b} 、及較上述雜質濃度 N_{1b} 大之第

2 導電型之雜質濃度 N_{2b} ；

形成 JFET 區域 (7)，該 JFET 區域於上述漂移層上與上述主體區域鄰接，且具有上述第 1 導電型之雜質濃度 N_{1j} 、及較上述雜質濃度 N_{1j} 小之上述第 2 導電型之雜質濃度 N_{2j} ，滿足 $N_{1j} - N_{2j} > N_{1d}$ 且 $N_{2j} < N_{2b}$ 。

6. 如請求項 5 之碳化矽半導體裝置之製造方法，其中形成上述 JFET 區域之步驟包含使上述第 1 導電型之磊晶層 (70) 於上述漂移層上成長之步驟。
7. 如請求項 5 之碳化矽半導體裝置之製造方法，其中形成上述 JFET 區域之步驟包含向上述漂移層離子注入上述第 1 導電型雜質之步驟。

八、圖式：

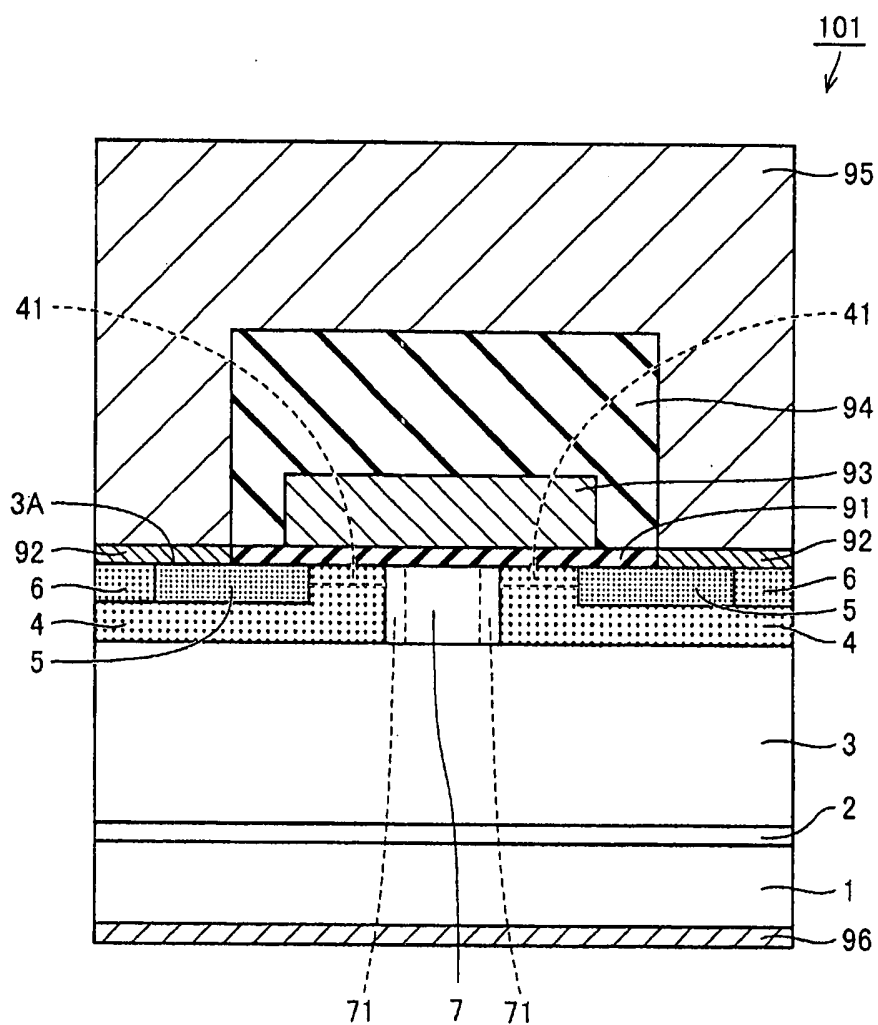


圖1

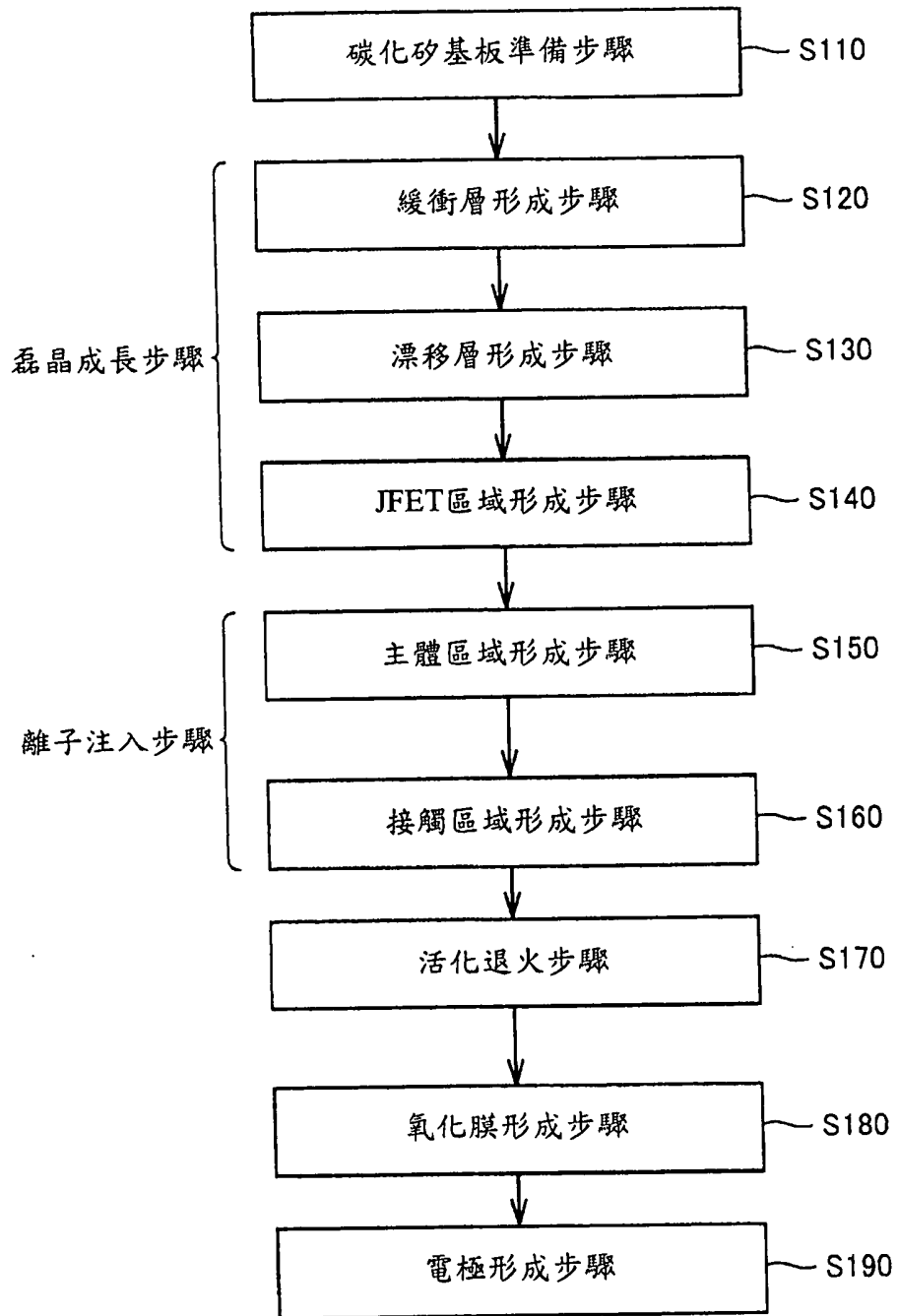


圖2

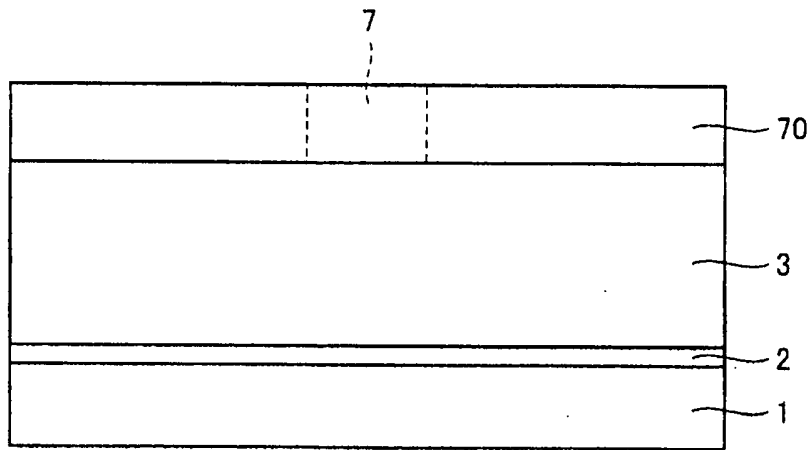


圖3

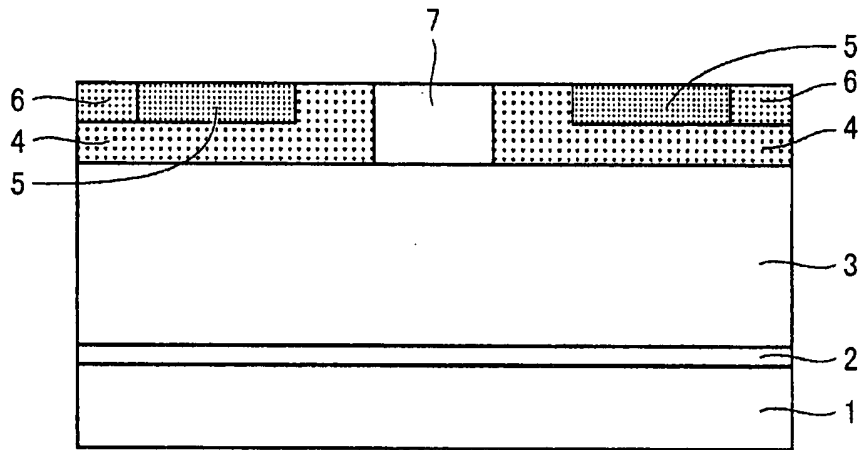


圖4

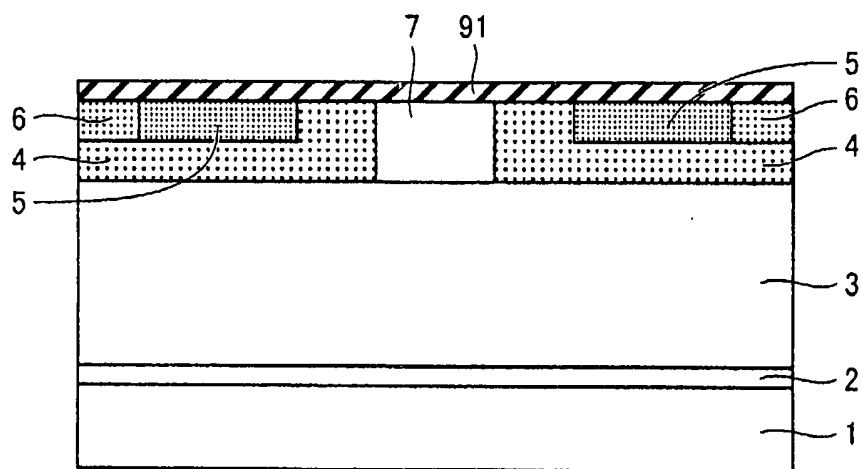


圖5

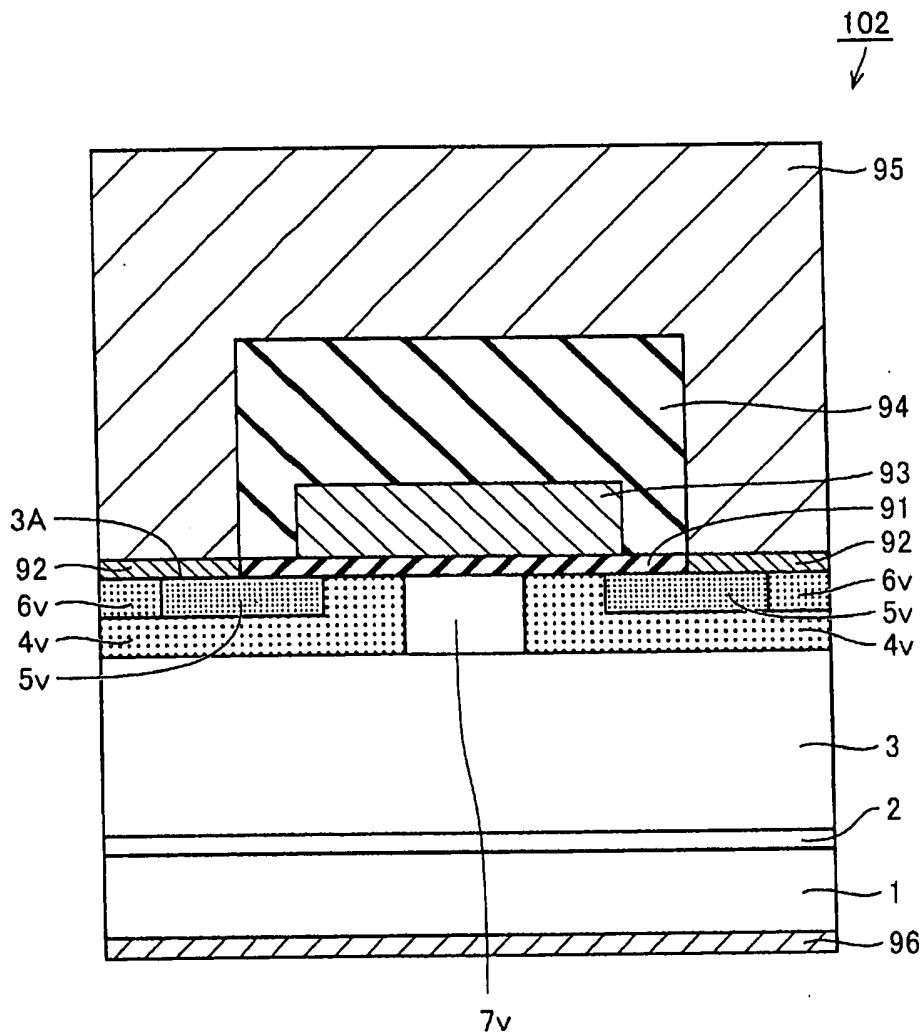


圖6

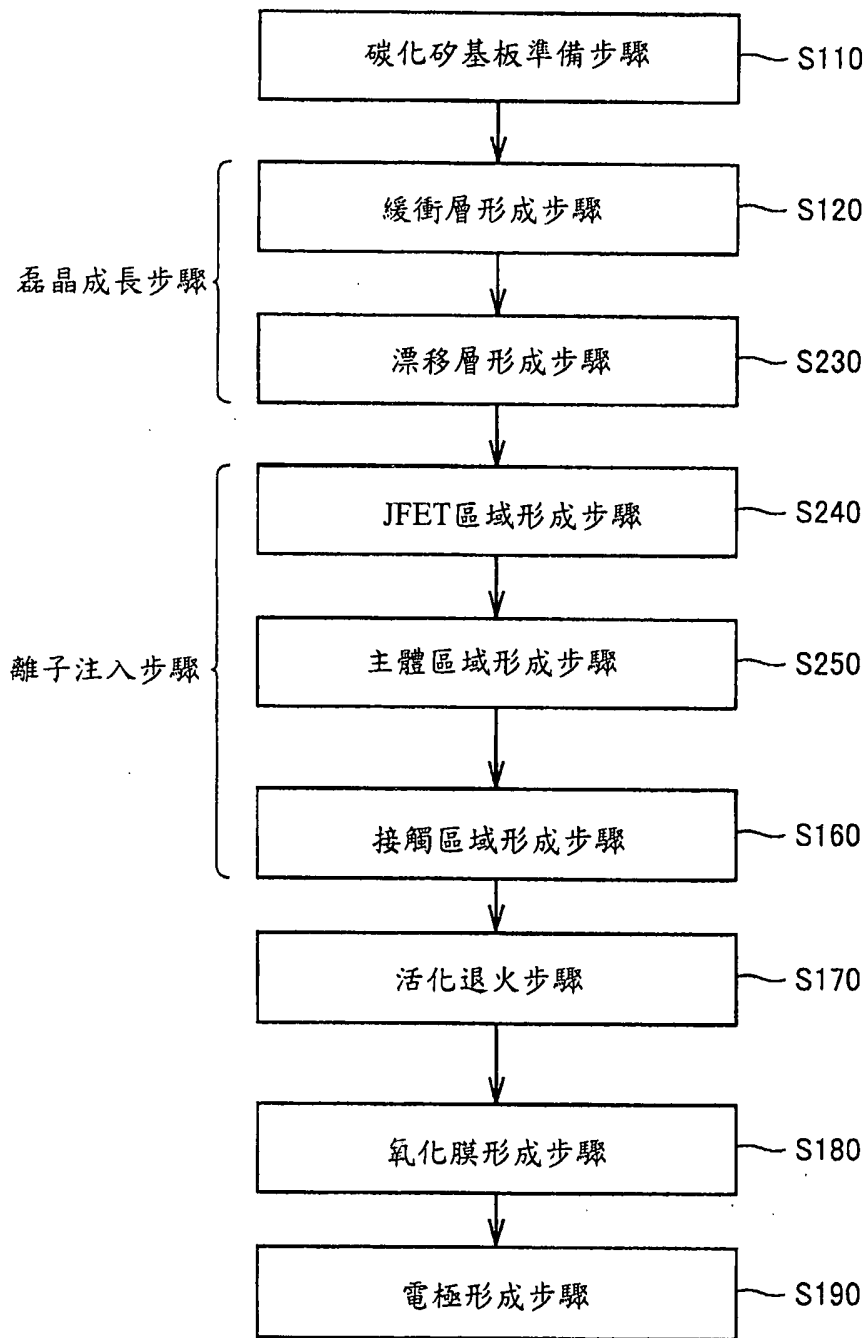


圖 7

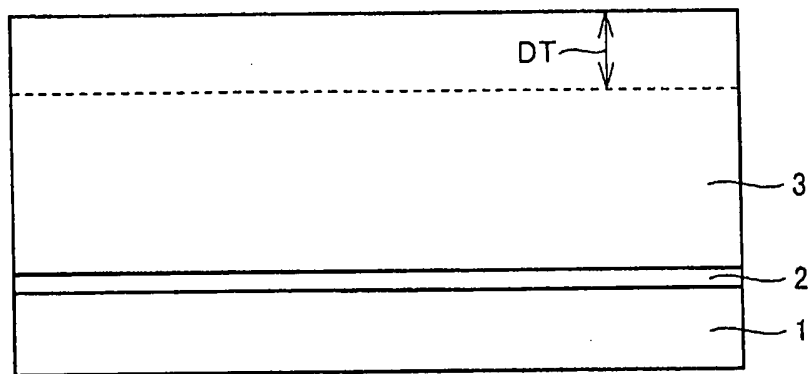


圖8

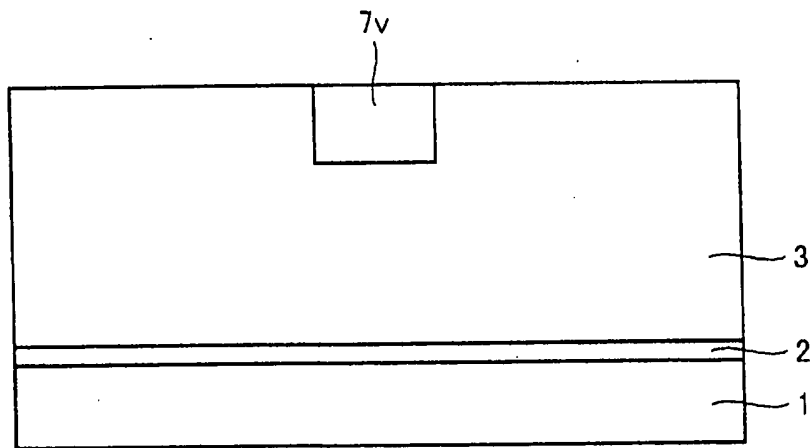


圖9

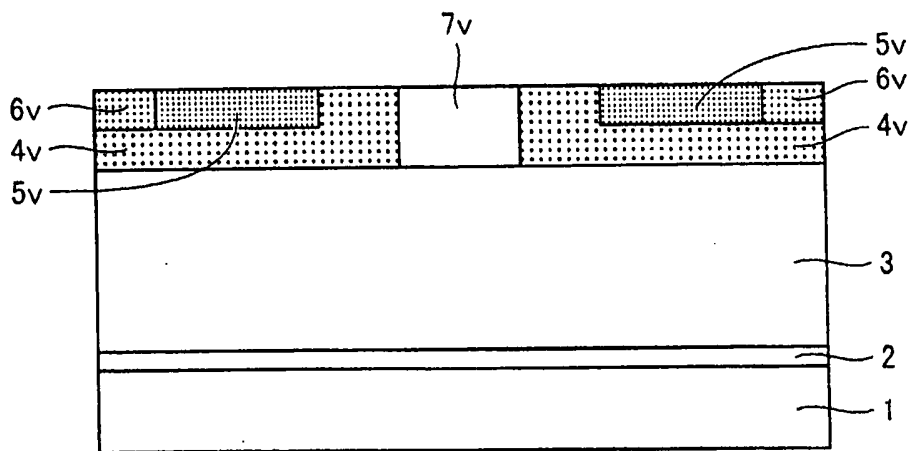


圖10

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

1	碳化矽基板
2	緩衝層
3	漂移層
4	主體區域
5	n ⁺ 區域
6	p ⁺ 區域
7	JFET區域
41	通道
71	空乏層
91	閘極氧化膜(閘極絕緣膜)
92	源極接觸電極
93	閘極電極
94	層間絕緣膜
95	源極配線
96	汲極電極
101	MOSFET(碳化矽半導體裝置)

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)