

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年12月26日(26.12.2019)



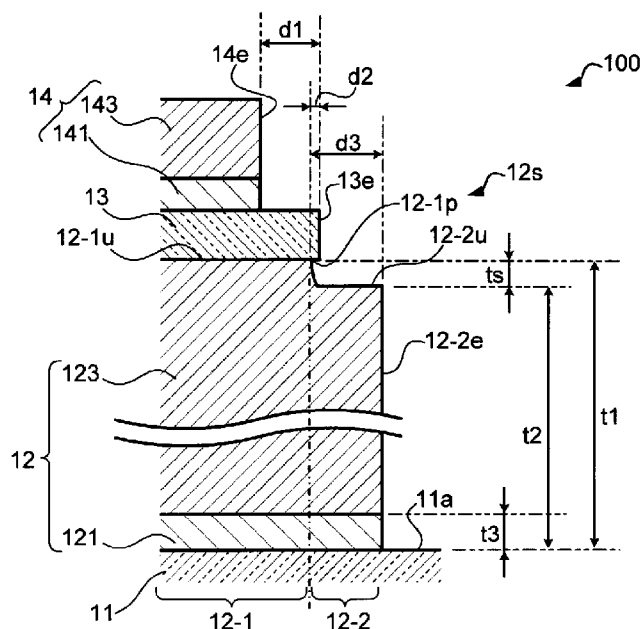
(10) 国際公開番号

WO 2019/244382 A1

- (51) 国際特許分類:
H05K 1/16 (2006.01) *H05K 3/46* (2006.01)
H01L 23/12 (2006.01)
- (21) 国際出願番号: PCT/JP2019/001122
- (22) 国際出願日: 2019年1月16日(16.01.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-117765 2018年6月21日(21.06.2018) JP
- (71) 出願人: 大日本印刷株式会社 (DAI NIPPON PRINTING CO., LTD.) [JP/JP]; 〒1628001 東京都新宿区市谷加賀町一丁目一番一号 Tokyo (JP).
- (72) 発明者: 有塚 祐樹 (ARITSUKA Yuki); 〒1628001 東京都新宿区市谷加賀町一丁目一番一号 大日本印刷株式会社内 Tokyo (JP). 高野 貴正 (TAKANO Takamasa); 〒1628001 東京都新宿区市谷加賀町一丁目一番一号 大日本印刷株式会社内 Tokyo (JP). 田中 雅也 (TANAKA Masaya); 〒1628001 東京都新宿区市谷加賀町一丁目一番一号 大日本印刷株式会社内 Tokyo (JP). 吉井 佑美 (YOSHII Yumi); 〒1628001 東京都新宿区市谷加賀町一丁目一番一号 大日本印刷株式会社内 Tokyo (JP). 鈴木 美雪 (SUZUKI Miyuki); 〒1628001 東京都新宿区市谷加賀町一丁目一番一号 大日本印刷株式会社内 Tokyo (JP). 相楽 秀次 (SAGARA Shuji); 〒1628001 東京都新宿区市谷加賀町一丁目一番一号 大日本印刷株式会社内 Tokyo (JP).

(54) Title: WIRING SUBSTRATE AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 配線基板および半導体装置



(57) Abstract: A wiring substrate according to the present disclosure is provided with: a substrate which has an insulating surface; a first conductive layer which is arranged on the substrate, and which comprises a first portion that has a first thickness and a second portion that is adjacent to the first portion and has a second thickness that is thinner than the first thickness; a first insulating layer which is arranged on the first portion, while being separated from the second portion; and a second conductive layer which is arranged on the opposite side of the first portion with respect to the first insulating layer.

(74) 代理人:特許業務法人高橋・林アンドパートナーズ(TAKAHASHI, HAYASHI AND PARTNER PATENT ATTORNEYS, INC.); 〒1440052 東京都大田区蒲田 5 - 2 4 - 2 損保ジャパン日本興亜蒲田ビル9階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(57) 要約: 本開示の配線基板によれば、絶縁表面を有する基板と、前記基板上に配置された第1導電層であって、第1厚さを有する第1部分および当該第1厚さよりも薄い第2厚さを有し当該第1部分に隣接する第2部分を含む第1導電層と、前記第2部分から離隔して前記第1部分上に配置された第1絶縁層と、前記第1絶縁層に対して前記第1部分とは反対側に配置された第2導電層と、を備える。

明 細 書

発明の名称：配線基板および半導体装置

技術分野

[0001] 本開示は、配線基板に関する。

背景技術

[0002] 配線付の基板上にMIM（Metal-Insulator-Metal）キャパシタが形成される場合がある。このキャパシタは、導電層によって絶縁層を挟んだ構造を有する。導電層と絶縁層とは、熱膨張係数に違いがある。したがって、製造プロセスなどによる熱履歴に応じた伸縮によって、応力が生じる。伝送抵抗を小さくするために配線を厚くすると、この現象はさらに顕著になる。この応力を絶縁層が受けると、その応力を緩和するために絶縁層が導電層から剥離したり、絶縁層にクラックが生じたりする。このように、大きな応力の発生はキャパシタの信頼性を低下させる要因となる。特許文献1には、応力緩和のため、絶縁層が弾性体である技術が開示されている。この弾性体は有機材料である。

先行技術文献

特許文献

[0003] 特許文献1：特開平10-135408号公報

発明の概要

発明が解決しようとする課題

[0004] 有機材料は、一般的に誘電正接が大きい。そのため、導電層に高周波信号を印加した場合には、大きな伝送損失が生じて電力効率が悪化する。電力の損失が熱に変換されると、その熱は、素子特性の低下および熱雑音による信号品質の低下など、素子の性能を悪化させる。このように、特許文献1に開示された構造では、応力の緩和ができたとしても、素子の性能を低下させることになる。

[0005] 本開示の目的の一つは、キャパシタの信頼性を向上することにある。

課題を解決するための手段

- [0006] 本開示によれば、絶縁表面を有する基板と、前記基板上に配置された第1導電層であって、第1厚さを有する第1部分および当該第1厚さよりも薄い第2厚さを有し当該第1部分に隣接する第2部分を含む第1導電層と、前記第2部分から離隔して前記第1部分上に配置された第1絶縁層と、前記第1絶縁層に対して前記第1部分とは反対側に配置された第2導電層と、を備える、配線基板が提供される。
- [0007] 前記第1部分および前記第2部分は、前記第1絶縁層側において同一材料で形成された領域を含んでもよい。
- [0008] 前記第1導電層は、第1膜および当該第1膜とは膜質が異なる第2膜を含み、前記第2膜は、前記第1膜と前記第1絶縁層とに挟まれて配置され、前記第2部分における前記第2膜は、前記第1部分における前記第2膜よりも薄くてもよい。
- [0009] 前記第2導電層は、前記第1絶縁層の縁部のうち前記第2部分側に対応する第1縁部から離隔して配置されてもよい。
- [0010] 前記基板の表面の法線方向に沿って見た場合において、前記第2導電層の縁部と、前記第1絶縁層の縁部のうち前記第2部分側に対応する第1縁部とが揃う部分を含んでもよい。
- [0011] 前記基板の表面の法線方向に沿って見た場合において、前記第1部分と前記第2部分との境界から前記第1縁部との間の距離は、前記第2導電層の縁部から前記第1縁部までの距離より小さくてもよい。
- [0012] 前記基板の表面の法線方向に沿って見た場合において、前記第1部分と前記第2部分との境界から前記第1絶縁層の縁部までの距離が、前記第1厚さと前記第2厚さとの差より小さくてもよい。
- [0013] 前記境界は、前記第1絶縁層と前記基板との間に配置されてもよい。
- [0014] 前記第1部分と前記第2部分との境界から前記第2部分の縁部までの前記基板の表面の法線方向に沿って見た場合における距離は、前記第1厚さと前

記第2厚さとの差より大きくてもよい。

- [0015] 前記第1部分と前記第2部分との境界から前記第2部分の縁部までの前記基板の表面の法線方向に沿って見た場合における距離は、前記第2厚さの10%以上であってもよい。
- [0016] 前記第1部分は、前記第2部分に囲まれてもよい。
- [0017] 前記基板の表面の法線方向に沿って見た場合において、前記第1導電層の外縁は、前記第1部分の側面および前記第2部分の側面を含んでもよい。
- [0018] 前記第1絶縁層は、前記第1部分の側面を覆ってもよい。
- [0019] 前記第1絶縁層の一部は、前記第2導電層と前記第1部分の側面とに挟まれてもよい。
- [0020] 前記第2部分の表面は、前記第1部分の表面より粗くてもよい。
- [0021] 前記第1導電層は、少なくとも第1膜および当該第1膜とは膜質が異なる第2膜とを含んでもよい。
- [0022] 前記第1導電層の側面には、前記第1膜の側面と前記第2膜との側面とにおいて形成される窪みが配置されてもよい。
- [0023] 前記第2部分および前記第1絶縁層に接触する第2絶縁層をさらに備え、前記第1絶縁層は、無機材料を含み、前記第2絶縁層は、有機材料を含んでもよい。
- [0024] 前記第2絶縁層は、開口を有し、前記第2導電層は、前記開口を規定する前記第2絶縁層の側面と接触し、前記第2導電層と前記第1絶縁層との間の一部に前記第2絶縁層が配置されてもよい。
- [0025] 前記第1絶縁層に対して前記第1部分とは反対側に配置され、前記第2導電層と離隔された導電層をさらに備えてもよい。
- [0026] 前記第1導電層は、前記第2厚さより厚い第3厚さを有し前記第2部分に隣接する第3部分をさらに含み、前記第1絶縁層は、さらに前記第3部分上に配置され、前記第2導電層は、前記第1絶縁層に対して前記第3部分とは反対側においても配置されてもよい。
- [0027] 前記基板を貫通する貫通電極をさらに備え、前記貫通電極は、前記第1導

電層に電氣的に接続してもよい。

[0028] 前記貫通電極は、前記第 1 導電層と同じ材料で形成され、前記第 1 導電層から連続的に延びていてもよい。

[0029] 前記第 1 導電層は複数の膜を含み、前記貫通電極は複数の膜を含み、前記第 1 導電層における前記基板に最も近い膜は、前記貫通電極における前記基板に最も近い膜まで、連続して延びていてもよい。

[0030] 前記第 1 導電層に接続された前記貫通電極を含むインダクタをさらに備えてもよい。

[0031] また、本開示によれば、上記記載の配線基板と、前記配線基板に電氣的に接続された半導体チップと、を備える半導体装置が提供される。

発明の効果

[0032] 本開示によれば、キャパシタの信頼性を向上することができる。

図面の簡単な説明

[0033] [図1]本開示の第 1 実施形態に係るインターポーザを示す概略平面図である。

[図2]本開示の第 1 実施形態におけるインターポーザを示す概略断面図（図 1 の A－A 線断面図）である。

[図3]本開示の第 1 実施形態に係るインターポーザに含まれるキャパシタを示す概略断面図（図 1 の B－B 線断面図）である。

[図4]本開示の第 1 実施形態に係るキャパシタの段差部近傍を拡大した図である。

[図5]本開示の第 1 実施形態に係るインターポーザを製造する方法を説明する図である。

[図6]本開示の第 1 実施形態に係るインターポーザを製造する方法を説明する図である。

[図7]本開示の第 1 実施形態に係るインターポーザを製造する方法を説明する図である。

[図8]本開示の第 1 実施形態に係るインターポーザを製造する方法を説明する図である。

[図9]本開示の第1実施形態に係るインターポーザを製造する方法を説明する図である。

[図10]本開示の第1実施形態に係るキャパシタを製造する方法を説明する図である。

[図11]本開示の第1実施形態に係るキャパシタを製造する方法を説明する図である。

[図12]本開示の第1実施形態に係るキャパシタを製造する方法を説明する図である。

[図13]本開示の第1実施形態に係るキャパシタを製造する方法を説明する図である。

[図14]本開示の第1実施形態に係るキャパシタを製造する方法を説明する図である。

[図15]本開示の第1実施形態に係るキャパシタを製造する方法を説明する図である。

[図16]比較例におけるキャパシタの第1導電層の応力分布を説明する図である。

[図17]本開示の第1実施形態に係るキャパシタの第1導電層の応力分布を説明する図である。

[図18]本開示の第1実施形態に係るキャパシタを製造する別の方法を説明する図である。

[図19]本開示の第1実施形態に係るキャパシタを製造する別の方法を説明する図である。

[図20]本開示の第2実施形態に係るキャパシタを製造する方法を説明する図である。

[図21]本開示の第2実施形態に係るキャパシタを製造する方法を説明する図である。

[図22]本開示の第2実施形態に係るキャパシタを製造する方法を説明する図である。

[図23]本開示の第2実施形態に係るキャパシタを製造する方法を説明する図である。

[図24]本開示の第3実施形態に係るインターポーザを示す概略平面図である。

[図25]本開示の第3実施形態に係るインターポーザに含まれるキャパシタを示す概略断面図（図24のB-B線断面図）である。

[図26]本開示の第4実施形態に係るインターポーザを示す概略平面図である。

[図27]本開示の第4実施形態に係るインターポーザに含まれるキャパシタを示す概略断面図（図26のB-B線断面図）である。

[図28]本開示の第5実施形態に係るインターポーザを示す概略平面図である。

[図29]本開示の第6実施形態に係るインターポーザを示す概略平面図である。

[図30]本開示の第7実施形態に係るインターポーザを示す概略平面図である。

[図31]本開示の第7実施形態に係るキャパシタを示す概略断面図（図30のC-C線断面図）である。

[図32]本開示の第8実施形態に係るキャパシタを示す概略断面図である。

[図33]本開示の第9実施形態に係るキャパシタを示す概略断面図である。

[図34]本開示の第1実施形態に係る第1導電層の側面形状を示す概略断面図である。

[図35]本開示の第10実施形態に係る第1導電層の側面形状を示す概略断面図である。

[図36]本開示の第11実施形態に係るインターポーザを示す概略平面図である。

[図37]本開示の第11実施形態におけるインターポーザに含まれる環状の導電層29を示す概略断面図（図36のD-D線断面図）である。

[図38]本開示の第12実施形態に係るキャパシタを示す概略断面図である。

[図39]本開示の第13実施形態に係るインターポーザに含まれるキャパシタおよびインダクタを示す概略平面図である。

[図40]本開示の第13実施形態に係るインターポーザを示す概略断面図（図39のE-E線断面図）である。

[図41]本開示の第14実施形態に係るキャパシタを示す概略断面図である。

[図42]本開示の第14実施形態に係るキャパシタを製造する方法を説明する図である。

[図43]本開示の第14実施形態に係るキャパシタを製造する方法を説明する図である。

[図44]本開示の第15実施形態における半導体装置を示す図である。

[図45]本開示の第15実施形態における半導体装置の別の例を示す図である。

[図46]本開示の第15実施形態における半導体装置のさらに別の例を示す図である。

[図47]本開示の第15実施形態における半導体装置を含む電子機器の一例を説明する図である。

発明を実施するための形態

[0034] 以下、図面を参照して本開示の一実施形態について説明する。なお、以下に示す各実施形態は一例であって、本開示は、これらの実施形態に限定して解釈されるものではない。本実施形態で参照する図面において、同一部分または同様な機能を有する部分には同一の符号または類似の符号（数字の後にA、B等を付しただけの符号）を付し、その繰り返しの説明は省略する場合がある。また、図面の寸法比率は説明の都合上実際の比率とは異なったり、構成の一部が図面から省略されたりする場合がある。本件明細書に添付する図面においては、図示と理解のしやすさの便宜上、適宜縮尺および縦横の寸法比等を、実物のそれらから変更し誇張したり、構成の一部が図面から省略されたりする場合がある。さらに、以下の説明において、構造間の位置関係

を規定するときに、「上」または「下」は、一方の構造の直上または直下に他の構造が配置される場合に限らず、構造間においてさらに他の構造を介在する場合を含む。

[0035] <第1実施形態>

[1. 全体構造]

本開示の一実施形態に係るインターポーザは、絶縁層を、金属等を含む導電層で挟み込んだMIM構造を有する。以下、MIM構造は、誘電体層である絶縁層を上部電極と下部電極とで挟んだキャパシタであるものとして説明する。以下に説明するキャパシタによれば、下部電極上にある絶縁層の端部で特に強く生じる応力を、従来のキャパシタよりも緩和することができる。以下、このようなキャパシタを有するインターポーザの構造について、具体的に説明する。

[0036] 図1は、本開示の第1実施形態に係るインターポーザ10を示す概略平面図である。図2は、本開示の第1実施形態におけるインターポーザ10を示す概略断面図（図1のA-A線断面図）である。図3は、本開示の第1実施形態に係るインターポーザ10に含まれるキャパシタ100を示す概略断面図（図1のB-B線断面図）である。なお、図1および図3においては、基板11、第1導電層12、第1絶縁層13および第2導電層14の位置関係がわかりやすくなるように、一部の構成が省略されている。この例では、キャパシタ100において、第1導電層12が下部電極に対応し、第1絶縁層13が誘電体層に対応し、第2導電層14が上部電極に対応する。

[0037] インターポーザ10は、基板11、第1導電層12、第1絶縁層13および第2導電層14を備える。基板11は、第1面11aと第1面11aに対して反対側の第2面11bとを有する。基板11は、絶縁表面を有する基板であって、この例では、無アルカリガラスである。なお、基板11は、ガラス以外の無機絶縁材料であってもよいし、有機材料であってもよいし、半導体基板であってもよいし、有機材料であってもよいが、絶縁性材料であることが望ましく、少なくとも表面に絶縁性を有している。

[0038] 基板 11 の厚さは、 $50\mu\text{m}$ 以上 $700\mu\text{m}$ 以下であることが好ましく、この例では $400\mu\text{m}$ である。また、基板 11 の第 1 面 11 a の表面粗さ（算術平均粗さ R_a ）は、基板 11 の第 1 面 11 a 上に形成する第 1 導電層 12 および第 2 面 11 b 上に形成する第 4 導電層 21 にて、高周波信号に対し伝送損失が生じるのを防ぐ観点から小さいことが好ましく 50nm 以下、特に $0.1\text{nm}\sim 30\text{nm}$ であることが好ましい。なお、ここでの算術平均粗さ R_a は、JIS 規格 JIS B 0601 : 2001 による定義に従う。以下、本明細書において、表面粗さといった場合には算術平均粗さ R_a に対応する。

[0039] 第 1 導電層 12 は、第 1 下部導電層 121 および第 1 上部導電層 123 を含む。第 1 下部導電層 121 は、基板 11 の第 1 面 11 a に配置されている。第 1 上部導電層 123 は、第 1 下部導電層 121 の上に配置されている。第 1 導電層 12 のうち、第 1 絶縁層 13 の縁部近傍には、第 1 絶縁層 13 の縁部に沿って段差 12s が形成されている。この段差 12s が存在することによって、第 1 絶縁層 13 への応力が緩和される。段差 12s の詳細構造については、後述する。

[0040] なお、第 1 下部導電層 121 は、基板 11 の第 1 面 11 a に直接配置されていてもよいし、導電性または絶縁性の層を少なくとも 1 層を介して基板 11 の第 1 面 11 a に配置されていてもよい。例えば、基板 11 の第 1 面 11 a に絶縁性樹脂を配置することにより、第 1 導電層 12 と基板 11 の熱膨張率の差により発生する応力を緩和することもできる。絶縁性樹脂としては、エポキシ、ポリイミド、ポリベンゾオキサゾール、ポリアミドなどが例示される。

[0041] 第 1 下部導電層 121 は、シード層の一部に対応する。シード層は、第 1 上部導電層 123 を電解めっきで形成するときの電極として機能する導電層である。第 1 下部導電層 121 は、この例では、銅 (Cu) の膜であるが、クロム (Cr)、チタン (Ti) などの他の膜であってもよいし、複数の膜で形成されてもよい。第 1 下部導電層 121 の厚さは、 20nm 以上 800

n m以下であることが好ましく、この例では200 n mである。第1下部導電層121は、無電解めっき法により形成される。

[0042] なお、第1下部導電層121と第1面11aとの間にはさらに別の層が配置されていてもよい。例えば、第1下部導電層121が基板11から剥がれにくくするための密着層が配置されていてもよい。密着層としては、例えば、酸化亜鉛（ZnO）が例示される。酸化亜鉛を含む密着層は、例えば、ゾルゲル法によって形成される。

[0043] 第1上部導電層123は、第1下部導電層121をシード層として電解めっき法により形成される。第1上部導電層123は、この例では、Cuの膜であるが、他の導電性を有する材料の膜であってもよいし、複数の膜で形成されてもよい。第1上部導電層123の厚さは、0.5 μm以上30 μm以下であることが好ましく、この例では20 μmである。

[0044] 第1絶縁層13は、第1導電層12の上に配置されている。第1絶縁層13は、この例では、窒化シリコン（SiN）の膜であるが、酸化シリコン（SiO）、酸窒化シリコン（SiON）、酸化タンタル（TaO）、酸化アルミニウム（AlO）、窒化アルミニウム（AlN）、酸化ハフニウム（HfO）などの無機材料の膜であってもよいし、複数の膜で形成されてもよい。第1絶縁層13の比誘電率は、キャパシタ100の周囲に存在する絶縁層（例えば、第2絶縁層22）よりも高いことが望ましい。第1絶縁層13の比誘電率は、例えば2.0以上9.0以下、より好ましくは5.0以上8.0以下である。第1絶縁層13の厚さは、50 nm以上800 nm以下であることが好ましく、この例では500 nmである。第1絶縁層13は、化学蒸着（CVD）で形成される。

[0045] 第2導電層14は、第1絶縁層13の上に配置されている。第2導電層14は、第2下部導電層141および第2上部導電層143を含む。第2下部導電層141は、第1絶縁層13の上に配置されている。第2上部導電層143は、第2下部導電層141の上に配置されている。

[0046] 第2下部導電層141は、シード層の一部に対応する。シード層は、第2

上部導電層 143 を電解めっきで形成するときの電極として機能する導電層である。第2下部導電層 141 は、この例では、銅 (Cu) の膜であるが、クロム (Cr)、チタン (Ti) などの他の膜であってもよいし、複数の膜で形成されてもよい。第2下部導電層 141 の厚さは、20 nm 以上 400 nm 以下であることが好ましく、この例では 200 nm である。第2下部導電層 141 は、無電解めっき法により形成される。

[0047] 第2上部導電層 143 は、第2下部導電層 141 をシード層として電解めっき法により形成される。第2上部導電層 143 は、この例では、Cu の膜であるが、他の導電性を有する材料の膜であってもよいし、複数の膜で形成されてもよい。第2上部導電層 143 の厚さは、0.5 μ m 以上 5 μ m 以下であることが好ましく、この例では 2 μ m である。

[0048] 基板 11 は、第1面 11a と第2面 11b とを貫通する貫通孔 15 を有する。第1導電層 12 は、貫通孔 15 に形成された第3導電層 20 を介して第2面 11b に配置された第4導電層 21 に電氣的に接続されている。第3導電層 20 は、貫通孔 15 を貫通する貫通電極である。この例では、第3導電層 20 は、第1導電層 12 から連続的に延びている。第3導電層 20 は、貫通孔 15 の内側面 15a 側から順に外周部分 201 および内周部分 203 を含む。外周部分 201 は、第1下部導電層 121 に連続して配置されている。内周部分 203 は第1上部導電層 123 に連続して配置されている。言い換えると、第1下部導電層 121 は外周部分 201 まで連続して延び、第1上部導電層 123 は内周部分 203 まで連続して延びている。なお、外周部分 201 と内側面 15a との間には、上述した密着層のような別の層がさらに配置されていてもよい。

[0049] 貫通孔 15 の開口幅は、40 μ m 以上 110 μ m 以下であることが好ましく、この例では 80 μ m である。ここで、貫通孔 15 の開口幅とは、第1面 11a と第2面 11b との間において、これらの面に沿った貫通孔 15 の断面が形成する図形を規定し、当該図形外縁の任意の2点間の最大距離をいう。なお、外縁が形成する図形が円形である場合、上述の幅とは、円の直径を

いう。

[0050] 貫通孔 1 5 は、図に示すように、第 1 面 1 1 a と第 2 面 1 1 b との間でいずれも開口幅が同じ、すなわち円柱形状であるが、他の形状であってもよい。例えば、第 1 面 1 1 a と第 2 面 1 1 b との間で開口幅の大きさが変化してもよく、例えば、極小値を有してもよいし、極大値を有してもよいし、極小値および極大値を有してもよい。また、開口幅が第 1 面 1 1 a から第 2 面 1 1 b にかけて徐々に大きくなってもよいし、徐々に小さくなってもよい。

[0051] 貫通孔 1 5 は、基板 1 1 に対して、エッチング加工、レーザ加工、レーザ加工とエッチング加工との組合せによる加工、サンドブラスト加工、放電加工、ドリル加工などを行うことによって形成される。第 3 導電層 2 0 は、図 2 に示すように貫通孔 1 5 の側面に沿って導電材料が配置された形態に限らず、貫通孔 1 5 内に導電材料が充填された形態であってもよい。図 2 に示すように、第 1 導電層 1 2、第 3 導電層 2 0 および第 4 導電層 2 1 は、少なくとも一部において、互いに一体となり電氣的に接続されていてもよい。さらに、第 1 導電層 1 2、第 3 導電層 2 0 および第 4 導電層 2 1 のうち、少なくとも 2 つの導電層が同じ材料で形成されていてもよい。

[0052] 第 4 導電層 2 1 は、基板 1 1 の第 2 面 1 1 b 側から順に第 4 下部導電層 2 1 1 および第 4 上部導電層 2 1 3 を含む。第 4 下部導電層 2 1 1 は、外周部分 2 0 1 に連続して配置されている。第 4 上部導電層 2 1 3 は、内周部分 2 0 3 に連続して配置されている。なお、第 4 下部導電層 2 1 1 と第 2 面 1 1 b との間には、上述した密着層のような別の層がさらに配置されていてもよい。また、第 1 導電層 1 2 と第 4 導電層 2 1 とは、同じ材料で形成され、実質的に同じ厚さであってもよい。このような場合には、電氣的に接続されたときに接続部において抵抗値に差が生じにくく、信号の伝送損失を軽減することができる。

[0053] 基板 1 1 の第 1 面 1 1 a 側および第 2 面 1 1 b 側には、絶縁層の一例である第 2 絶縁層 2 2 が形成されている。第 2 絶縁層 2 2 は、この例では、有機材料である樹脂を含む層である。第 2 絶縁層 2 2 において、第 1 導電層 1 2

、第2導電層14および第4導電層21に対応する位置には、ビアホール23が形成されている。ビアホール23のそれぞれには、導電性の材料で形成された接続部24が配置されている。接続部24は、ビアホール23の底部に配置された導電層と電氣的に接続されている。

[0054] インターポーザ10は、接続部24を介して、半導体チップ50に電氣的に接続されている。また、インターポーザ10は、はんだボール25と接続部24とを介して、回路基板40に接続されている。半導体チップ50についても、はんだボール25を介して接続部24に接続されてもよい。この構成によれば、インターポーザ10と、基板11の第1面11a側に配置され、第3導電層20と電氣的に接続された半導体チップ50と、基板11の第2面11b側に配置され、第3導電層20と電氣的に接続された回路基板40と、を有する半導体装置が提供される。本実施形態のインターポーザ10によれば、狭端子ピッチの半導体チップ50を大型の回路基板40へ実装することが簡便化される。回路基板40は、例えば、マザーボードが挙げられる。

[0055] [2. 段差]

続いて、キャパシタ100のうち、段差12s近傍の詳細の構造について説明する。第1導電層12は、第1絶縁層13と接する領域である第1部分12-1、および第1絶縁層13と離隔した領域である第2部分12-2を含む。すなわち、第1部分12-1の上面12-1uは、第1絶縁層13と接触する。一方、第2部分12-2の上面12-2uは、第1絶縁層13と離隔している。上面12-2uの表面粗さは、上面12-1uの表面粗さと同等であるか、上面12-1uの表面粗さよりも大きい。この例では、上面12-1uの表面粗さは200nm以下であり、上面12-2uの表面粗さは80nm以上300nm以下である。第1導電層12のうち第1絶縁層13と接触する上面12-1uの表面粗さが小さいことにより、キャパシタ100において、第1絶縁層13での絶縁破壊が生じにくくなる。一方、上面12-2uの表面粗さが大きいことにより、第2絶縁層22との密着性が向

上するために好ましい。

[0056] t_1 は、第1部分12-1の厚さ、すなわち、基板11の第1面11aから上面12-1uまでの距離に対応する。 t_2 は、第2部分12-2の厚さ、すなわち、基板11の第1面11aから上面12-2uまでの距離に対応する。第2部分12-2は、第1部分12-1より薄い ($t_1 > t_2$)。 t_s は、 t_1 と t_2 との差 ($t_1 - t_2$) に対応する。言い換えれば、 t_s は、上面12-1uと上面12-2uとの高さの差、すなわち段差12sの大きさに対応する。 t_3 は、第1下部導電層121の厚さに対応する。 t_1 は、上述したように、第1導電層12の厚さに対応するため、第1下部導電層121の厚さ t_3 と第1上部導電層123の厚さとを加算した厚さに対応する。ここで、第1導電層12のうち第1絶縁層13側において同一材料の膜で形成されている第1上部導電層123に着目する。この場合、第1部分12-1における第1上部導電層123の厚さは「 $t_1 - t_3$ 」に対応し、第2部分12-2における第1上部導電層123の厚さは「 $t_2 - t_3$ 」に対応する。したがって、第2部分12-2における第1上部導電層123は、第1部分12-1における第1上部導電層123よりも薄い、ともいえる。上述したように、この例では、 t_3 は $0.4 \mu\text{m}$ であり、第1上部導電層123の厚さは $20 \mu\text{m}$ である。したがって、 t_1 は $20.4 \mu\text{m}$ である。この例では、 t_2 は $20.1 \mu\text{m}$ であり、 t_s は $0.3 \mu\text{m}$ である。

[0057] d_1 は、第2導電層14の側面14eと第1絶縁層13の側面13eとの距離に対応する。 d_2 は、境界12-1pと側面13eとの距離に対応する。境界12-1pは、第1部分12-1と第2部分12-2との境界であり、第1絶縁層13と基板11との間に配置されている。 d_3 は、第2部分12-2の側面12-2eと境界12-1pとの距離に対応する。ここでの距離 d_1 、 d_2 、 d_3 は、いずれも、基板11の表面（第1面11a）に垂直に見た場合における距離、すなわち、基板11の表面の法線方向に沿って見た場合における距離に対応する。

[0058] この例では、 d_1 は $10 \mu\text{m}$ であり、 d_2 は $0.2 \mu\text{m}$ であり、 d_3 は 1

0 μm である。d 1は、第2導電層14を形成するときのリソグラフィツールのアライメント精度に応じて必要な第1絶縁層13と第2導電層14との距離、または第1導電層12と第2導電層14との短絡を防ぐために必要な距離などに対応して、10 μm より大きくしてもよいし、小さくしてもよい。また、d 1を小さくするときには、側面13eと側面14eとがほぼ一致し、d 1が0 μm になる場合もある。d 1が0 μm になる場合については、後述する実施形態でさらに述べる。d 2は、t sより小さいことが好ましく、0 μm となる場合もある。d 3は、10 μm よりも大きくてもよいし、小さくてもよい。ただし、d 3は0 μm になることはない。d 3は、t sより大きいことが好ましく、d 1より大きいことが好ましい。d 3は、t 1の10%以上であることが好ましく、30%以上であることがさらに好ましい。

[0059] 境界12-1p、側面12-2e、側面13eおよび側面14eは、基板11の表面に垂直に見た場合には、第1部分12-1の縁部、第2部分12-2の縁部、第1絶縁層13の縁部および第2導電層14の縁部、にそれぞれ対応する。境界12-1pは、第1導電層12のうち第1絶縁層13と接触する最も外側の位置ともいえる。第2部分12-2の側面が傾斜を有する場合には、側面12-2e位置は第2部分12-2の最も外側の位置として定義する。第2導電層14の側面が傾斜を有する場合には、側面14eの位置は、第1絶縁層13と接する位置として定義する。第1絶縁層13の側面が傾斜を有する場合には、側面13eの位置は第1絶縁層13の最も外側の位置として定義する。

[0060] [3-1. インターポーザの製造方法]

次に、インターポーザ10を製造する方法について説明する。

[0061] 図5から図9は、本開示の第1実施形態に係るインターポーザを製造する方法を説明する図である。図5から図9は、いずれも図2に対応する部分の断面形状（図1のA-A線断面図）を示したものである。まず、第1面11aと第2面11bとを有し、第1面11aと第2面11bを貫通する貫通孔15を有する基板11を準備する。図5に示すように、基板11の第1面1

1 a、第2面1 1 b、および貫通孔1 5の内側面1 5 a上に、無電解めっき法によってシード層1 2 1 0を形成する。上述したように、シード層1 2 1 0を形成する前に密着層を形成してもよい。

[0062] 図6に示すように、シード層1 2 1 0上の一部にレジスト層3 1を形成する。電解めっき法により、シード層1 2 1 0のうちレジスト層3 1から露出している部分に導電層を形成する。これにより、第1面1 1 a側に第1上部導電層1 2 3、貫通孔1 5に内周部分2 0 3、および第2面1 1 b側に第4上部導電層2 1 3が形成される。その後、図7に示すように、レジスト層3 1を除去する。

[0063] 図8に示すように、第1絶縁層1 3を形成し、その際にシード層1 2 1 0のうち、露出している部分を除去する。これによって、それぞれの導電層が分離されて、第1面1 1 a側に第1導電層1 2、貫通孔1 5に第3導電層2 0、および第2面1 1 b側に第4導電層2 1が形成される。続いて、図9に示すように、第1絶縁層1 3上に第2導電層1 4を形成する。これにより、第1導電層1 2と、第1導電層1 2上の第1絶縁層1 3と、第1絶縁層1 3上の第2導電層1 4とを備えるキャパシタを構成することができる。図7から図9に至る製造方法については、キャパシタ1 0 0となる部分の製造方法の詳細を後述する。

[0064] この後に、第2絶縁層2 2が形成され、ビアホール2 3が形成されて、接続部2 4が形成されることによって、図2に示す構成が実現される。なお、第2絶縁層2 2の厚さ（図2の例では基板1 1の第1面1 1 aから第2絶縁層2 2の表面までの距離）は、表面においてキャパシタ1 0 0等の凹凸が平坦化するために、第1導電層1 2、第1絶縁層1 3および第2導電層1 4を積層した構造の厚さ以上、当該厚さの2倍以下の範囲であることが好ましい。また、キャパシタ1 0 0の近傍では、第1導電層1 2と接続部2 4との間での容量成分が生じるが、設計上できるだけ少なくしたい。そのため、第1導電層1 2と接続部2 4との間において、第1絶縁層1 3よりも低い比誘電率を有する第2絶縁層2 2を厚く形成することが好ましい。第2絶縁層2 2

の厚さのうち、第1絶縁層13の表面から第2絶縁層22の表面までの距離は、例えば、第1絶縁層13の厚さの10倍以上であることが好ましい。

[0065] [3-2. キャパシタの製造方法]

上述した図7から図9に至る製造方法のうち、キャパシタ100が製造される部分について、図10から図15を用いて、より詳細に説明する。

[0066] 図10から図15は、本開示の第1実施形態に係るキャパシタを製造する方法を説明する図である。図10から図15は、いずれも、図3に対応する部分の断面形状（図1のB-B線断面図）を示したものである。図10に示すように、図7に示す状態から、第1上部導電層123を覆うように絶縁層1300を形成する。絶縁層1300を形成する前に、第1上部導電層123を含む表面をNH3プラズマなどのプラズマに曝す表面処理を実施してもよい。これにより、第1上部導電層123の表面の酸化物を除去し、第1上部導電層123と絶縁層1300との間の密着性を高めてもよい。

[0067] 続いて、レジスト層31を形成し、絶縁層1300のうちレジスト層31に覆われていない部分を除去し、図11に示すように第1絶縁層13を形成する。その後に、レジスト層31を除去する。なお、絶縁層1300を形成する前に、第1絶縁層13を形成する部分以外にレジスト層31を形成してもよい。この場合には、絶縁層1300を形成した後、レジスト層31をウェットエッチングにより除去することによって、絶縁層1300の一部をリフトオフして第1絶縁層13を形成してもよい。

[0068] 次に、図12に示すように、第1上部導電層123のうち、第1絶縁層13から露出している部分の一部を除去して段差12sを形成する。このとき、第1上部導電層123から露出されているシード層1210についても除去される。すなわち、第1導電層12のうち、境界12-1pより外側において第2部分12-2の上面12-2uが形成される。

[0069] 続いて、図13に示すように、シード層1410を形成する。そして、図14に示すようにシード層1410上の一部にレジスト層31を形成し、電解めっき法により、シード層1410のうちレジスト層31から露出してい

る部分に導電層を形成する。これにより、第2上部導電層143が形成される。その後、図15に示すように、レジスト層31を除去する。この状態において、第2上部導電層143に覆われた部分以外のシード層1410を除去することにより、図9に示すキャパシタ100が実現される。

[0070] [4. 応力比較]

上述したキャパシタ100は、段差12sにより第1絶縁層13が受ける応力が低減される。ここで、段差12sを含まないキャパシタと、段差12sを含むキャパシタ100とについて、所定の設計条件の下でのシミュレーションにより応力分布を比較した。

[0071] 図16は、比較例におけるキャパシタの第1導電層の応力分布を説明する図である。図17は、本開示の第1実施形態に係るキャパシタの第1導電層の応力分布を説明する図である。図16および図17は、第1導電層において第1絶縁層13に与える応力分布を示し、その分布を等高線で示している。図16と図17とで等高線の線種が同じものについては、同じ大きさの応力であることを示している。また、線種が点線、破線、実線の順で応力が高くなることを示している。図16と図17とを比較すると、図16に示す比較例のキャパシタ100Zに比べて、図17に示すキャパシタ100では、段差12sの存在により、応力が緩和される結果が得られた。

[0072] [5. 別の製造方法]

キャパシタ100を製造する方法は、上述の方法に限られない。別の製造方法の一例を示す。

[0073] 図18、図19は、本開示の第1実施形態に係るキャパシタを製造する別の方法を説明する図である。上述した例とは、シード層1210を除去するタイミングが異なっている。図18に示すように、図7に示す状態において、第1上部導電層123に覆われた部分以外のシード層1210を除去して第1下部導電層121を形成してから、第1導電層12を覆うように絶縁層1300を形成する。続いて、レジスト層31を形成し、絶縁層1300のうちレジスト層31に覆われていない部分を除去し、図19に示すように第

1 絶縁層 1 3 を形成する。さらに、第 1 上部導電層 1 2 3 のうち、第 1 絶縁層 1 3 から露出している部分の一部を除去して段差 1 2 s を形成する。これによっても、図 1 2 と同様な構造を有するキャパシタ 1 0 0 が形成される。

[0074] <第 2 実施形態>

第 2 実施形態では、第 1 実施形態におけるキャパシタ 1 0 0 の第 2 導電層 1 4 が、接続部 2 4 と共用されたキャパシタ 1 0 0 A の例を示す。キャパシタ 1 0 0 A は、図 2 3 に示す構造を有し、図 2 0 から図 2 3 を用いて、その製造方法について説明する。

[0075] 図 2 0 から図 2 3 は、本開示の第 2 実施形態に係るキャパシタを製造する方法を説明する図である。図 8 に示す状態において、図 2 0 に示すように、開口 2 2 A h を含む第 2 絶縁層 2 2 A を形成する。開口 2 2 A h は、図 2 に示すビアホール 2 3 と同時に形成され同様な構造を有するが、第 1 絶縁層 1 3 の一部を露出するように形成されている点で異なる。続いて、図 2 1 に示すように、シード層 1 4 1 0 A を形成する。シード層 1 4 1 0 A は、第 1 絶縁層 1 3 および第 2 絶縁層 2 2 A を覆って形成される。図 2 2 に示すように、レジスト層 3 1 を形成して、第 2 上部導電層 1 4 3 A を電解めっき法によって形成する。最後に、図 2 3 に示すように、レジスト層 3 1 を除去し、第 2 上部導電層 1 4 3 A に覆われた部分以外のシード層 1 4 1 0 A を除去することによって第 2 下部導電層 1 4 1 A が形成される。このように形成された第 2 導電層 1 4 A は、接続部 2 4 とともに形成される。なお、開口 2 2 A h とビアホール 2 3 とは別々のタイミングで形成されてもよい。また、第 2 導電層 1 4 A と接続部 2 4 とが別々のタイミングで形成されてもよい。

[0076] キャパシタ 1 0 0 A の構造によれば、以下に示す構造を有しているともいえる。第 2 導電層 1 4 A は、開口 2 2 A h の内側面と接触する。また、第 2 導電層 1 4 A と第 1 絶縁層 1 3 との間の一部に、第 2 絶縁層 2 2 A が配置されている。すなわち、第 2 導電層 1 4 A の一部と第 1 絶縁層 1 3 の一部とが接触している。

[0077] <第 3 実施形態>

第1実施形態では、第1導電層12のうち第1部分12-1の周りを囲むように第2部分12-2が配置されていた。すなわち、第1絶縁層13の縁部は、全て第1導電層12上に配置されていた。第3実施形態では、第1絶縁層13の縁部の少なくとも一部が第1導電層12の外側に配置されているキャパシタについて説明する。

[0078] 図24は、本開示の第3実施形態に係るインターポーザを示す概略平面図である。図25は、本開示の第3実施形態に係るインターポーザに含まれるキャパシタを示す概略断面図（図24のB-B線断面図）である。第1実施形態における第1導電層12は、図1に示すように、第1部分12-1の周りを囲んでいたため、第2部分12-2の縁部（図4に示す側面12-2eに対応）と、第1導電層12の縁部とは共通であった。

[0079] 図24に示すように、キャパシタ100Bは、第1絶縁層13Bの一部が第1導電層12Bの外側まで広がっている。そのため、第1導電層12Bの側面（基板11の表面（第1面11a）の法線方向に沿って見た場合の外縁）は、第2部分12B-2の縁部に対応する側面12B-2e、および第1部分12B-1の縁部に対応する側面12B-1eの双方を含む。図25に示すように、第1絶縁層13Bは、上面12B-1uを覆うとともに、側面12B-1eを覆い、さらに基板11の第1面11aの一部を覆っている。このように第1絶縁層13Bの一部の端部が第1導電層12Bの上に存在する構成によっても、当該端部には段差12Bsが存在するため、上述した実施形態と同様に、第1絶縁層13Bが第1導電層12Bから受ける応力が低減される。一方で第1絶縁層13Bの端部が第1導電層12Bの上に存在しない領域では応力が集中することがないため、第1絶縁層13Bは第1導電層12Bの上ではクラックが生じにくい。

[0080] 第1絶縁層13Bのうち上面12B-1uを覆う部分の厚さよりも、側面12B-1eを覆う部分の厚さが小さくてもよい。このとき、上面12B-1uを覆う部分の第1絶縁層13Bの厚さに対して、側面12B-1e覆う部分の第1絶縁層13Bの厚さが、30%以上90%以下であってもよいし

、60%以上80%以下であってもよい。

[0081] <第4実施形態>

第4実施形態では、第3実施形態のキャパシタ100Bにおいて、さらに第2導電層14の一部が第1導電層12Bの外側まで広がっている例について説明する。

[0082] 図26は、本開示の第4実施形態に係るインターポーザを示す概略平面図である。図27は、本開示の第4実施形態に係るインターポーザに含まれるキャパシタを示す概略断面図（図26のB-B線断面図）である。図26に示すキャパシタ100Cによれば、第2導電層14Cが第1絶縁層13Bの配置に沿って、形成されている。そのため、第1絶縁層13Bは、第2導電層14Cと第1部分12B-1の側面12B-1eとに挟まれた領域を有し、さらに、第2導電層14Cと基板11とに挟まれた領域も有する。

[0083] <第5実施形態>

第5実施形態では、上述した第4実施形態のように第2導電層14Cの一部が第1導電層12Bの外側に広がっている複数のキャパシタ100Cが第2導電層14Cを介して接続されている例について説明する。

[0084] 図28は、本開示の第5実施形態に係るインターポーザを示す概略平面図である。第5実施形態における第1キャパシタ100D-aおよび第2キャパシタ100D-bは、それぞれ、第4実施形態におけるキャパシタ100Cに類似する構成を有する。第1キャパシタ100D-aは、第1導電層12D-a、第1絶縁層13D-aおよび第2導電層14Dを含む。第2キャパシタ100D-bは、第1導電層12D-b、第1絶縁層13D-bおよび第2導電層14Dを含む。第2導電層14Dは、第1キャパシタ100D-aおよび第2キャパシタ100D-bにおいて、共通の電極として配置されている。

[0085] 第1キャパシタ100D-aと第2キャパシタ100D-bとは、この例では、回転対称に配置されているが、線対称に配置されてもよいし、対称性を有しない形態で配置されてもよい。いずれにしても、第1キャパシタ10

0D-aと第2キャパシタ100D-bとが隣り合っている状況を想定している。第1導電層12D-aと第1導電層12D-bとは離隔されている。また、第1絶縁層13D-aと第1絶縁層13D-bとは離隔されている。第2導電層14Dは、第1絶縁層13D-a、13D-bに接触した領域以外において、さらに、基板11の第1面11aに接触している。

[0086] <第6実施形態>

第6実施形態では、上述した第5実施形態において、第1絶縁層13D-aと第1絶縁層13D-bとが離隔されていない例について説明する。

[0087] 図29は、本開示の第6実施形態に係るインターポーザを示す概略平面図である。第6実施形態における第1キャパシタ100E-aおよび第2キャパシタ100E-bは、それぞれ、第5実施形態における第1キャパシタ100D-aおよび第2キャパシタ100D-bに類似する構成を有する。第1キャパシタ100E-aは、第1導電層12E-a、第1絶縁層13Eおよび第2導電層14Eを含む。第2キャパシタ100E-bは、第1導電層12E-b、第1絶縁層13Eおよび第2導電層14Eを含む。第1絶縁層13Eは、第1キャパシタ100E-aおよび第2キャパシタ100E-bにおいて、共通の絶縁層として配置されている。第2導電層14Eは、第1キャパシタ100E-aおよび第2キャパシタ100E-bにおいて、共通の電極として配置されている。第1キャパシタ100E-aと第2キャパシタ100E-bとは、この例では、回転対称に配置されているが、線対称に配置されてもよいし、対称性を有しない形態で配置されてもよい。いずれにしても、第1キャパシタ100E-aと第2キャパシタ100E-bとが隣り合っている状況を想定している。第1導電層12E-aと第1導電層12E-bとは離隔されている。

[0088] <第7実施形態>

第5、第6実施形態においては、第2導電層が複数のキャパシタにおいて、共通の電極として配置されていたが、第7実施形態においては、第1導電層が複数のキャパシタにおいて、共通の電極として配置された例について説

明する。

[0089] 図30は、本開示の第7実施形態に係るインターポーザを示す概略平面図である。図31は、本開示の第7実施形態に係るキャパシタを示す概略断面図（図30のC-C線断面図）である。図31においては、キャパシタに相当する部分を含む一部の構成について記載し、他の構成を省略している。第7実施形態における第1キャパシタ100F-aおよび第2キャパシタ100F-bは、それぞれ、第1実施形態におけるキャパシタ100と類似する構成を有する。

[0090] 第1導電層12Fでは、第1キャパシタ100F-aおよび第2キャパシタ100F-bの領域（第1部分12F-1に対応する領域）の周囲に段差12Fsが形成されることで、第1キャパシタ100F-aおよび第2キャパシタ100F-b以外の領域（第2部分12F-2に対応する領域）の方が、薄くなっている。2つの第1部分12F-1の一方を、図31に示すように第3部分12F-3として定義すると、以下のように言い換えることもできる。第2部分12F-2は、第1部分12F-1および第3部分12F-3に隣接する。第1部分12F-1と第3部分12F-3とは、第2部分12F-2を介して離隔している。

[0091] 第1キャパシタ100F-aは、第1導電層12F、第1絶縁層13F-aおよび第2導電層14F-aを含む。第2導電層14F-aは、第1絶縁層13F-aに対して第1部分12F-1とは反対側に配置されている。第2キャパシタ100F-bは、第1導電層12F、第1絶縁層13F-bおよび第2導電層14F-bを含む。第2導電層14F-bは、第1絶縁層13F-bに対して第3部分12F-3とは反対側に配置されている。第1導電層12Fは、第1キャパシタ100F-aおよび第2キャパシタ100F-bにおいて、共通の電極として配置されている。

[0092] なお、第7実施形態の構成において、第1絶縁層13F-aと第1絶縁層13F-bとが共通の絶縁層（第1絶縁層13Fという）として連続して配置されてもよい。この場合には、第1絶縁層13Fが存在する領域は、第1

部分 1 2 F - 1、第 2 部分 1 2 F - 2 および第 3 部分 1 2 F - 3 に対応する領域となる。ただし、第 2 部分 1 2 F - 2 の厚さは、図 3 1 に示す厚さとは異なり、第 1 部分 1 2 F - 1 および第 3 部分 1 2 F - 3 と同じ厚さになる。このようにして、第 2 部分 1 2 F - 2 と第 1 部分 1 2 F - 1 との境界、および第 2 部分 1 2 F - 2 と第 3 部分 1 2 F - 3 との境界において段差 1 2 F s を設けずに、連続した第 1 絶縁層 1 3 F が配置されるようにすることで、キャパシタ間において応力の集中を避けることもできる。この構成は、図 1 1 に示すレジスト層 3 1 のパターンを、隣り合うキャパシタ間にも配置することで実現することができる。

[0093] <第 8 実施形態>

第 8 実施形態では、第 2 実施形態における複数のキャパシタ 1 0 0 A が第 2 導電層 1 4 A を介して接続されている例について説明する。

[0094] 図 3 2 は、本開示の第 8 実施形態に係るキャパシタを示す概略断面図である。図 3 2 に示すように、第 1 キャパシタ 1 0 0 G - a および第 2 キャパシタ 1 0 0 G - b は、それぞれ、第 2 実施形態におけるキャパシタ 1 0 0 A に類似する構成を有する。第 1 キャパシタ 1 0 0 G - a は、第 1 導電層 1 2 G - a、第 1 絶縁層 1 3 G - a および第 2 導電層 1 4 G を含む。第 2 キャパシタ 1 0 0 G - b は、第 1 導電層 1 2 G - b、第 1 絶縁層 1 3 G - b および第 2 導電層 1 4 G を含む。第 2 導電層 1 4 G は、第 1 キャパシタ 1 0 0 G - a および第 2 キャパシタ 1 0 0 G - b において、第 2 絶縁層 2 2 G 上に配置された部分を介して共通の電極として配置されている。これにより、第 1 導電層 1 2 G - a と第 1 導電層 1 2 G - b とを端子とし、第 1 キャパシタ 1 0 0 G - a と第 2 キャパシタ 1 0 0 G - b とを直列接続する構造を実現することができる。また図示しないが、第 1 導電層 1 2 G - a と第 1 導電層 1 2 G - b とを電氣的に接続して 1 つの配線とし、第 2 導電層 1 4 G を第 1 キャパシタ 1 0 0 G - a および第 2 キャパシタ 1 0 0 G - b のそれぞれ個別に分けることによって、同様に直列接続を実現することができる。この場合には、図 3 1 に示す第 7 実施形態の構成に類似した直列接続構造であってもよい。

[0095] <第9実施形態>

第9実施形態では、第8実施形態において第1導電層12G-a、12G-bが接続されている例について説明する。

[0096] 図33は、本開示の第9実施形態に係るキャパシタを示す概略断面図である。第1キャパシタ100H-aおよび第2キャパシタ100H-bは、それぞれ、第2実施形態におけるキャパシタ100Aに類似する構成を有する。第1キャパシタ100H-aは、第1導電層12H、第1絶縁層13H-aおよび第2導電層14Hを含む。第2キャパシタ100H-bは、第1導電層12H、第1絶縁層13H-bおよび第2導電層14Hを含む。第1導電層12Hは、第1キャパシタ100H-aおよび第2キャパシタ100H-bにおいて、共通の電極として配置されている。第2導電層14Gは、第1キャパシタ100H-aおよび第2キャパシタ100H-bにおいて、第2絶縁層22G上に配置された部分を介して共通の電極として配置されている。

[0097] 第1キャパシタ100H-aと第2キャパシタ100H-bとは、複数のキャパシタが並列に接続された状態である。したがって、2つのキャパシタを離隔せずに一体に形成することもできる。一方、この例では、第1絶縁層13G-aと第1絶縁層13G-bとを互いに離隔して、一体となる絶縁層の大きさを小さくし、その結果、これらの間に第1導電層12Hの第2部分12H-2を形成する。これによって、第1部分12H-1と第2部分12H-2との境界に段差を形成して、第1絶縁層13G-a、13G-bへの応力を緩和することができる。このように一体となる絶縁層の大きさを小さくするという考え方は、第8実施形態で述べた第1導電層12G-aと第1導電層12G-bとを一体にする場合の構造にも同様に適用することができる。

[0098] <第10実施形態>

第10実施形態では、第1導電層が第1実施形態とは異なる積層構造を有する例について説明する。ここで、第1実施形態における第1導電層12と

、第10実施形態における第1導電層12Jとについて、基板11の第1面11a近傍の側面形状を比較しながら説明する。

[0099] 図34は、本開示の第1実施形態に係る第1導電層の側面形状を示す概略断面図である。第1実施形態における第1導電層12は、上述したように第1下部導電層121および第1上部導電層123を積層した構造を有する。この例では、第1下部導電層121は無電解めっき法によって形成されたCuであり、第1上部導電層123は電解めっき法によって形成されたCuである。

[0100] 第1実施形態において説明した方法によりキャパシタ100を製造すると、図34に示すように、側面12-2eにおいて窪み12dが生じる。この例では、第1下部導電層121と第1上部導電層123とはいずれもCuであるが、前者を無電解めっき法で形成し、後者を電解めっき法で形成することにより、同じエッチングであってもエッチングレートを異なるものとすることができる。したがって、シード層1210を除去して第1下部導電層121を形成する際に、第1上部導電層123よりも第1下部導電層121の方がエッチングの進行を速くすることができる。その結果、第1上部導電層123の下方からもエッチングが進行し、側面12-2eに窪み12dを生じさせることができる。このような窪み12dに沿って第2絶縁層22が形成されることで、密着性を高めることもできる。なお、このような窪み12dの形状は、積層構造の組み合わせ、例えば、膜厚、膜質等を制御することで様々に変化させることができる。

[0101] 図35は、本開示の第10実施形態に係る第1導電層の側面形状を示す概略断面図である。図35に示す第1導電層12Jは、第1下部導電層121Jと第1上部導電層123とを積層した構造を有する。第1下部導電層121Jは、スパッタTi層1211、スパッタCu層1213および蒸着Cu層1215を積層した構造を有する。シード層から第1下部導電層121Jを形成するときのエッチングによって、この例では、側面12H-2eにおいて、窪み1211b、121Jd、12Jdが生じる。

[0102] 上述したように、スパッタCu層1213、蒸着Cu層1215および第1上部導電層123がいずれもCuであっても、それぞれの形成方法の違いによってエッチングレートを変えるものとすることができるため、側面12H-2eにおいて窪み121Jd、12Jdを生じさせることができる。一方、窪み1211bについては、スパッタTi層1211と上層のCuとは材料が異なるため、スパッタCu層1213の下方からのエッチングはほとんど進行しない。そのため、スパッタCu層1213の下面については、ほぼ基板11の第1面11aと平行である。このような窪み1211bについて、第2絶縁層22によって充填されるようにしてもよいし、一部において空間が形成されるようにしてもよい。

[0103] <第11実施形態>

第11実施形態では、複数のキャパシタが配置された領域の周囲を環状の導電層が配置される例について説明する。

[0104] 図36は、本開示の第11実施形態に係るインターポーザを示す概略平面図である。より具体的には、図36は、第1実施形態で説明した方法で製造されたインターポーザ10を示している。この図では、説明を簡単にするために多くの構成要素は省略され、キャパシタ100については、基板11の第1面11a側に形成された第1絶縁層13および第2導電層14の一部のみを示している。基板11の第1面11aには、キャパシタ100を覆うように第2絶縁層22が形成されている。キャパシタ100が配置された領域の周囲には、第2絶縁層22の端部に沿って環状の導電層29および第1絶縁層13が形成されている。

[0105] 図37は、本開示の第11実施形態におけるインターポーザに含まれる環状の導電層29を示す概略断面図（図36のD-D線断面図）である。導電層29は、環状に形成された第1絶縁層13上において、第1絶縁層13に沿って環状に配置されている。好ましくは、第1絶縁層13の幅は、導電層29の幅よりも大きい。導電層29は、例えば、第2導電層14を形成する工程と同時に形成される。第2導電層14が形成されるときに、第2絶縁層

22の縁部が形成される予定の位置に沿って、第1絶縁層13上に環状の導電層29も形成する。この構成によれば、第2絶縁層22の端部の位置において、導電層29と基板11との間に導電層29よりも幅が広い第1絶縁層13が配置される。この結果、第1絶縁層13によって第2絶縁層22の端部における密着性が向上する。

[0106] <第12実施形態>

第12実施形態では、第1絶縁層および第2導電層の縁部の形状において、角の部分がラウンド形状を有している例について説明する。

[0107] 図38は、本開示の第12実施形態に係るキャパシタを示す概略断面図である。図38に示すキャパシタ100Kは、第1絶縁層13Kおよび第2導電層14Kにおける角部がラウンド形状を有している。このように第1絶縁層13Kの角部がラウンド形状を有することによって、第1絶縁層13Kの角部が受ける応力をさらに低減することもできる。また、第2導電層14Kについても同様に、角部が受ける応力を低減することができる。これによって、第1絶縁層13Kおよび第2導電層14Kが下層から剥がれることを抑制することができる。

[0108] なお、第1絶縁層13Kおよび第2導電層14Kの一方の角部がラウンド形状を有していなくてもよい。また、複数の角部のいずれかが、ラウンド形状を有していなくてもよいし、いずれかの形状が他の形状と異なってもよい。ラウンド形状とする場合には、例えば、第1絶縁層13Kおよび第2導電層14Kが縦横それぞれ30 μ m以上の場合に、曲率半径が5 μ m以上であることが好ましい。一方、30 μ m未満の場合には、曲率半径がさらに小さくてもよい。

[0109] <第13実施形態>

第13実施形態では、キャパシタとインダクタとを含むインターポーザについて説明する。

[0110] 図39は、本開示の第13実施形態に係るインターポーザに含まれるキャパシタおよびインダクタを示す概略平面図である。この概略平面図は、基板

11の第1面11a側の第1導電層12Lを示す平面図である。図39において、接続部24等の一部の構成要素は省略されている。図40は、本開示の第13実施形態に係るインターポーザを示す概略断面図（図39のE-E線断面図）である。

[0111] 図39に示すように、インターポーザ10Lは、少なくともインダクタ27とキャパシタ100Lを備えていてもよい。インターポーザ10Lは、第1導電層12Lに電氣的に接続する第3導電層20aと、インダクタ27を構成する複数の第3導電層20bとを少なくとも有する。第3導電層20aは、インダクタ27とキャパシタ100L（第1導電層12L、第1絶縁層13Lおよび第2導電層14L）との間の貫通孔15-1に形成されている。また、複数の第3導電層20bは、インダクタ27を構成する領域（点線に含まれる範囲）における複数の貫通孔15-2のそれぞれに形成されている。

[0112] 図40に示すように、基板11の第1面11a側の第1導電層12Lの一部はインダクタ27を構成し、第1導電層12Lの他の一部はキャパシタ100Lの下部電極を構成している。基板11の第1面11a側において、インダクタ27を構成する第1導電層12Lの厚さTh1は、キャパシタ100Lの下部電極を構成する第1導電層12Lの外側（第2部分に相当）の厚さTh2と実質的に同一であってもよい。なお、両者の厚さが以下の関係を満たす場合であれば実質同一とみなすことができる。

$$-10\% \leq (Th1 - Th2) / Th1 \leq +10\%$$

[0113] Th1は、0.5μm以上30μm以下であってもよいが、さらに好ましくは、5μm～20μmであってもよい。インダクタ27の性能が向上するからである。第3導電層20a、20bの厚さは、基板11の第1面11aにおけるTh1の50%以上100%以下であってもよい。

[0114] <第14実施形態>

第14実施形態では、第1実施形態においてd1=0となる場合のキャパシタについて説明する。

- [0115] 図4 1は、本開示の第1 4実施形態に係るキャパシタを示す概略断面図である。図4 1に示すキャパシタ1 0 0 Mは、第1実施形態におけるキャパシタ1 0 0において $d_1 = 0$ である場合に相当する。すなわち、第1絶縁層1 3の側面1 3 eと、第2導電層1 4 Mの側面1 4 M eとが同一面を形成し、基板1 1の表面の法線方向に沿って見た場合に、側面1 3 eと側面1 4 M eとが揃っている。なお、側面1 3 eと側面1 4 M eとが揃っていることは、それぞれが完全に一致する場合に限らず、実質的に一致するものも含む。実質的に一致とは、例えば、 d_1 が d_2 以下であってもよいし、 d_1 が $0.1 \mu\text{m}$ 以下であってもよいし、 d_1 が第2導電層1 4 Mの厚さの1 %以下であってもよいし、 d_1 が第1絶縁層1 3の厚さの5 0 %以下であってもよい。
- [0116] このように第1絶縁層1 3の側面1 3 eと第2導電層1 4 Mの側面1 4 eとが揃っていると、第1絶縁層1 3の上に第2導電層1 4 Mの端面が形成されないため、応力が集中する箇所を第1絶縁層1 3の上に生じさせないようにすることができる。そのため、第1絶縁層1 3へのクラックを抑制することもでき、また、第1絶縁層1 3と第2導電層1 4 Mとの剥離を抑制することもできる。
- [0117] 図4 2は、本開示の第1 4実施形態に係るキャパシタを製造する方法を説明する図である。図4 2は、第1実施形態における図1 0の状態において、絶縁層1 3 0 0を覆うようにシード層1 4 1 0を形成し、第1実施形態と同様の方法で、第2上部導電層1 4 3 Mを形成する。
- [0118] 図4 3は、本開示の第1 4実施形態に係るキャパシタを製造する方法を説明する図である。図4 2の状態において、第2上部導電層1 4 3 Mに覆われた部分以外のシード層1 4 1 0および絶縁層1 3 0 0を除去することにより、第2下部導電層1 4 1 Mおよび第1絶縁層1 3を形成する。その後、第1上部導電層1 2 3のうち、第1絶縁層1 3から露出している部分の一部を除去して段差1 2 sを形成する。このとき、第1上部導電層1 2 3から露出されているシード層1 2 1 0についても除去される。このようにして図4 1に示すキャパシタ1 0 0 Mが実現される。

[0119] <第15実施形態>

第15実施形態では、第1実施形態におけるインターポーザ10を用いて製造される半導体装置について説明する。

[0120] 図44は、本開示の第15実施形態における半導体装置を示す図である。半導体装置1000は、積層された3つのインターポーザ10（10-1、10-2、10-3）を有し、LSI基板70に接続されている。インターポーザ10-1は、例えば、DRAM等の半導体素子を有し、また、接続部24等で形成された接続端子81-1、82-1を有している。これらのインターポーザ10（10-1、10-2、10-3）がガラス基板を用いたものでなくてもよく、一部のインターポーザ10は、他のインターポーザ10とは異なる材料の基板を用いたものであってもよい。接続端子81-1は、LSI基板70の接続端子80に対して、バンプ90-1を介して接続されている。接続端子82-1は、インターポーザ10-2の接続端子81-2に対して、バンプ90-2を介して接続されている。インターポーザ10-2の接続端子82-2と、インターポーザ10-3の接続端子83-1についても、バンプ90-3を介して接続されている。バンプ90（90-1、90-2、90-3）は、例えば、インジウム、銅、金等の金属を用いる。

[0121] なお、インターポーザ10を積層する場合には、3層に限らず、2層であってもよいし、さらに4層以上であってもよい。また、インターポーザ10と他の基板との接続は、バンプによるものに限らず、共晶接合など、他の接合技術を用いてもよい。また、ポリイミド、エポキシ樹脂等を塗布、焼成して、インターポーザ10と他の基板とが接着されてもよい。

[0122] 図45は、本開示の第15実施形態における半導体装置の別の例を示す図である。図45に示す半導体装置1000は、MEMSデバイス、CPU、メモリ等の半導体回路基板（半導体チップ）71-1、71-2、およびインターポーザ10を積層した積層構造体を有し、LSI基板70に接続されている。

[0123] インターポーザ10は、半導体回路基板71-1と半導体回路基板71-2との間に配置され、バンプ90-1、90-2を介して、それぞれに接続されている。LSI基板70上に半導体回路基板71-1が載置されている。LSI基板70と半導体回路基板71-2とはワイヤ95により接続されている。この例では、インターポーザ10は、複数の半導体回路基板を積層して3次元実装するためのインターポーザとして用いられる。インターポーザ10がそれぞれ機能の異なる複数の半導体回路基板と接続することで、多機能の半導体装置を実現することができる。例えば、半導体回路基板71-1を3軸加速度センサとし、半導体回路基板71-2を2軸磁気センサとすることによって、5軸モーションセンサを1つのモジュールで実現した半導体装置を実現することができる。

[0124] 半導体回路基板がMEMSデバイスにより形成されたセンサなどである場合には、センシング結果がアナログ信号により出力される場合がある。この場合には、ローパスフィルタ、アンプ等についても半導体回路基板またはインターポーザ10に形成してもよい。

[0125] 図46は、本開示の第15実施形態における半導体装置のさらに別の例を示す図である。上記2つの例（図44、図45）は、3次元実装であったが、この例では、2.5次元実装に適用した例である。図46に示す例では、LSI基板70には、6つのインターポーザ10（10-1～10-6）が積層されて接続されている。ただし、全てのインターポーザ10が積層して配置されているだけでなく、基板面内方向にも並んで配置されている。

[0126] 図46の例では、LSI基板70上にインターポーザ10-1、10-5が接続され、インターポーザ10-1上にインターポーザ10-2、10-4が接続され、インターポーザ10-2上にインターポーザ10-3が接続され、インターポーザ10-5上にインターポーザ10-6が接続されている。なお、図46に示す例のように、インターポーザ10を複数の半導体回路基板を接続するためのインターポーザとして用いても、このような2.5次元実装が可能である。例えば、インターポーザ10-3、10-4、10

ー 6 などが半導体回路基板に置き換えられてもよい。

[0127] 上述のように製造された半導体装置 1000 は、例えば、携帯端末、情報処理装置、家電等、様々な電子機器に搭載される。携帯端末は、より具体的には、携帯電話、スマートフォンおよびノート型パーソナルコンピュータ等が挙げられる。情報処理装置は、より具体的には、デスクトップ型パーソナルコンピュータ、サーバ、カーナビゲーション等が挙げられる。なお、電子機器の例としては、例えば、ワイヤレスローカルエリアネットワーク（LAN）デバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末（PDA）、固定位置データユニットであってもよい。

[0128] 図 47 は、本開示の第 15 実施形態における半導体装置を用いた電子機器の一例を説明する図である。半導体装置 1000 が搭載された電子機器の例として、スマートフォン 500 およびノート型パーソナルコンピュータ 600 を示した。これらの電子機器は、アプリケーションプログラムを実行して各種機能を実現する CPU 等で構成される制御部 1100 を有する。各種機能には、半導体装置 1000 からの出力信号を用いる機能が含まれる。なお、半導体装置 1000 が制御部 1100 の機能を有していてもよい。

[0129] <変形例>

本開示は上述した実施形態に限定されるものではなく、他の様々な変形例が含まれる。例えば、上述した実施形態は本開示を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。また、ある実施形態の構成の一部を他の実施形態の構成に置き換えることがあり、また、ある実施形態の構成に他の実施形態の構成を加えることも可能である。また、各実施形態の構成の一部について、他の構成の追加・削除・置換をすることが可能である。以下、一部の 변形例について説明する。なお、第 1 実施形態を変形した例については、他の実施形態を変形する例としても適用することができる。

[0130] (1) 第 1 導電層 12 および第 2 導電層 14 は、いずれもシード層と電解め

つき法によって形成した導電層とを含む積層構造を有していたが、別の方法によって形成された導電層であってもよい。すなわち、第1導電層12および第2導電層14の少なくとも一方、または双方が、単層構造であってもよい。

[0131] 導電層の形成方法としては、化学蒸着（CVD）および物理蒸着（PVD）を含む蒸着法が例示される。化学蒸着としては、例えば、プラズマCVD、原子層堆積（ALD）が挙げられる。物理蒸着としては、例えば、スパッタリングまたは真空蒸着が挙げられる。また、金属箔のエッチングによる形成であってもよいし、金属ナノペースト等の導電性ペーストの塗布による形成であってもよい。なお、第1絶縁層13についても同様に化学蒸着（CVD）および物理蒸着（PVD）を含む蒸着法によって形成されればよい。

[0132] 導電層および絶縁層に対して、フォトリソグラフィによって所望のパターンが形成されてもよいし、エッチバックまたは化学的機械的研磨（CMP）によって平坦化されてもよい。

[0133] （2）第1導電層12および第2導電層14の材料は、Cuに限らず、金（Au）、銀（Ag）、銅（Cu）、鉄（Fe）、ニッケル（Ni）、白金（Pt）、パラジウム（Pd）、ルテニウム（Ru）、タングステン（W）等の導電性を有する材料を含んでもよい。

[0134] （3）第2絶縁層22は、有機材料であったが、無機材料であってもよいし、無機材料の絶縁層と有機材料の絶縁層との積層構造であってもよい。

[0135] （4）第1絶縁層13はキャパシタ100を構成する部分に配置されるだけでなく、キャパシタ100を構成する部分以外にも第1絶縁層13として配置されてもよい。このとき、キャパシタ100を構成する部分の第1絶縁層13と、それ以外の部分の第1絶縁層13とは、互いに離隔されていてもよいし、連続していてもよい。キャパシタ100を構成する部分以外の第1絶縁層13は、例えば、貫通孔15の第3導電層20の少なくとも一部を覆うように形成されていてもよい。

[0136] この構成によれば、例えば、第1絶縁層13を形成した後にエッチングに

よりシード層を除去するときに、第3導電層20の一部、特に貫通孔15の角部にある導電層（第1導電層12と第3導電層20との境界の部分）が第1絶縁層13によって保護され、保護された部分の導電層が薄くならないようにすることができる。

[0137] (5) 貫通孔15の内部に形成される第3導電層20は、貫通孔15の内側面15aに沿って形成され、貫通孔15を閉塞しないように配置されていたが、貫通孔15における第1面11a側および第2面11b側の少なくとも一方を閉塞するように配置されてもよいし、貫通孔15の全体を閉塞するように配置されてもよい。貫通孔15の全体を閉塞する場合には、言い換えると貫通孔15を充填するように第3導電層20が形成されているともいえる。

[0138] ここで、第12実施形態では、キャパシタ100Lとインダクタ27とは第3導電層20aで接続されている。第3導電層20aを貫通孔15-1において少なくとも第1面11aの近傍において閉塞するように配置されている構成に変形すると、貫通孔15-1を閉塞した導電層を第1導電層12Lの一部または全部とすることにより、貫通孔15-1の直上にキャパシタ100Lの少なくとも一部が形成されてもよい。

[0139] (6) キャパシタ100は、上述したインターポーザ10に配置された例を示したが、導電層を含む配線基板に配置されるのであれば、第3導電層20のような貫通電極を含むインターポーザ10に適用される場合に限られない。このような配線基板は、貫通電極を含まなくてもよい。この場合には、基板11の第1面11a側だけに導電層が配置されてもよい。

[0140] また、キャパシタ100が配置される基板は、貫通電極を含んでいる場合であっても、回路基板と半導体チップ等の間に配置されるインターポーザとしての用途に適用されるものに限らず、例えば、貫通電極基板としての用途に適用されてもよい。ここで、貫通電極基板とは、回路基板と半導体チップ等の間に配置されるインターポーザだけでなく、半導体チップ等を設置しないIPD (Integrated Passive Device) 等も含ん

でいる。この場合、上側および下側の回路基板の一方が貫通電極と電氣的に接続するように存在する態様となる。一方、半導体チップ等は、回路基板上において、貫通電極基板と異なる位置に配置されて、回路基板と電氣的に接続されてもよい。

[0141] (7) キャパシタ 100 は、基板 11 の片面だけに配置される例を示したが、両面に配置されてもよい。

[0142] (8) キャパシタ 100 において、基板 11 と第 1 導電層 12 との間、第 1 導電層 12 と第 1 絶縁層 13 との間、第 1 絶縁層 13 と第 2 導電層 14 との間のいずれか、または全てにおいて、図示しない層が形成されていてもよい。

[0143] (9) 第 2 下部導電層 141 の熱膨張係数が、第 1 絶縁層 13 の熱膨張係数と、第 2 上部導電層 143 の熱膨張係数との間になるように、それぞれの材料が決定されてもよい。例えば、第 2 上部導電層 143 を熱膨張係数が 16.8 ppm/K の Cu で形成し、第 1 絶縁層 13 を 3.25 ppm/K の窒化珪素で形成した場合には、第 2 下部導電層 141 を上述した Ti (8.4 ppm/K)、Cr (8.2 ppm/K)、Ni (13.4 ppm/K) など形成することにより、さらに応力を緩和することができる。また第 2 下部導電層 141 を複数の膜で形成した場合には、第 1 絶縁層 13 に近いほど第 1 絶縁層 13 の熱膨張係数に近い膜で形成し、第 2 上部導電層 143 に近いほど第 2 上部導電層 143 の熱膨張係数に近い膜で形成することが好ましい。例えば、第 2 上部導電層 143 (Cu) 側に Ni の膜、第 1 絶縁層 13 (窒化珪素) 側に Ti または Cr の膜を積層した第 2 下部導電層 141 が形成されてもよい。

符号の説明

[0144] 10…インターポーザ、11…基板、11a…第 1 面、11b…第 2 面、12…第 1 導電層、12-1…第 1 部分、12-1p…境界、12-1u…上面、12-2…第 2 部分、12-2e…側面、12-2u…上面、12s…段差、13…第 1 絶縁層、14…第 2 導電層、14e…側面、15…貫通孔

、 15 a …内側面、 20 …第3導電層、 21 …第4導電層、 22 …第2絶縁層、 22 A h …開口、 23 …ビアホール、 24 …接続部、 25 …ボール、 27 …インダクタ、 29 …導電層、 31 …レジスト層、 40 …回路基板、 50 …半導体チップ、 70 …基板、 71 …半導体回路基板、 80 …接続端子、 90 …バンプ、 95 …ワイヤ、 100 …キャパシタ、 121 …第1下部導電層、 123 …第1上部導電層、 141 …第2下部導電層、 143 …第2上部導電層、 201 …外周部分、 203 …内周部分、 211 …第4下部導電層、 213 …第4上部導電層、 500 …スマートフォン、 600 …ノート型パーソナルコンピュータ、 1000 …半導体装置、 1100 …制御部、 1210 …シード層、 1211 …スパッタTi層、 1213 …スパッタCu層、 1215 …蒸着Cu層、 1300 …絶縁層、 1410 …シード層

請求の範囲

- [請求項1] 絶縁表面を有する基板と、
前記基板上に配置された第1導電層であって、第1厚さを有する第1部分および当該第1厚さよりも薄い第2厚さを有し当該第1部分に隣接する第2部分を含む第1導電層と、
前記第2部分から離隔して前記第1部分上に配置された第1絶縁層と、
前記第1絶縁層に対して前記第1部分とは反対側に配置された第2導電層と、
を備える、配線基板。
- [請求項2] 前記第1部分および前記第2部分は、前記第1絶縁層側において同一材料で形成された領域を含む、請求項1に記載の配線基板。
- [請求項3] 前記第1導電層は、第1膜および当該第1膜とは膜質が異なる第2膜を含み、
前記第2膜は、前記第1膜と前記第1絶縁層とに挟まれて配置され、
前記第2部分における前記第2膜は、前記第1部分における前記第2膜よりも薄い、請求項1に記載の配線基板。
- [請求項4] 前記第2導電層は、前記第1絶縁層の縁部のうち前記第2部分側に対応する第1縁部から離隔して配置されている、請求項1から請求項3のいずれかに記載の配線基板。
- [請求項5] 前記基板の表面の法線方向に沿って見た場合において、前記第2導電層の縁部と、前記第1絶縁層の縁部のうち前記第2部分側に対応する第1縁部とが揃う部分を含む、請求項1から請求項3のいずれかに記載の配線基板。
- [請求項6] 前記基板の表面の法線方向に沿って見た場合において、前記第1部分と前記第2部分との境界から前記第1縁部との間の距離は、前記第2導電層の縁部から前記第1縁部までの距離より小さい、請求項5に

記載の配線基板。

- [請求項7] 前記基板の表面の法線方向に沿って見た場合において、前記第1部分と前記第2部分との境界から前記第1絶縁層の縁部までの距離が、前記第1厚さと前記第2厚さとの差より小さい、請求項1から請求項3のいずれかに記載の配線基板。
- [請求項8] 前記境界は、前記第1絶縁層と前記基板との間に配置されている、請求項7に記載の配線基板。
- [請求項9] 前記第1部分と前記第2部分との境界から前記第2部分の縁部までの前記基板の表面の法線方向に沿って見た場合における距離は、前記第1厚さと前記第2厚さとの差より大きい、請求項1から請求項3のいずれかに記載の配線基板。
- [請求項10] 前記第1部分と前記第2部分との境界から前記第2部分の縁部までの前記基板の表面の法線方向に沿って見た場合における距離は、前記第2厚さの10%以上である、請求項1から請求項3のいずれかに記載の配線基板。
- [請求項11] 前記第1部分は、前記第2部分に囲まれている、請求項1から請求項3のいずれかに記載の配線基板。
- [請求項12] 前記基板の表面の法線方向に沿って見た場合において、前記第1導電層の外縁は、前記第1部分の側面および前記第2部分の側面を含む、請求項1から請求項3のいずれかに記載の配線基板。
- [請求項13] 前記第1絶縁層は、前記第1部分の側面を覆う、請求項12に記載の配線基板。
- [請求項14] 前記第1絶縁層の一部は、前記第2導電層と前記第1部分の側面とに挟まれる、請求項13に記載の配線基板。
- [請求項15] 前記第2部分の表面は、前記第1部分の表面より粗い、請求項1から請求項3のいずれかに記載の配線基板。
- [請求項16] 前記第1導電層は、少なくとも第1膜および当該第1膜とは膜質が異なる第2膜を含む、請求項1から請求項3のいずれかに記載の配線

基板。

[請求項17] 前記第1導電層の側面には、前記第1膜の側面と前記第2膜の側面とにおいて形成される窪みが配置されている、請求項16に記載の配線基板。

[請求項18] 前記第2部分および前記第1絶縁層に接触する第2絶縁層をさらに備え、

前記第1絶縁層は、無機材料を含み、

前記第2絶縁層は、有機材料を含む、請求項1から請求項3のいずれかに記載の配線基板。

[請求項19] 前記第2絶縁層は、開口を有し、

前記第2導電層は、前記開口を規定する前記第2絶縁層の側面と接触し、

前記第2導電層と前記第1絶縁層との間の一部に前記第2絶縁層が配置されている、請求項18に記載の配線基板。

[請求項20] 前記第1絶縁層に対して前記第1部分とは反対側に配置され、前記第2導電層と離隔された導電層をさらに備える、請求項1から請求項3のいずれかに記載の配線基板。

[請求項21] 前記第1導電層は、前記第2厚さより厚い第3厚さを有し前記第2部分に隣接する第3部分をさらに含み、

前記第1絶縁層は、さらに前記第3部分上に配置され、

前記第2導電層は、前記第1絶縁層に対して前記第3部分とは反対側においても配置されている、請求項1から請求項3のいずれかに記載の配線基板。

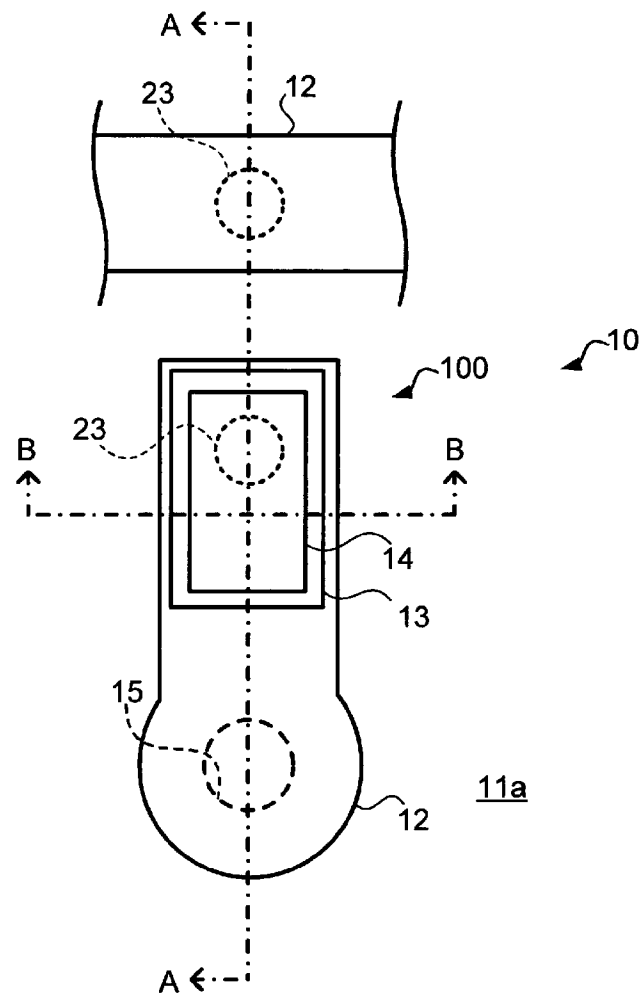
[請求項22] 前記基板を貫通する貫通電極をさらに備え、

前記貫通電極は、前記第1導電層に電氣的に接続している、請求項1から請求項3のいずれかに記載の配線基板。

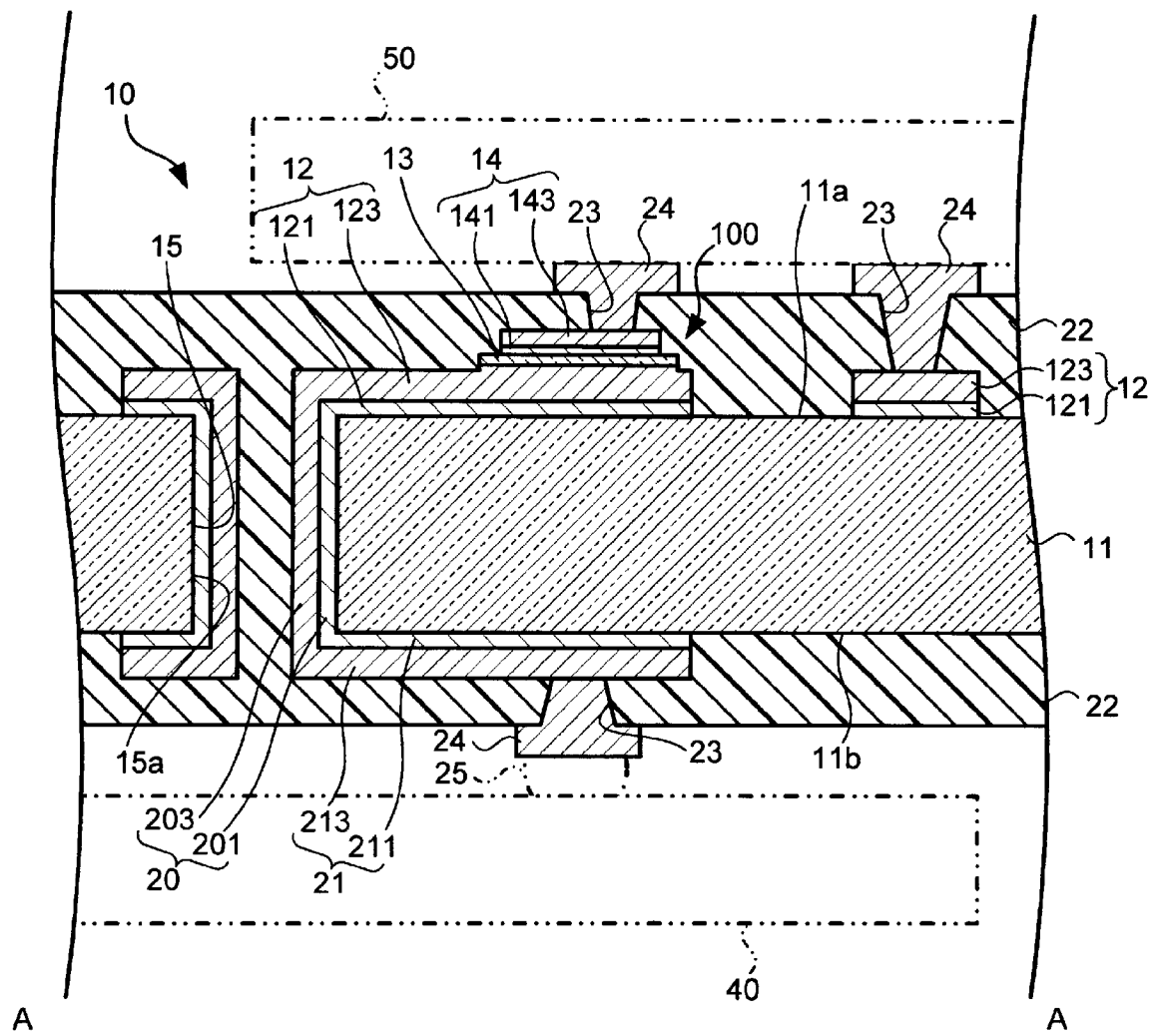
[請求項23] 前記貫通電極は、前記第1導電層と同じ材料で形成され、前記第1導電層から連続的に延びている、請求項22に記載の配線基板。

- [請求項24] 前記第1導電層は複数の膜を含み、
 前記貫通電極は複数の膜を含み、
 前記第1導電層における前記基板に最も近い膜は、前記貫通電極に
 における前記基板に最も近い膜まで、連続して延びている、請求項22
 に記載の配線基板。
- [請求項25] 前記第1導電層に接続された前記貫通電極を含むインダクタをさら
 に備える、請求項22に記載の配線基板。
- [請求項26] 請求項1から3のいずれかに記載の配線基板と、
 前記配線基板に電氣的に接続された半導体チップと、
 を備える半導体装置。

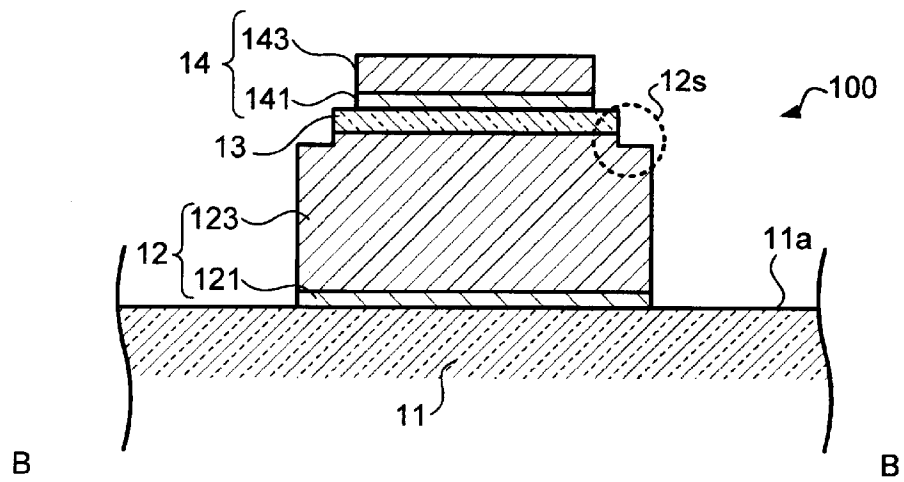
[図1]



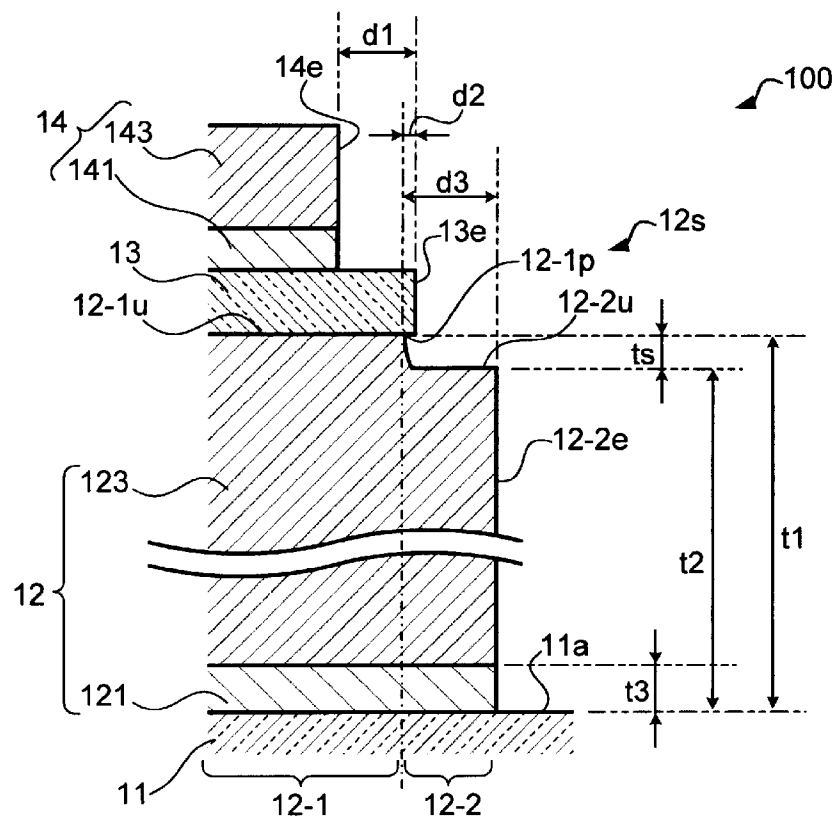
[図2]



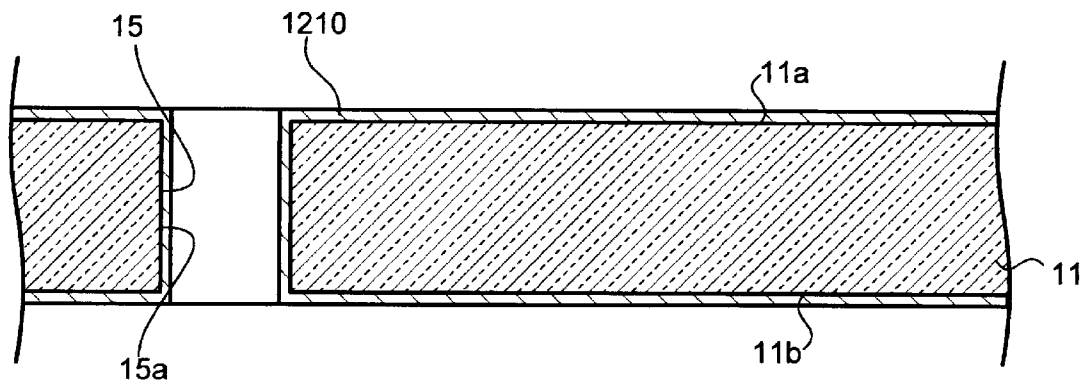
[図3]



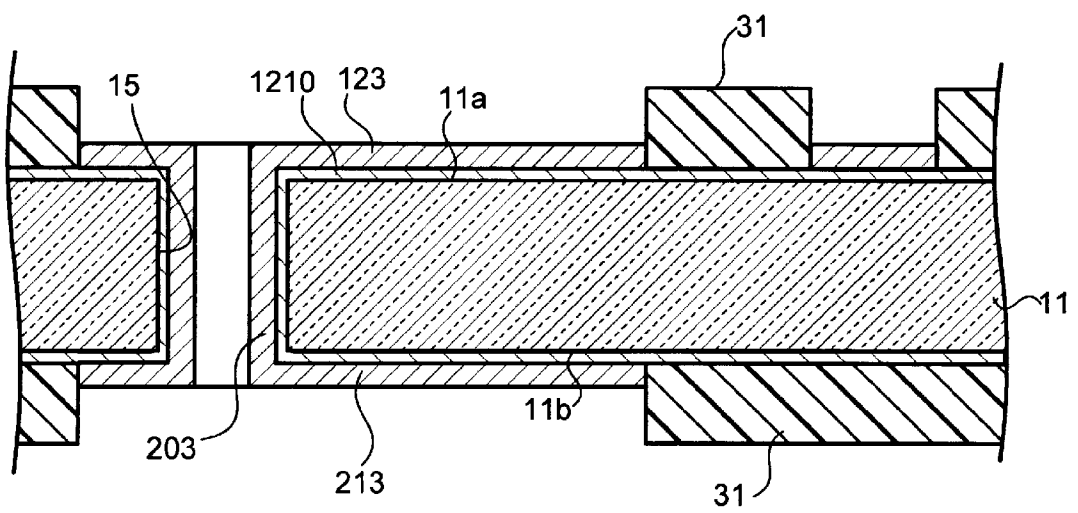
[図4]



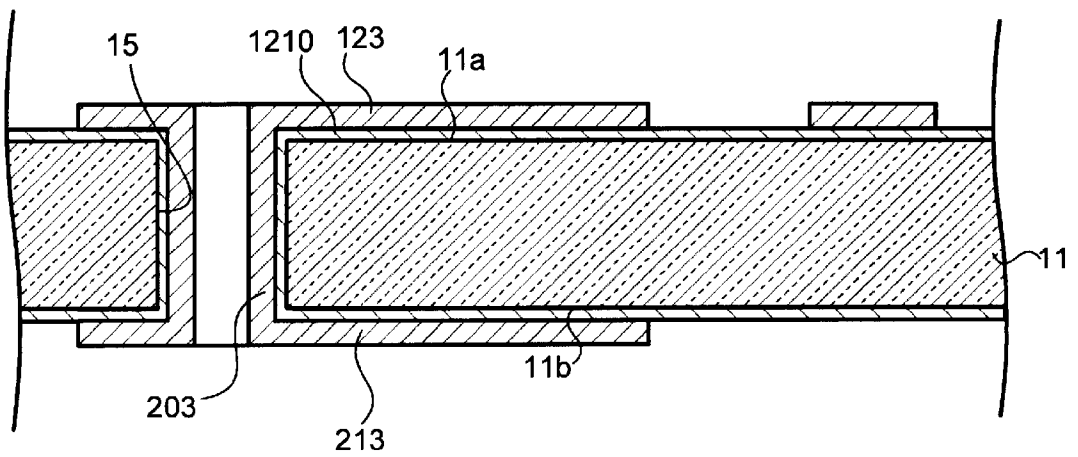
[図5]



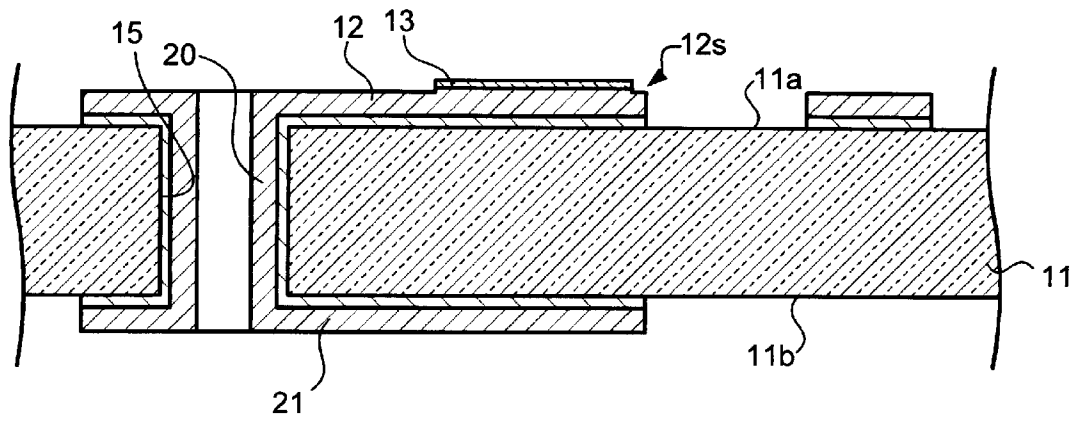
[図6]



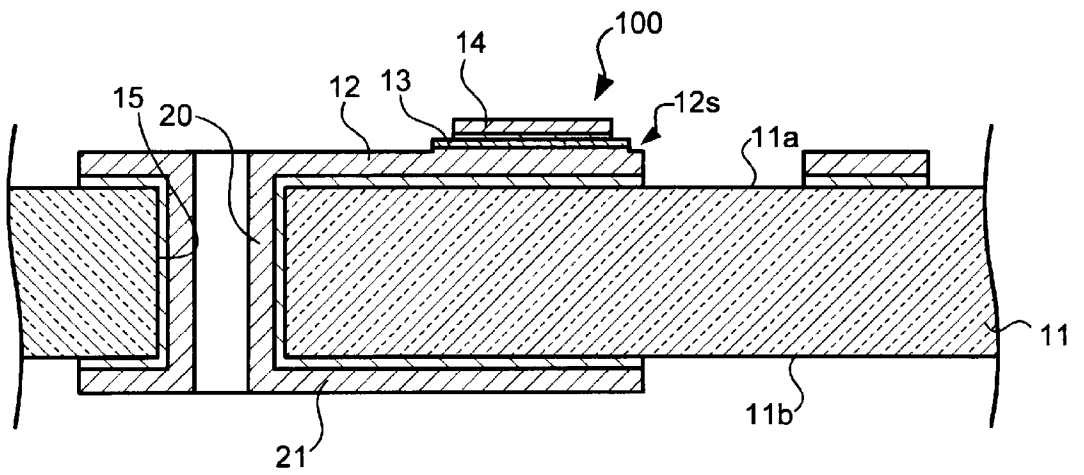
[図7]



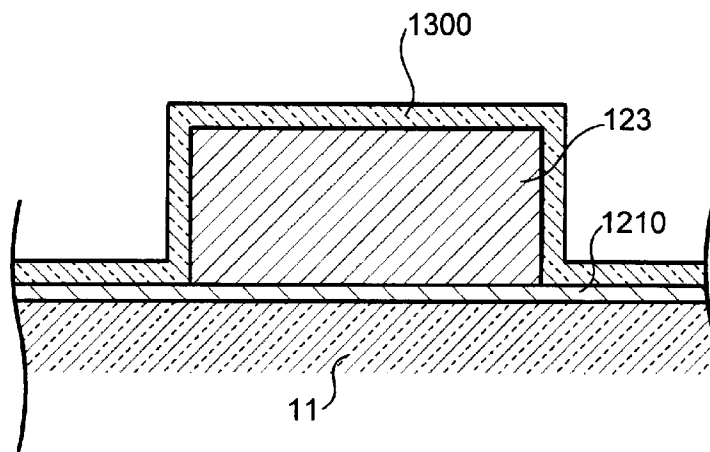
[図8]



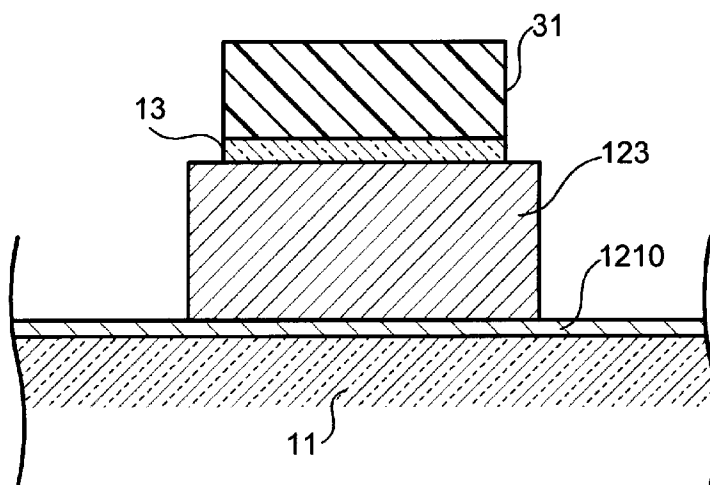
[図9]



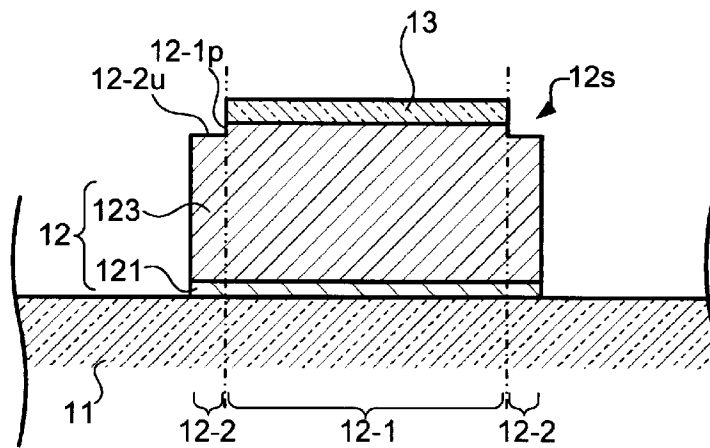
[図10]



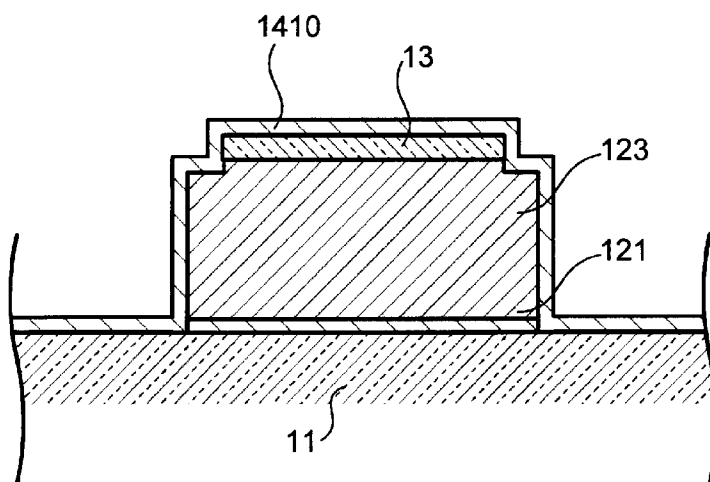
[図11]



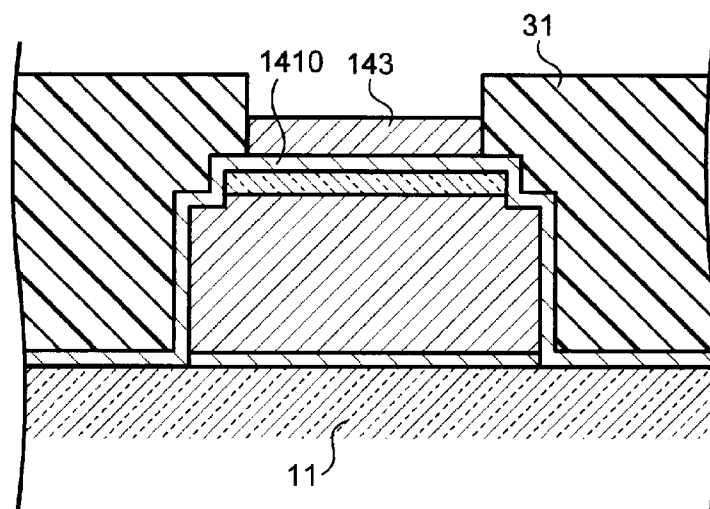
[図12]



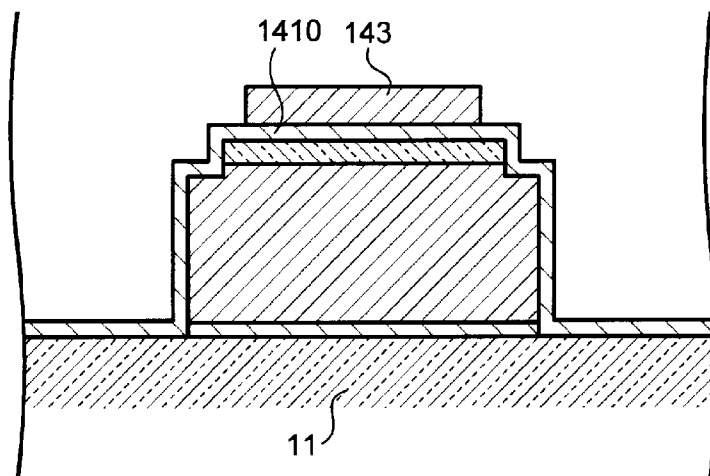
[図13]



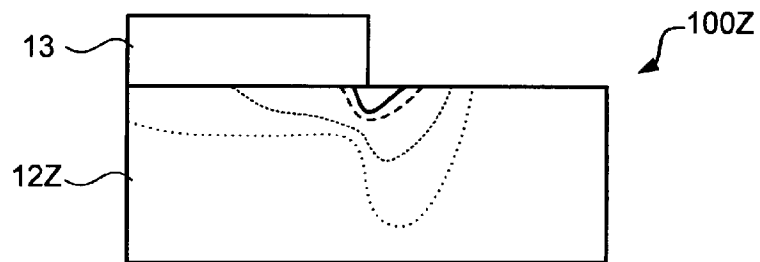
[図14]



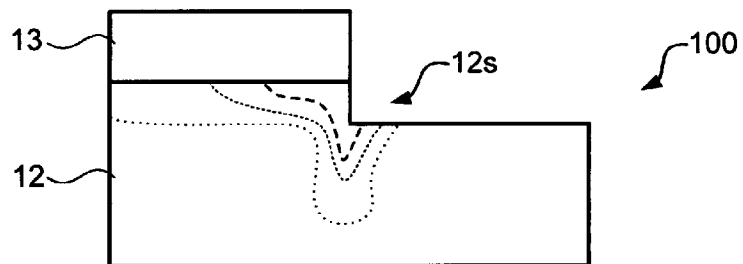
[図15]



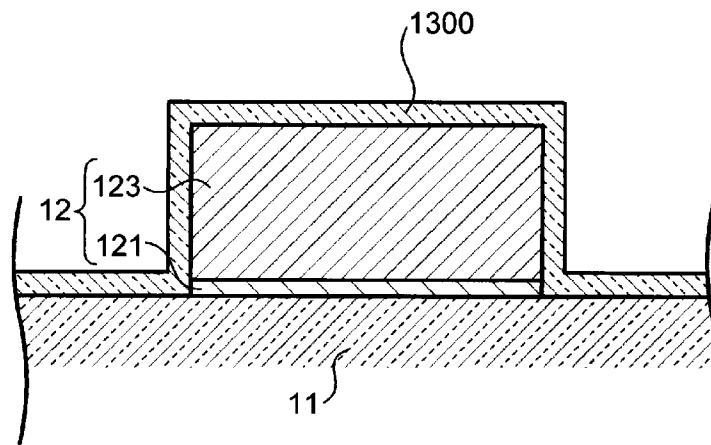
[図16]



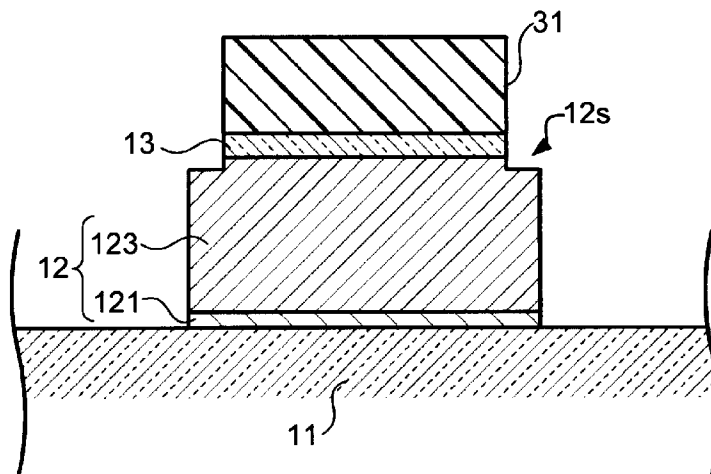
[図17]



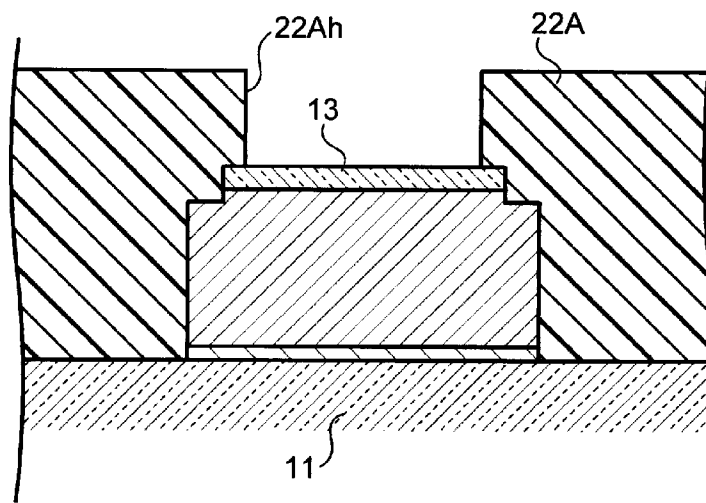
[図18]



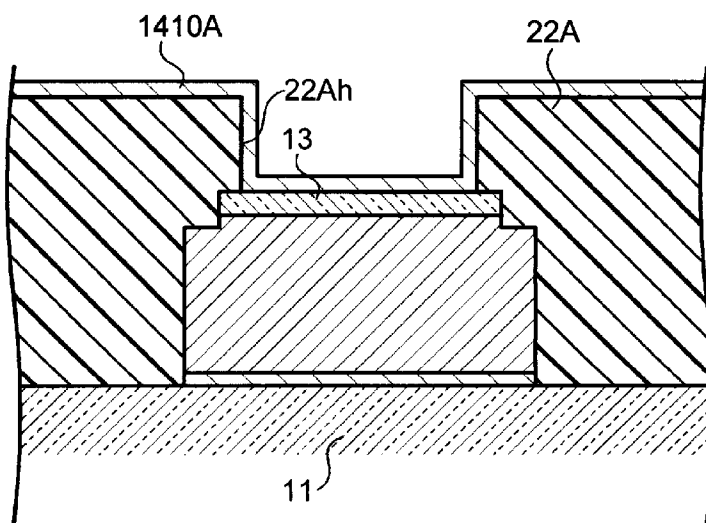
[図19]



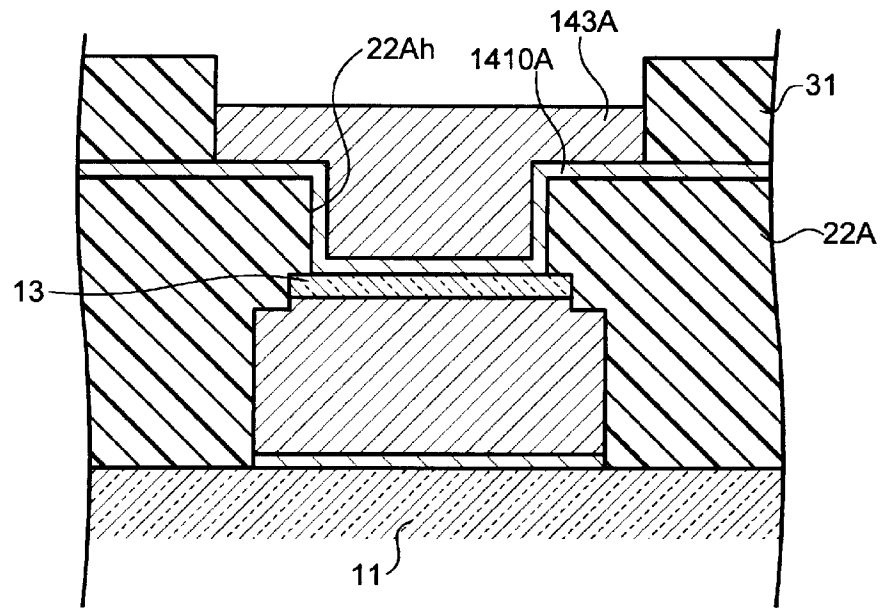
[図20]



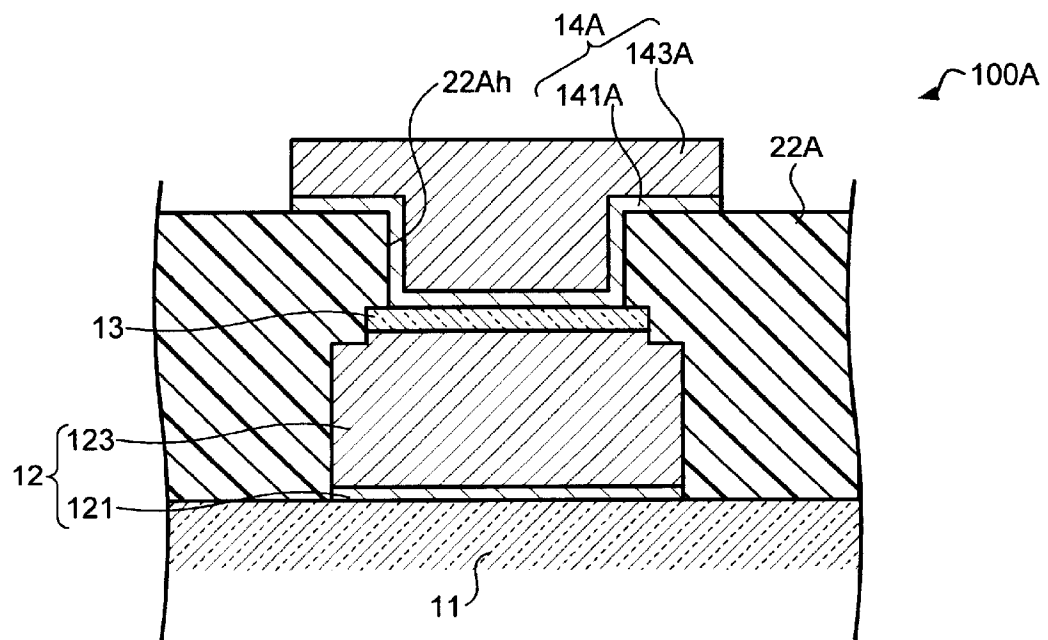
[図21]



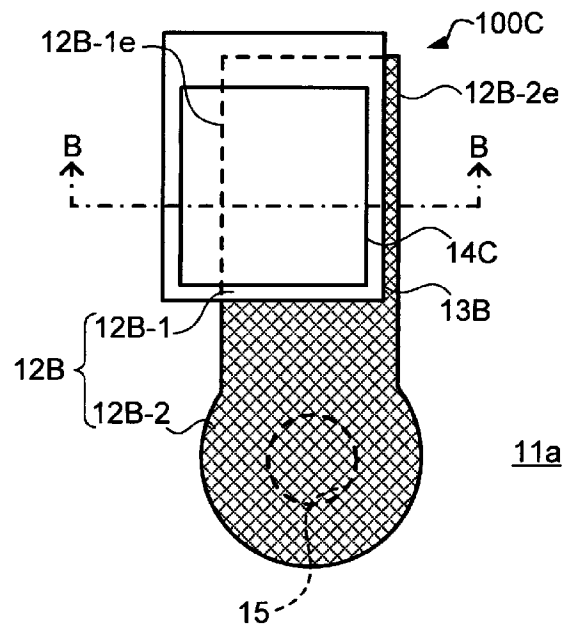
[図22]



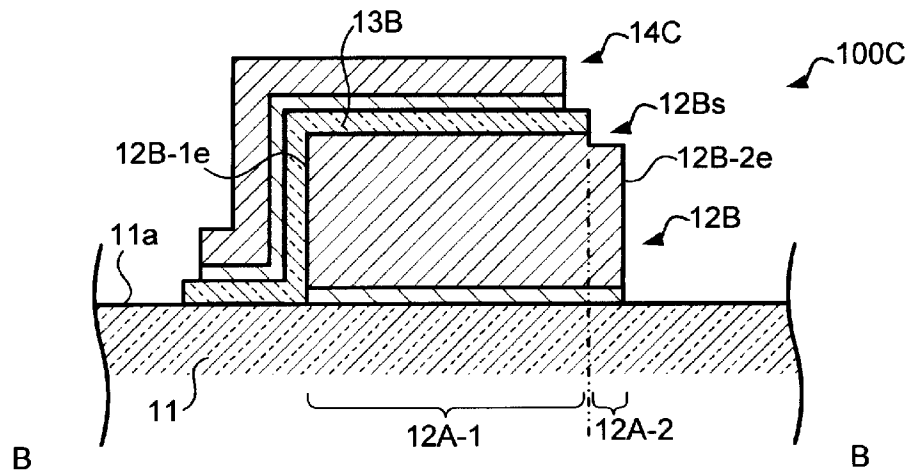
[図23]



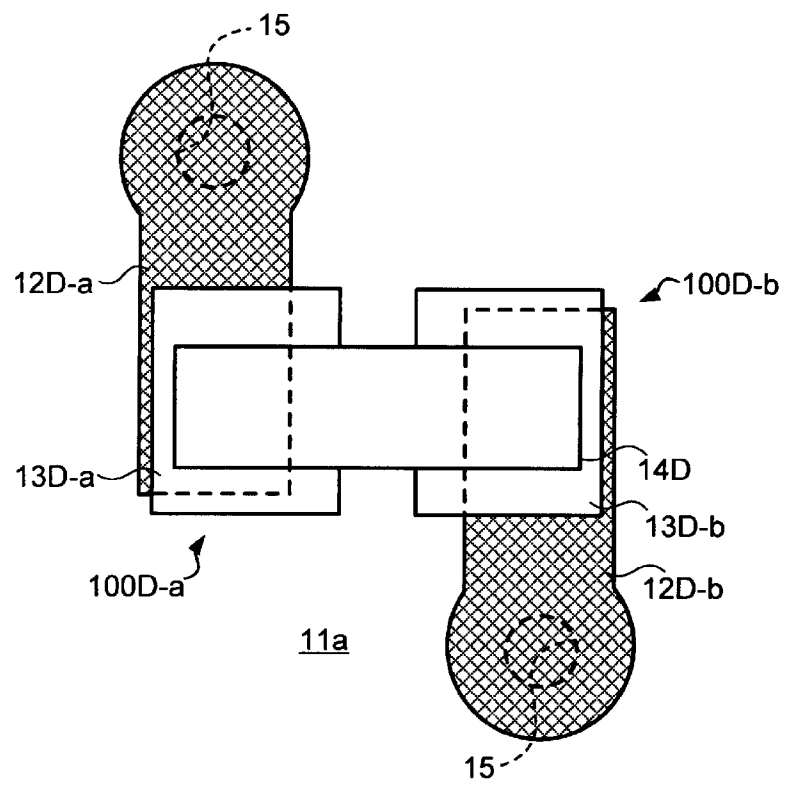
[図26]



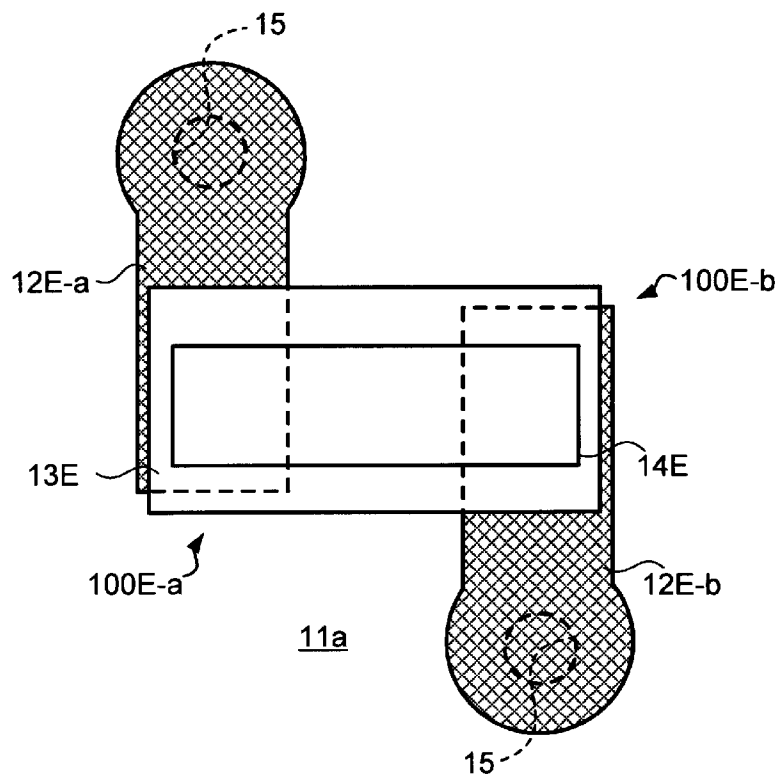
[図27]



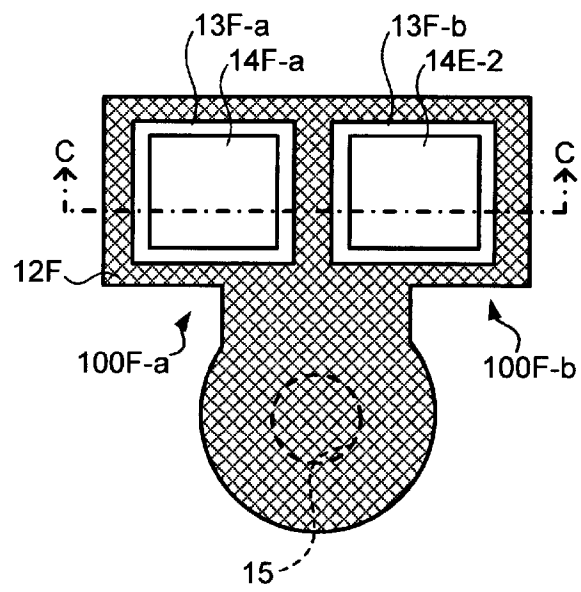
[図28]



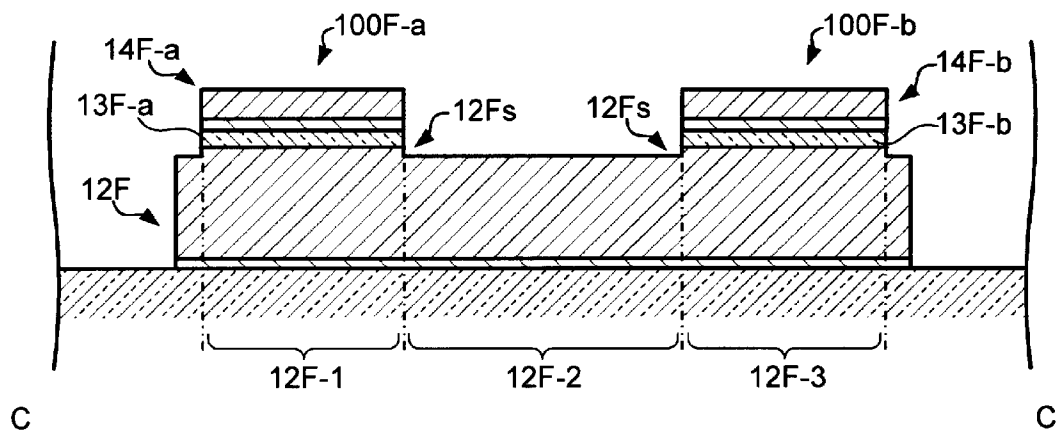
[図29]



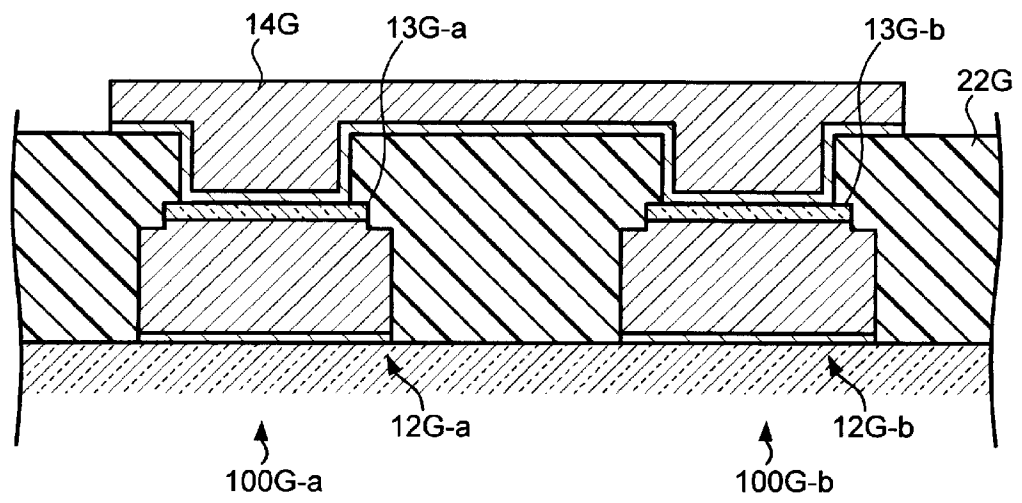
[図30]



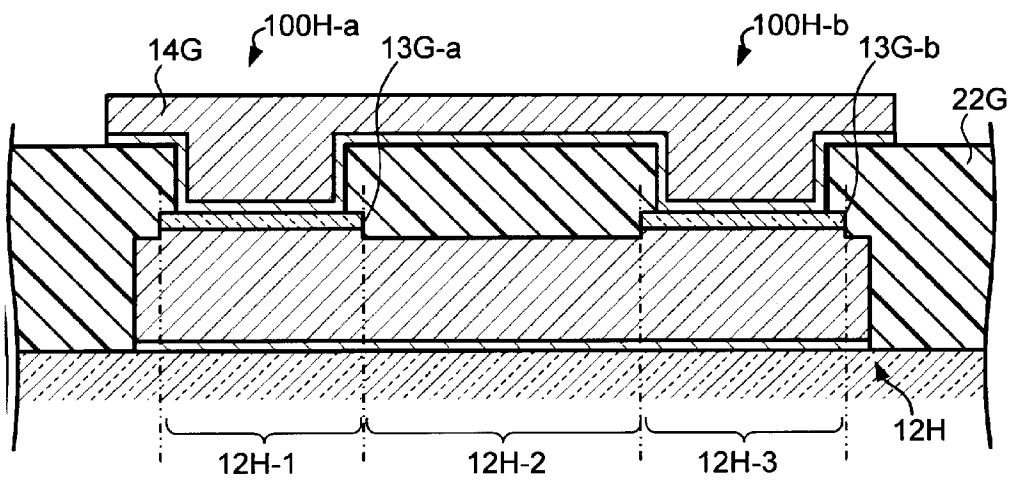
[図31]



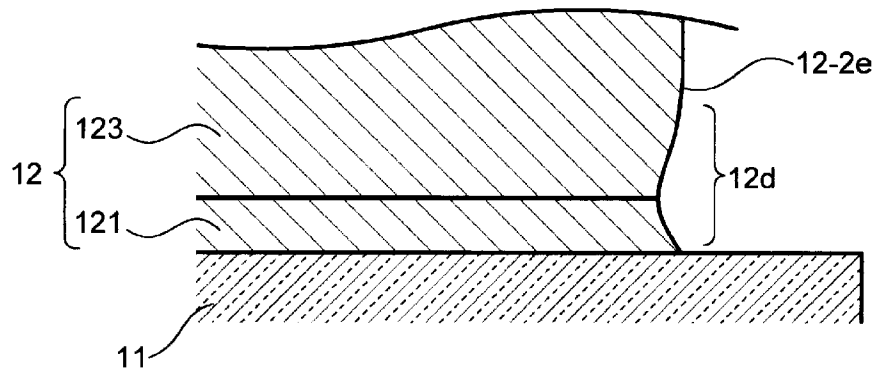
[図32]



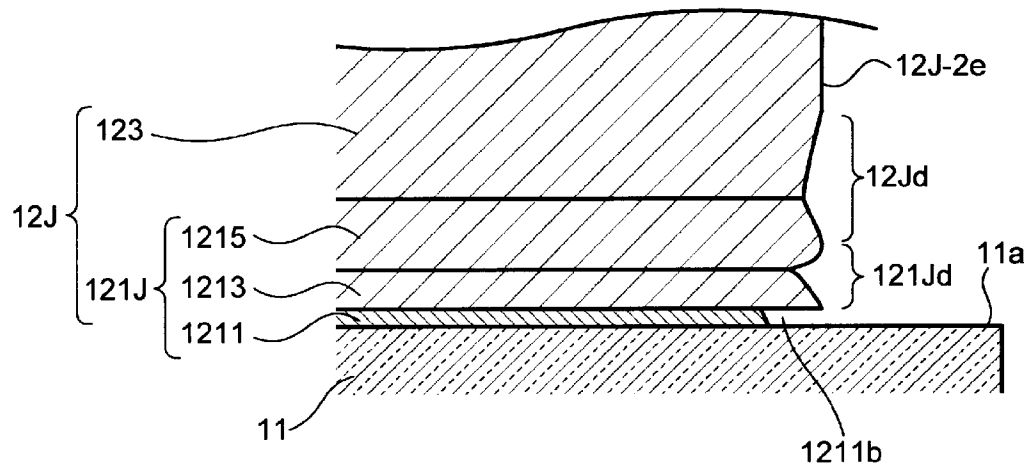
[図33]



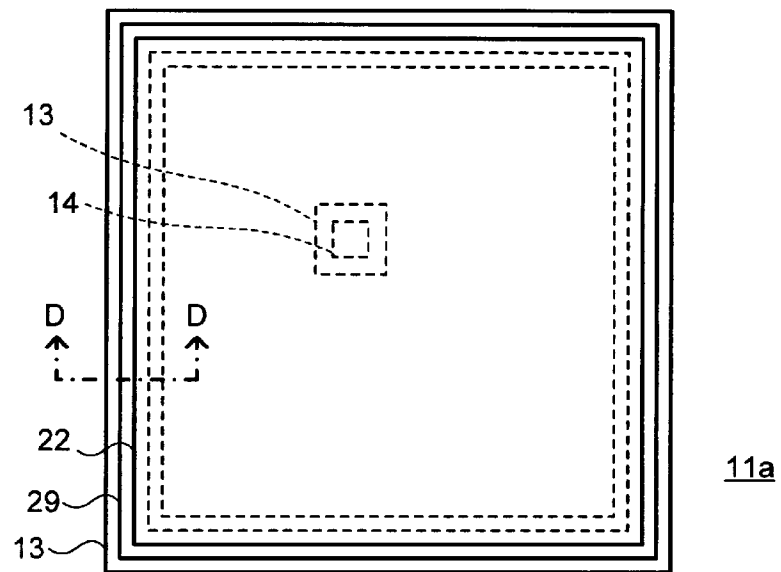
[図34]



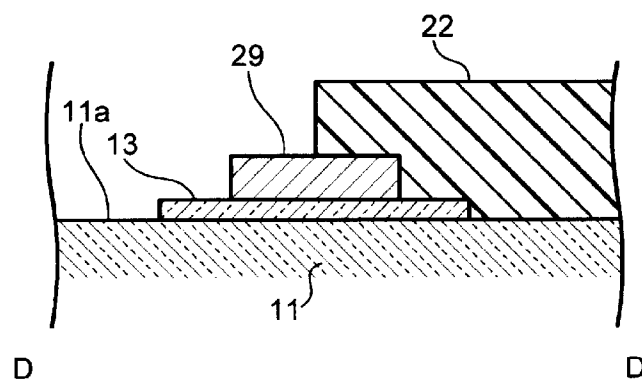
[図35]



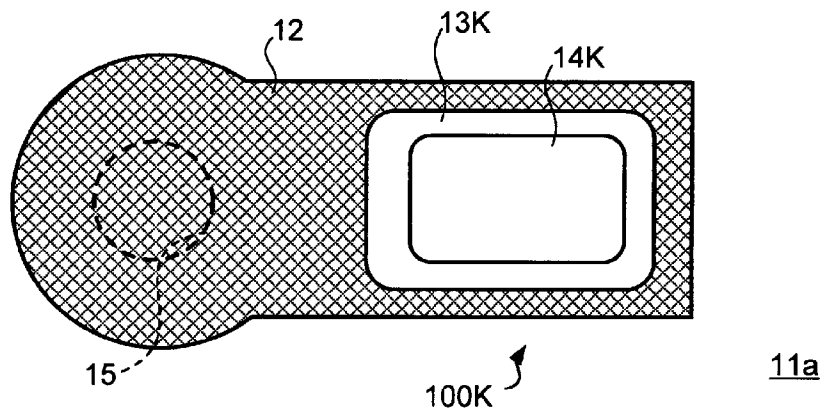
[図36]



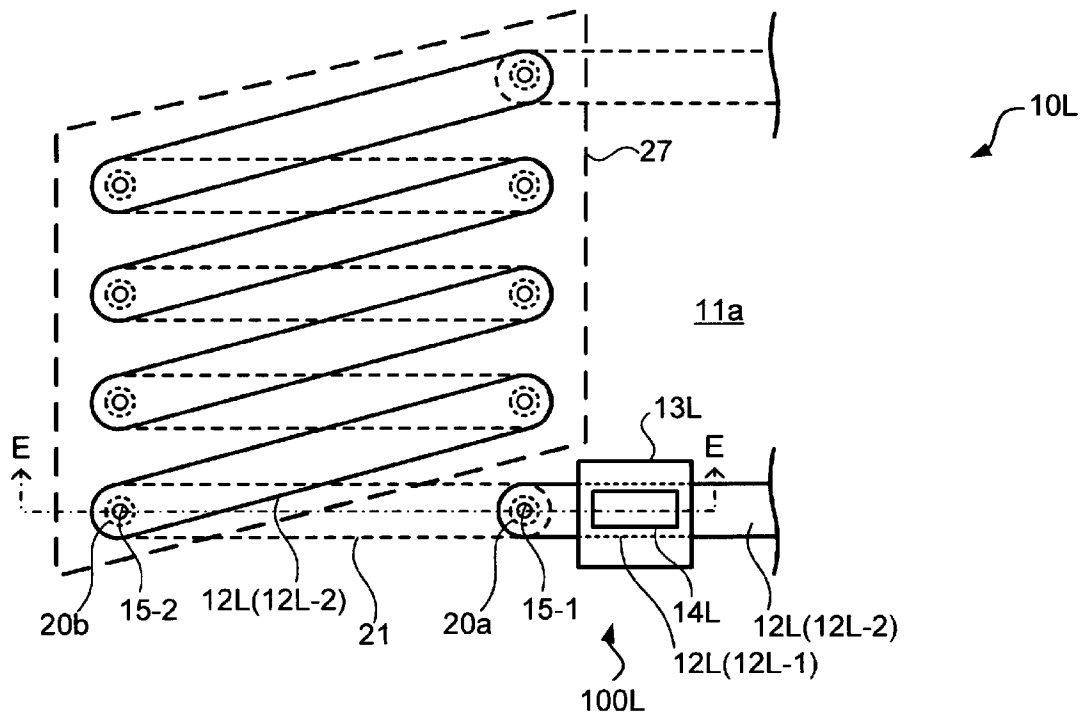
[図37]



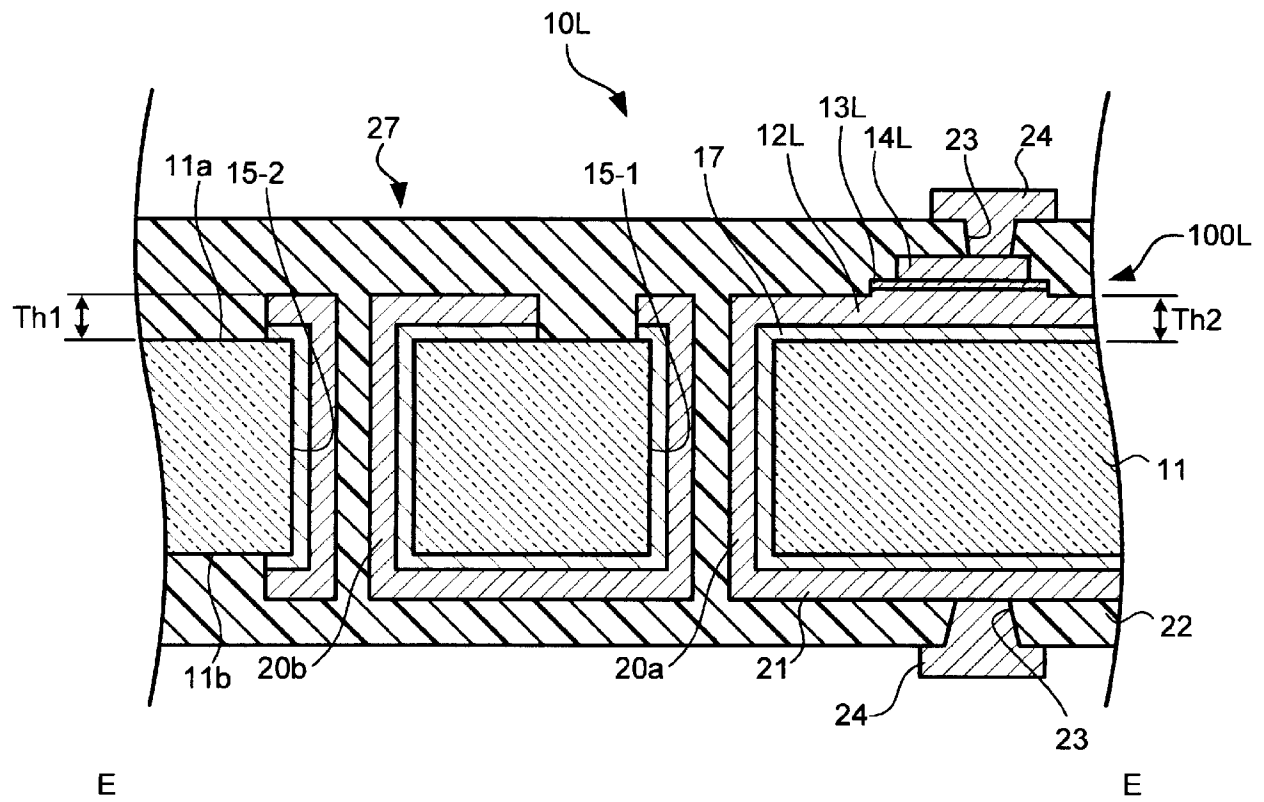
[図38]



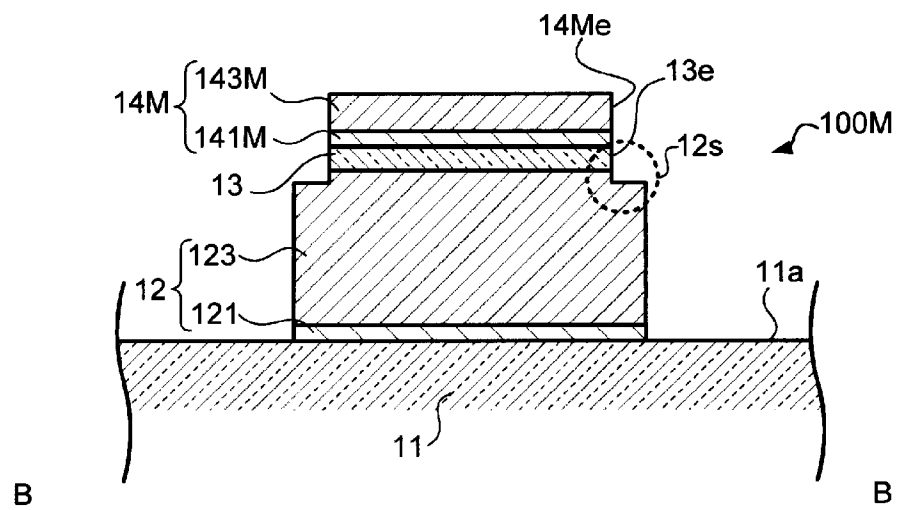
[図39]



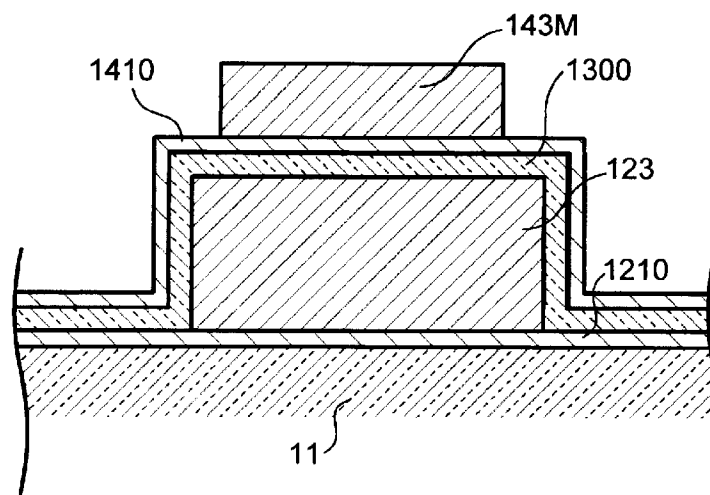
[図40]



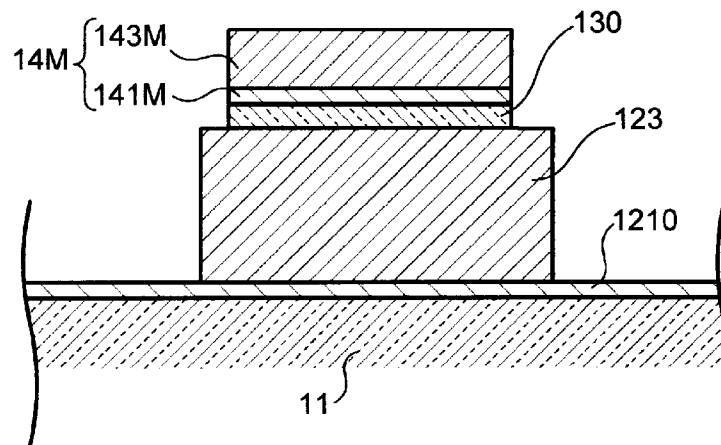
[図41]



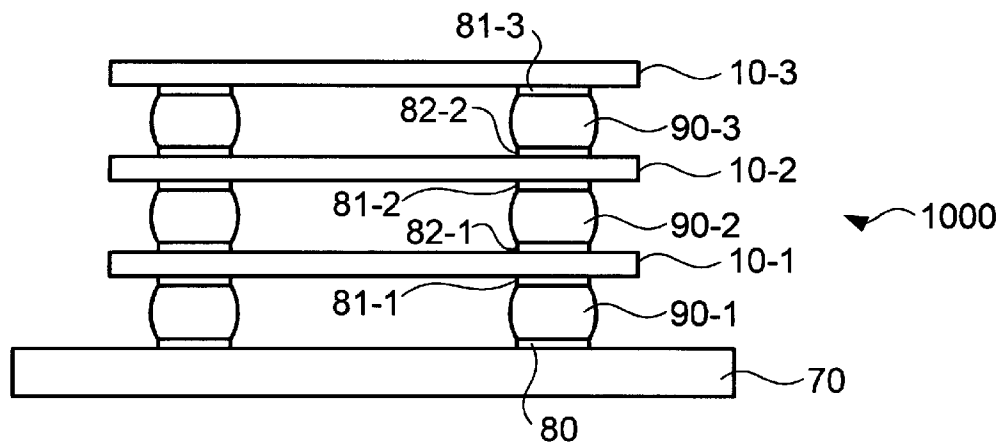
[図42]



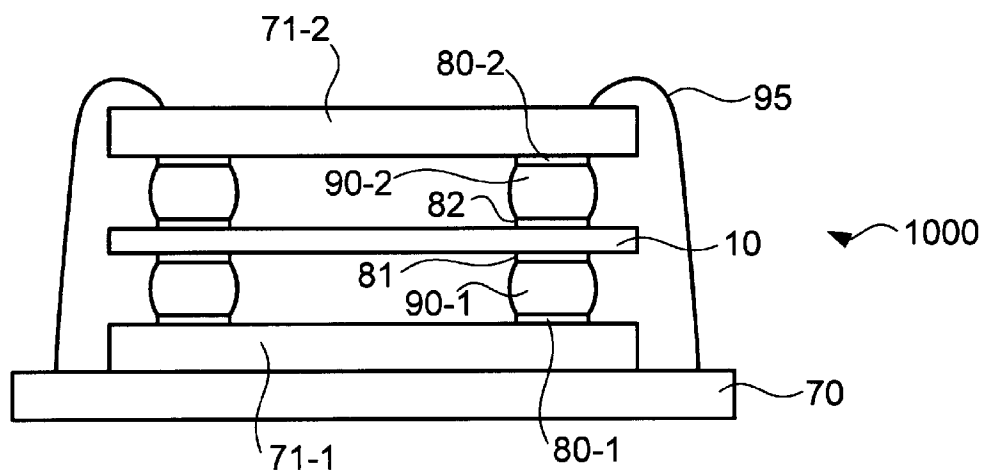
[図43]



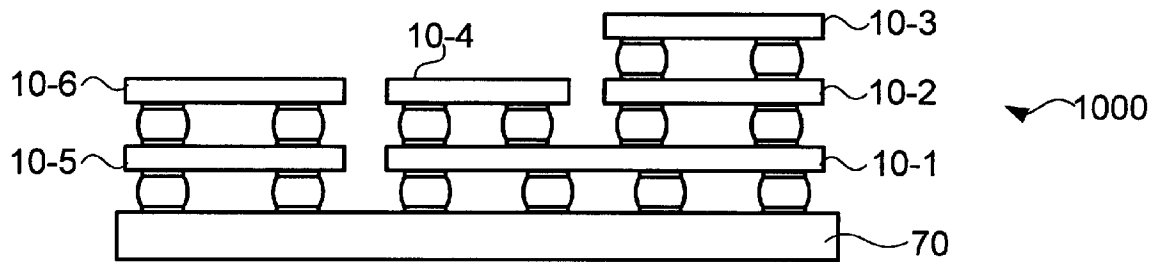
[図44]



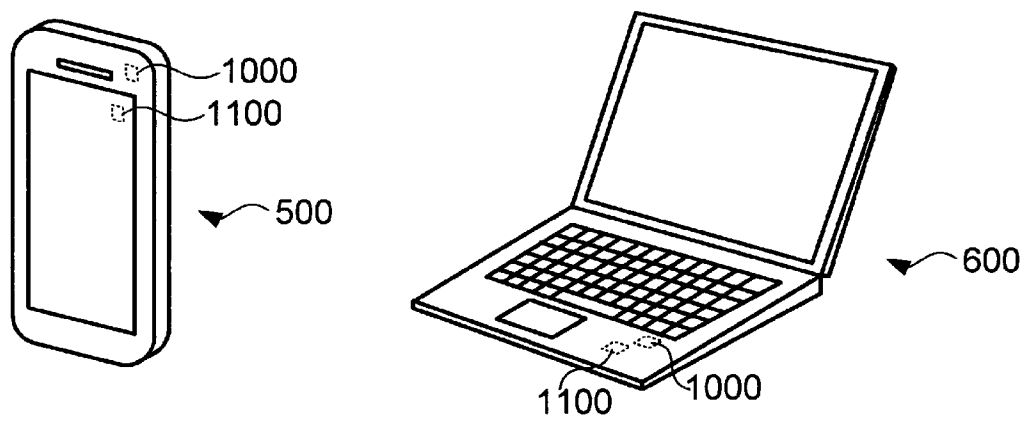
[図45]



[図46]



[図47]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/001122

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H05K1/16 (2006.01) i, H01L23/12 (2006.01) i, H05K3/46 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01G4/33, 4/40, H05K1/00-3/46, H01L21/82-21/86, 23/12-23/15, 27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2011-129665 A (SONY CORP.) 30 June 2011, paragraphs [0017]-[0057], fig. 1-12 (A) (Family: none)	1, 4, 7-12, 15, 18, 20
Y		5, 6, 13, 14, 16, 17, 19, 21-26
A		2, 3
Y	JP 2008-227177 A (NEC CORP.) 25 September 2008, fig. 1, 5 (Family: none)	5, 6, 26
A		2, 3
Y	JP 3-241864 A (MITSUBISHI ELECTRIC CORP.) 29 October 1991, fig. 2 (c) (Family: none)	13, 14, 19
A		2, 3



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
30.01.2019

Date of mailing of the international search report
12.02.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/001122

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2018-74134 A (DAINIPPON PRINTING CO., LTD.) 10 May 2018, fig. 3, 17-23, paragraphs [0084]-[0101] (Family: none)	16, 17, 21-25 2, 3

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H05K1/16(2006.01)i, H01L23/12(2006.01)i, H05K3/46(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01G4/33, 4/40, H05K1/00-3/46,
H01L21/82-21/86, 23/12-23/15, 27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	J P 2011-129665 A (ソニー株式会社) 2011.06.30, 段落0017から0057, 図1から図12 (A). (ファミリなし)	1, 4, 7-12, 15, 18, 20
Y		5, 6, 13, 14, 16, 17, 19, 21-26
A		2, 3

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

30.01.2019

国際調査報告の発送日

12.02.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

齊藤 健一

5D

9742

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	J P 2008-227177 A (日本電気株式会社) 2008. 09. 25, 図1, 図5. (ファミリーなし)	5, 6, 26 2, 3
Y A	J P 3-241864 A (三菱電機株式会社) 1991. 10. 29, 第2図(c). (ファミリーなし)	13, 14, 19 2, 3
Y A	J P 2018-74134 A (大日本印刷株式会社) 2018. 05. 10, 図3, 図17から図23, 段落0084から0101. (ファミリーなし)	16, 17, 21-25 2, 3