(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[6]
H04L 29/02

(45) 공고일자 1997년06월17일
(11) 공고번호 특1997-0009693
(24) 등록일자 1997년06월17일

(21) 출원번호 특1994-0018428
(22) 출원일자 1994년07월28일
(65) 공개번호 특1995-0022515
(43) 공개일자 1995년07월28일
(30) 우선권주장 93-334631 1993년12월28일 일본(JP)

(73) 특허권자 가부시끼가이샤 히다찌 세이사꾸쇼 가나이 쯔도무
일본국 도꾜도 지요다꾸 간다 스루가다이 4쪼매 6반지
(72) 발명자 다께구마 도시쯔구
일본국 에비나시 가와라구찌 237-1
구리하라 료이찌
일본국 하다노시 도까와 80-2
야마기와 아끼라
일본국 하다노시 미나미가오까 2쪼매 2-2-303
가시와기 겐지
일본국 가나가와껭 미나미아시가라시 세끼모또 124
이노우에 마사오
일본국 가나가와껭 사가미하리시 하시모또 5-27-20
(74) 대리인 주성민, 구영창

심사관 : 임영희 (책자공보 제5066호)

(54) 고속 신호 전송에 적합한 신호 전송 장치, 회로 블럭 및 집적 회로

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

고속 신호 전송에 적합한 신호 전송 장치, 회로 블럭 및 집적 회로

[도면의 간단한 설명]

제1도는 종래의 일방향 전송 라인을 나타내는 도면.

제2a 내지 제2c도는 종래의 전송 라인을 사용하느 경우에 나타나는 신호 파형(상승 파형)을 도시한 도면.

제3a 내지 제3c도는 종래의 전송 라인을 사용하는 경우에 나타나는 신호 파형(하강 파형)을 도시한 도면.

제4도는 본 발명의 실시예 1을 나타내는 블럭도.

제5도는 구동 회로의 예를 나타내는 회로도.

제6도는 차동형 수신 회로의 예를 나타내는 회로도.

제7a도 내지 제7c도는 본 발명의 실시예 1의 신호 파형(상승 파형)을 나타내는 그래프.

제8a 내지 제8c도는 본 발명의 실시예 1의 신호 파형(하강 파형)을 나타내는 그래프.

제9도는 종래의 전송 라인을 사요하여 라이브-인서션(live-insertion)을 실행하는 경우에 발생하는 파형 왜곡을 나타내는 그래프.

제10도는 본 발명의 실시예 1에 따른 회로를 사용하는 경우에 라이브 인서션으로 인한 파형 왜곡을 나타내는 그래프.

제11도는 본 발명의 실시예 2를 나타내는 블럭도.

제12a 내지 제12b도는 종래의 전송 라인을 사용하여 송출 회로를 스위치할 때 발생하는 파형을 나타내는 그래프.

제13a 내지 제13b도는 실시예 2의 구동 회로에 의한 스위칭 동작의 파형을 나타내는 도면.

제14도는 본 발명의 실시예 3을 나타내는 블럭도.

제15도는 실시예 3의 변형예를 나타내는 블럭도.

제16a 내지 제16c도는 본 발명의 실시예 3에 따른 회로의 경우에 발생하는 신호 파형(상승 파형)을 나타내는 그래프.

제17a 내지 제17c도는 본 발명의 실시예 3에 따른 회로의 경우에 발생하는 신호 파형(하강 파형)을 나타내는 그래프.

제18a 내지 제18c도는 본 발명의 실시예 1에 따른 회로에서 전송 라인 상의 임피던스가 변화하는 경우에 발생하는 신호 파형(상승 파형)을 나타내는 그래프.

제19a 내지 제19c도는 본 발명의 실시예 1에 따른 회로에서 전송 라인 상의 임피던스가 변화하는 경우에 발생하는 신호 파형(하강 파형)을 나타내는 그래프.

제20도는 본 발명의 실시예 3의 구성에 있어서 저항기 대신에 캐패시터를 사용한 구성을 나타내는 회로도.

제21도는 본 발명의 실시예 3의 구성에 있어서 저항기 대신에 캐패시터를 사용한 구성을 나타내는 회로도.

제22a도는 내지 제22c도는 제20도에 도시한 구성을 사용하는 경우에 발생하는 신호 파형(상승 파형)을 나타내는 그래프.

제23a도는 내지 제23c도는 제20도에 도시한 구성을 사용하는 경우에 발생하는 신호 파형(하강 파형)을 나타내는 그래프.

제24도는 제4도에 도시한 회로 구성에서 발생하는 신호 파형을 나타내는 그래프.

제25도는 제4도에 도시한 회로 구성에서 저항기(80 내지 83)의 값이 보다 작을 때 발생하는 신호 파형을 나타내는 그래프.

제26도는 제4도에 도시한 회로 구성에서 저항기(80 내지 83)의 값이 보다 작을 때 발생하는 신호 파형을 나타내는 그래프.

제27도는 본 발명의 실시예 4를 나타내는 블럭도.

제28도는 QFP 패키지를 나타내는 단면도.

제29도는 PGA 패키지를 나타내는 단면도.

제30도는 QFP 패키지를 내장한 장치의 실시예를 나타내는 도면.

* 도면의 주요부분에 대한 부호의 설명

1 : 구동 회로 블럭(유닛) 2,3,4 : 회로수신 회로 블럭

11,12,13,14 : 분기 라인 21 : 구동 또는 송출 회로

32,33,34 : 수신 회로 50,51 : 종단 저항기

70 : 풀-업 트랜지스터 71 : 풀-다운 트랜지스터

80,81,82,93 : 저항기 100 : 전송 라인

[발명의 상세한 설명]

본 발명은 CPU나 메모리 소자 또는 메모리 IC 등의 소자간(예를 들면, CMOS 소자로 구성되는 디지탈 회로 또는 CMOS 소자의 기능 블럭간)에서 신호를 전송하기 위한 기술에 관한 것으로, 보다 구체적으로는 하나의 주전송 라인이 이에 접속되는 복수의 소자를 갖는 하나의 버스를 통해 고속으로 신호를 전송하기 위한 기술에 관한 것이다.

반도체 집적 회로로 구성되는 디지탈 회로 간에서 고속으로 신호를 전송하는 기술로서, 신호의 진폭을 1V 정도의 소진폭으로서 신호를 전달하는 저진폭 인터페이스에 관한 기술이 제안되어 있다.

이러한 저진폭 인터페이스의 대표적인 예로서, GTL(Gunning Transceiver Logic) 인터페이스 또는 CTT(Center Tapped Termination) 인터페이스가 있다. 이들 저진폭 인터페이스에 대해서는 니께이 일렉트로닉스, 1993년 11월 27호의 페이지 269 내지 290에 상세히 기재되어 있다.

제1도는 하나의 주전송 라인이 복수의 분기 라인을 갖는 상기한 저진폭 인터페이스에 관한 종래의 구성을 나타낸다.

도면 참조 부호(100)는 종단 전원(60,61) 및 종단 저항기(50,51)에 의해 종단된 전송 라인을 나타낸다. 전송 라인(100)은 구동 회로 블럭(1) 및 수신 회로 블럭(2,3,4)에 접속되어 있다.

전송 라인(100)은 50Ω의 임피던스를 가지며, 각 분기된 라인(11 내지 14)은 50Ω의 임피던스를 갖는다. 각 종단 저항기(50,51)는 50Ω의 임피던스를 갖는다. 종단 전원(60,61)의 각 전압은 0.5V이다. 송출 또는 구동 회로(21)는 10Ω의 온 저항을 갖는다.

구동 회로(21)가 논리적 하이 High 출력이면 회로(21)가 전송 라인(11)을 1볼트 전원(도시 생략)에 접속하도록 동작하고, 구동 회로(21)가 논리적 로우 Low 출력이면 회로(21)가 전송 라인(11)을 접지, 즉 0볼

트 전원(도시 생략)에 접속하도록 동작한다. 도면 참조 부호(32 내지 34)는 수신 회로 블럭에 포함된 각 수신 회로를 나타낸다. 이들 수신 회로는 수신된 신호가 로우 또는 하디 레벨인지를 판정하기 위해 수신된 신호와 기준 전압(Vref)을 비교한다. 이 구성에서는, 기준 전압(Vref)은 0.5V로 설정되어 있다.

이어서, 구동 회로(21)가 로우 출력에서 하이 출력으로 스위치될 때 신호가 버스를 통해 제1도의 각 점으로 전송되는 방법에 대해서 상세히 설명한다. 먼저, 전송 버스(100)의 전위는 구동 회로(21)가 로우 출력일 때 유도한다. 이때 전송 라인상의 점 A에서의 전압은 0.5V의 종단 전원을 종단 저항(50,51) 및 송출 회로(21)의 온 저항으로 분압하여 얻어진 전압에 대응한다. 즉, 전압은 다음과 같이 된다.

$$0.5V \times 10\Omega/(10\Omega + 50\Omega/2) = 0.14(V)$$

이어서, 신호가 다음과 같이 제1도의 점 A로 전송되도록 송출 회로(21)의 출력이 로우 출력으로부터 하이 출력으로 스위치될 때 발생하는 전위가 전송 라인에서 유도된다. 송출 회로(21)의 출력이 스위치된 직후에, 전원 전압은 송출 회로의 온 저항 및 전송 라인(11)의 임피던스 50Ω로 분압된다. 따라서, 점 A에서의 전위 상승은, 1V×50Ω/(50Ω+10Ω)=0.83(V)으로 된다. 초기 전압 0.14V와 전압 상승분의 합, 즉 0.97V가 점 A에서의 전위에 대응한다.

0.83V의 진폭의 파형이 분기점 B에 도달할 때 발생하는 전위는 다음과 같이 된다. 전송 라인(11)으로부터 전송 라인(100)을 보면, 전송 라인(100)이 좌·우의 2부분으로 분할되어 있으므로, 전송 라인(11)으로부터 본 전송 라인(100)의 가상 임피던스는 전송 라인(100)의 임피던스 50Ω의 절반, 즉 25Ω이 된다. 한편, 전송 라인(1)의 임피던스가 50Ω이므로 B점에서 임피던스의 부정합에 의해 신호의 반사가 발생한다.

$$(50\Omega - 25\Omega)/(50\Omega + 25\Omega) = 0.33$$

이것은 A점으로 전송된 0.83V의 신호 진폭 중 1/3에 상당하는 진폭, 즉 진폭 0.28V의 신호가 반사되어 송출 회로측으로 돌아온다. 남은 진폭 0.55V는 신호가 제1의 전송된 파로서 전송 라인(100)으로 전송된다. 따라서, 전송된 신호의 전위는 0.55V와 초기 전위를 합한 전위, 즉 0.69V에 대응한다.

송출 회로로 돌아온 0.28V 진폭의 신호가 송출 회로에 도달하는 경우, 신호는 전반사하여 다시 점 B에 도달한다. 신호의 2/3 부분은 전송 라인(100)을 통과하며, 신호의 나머지 1/3 부분은 전송 라인(11)으로 돌아간다. 신호의 2/3 부분은 전송 라인(100)을 통과하며, 신호의 나머지 1/3 부분은 전송 라인(11)으로 돌아간다. 이러한 작용에 따라, 신호는 전송 라인(11)을 반복해서 왕복한다. 신호 파형이 점 B에 도달할 때마다 각 파형의 2/3 부분이 저송 라인(100)에 출력된다. 이러한 동작에 의해 초기 점 A의 0.83V의 진폭이 조금씩 전송 라인(100)으로 분압 전송된다.

점 B를 통해 전송 라인(100)으로 전송된 0.69V의 신호는 점 C에 도달된다. 이 점에서, 2개의 전송 라인이 신호가 통과하기 전에 각각 50Ω의 임피던스를 갖는다. 따라서, 순방향 합성된 임피던스 25Ω와 신호가 통과한 전송 라인의 50Ω의 임피던스의 부정합에 의해 신호의 반사가 발생된다.

반사 계수는 다음과 같다.

$$(50\Omega - 25\Omega)/(50\Omega + 25\Omega) = 0.33$$

점 C를 통과한 파형의 전위는 점 B의 신호의 진폭 0.55V에 투과율 2/3(=1-1/3)을 곱하고 이 곱한 값에 초기 전위를 합한 전위 즉, 0.55V×2/3+0.14V=0.50(V)에 대응한다.

유사한 반사가 점 E 또는 점 G에서도 발생한다. 점 E에서의 전위는 0.38V이고, 점 G에서의 전위는 0.30V이다.

이들 결과가 제2a도 내지 제2c도에 도시되어 있다. 제2a도는 점 C로 출입하는 신호를 나타내는데, 즉 점 C로 들어오는 점 B의 신호와, 점 C로부터 나가는 점 D 및 점 E의 신호를 나타낸다. 설명을 명확히 하기 위해, 점 A의 신호도 도시했다. 동일하게, 제2b도는 점 E로 출입하는 신호를 나타낸다. 제2c도는 점 G로 출입하는 신호를 나타낸다. 제2a도 내지 제2c도에서, 도면 참조 부호(201)는 제1도에서의 점 A에서의 신호 파형을 나타낸다. 도면 참조 부호(202)는 점 B의 파형을 나타낸다. 도면 참조 부호(203)는 점 C의 파형을 나타낸다. 도면 참조 부호(204)는 점 D의 파형을 나타낸다. 도면 참조 부호(205)는 점 E의 파형을 나타낸다. 도면 참조 부호(206)는 점 F의 파형을 나타낸다. 도면 참조 부호(207)는 점 G의 파형을 나타낸다. 도면 참조 부호(208)는 점 H의 파형을 나타낸다. 신호가 강하될 때에도 동일한 일이 발생된다. 신호의 강하시의 신호 파형은 제3a도 내지 제3c도에 도시한 바와 같다. 제3도에서, 도면 참조 부호(201 내지 208)는 제1도에 도시한 점 A로부터 점 H까지의 신호 파형을 각각 나타낸다.

이와 같이, 종래의 신호 전송 회로를 사용하면 구동 회로(21)로부터의 하이 레벨 나타내는 점 A에서의 제1신호는 신호가 하이 레벨임을 확정하기 위한 모든 수신 회로 블럭에서의 기준 전압 V_{ref}(상기 조건에서는 0.5V)을 초과할 수 없음을 알 수 있다. 다시 말해서, 여러 지점(B,C,E 및 G)에서 반사도가 크기 때문에 제1신호로서 점 A에서의 초기 고레벨 전압은 수신 회로의 기준 전압(Vref)을 초과하지 않은 매우 낮은 전압 레벨로 감소된다. 따라서, 송출 회로(21)가 고레벨을 나타내고 있더라도, 수신 회로(32,33,34)에서는 이것을 제1신호로서 인식하지 못한다. 결국, 신호가 반복된 후에 점 B,C 및 D의 전압 레벨이 점 A의 레벨에 아주 근사한 레벨로 증가하게 되지만 이것이 발생될 때까지는 수신 회로에서는 고레벨을 인식하지 못한다.

분기점(C,E,G)에서 각 분기 라인 내로 들어온 신호는, 전송 라인(11)과 같이 분기 라인의 내측에서 반사를 반복한다. 반사된 파형이 분기점으로 돌아오는 경우에 신호의 2/3 부분이 전송 라인(100)으로 나간다. 이것이 전송 라인(100)상에서의 파형 왜곡이 된다.

상술한 바와 같이, 상기 종래 기술에 있어서는 각 분기점에서 반사가 발생한다. 반사로 인한 전위 강하가 서로 중첩된다. 다라서, 신호 전위의 상승이 구동 회로의 먼쪽에서 지연된다. 이 결과 지연 시간이 증가하고 고속으로 신호를 전송하지 못하게 한다.

또한, 수신 회로 블럭으로 들어온 신호는 수신 회로 부분에서 반사된 다음 전송 라인(100)으로 나간다. 이로 인해 신호 파형이 왜곡되고 신호 전송의 신뢰성이 떨어진다.

신호 전송의 고속화를 꾀하고 라인(100)상의 신호 진폭을 보다 작게하기 위해서 상술한 종래의 기술에서는 공급 전압을 1V로 했다. 상술한 문헌에 개시된 회로에서, 통상 사용되는, 3.3V의 전원에서 1V의 진폭을 달성하기 위해 구동 회로의 온 저항을 특수한 값인 100Ω으로 하여 저진폭을 실현하였다.

그러나, 상술한 문헌에 언급된 바와 같이 온 저항으로 주어진 소정의 값으로 하는 것은 현재 넓게 사용되고 있는 10Ω 정도의 온 저항을 갖는 트랜지스터를 쓸모없게 한다. 다시 말해 특수하게 설계된 트랜지스터가 필요하게 된다.

또한, 송출 회로(21)에 제공된 온 저항이 높으면 구동 회로의 소비 전력이 증가되더 전반적인 전력이 증가하는 문제점이 있다.

본 발명과 관련한 다른 기지의 종래 기술의 구성으로서는 도날드슨(Donaldson) 등에 의한 미합중국 특허 제4,922,449호가 참조로 고려될 수 있다. 이 공보에는 구동 회로와 수신 회로를 포함하는 복수의 회로 블럭과 회로 블럭간에 신호를 전송하기 위한 블럭간 신호 전송 라인을 갖는 회로 라인 구성에 있어서 회로 블럭과 블럭간 신호 전송 라인간에 저항기를 제공하는 기술이 개시되어 있다. 이들 사이에 저항기를 제공하는 목적은 소스 스위칭 동작에 의해 신호 충돌시에 나타나는 관통 전류를 감소시키기 위한 것, 즉 블럭간 신호 전송 버스 상에서 신호의 진폭을 감소시키기 위한 것이다. 이 저항은 20Ω 내지 40Ω로 설정된다. 이 저항은 회로 블럭 내의 전송 라인과 블럭간 전송 라인간의 분기점에서 신호 반사를 발생시킬 수 있다. 이러한 신호 반사는 고속 신호 전송의 실현을 어렵게 한다. 즉 이러한 기술은 블럭간 신호 전송 라인과 블럭 내의 신호 전송 라인 간의 임피던스의 관계에 다라 저항을 임의로 결정하는 것을 기재하고 있지 않다.

또한, 블럭간 신호 전송 라인과 회로 블럭 내의 신호 전송 라인 간에 저항기를 제공하는 다른 종래의 기술 구성으로서는 JP-B-54-5929가 있다. 이 예에서는 수신 회로측의 회로 블럭과 블럭간 신호 전송 라인간에만 저항기가 제공되며, 송출 회로를 구비한 회로 블럭과 블럭간 신호 전송 버스간에는 어떤 저항도 제공되어 있지 않는다. 상기 미합중국 특허 제4,922,449호와 같이, 신호 반사는 송출 회로로부터 출력된 신호가 블럭간 신호 전송 버스로 전송될 때 발생된다. 전술한 구성에서와 같이, 이 신호 반사는 고속 신호 전송의 실현을 저해한다.

본 발명의 목적은, 신호의 고속 전송을 위해, 상술한 문제점을 극복하고, 분기 라인을 갖는 전송 라인 상의 신호 전위의 강하를 억제하며, 각 분기 라인에서의 반복적인 반사를 방지하고, 라인 상에서 신호의 진폭을 적게 유지하도록 구성한 신호 전송 장치, 회로 블럭 및 집적 회로를 제공하는 것이다.

양호한 모드로 상기 목적을 달성하기 위해, 신호를 구동하기 위한 구동 회로와 상기 구동 회로로부터의 신호를 회로 블럭의 외부로 전송하기 위한 블럭 내 전송 라인을 구비하는 제1회로 블럭과, 신호를 수신하기 위한 수신 회로와 이 수신 회로로 입력되는 신호를 전송하기 위한 블럭 내 전송 라인을 구비한 제2회로 블럭과, 상기 회로 블럭 간에 신호를 전송하기 위한 블럭간 전송 라인을 포함하는 신호 전송 장치에 있어서, 상기 블럭간 전송 라인은 상기 블럭간 전송 라인의 특성 임피던스값과 동일 또는 이와 근사한 저항값을 갖는 하나 도는 2개의 소자에 의해 종단되는 것을 특징으로 한다. 또한, 저항기(80 내지 83)의 각 저항값은 블럭 내 전송 라인의 임피던스로부터 블럭간 전송 라인의 임피던스의 반을 감산함에 의해 얻어진 값과 동일 또는 이 값에 근사한 저항값으로 제공된다.

하나의 블럭에 구동 회로 및 수신 회로 양자를 갖는 복수의 블럭을 포함하는 회로 장치에서도 동일하게, 블럭간 전송 라인은 이 블럭간 전송 라인의 특성 임피던스와 동일 또는 이에 근사한 저항값을 갖는 하나 또는 2개의 소자에 의해 종단된다. 각 블럭 내 전송 라인은 이 블럭 내 전송 라인의 임피던스로부터 블럭간 전송 라인의 특성 임피던스의 반을 감산한 값과 동일 또는 이에 근사한 저항을 갖도록 제공된다.

구동 또는 수신 회로를 집적한 회로인 집적 회로 중, 콰드 플랫 패키지(QEP) 또는 핀 그리도 어레이(PGA) 등의 리드프레임이 긴 패키지를 사용하는 경우에 있어서는, 블럭간 종단 라인이 종단되어야 하고, 블럭간 전송 라인과 블럭 내 전송 라인 간의 임피던스 정합을 위해 저항기가 제공됨과 동시에, 리드프레임의 임피던스와 블럭 내 전송 라인의 임피던스가 일치되어야 한다.

본 발명에 따르면, 분기 라인의 임피던스로부터 라인의 임피던스의 반을 절감함으로써 얻어진 값과 근사한 저항값을 가진 저항기를 삽입함으로서, 분기 라인 내의 반사의 반복을 방지하고, 삽입된 저항값 및 종단 저항을 분압함으로써 전송 라인의 진폭을 감쇄시킬 수 있으므로, 신호를 고속으로 전송할 수 있게 된다.

다수의 분기점이 블럭간 전송 라인상에 존재하는 경우에는 분기 라인내의 용량이 저항을 통하여 보이기 때문에(즉, 전송 라인 부하 용량 및 구동 및 수신 회로의 용량의 합) 라인 임피던스를 낮게 억제하는데 효과적이다. 또한, 라이브 인서션으로 인한 파형 왜곡을 억제할 수 있다.

이하 본 발명의 실시예를 첨부한 도면을 참조하여 상세히 설명한다.

제4도는 본 발명이 적용되는 일방향 전송 라인의 제1실시에의 기본 블럭도를 나타낸다.

제4도에서, 도면 참조 부호(1)는 구동 회로(21)를 가지는 구동 회로 블럭(유닛)을 나타낸다. 도면 참조 부호(2 내지 4)는 수신 회로(32 내지 34)를 각각 갖는 수신 회로 블럭을 나타낸다. 회로 블럭은 저항기

(80 내지 83) 및 전송 라인(11 내지 14)을 각각 포함한다. 전송 라인(100)은 회로 블럭(1 내지 4)에 접속되며, 전송 버스(100)의 양단부는 저항기(50,51)에 의해 종단되며, 각 저항기는 전송 라인(100)의 특성 임피던스값과 동일 또는 이 값에 근사한 저항값을 갖는다.

제4도에서, 전송 라인(100)은 50Ω의 임피던스를 갖고, 분기 라인(11 내지 14) 각각은 100Ω의 임피던스를 갖는다. 종단 저항기(50,51)의 각각은 50Ω의 저항값을 갖는다. 종단 전원(60,61)은 1.5V의 전압을 공급한다. 구동 회로(21)는 10Ω의 저항값을 갖는다.

구동 회로(21)는 출력이 하이일 때(제5도의 도면 참조 부호(62)) 3V의 전원과 전송 라인을 접속시키고, 출력이 로우일 때(제5도의 도면 참조 부호(63)) 접지 전원과 전송 라인을 접속시킨다. 제43h에서, 도면 참조 부호(32 내지 34)는 수신 회로를 나타낸다.

저항기(80 내지 83)는 각각 75Ω의 저항값을 갖도록 결정된다.

저항값을 결정하는 방법은 후술한다.

이 실시예에서는 전송 라인(100)이 단부 양단에서 종단됨을 알 수 있다. 그러나, 바람직한 경우는 하나의 저항기에 의해 일단부에서 종단될 수도 있다. 또한, 이 실시예는 수신 회로를 갖는 3개의 수신 회로 블럭을 제공한다. 그러나, 본 발명은 수신 회로를 갖는 적어도 하나의 블럭을 포함하는 하나의 전송 장치에도 적용될 수 있다.

제5도는 제4도의 구성에 사용되는 송출 또는 구동 회로(21)의 일예를 나타내고 있다. 이 구동 회로(21)는 풀-업 트랜지스터(70) 및 풀-다운 트랜지스터(71)로 구성된 푸시-풀 구동 회로이다.

제5도에 도시한 풀-업 트랜지스터(70)는 N 채널 MOS 전계 효과 트랜지스터(NMOS)로구성되어 있다. 트랜지스터(70)의 재료는 NMOS에 제한되지 않는다. 예컨대, 트랜지스터(70)을 제조하기 위해 P 채널 MOS 전계 효과 트랜지스터(PMOS)가 사용될 수 있다.

푸시 풀 구동 회로를 갖는 저진폭용 구동 회로에 대해서는 종래의 기술 구성으로서 상술한 니께이 일렉트로닉스 문헌에 상세히 기재되어 있다. 그러나, 이 문헌에 기재되어 있는 구동 회로는 약 100Ω 정도의 온 저항기의 트랜지스터를 사용하고 있다. 이와 반대로, 본 발명은 현재 널리 사용되고 있는 10Ω정도의 온 저항을 갖는 트랜지스터를 사용한다. 본 발명이 종래의 구동 회로를 사용할 수 있는 것은, 본 발명의 실시예에 따라 추가된 저항기(80 내지 83)와 약 10Ω 정도의 저항에 따른 트랜지스터이 온 저항의 합이 종래 장치의 100Ω의 온 저항에 근사하기 때문에, 전송 버스(100)상의 진폭이 종래의 것과 대략 동일한 크기로 되기 때문이다.

예를 들어, 전송 라인(100)의 임피던스 및 종단 저항이 50Ω, 분기 라인의 임피던스가 100Ω, 종단 전원은 1.5V의 전압을 공급하고, 구동 회로를 위한 전원은 3V의 전압을 공급한다고 가정하면, 온 저항 10Ω의 트랜지스터를 사용하는 상기 문헌의 전송 라인에서 신호 진폭이 0.6V로 되어, 제4도에 도시한 전송 라인(100)에서의 진폭 0.68V와 거의 동일한 진폭이 된다.

구동 회로(21)의 온 저항을 100Ω으로부터 10Ω으로 낮게 함으로써 구동 회로에서 소비되는 전력을 감소시킬 수 있다. 예를 들면, 상기한 조건에서 100Ω의 온 저항을 사용하는 종래의 장치는 14.4mW의 전력을 소비하는 반면, 본 발명은 전력 소비가 1.9mW로 크게 떨어진다. 또한, 본 발명의 실시예는 10Ω이상, 구체적으로 약 50Ω정도의 온 저항을 가진 구동 회로를 사용할 수 있다. 이러한 구동 회로는 상술한 바와 동일한 효과를 제공할 수 있다.

이어서, 제4도의 수신 회로의 예가 제6도에 도시되어 있다. 이 수신 회로는 차동형 수신 회로로서 입력 전압이 기준 전압(Vref)보다 높은지 또는 낮은지에 따라 입력 신호의 논리 하이 또는 로우를 결정한다. 여기에 사용되는 기준전압은 집적 회로 내에서 만들어질 수도 있다. 그러나, 집적 회로내에서 나타나는 노이즈 또는 외부로부터 인입되는 노이즈로 인해 전원이 변동하면, 이에 따라 기준 전압이 변동하게 된다. 따라서, 외부에서 기준 전압을 제공하는 것이 더 좋다. 또한, 수신 회로는 NMOS의 효과를 통해 입력 신호를 수신하는 NMOS형 차동 수신 회로이면 더욱 좋다. 이런 형태의 수신 회로가 기준 전압으로서 사용되면, 종단 전원의 전압이 사용된다. 이 경우에, 기준 전압은 공급 전압의 반이된다. 따라서, 기준 전압을 중심으로 해서 1V 이하의 작은 진폭 파형을 수신하는 것이 가능하다.

예를 들면, 다음 조건엣, 수신 회로에서의 진폭은 0.68V이다. 특히, 종단 저항기(50,51)의 저항값 각각이 50Ω이면, 정합 저항기(80,81,82,83)의 저항값 각각은 75Ω이고, 구동 회로의 온 저항은 10Ω, 구동 회로에 대한 공급 전압은 3V, 종단 공급 전압은 1.5V이고, 구동 회로가 로우 출력 상태이면 각 수신 회로에서의 전압은 1.16V(= 1.5V-(1.5V-0) × (50Ω/2)/(50Ω/2 + 75 + 10) = 1.5-0.34)이고, 구동 회로가 하이 출력이면 각 수신 회로에서의 전압은 1.84V(= 1.5V + (3-1.5) × (50/2)(50/2 + 75 + 10) = 1.5 + 0.34)이다. 따라서, 각 수신 회로에서의 진폭은 0.68V(= 1.84-1.16)이다.

제4도에, 각 회로 블럭의 하나의 수신 회로(32 내지 34)가 예로서 도시되어 있다. 그러나, 본 발명은 수신 회로 수에 제한되지 않는다.

상술의 신호 전송 회로에서, 저항기(80 내지 83) 각각의 저항값은 블럭 내 전송 라인(11)의 임피던스에서 라인(100)의 임피던스의 절반을 감산하여 얻어진 값과 동일하다. 라인(100)의 임피던스의 절반이 요구되는 것은 구동 회로 블럭으로부터의 신호가 버스(100)와의 접촉점 B에서 2방향으로 분기하기 때문이다. 즉 다음식이 설정된다.

$$= Zs - Zo/2 \qquad (1)$$

여기서 Zs는 전송 라인(11)의 임피던스, Zo는 라인(100)의 임피던스, 그리고 Rm은 저항기(80)의 저항값이다.

이 식으로부터 알 수 있는 바와 같이, 전송 라인(11)으로부터 본 저항기(80)와 라인(100)의 전체 임피던

스는 전송 라인(11) 자체의 임피던스와 동일하다. 이로 인해 분기 라인 내부의 반복 반사를 방지할 수 있다.

저항기(81 내지 83)는 유사한 방식으로 결정될 수 있다. 상술한 바와 같이 다른 블럭도 전술한 블럭(1)과 동일한 효과를 갖게 된다.

이어서, 식(1)에서 구해진 저항기의 효과를 설명하기 위해 제4도의 회로도를 참조하여 구동 회로(21)가 로우 출력으로부터 하이 출력으로 스위치될 때 제4도의 각 점으로 전송되는 파형의 종류에 대해 이하 설명한다.

먼저, 구동 회로(21)가 로우 출력을 공급할 때 발생하는 전송 라인(100)의 전위를 구할 필요가 있다. 전송 버스의 전압은 종단 공급 전압 1.5V를 종단 저항기(50,51)와 저항기(80) 그리고 구동 회로(21)의 온 저항으로 분압함으로써 구해진 값과 동일하다. 구체적으로, 구동 회로(21)가 로우 출력을 제공할 때 전송 라인의 점 B에서의 전압은 다음과 같다.

$$1.5V\times(75\Omega\times10\Omega)/(10\Omega+75\Omega+25\Omega)=1.16 \qquad (V)$$

제4도의 회로에서, 구동 회로(21)로부터 나온 신호는 점 B에서 반사되지 않는다. 따라서, 전체 신호는 전송 라인(100)으로 전송된다. 구동 회로의 출력이 로우로부터 하이로 스위치될 때 점 B로 전송된 신호의 전위는 종단 공급 전압 1.5V 및 구동 회로(21)의 공급 전압 3V을 종단 저항기(50,51), 저항기(80) 및 구동 회로(21)의 온 저항으로 분압함으로써 얻어진 전압과 같다. 따라서, 구동 회로(21)가 하이 출력을 제공할 대 B점에서의 신호 전위는 다음과 같이 구해진다.

$$1.5V+(3V\text{-}1.5V)\times25\Omega/(10\Omega+75\Omega+25\Omega)=1.84V$$

즉, 점 B로 전송된 신호의 진폭은, 1.84V-1.16V=0.68V이다.

전송 라인(100)으로 전송된 0.68V 진폭의 신호가 C점에 도달하면 전방에서 50Ω의 전송 라인, 75Ω의 저항기 및 100Ω의 전송 버스를 볼 수 있지만, 이들 두 라인의 38.9Ω의 전체 임피던스가 신호가 통과하는 전송 라인의 50Ω의 임피던스와 차이가 있어 임피던스의 비정합으로 반사가 발생한다. 투과 계수는 : 1-반사계수=1-1-(50-38.9)/(50+38.9)=0.875

C점을 통과하는 신호의 전위는 B점의 신호 진폭 0.68V에 투과 계수 0.875를 곱하고 초기 전위에 곱해진 값을 더해서 구해진 값과 동일하다. 즉, 신호의 전위는 각각

$$0.68V\times0.875+1.16V=1.76V$$

유사한 반사가 점 E 또는 점 G에서도 발생된다. 점 E 또는 점 G에서의 전위는 1.68V 및 1.61V이다.

이들 결과가 제7a도 내지 제7c도에 도시되어 있다. 제7a도는 점 C로 출입하는 신호 파형을 나타내는데, 즉 점 C로 들어오는 점 B의 신호 파형 및 점 C로부터 나가는 점 D 및 E의 신호 파형을 나타낸다.

이와 유사하게, 제7b도는 점 E로 출입하는 신호 파형을 나타낸다. 제7c도는 점 G로 출입하는 신호 파형을 나타낸다. 제7a도 내지 제7c도에서, 도면 참조 부호(702)는 제4도의 점 B에서의 신호 파형, 도면 참조부호(703)는 점 C에서의 신호 파형, 도면 참조 부호(704)는 점 D에서의 신호 파형, 도면 참조 부호(705)는 점 E에서의 신호 파형, 도면 참조 부호(706)는 점 F에서의 신호 파형, 도면 참조 부호(707)는 점 G에서의 신호 파형, 도면 참조 부호(708)는 점 H에서의 신호 파형이다. 신호가 강하하면, 동일한 것이 발생된다. 이때의 신호 파형이 제8a 내지 8c도에 도시되어 있다. 제8a도 내지 제8c도에서, 도면 참조 부호(702 내지 708)는 제4도에서와 같이 점 B에서 점 H까지의 신호 파형이다.

이 실시예에 명확히 설명되는 신호 전송 회로를 사용하는 경우에, 각 분기점에서 구동 회로(21)로부터 하이 신호를 나타내는 임의의 제1신호가 기준 전압(상기 조건에서는 1.5V)을 초과할 수 있음을 알 수 있다. 따라서, 각 수신 회로는 하이 레벨이 전송되고 있음을 인지할 수 있다.

이러한 본 발명의 효과는 식(1)로부터 구해진 저항기(80 내지 83)의 저항값과 식(1)로부터 구해진 저항값에 근사한 임의의 값으로 충분히 얻어진다.

이제부터 제24도 내지 제26도를 참조하여 이러한 효과를 설명한다. 제24도는 블럭간 전송 라인(주전송 라인, 100)이 50Ω의 임피던스를 갖고, 각 블럭 내 전송 라인(11 내지 14)이 100Ω의 임피던스를 가지며, 각 종단 저항기(50,51)가 50Ω의 저항값을 갖고, 종단 공급 전압이 1.65V이고 각 저항기(80 내지 83)가 식(1)로부터 얻어진 75Ω의 저항값을 갖도록 구성한 제4도의 회로 구성에서 송출 회로(21)가 계속해서 펄스 파형을 출력할 때 시간과 전압의 관계를 통한 제4도의 점 A, C, D, G 및 H에서의 파형을 나타낸다.

제24도에, 도면 참조 부호(701)는 점 A에서의 신호 파형이고, 도면 참조 부호(703)는 점 C에서의 신호 파형이며, 도면 참조 부호(704)는 점 D에서의 신호 파형이고, 도면 참조 부호(707)는 점 G의 신호 파형이며, 도면 참조 부호(708)는 점 H에서의 신호 파형이다. 도면 참조 부호(708)로 표시한 곡선으로부터 도면 참조 부호(707)로 표시한 곡선을 시각적으로의 구별은 양곡선이 서로 중첩되어 있어 어렵다.

한편, 제25도에는 다른 조건이 예시되어 있다. 제25도는 저항기(80 내지 83)의 각 저항값이 큰 진폭을 얻기 위해 50Ω으로 변경될 때의 파형을 나타낸다. 제25도에서, 도면 참조 부호(701,703,704,707 및 708)는 제4도에서의 각 점 A, 점 C, 점 D, 점 G 및 점 H에서의 파형을 나타낸다. 여기에 사용되는 저항 50Ω은 식(1)로부터 얻어진 75Ω의 저항값의 66%에 불과하다. 제25도로부터 알 수 있듯이, 상기 저항값은 어떤 문제없이 사용될 수 있다.

블럭 내 라인의 임피던스가 75Ω이면, 저항기(80 내지 83)의 각 저항은 제24도의 값과 동일하게 신호 진폭을 유지하도록 75Ω으로 고정될 수 있다. 이와 같은 경우의 파형이 제26도에 도시되어 있다. 이 경우에, 저항기(80 내지 83)의 각 저항은 50%의 인수만큼 식(1)로부터 얻어진 저항 50Ω보다 크다. 이와 관련하여, 저항기(80 내지 83)의 각 저항기 식(1)로부터 얻어진 값과 관련하여 약 50%만큼 전·후로 시프트될 때에도 본원 장치의 효과가 달성될 수 있음을 알 수 있다.

또한, 본 발명의 효과를 향상시키기 위해, 저항기(80 내지 83)의 저항을 주 전송 라인(100)의 임피던스보다 높은 값으로 설정하는 것이 바람직하다. 추가로, 전송 라인(100)이 많은 분기 라인을 갖는 경우 구동 회로(21)로부터의 신호는 이 실시예에 사용되는 신호 전송 회로의 효과를 통해서도 기준 저압을 초과하지 않는다. 이러한 단점을 극복하는 방법에 대해서는 실시예 3으로 명확하게 한다.

점 C, E 및 G에서 전송 라인(12 내지 14)으로 들어오는 각 신호는 대응하는 수신 회로 상에서 전반사된 후 분기점으로 되돌아간다. 이 회로는 적절히 임피던스 정합을 유지하므로, 전체 신호는 분기점에서 신호의 반사없이 1회에 전송 라인(100)으로 전송된다.

도면을 통해 알 수 있는 바와 같이, 본 발명에서 삽입되는 저항기는 반사에 의한 전위 강하를 크게 감소시킬 수 있고, 또한 이들 저항기는 구동 회로로부터 먼 수신 회로에서의 신호 전위 강하를 무시할 수 있을 정도로 만든다.

회로 블럭 내의 전솔 라인과 블럭간 전송 라인간의 접촉점 주위에 소정의 저항값을 갖는 저항기를 삽입함으로써, 전송 버스 상의 신호 진폭을 보다 작게하고 고속으로 신호를 전송할 수 있다. 진폭을 얼만큼 작게하느냐 하는 것은 전송 라인(100)의 임피던스 및 각 블럭 내 전송 라인을 변경함에 의해 자유롭게 설계할 수 있도록 되어 있다. 예를 들면, 송출 회로(21)가 10Ω의 온 저항을 갖고 있고, 블럭 내 전송 라인이 100Ω의 임피던스를 갖고, 전송 라인(100)이 25Ω의 임피던스를 갖는다고 가정하면, 전송 버스의 신호 진폭은 다음과 같이 계산된다. 즉

$$1.5V \times 12.5\Omega/(12.5\Omega + 87.5\Omega + 10\Omega) \times 2 = 0.34[V]$$

이때 저항기(80 내지 83)의 각각은 87.5Ω의 저항값을 갖는다. 이 경우의 파형이 제18A 내지 제18C도 및 제19A도 내지 제19C도에 도시되어 있다. 이들 도면에서, 도면 참조 부호(702 내지 708)는 제4도에서와 같이 점 B내지 점 H에서의 신호 파형을 나타낸다. 이 도면에서, 유사한 진폭을 가진 파형 및 저전압 강하를 얻을 수 있음을 알 수 있다.

또한, 저항기(80 내지 83)는 회로 블럭의 부하 용량으로부터의 전송 라인(100)의 임피던스를 낮게 억제할 수 있는 효과를 갖는다. 즉, 전송 라인(100)과 각 회로 블럭(1 내지 5)간에 저항기를 삽입함으로써, 블럭간 전송 라인이 직접 회로 블럭 내의 용량을 볼 수 없다(즉, 전송 라인의 부하 용량과 구동 및 수신 회로의 용량의 합). 따라서, 전송 라인의 임피던스를 낮게 억제할 수 있다.

더우기, 본 발명의 신호 전송 시스템은 동작 중에 전송 버스에 새로운 보드가 추가되거나 장치된 보드를 떼어내는 경우, 즉 소위 라이브 인서션이 행해지는 경우에도 유리한 효과를 제공한다. 예를 들면, 하이 레벨로 충전되는 보드가 로우 신호가 전송되는 전송 라인에 삽입되는 것으로 가정한다. 이 경우에, 보드 내 용량의 전위가 전송 라인의 전위와 다르므로, 보드로부터 전송 라인으로 전류가 흐른다. 이 전류의 흐름이 전송 파형 왜곡이 기준 전압 보다 높은 전위로 상승하면, 수신 회로는 하이 신호가 전송된 것으로 인식하여 오동작을 행한다.

파형 왜곡의 효과를 설명하기 위해, 제9도는 종래의 전송 라인에서 라이브 인서션이 행해지는 경우에 발생하는 파형을 나타내고, 제10도는 본 발명에 의해 제공된 전송 회로에서 라이브 인서션이 행해질 때 발생하는 파형을 나타낸다. 제9도 및 제10도에 도시한 바와 같이, 라이브 인서션으로 인한 파형 왜곡은 본 발명에 의해 감소된다.

실시예 2

다음의 설명은 양방향 전송 라인에 본 발명이 적용되는 실시예 2에 관한 것이다.

제11도는 제2실시예의 기본 블럭도이다. 회로 블럭(1 내지 4)은 구동 회로(21 내지 24), 수신 회로(31 내지 34), 저항기(80 내지 83), 전송 라인(11 내지 14) 각각을 제공한다. 전송 라인(100)은 회로 블럭(1 내지 4)에 접속되며 저항기(50,51)에 의해 종단된다. 각 저항기는 전송 라인(100)의 특성 임피던스값과 동일한 저항값을 갖는다.

제11도는 저항기에 의해 양단에서 종단되는 전송 라인을 나타내고 있다. 그러나, 필요한 경우, 전송 벗는 하나의 저항기만으로 일단부에서 종단될 수 있다. 또한, 제11도는 4개의 블럭을 도시하고 있다. 실질적으로, 본 발명은 블럭수가 두개 이상이면 적용될 수 있다.

제11도에 도시한 회로 블럭에 포함되는 구동 회로(21 내지 24) 및 수신 회로(31 내지 34)의 구성은 제5도 및 제6도와 관련하여 설명한 것과 동일하다. 저항기(80 내지 83)의 값은 제4도에서 설명한 실시예 1의 방식으로 결정될 수 있다. 또한, 회로 블럭(1)이 신호를 발생시키면 점 A 내지 점 H에서의 신호 파형은 실시예 1과 동일하게 된다.

실시예 2에 표시한 하나의 회로 블럭 내에 구동 회로 및 수신 회로를 갖는 구성에서, 저항값을 상술한 식(1)에서 얻어진 저항값과 동일 또는 이에 근사하게 하면, 구동 회로의 스위칭에 따른 대기 시간을 감소시킬 수 있다. 이하, 제11도에 도시한 회로 구성에서, 구동 회로가 스위치될 때 발생하는 신호 파형이 변화를 설명한다.

먼저, 구동 회로는 다음 절차에 따라 스위치된다.

(1) 구동 회로(21)가 하이 신호를 출력한다.

(2) (1)보다 10ns 후에, 구동 회로(21)가 고임피던스 상태로 스위치된다. 이때에, 구동 회로(24)가 하이 신호를 출력한다.

구동 회로(21)가 스위치된 후, 구동 회로(24)로부터의 하이 신호가 전송 라인의 그 부분에 도달할 때까지 종단 전위가 구동 회로(21)에 근접 배치된 전송 라인 상의 신호 전위를 강하시킨다. 따라서, 강하된 파형이 전송 라인을 통해 각 분기 라인으로 전송된다. 저항기가 없는 종래의 전송 라인의 경우에 발생하는 각 점에서의 강하된 파형이 제12a도 및 제12도에 도시되어 있으며, 본 발명의 전송 라인에 대해 평가된 각 점에서의 강하된 파형이 제13a도 및 제13b도에 도시되어 있다. 이들 도면의 파형은 구동 회로(21)를 가진 회로 블럭에 인접한 회로 블럭(2)에 포함되는 수신 회로(32)의 입력 회로 블럭에서의 파형들이다.

제12a 및 제12b도에서 알 수 있듯이, 종래의 전송 라인에서는 분기 라인에서의 반복성 반사의 반복된 역효과와 구동 회로를 스위칭함으로 인한 강하된 신호로 인해 수신 회로가 입력 신호를 판독할 때 즉 구동 회로가 스위치 될 때부터 2Td 후에 지연된다. 신호가 전송 라인의 일단부로부터 다른 단부로 전송될 때의 시간을 Td로 표시했다. 여기서 Td는 약 6ns이다.

한편, 본 발명에 따른 전송 라인에 있어서는 구동 회로가 수신 회로 입력 신호를 판독하기 전에 스위치된 후 Td의 지연만을 필요로 한다. 즉, 본 발명은 구동 회로가 2Td로부터 Td로 스위치된 후 입력 신호를 판독하는데 요구되는 대기 시간을 감소시킬 수 있는 능력을 제공한다.

전술한 실시예는 하이에서 하이로의 스위칭에 관한 것을 설명하였다. 이러한 동작은 로우에서 로우, 로우에서 하이 그리고 하이에서 로우와 같은 모든 종류의 스위칭에서도 동일하다. 또한 이 효과는 스위치되는 구동 회로에 의존하지 않고 임의의 조합에 유효하다.

실시예 3

다음의 설명은 많은 분기 라인이 있는 경우에 각 분기 라인의 선단에 큰 용양을 제공하는데 특히 유용한 제3실시예에 관한 것이다. 제14도는 이 실시예에 따른 일방향 전송 버스를 설명하기 위한 기본 블럭도이다. 제15도는 이 실시예에 따른 양 방향 전송 버스를 설명하기 위한 기본 블럭도이다. 제14도에서, 회로 블럭(1)은 구동 회로(21)를 포함하고, 회로 블럭(2 내지 4)은 수신 회로(32 내지 34)을 각각 포함한다. 또한, 이 블럭은 저항기(80 내지 83) 및 전송 라인(11 내지 14)을 각각 갖는다. 제15도에서, 회로 블럭(1 내지 4)은 송출 회로(21 내지 24), 수신 회로(31 내지 34), 저항기(80 내지 83) 및 전송 라인(11 내지 14)을 각각 제공한다. 제14도 및 제15도에서, 전송 라인(100)은 회로 블럭(1 내지 4)에 접속되며 전송 라인(100)의 특성 임피던스값과 동등한 저항값을 갖는 저항기(50,51)에 의해 종단된다.

제14도 및 제15도에서, 전송 라인은 저항기에 의해 양단부에서 종단된다. 그러나, 바람직한 경우 하나의 저항기에 의해 일단부에서 종단될 수도 있다. 또한 제14도 및 제15도에서, 블럭의 수는 4개이다. 실제로, 본 발명은 2개 이상의 블럭이 제공되어도 적용될 수 있다.

부수적으로, 이들 도면에서, 도면 참조 부호(90 내지 93)는 스위치, 도면 참조 부호(110 내지 113)는 저항기를 나타낸다.

이 실시예에서, 스위치의 동작 및 효과는 제14도 및 제15도의 기본 블럭도를 참조하여 설명된다. 제3실시예의 다른 부분은 제1 및 제2실시예와 동일하다. 따라서 이들 부분에 대해서는 설명을 간단히 하기 위해 생략한다.

분기 라인의 선단의 용량의 크거나 또는 분기 라인의 수가 많은 경우, 전송 라인의 분기점에서의 신호 전위의 강하는 크게 된다. 이러한 큰 신호 전위 강하는 실시예 1 및 2를 통해서도 억제할 수 없다.

예를 들면, 제1실시예에서 설명한 조건에서, 즉, 제4도의 회로 구성에서, 전송 라인(100)이 50Ω의 임피던스를 갖고, 각 분기 라인(11 내지 14)이 100Ω의 임피던스를 가지며, 각 종단 저항기(50,51)가 50Ω의 저항을 갖고, 각 종단 전원이 1.5V의 전압이고, 각 저항기(80 내지 83)가 75Ω의 저항값이고, 송출 회로(21)의 온 저항이 10Ω이면, 구동 회로(21)는 하이 신호를 공급할 때 전송 버스를 3-V 전원에 접속하고, 로우 신호를 공급할 때 접지 또는 0-V 전원에 접속한다. 이 때에 7개 이상의 분기 라인이 제공되면 하이 레벨을 나타내는 송출 회로(21)로부터의 제1신호는 제6분기점 후 기준 전압(Vref)을 초과할 수 없게 된다.

이러한 단점을 극복하기 위해, 제3실시예는 강하된 신호 전위에 의한 지연 시간을 줄이는 방법을 설명한다. 이것은 분기점에서의 신호 전위의 강하를 보상하는데 필요한 전류량 이상의 전류를 통과시킴에 의해 달성된다.

먼저 제14도에 관련하면, 구동 회로(21)가 동작되면 전송 라인(100)과 블럭 내 신호 전송 라인(11)간의 저항값을 낮추도록 회로(1)의 스위치(90)가 폐쇄된다. 이로 인해 버스(100)상에 신호 진폭을 증가시킬 수 있다. 이것은 제15도의 구동 회로(21 내지 240 및 그 대응 스위치(90 내지 93)의 동작에 대해서도 동일하다.

예를 들어, 각 종단 저항기(50,51)가 50Ω의 값이고, 각 정합 저항기(80 내지 83)가 75Ω 값이며, 각 송출 회로(21 내지 25)가 10Ω의 온 저항이고, 각 스위치 저항기(80 내지 83)가 10Ω의 값을 갖는 조건에서, 스위치를 폐쇄함으로써, 전송 라인(100)과 분기 라인(11)간의 저항값은 75Ω에서 8.8Ω으로 감소되고, 전송 버스(100)상의 진폭은 0.68V에서 1.3V로 증가된다. 이 결과 분기점에서의 강하된 신호 전위로 인한 지연 시간이 제거된다.

다음 사이클로 신호가 반전된 경우 고속으로 신호를 전송하기 위해, 구동 회로로부터 신호를 출력하기 위한 개시 시간보다 0.3 사이클 후에 스위치를 개방하도록 동작시킨다. 이에 의해, 신호 진폭이 소정의 값으로 돌아올 수 있고, 고속 전송이 가능한 소진폭으로 돌아온다. 물론, 지연은 적절한 경우 0.3 사이클과 다르게 설정할 수도 있다.

제16a 내지 제16c도 및 제17a 내지 제17c도는 본 발명의 효과를 설명하기 위한 도면이다. 이들 도면에 도시된 파형은 구동 회로(21)가 제14도 및 제15도에 도시한 회로에 의해 동작될 대 발생되는 파형들이다.

제16a 내지 제16c도는 상승시의 파형이고, 제17a 내지 제17c도는 하강시의 파형이다. 예로서, 이들 파형에 도달하기 위한 저항기(100 내지 113)의 저항값은 각각 200Ω으로 설정되었다.

제16a도 및 제17a도는 제14도에 도시된 점 C로 출입하는 신호 파형을 나타내는데, 즉 점 C로 들어오는 점 B에서의 파형 그리고 점 C로부터 나가는 점 B 및 점 E의 파형을 나타낸다. 이와 유사하여, 제16b도 및 제17b도는 점 E로 출입하는 신호 파형을 나타낸다. 제16c도 및 제17c도는 점 G로 출입하는 신호 파형을 나타낸다. 도면 참조 부호(1402)는 제14도에 도시한 점 B에서의 신호 파형이고, 도면 참조 부호(1403)는 점 C에서의 신호 파형이며, 도면 참조 부호(1404)는 점 D에서의 신호 파형이며, 도면 참조 부호(1405)는 점 E에서의 신호 파형이고, 도면 참조 부호(1406)는 점 G에서의 신호 파형이며, 도면 참조 부호(1408)는 점 H에서의 신호 파형이다.

스위치를 사용함으로써 전송 라인(100)상에서의 신호 진폭을 증가시킬 수 있고 분기점에서의 강하된 신호 전위에 의한 지연 시간을 제거할 수 있다. 상술한 바와 같이, 스위치의 제어로 인해 전송 라인이 큰 부하 용량 또는 다수의 분기 라인을 갖고 있어도 고속으로 소진폭의 신호를 전송할 수 있다. 스위치 제어에 대해서는 도시하지 않았지만 이는 종래의 스위칭 기술에 따라 구동 회로를 갖는 회로 블럭에 포함되어 있는 제어장치에 의해 제어된다.

저항기(110 내지 113)대신에 캐패시터를 사용해도 동일한 효과를 얻을 수 있다. 제20도 및 제21도에 상기한 캐패시터를 사용한 구성이 도시되어 있다. 제20도는 제14도에 도시한 것과 동일한 구성으로서 저항기(110)대신에 캐패시터(120)가 사용되고 있다. 일반적으로 용량은 수십 피코 파래드 정도가 바람직하다.

캐패시터 구동측 상에서의 전위가 송출 회로로부터의 신호에 따라 변화되면, 전송 라인(100)상의 캐패시터의 전위는 전하 보존 법칙에 따라 상승하게 된다. 따라서, 저항기(80 내지 83)를 통해서만 변화되는 진폭과 관련하여 큰 진폭이 얻어질 수 있다.

스위치와 관련하여, 구동 회로를 동작시키도록 장치내에 포함되는 스위치를 폐쇄하고 다른 스위치를 개방시키는 것이 바람직하다. 또한, 전송 버스(100)상의 신호 진폭은 캐패시터 라인의 효과를 통해 증가되고 약 수 나노초 후에 단자(50,51)의 효과를 통해 초기 진폭으로 회복된다. 따라서, 구동 회로가 동작중이면 스위치는 폐쇄된다.

제22a 내지 제22c도 및 제23a도 내지 제23c도는 제20도의 회로도에서 구동회로(21)가 동작될 때 각 점에서의 상승 파형 및 하강 파형을 나타낸다. 제22a도 내지 제22c도 그리고 제23a도 내지 제23c도에서, 제22a도 및 제23a도는 제20도의 점 C로 출입하는 신호 파형을 나타내는데, 즉 점 C로 들어가는 점 B상의 신호 파형과 점 C로부터 나오는 점 D 및 점 E 상의 신호 파형을 나타낸다. 이와 동일하게, 제22b도 및 제23b도는 점 E로 출입하는 신호 파형을 나타내고, 제22c도 및 제23c도는 점 G로 출입하는 신호 파형을 나타낸다. 이들 도면에서, 도면 참조 부호(2002)는 제20도의 점 B에서의 신호 파형이고, 도면 참조 부호(2003)는 점 C에서의 신호 파형이며, 도면 참조 부호(2004) 점 D에서의 파형이고, 도면 참조 부호(2005)는 점 E에서의 신호 파형이며, 도면 참조 부호(2006)는 점 F에서의 신호 파형이고, 도면 참조 부호(2007)는 점 G에서의 신호 파형이며, 도면 참조 부호(2008)는 점 H에서의 신호 파형이다.

상술한 바와 같이, 전송 라인(100)상의 신호 진폭은 캐패시터의 효과에 의해 증가되게 됨으로 분기점에서의 강하된 신호 전위에 의한 지연 시간을 감소시킬 수 있다.

실시예 4

제27도는 구동 회로 및 수신 회로가 집적되어 있는 실시예로서 회로 블럭간 전송 라인이 직접 회로의 리드 등의 전송 버스를 통해 회로 블럭 내 전송 라인에 접속되어 있는 것을 나타낸다.

제27도에서, 도면 참조 부호(5)는 회로 블럭 1(예를 들면, 집적 회로를 내장한 보드)에 장치되는 내측 회로 블럭(내측 장치, 예를 들면, 집적회로)이다. 도면 참조 부호(6 내지 8)는 수신 회로(32 내지 34)를 각각 갖는 내측 회로 블럭이며, 이 내측 회로 블럭은 회로 블럭(2 내지 4) 각각의 내측에 장치된다. 회로 블럭(1 내지 4)은 저항기(80 내지 83) 및 전송 라인(11 내지 14) 및 (41 내지 44)을 각각 갖는다. 전송 라인(11 내지 14)은 전송 라인(41 내지 44)의 것과 동일한 또는 거의 동일한 특성 임피던스를 갖도록 설계된다. 또한, 전송 라인(100)은 회로 블럭(1 내지 4)에 접속되어 있으며, 전송 라인(100)의 것과 같은 특성 임피던스에 동일한 또는 이에 근사한 저항값을 가진 저항기(50,51)에 의해 양단부에서 종단된다.

이 실시예에서, 전송 라인은 하나의 저항기에 의해 일단부에서 종단될 수 있다. 필요한 수의 수신 회로 블럭은 하나 이상이다.

제28도는 QFP(쾌드 플랫 패키지) 패키지부이다. 제29도는 PGA(핀 그리드 어레이) 패키지부이다. 제28도에서, 구동 회로가 제공되는 경우, 구동 회로로서 작용하는 칩(130)이 결합 배선(140,141) 및 리드 프레임(120,121)을 통해 순차적으로 신호를 출력한다. 신호를 수신하는 경우는 칩(130)이 리드프레임(120,121) 및 결합 배선(142,143), 패키지내 배선 패턴(170,171) 및 I/O 핀(160,161)을 통해 순차적으로 신호를 출력한다. 신호를 수신하는 경우, 칩(131)이 I/O 핀(160,161), 패키지내 배선 패턴(170,171) 및 결합 배선(142,143)을 경위하여 순차적으로 신호를 수신한다. 제28도 및 제29도에서, 리드프레임(120,121), 패키지내 배선 패턴(170,171) 및 I/O 핀(160,161)은 본 발명에서 설명한 특성 임피던스 정합을 이룰 필요가 있다.

일반적으로, 보드의 특성 임피던스는 60 내지 100Ω의 값을 갖는다. 따라서, 가장 양호한 방법은 리드프레임(120,121) 및 패키지내 배선 패턴(170,171)이 60 내지 100Ω 범위의 특성 임피던스값을 각각 갖도록 설계하는 것이다.

상기한 부품이 제27도에 도시한 부분에 대응하는 방법을 설명하기 위해, 송출 회로(21) 및 수신 회로(32 내지 34)가 칩(130,131)에 대응한다. 전송 라인(41 내지 44)은 리드프레임(120,121), 패키지내 배선 패턴(170,171) 및 I/O 핀(160,161)에 대응한다. 내측 회로 블럭(5 내지 8)은 QFP 패키지 및 PGA 패키지 자체에 대응한다. 제28도 및 제29도에 도시한 패키지 형태에 추가하여, 실질적으로 유사한 부품이 집적화되는 경우에만 임의의 패키지 형태가 취해질 수 있다.

제30도는 제28도의 QFP 패키지가 설치되는 모델을 나타낸다. 제30도의 모델의 배열은 4개의 보드(190 내지 193)가 코넥터(200 내지 203)를 통해 모 보드(180)에 장치된 형태이다. 제27도에 도시한 것에 대응하는 부분으로서, 전송 라인(11 내지 14)은 전송 라인(230 내지 233)에 대응하고, 정합 저항기(80 내지 83)는 정합 저항기(210 내지 213)에 대응한다. 회로 블럭간 전송 라인(100)은 데이타 버스(240)에 대응한다. 종단 저항기(50,51)는 종단 저항기(220,221)에 대응한다. 이에 추가하여, 제30도에서 전송 라인(230 내지 233)은 보드의 최외 각 층에서 작동한다. 한편, 이들 라인들은 내측층에 형성될 수도 있다. 제30도에 도시한 구성에서, 장치되는 보드의 수는 제한되지 않는다. 또한, 유사한 회로가 모 보드없이 하나의 보드상에 구성될 수 있다.

본 실시예에 따라, 서로 임피던스를 정합하기 위해서는 LSI 조직과 같은 큰 패키징 캐패시턴스 및 인덕턴스를 가진 소자가 보다 효과적이다.

이 실시예에서, 각 내측 회로 블럭은 하나의 구동 회로 또는 수신 회로를 갖는다. 한편, 실시예 2와 같이, 하나의 내측 회로 블럭이 구동 회로 및 수신 회로 둘다를 갖고 있을 수도 있다.

본 발명은 IC 또는 LSI와 같은 집적 회로 또는 메모리와 같은 모듈을 설계하거나 제조하는 방법에 비추어 새로운 개념을 제공한다. 전술한 바와 같이, 상기한 소자를 설계 또는 제조하는 방법, 장치되는 보드 상의 전송 라인의 임피던스는 전혀 고려되어 있지 않다. 본 발명에 따르면, 상기 소자를 설계 또는 제조하는 방법에는 다음의 새로운 설계 및 제조 방법이 취입된다. 즉,

(1) 장치되는 보드의 전송 라인의 임피던스를 결정한다.

(2) 설계되는 집적 회로의 리드프레임과 같은 전송 라인이 접속되는 보드상의 전송 라인의 임피던스를 결정한다(각 리드프레임마다 임피던스를 결정한다. 보드 상의 전송 라인이 일정하면 이것을 따른다).

(3) 설계된 전송 라인의 임피던스에 따라 전송 버스가 제조된 후 예를 들면 배선 결합 기술을 사용하여 집적 회로 칩에 저속된다.

(4) 보드의 오른쪽 위치에 전송 라인을 장치한다.

제조 방법에 따라, 고속 전송에 알맞는 집적 회로 또는 신호 전송 블럭을 제작할 수 있다.

상술한 구성은 본 발명의 원리 응용의 간단한 예시적 실시예이다. 본 발명의 원리를 실시할 수 있는 본 기술 분야의 숙련된 자는 본 발명의 영역 및 범위내에서 여러가지 다른 구성이 용이하게 착상될 수 있음을 알 수 있을 것이다.

(57) 청구의 범위

청구항 1

주 전송 라인 자체의 임피던스 값에 근사한 저항값을 갖고 있는 소자들에 의해 종단되는 주 전송 라인 ; 상기 주 전송 라인에 접속된 제1회로 블럭을 구비하는데, 상기 제1회로 블럭은 신호 구동용 구동 회로와, 상기 구동 회로로부터 출력된 신호를 상기 주 전송 라인에 전송하는 제1블럭 내 전송 라인을 구비하며, 상기 제1블럭 내 전송 라인은 그 자체의 임피던스로부터 상기 주 전송 라인의 임피던스의 1/2을 감산한 값과 동일 또는 이에 근사한 저항값을 갖는 소자를 제공하고 ; 상기 주 전송 라인에 접속된 적어도 하나의 제2회로 블럭을 구비하는데, 상기 제2회로 블럭은 신호를 수신하는 수신 회로와, 상기 주 전송 라인으로부터 입력된 신호를 상기 수신 회로로 전송하는 제2블럭 내 전송 라인을 구비하며, 상기 제2블럭 내 전송 라인은 그 자체의 임피던스로부터 상기 주 전송 라인의 임피던스의 1/2을 감산한 값과 동일 또는 이에 근사한 저항값을 가진 소자를 제공하는 것을 특징으로 하는 신호 전송 장치.

청구항 2

제1항에 있어서, 상기 주 전송 라인이 형성되는 모 보드 ; 상기 모 보드에 접속되며, 상기 제1블럭내 전송 라인 및 상기 구동 회로를 탑재한 제1자 보드 ; 및 상기 모 보드에 접속되며, 상기 제2블럭 내 전송 라인 및 상기 수신 회로를 탑재한 제2자 보드를 더 구비한 것을 특징으로 하는 신호 전송 장치.

청구항 3

제2항에 있어서, 상기 모 보드와 상기 자 보드를 각각 접속시키기 위한 코넥터를 더 구비하는 것을 특징으로 하는 신호 전송 장치.

청구항 4

제1항에 있어서, 상기 제1회로 블럭의 상기 블럭 내 전송 라인은 상기 구동 회로로부터 출력되는 신호의 주 전송 라인에 따라 블럭간 전송 라인의 진폭을 변경하는 회로를 더 구비하는 것을 특징으로 하는 신호 전송 장치.

청구항 5

제4항에 있어서, 상기 신호의 진폭을 변경하기 위한 상기 회로는 다른 저항 소자와, 신호 구동시 상기 제1블럭간 전송 라인에 제공되는 상기 다른 저항기 소자의 병렬 회로를 확립하고 신호 구동 후의 소정 시간 후에는 상기 다른 저항 소자를 개방하는 스위치 소자로 구성되는 것을 특징으로 하는 신호 전송 장치.

청구항 6

제4항에 있어서, 상기 신호의 진폭을 변경하기 위한 상기 회로는 상기 제1블럭 내 전송 라인에 제공되는 소자와 병렬로 제공되는 캐패시턴스 소자와, 신호 구동시에는 폐쇄하여 캐패시턴스 소자를 액티브 상태로 하고 신호 구동 후 소정 시간 후에는 난-액티브 상태로 하는 스위치 소자로 구성되는 것을 특징으로 하는

신호 전송 장치.

청구항 7

제1항에 있어서, 상기 수신 회로에 사용되는 기준 전압은 상기 수신 회로의 외부로부터 공급되는 것을 특징으로 하는 신호 전송 장치.

청구항 8

제1항에 있어서, 상기 블럭내 전송 라인의 임피던스와 상기 주 전송 라인의 임피던스의 비는 상기 구동 회로 및 상기 수신 회로에 공급되는 공급 전압과 상기 주 전송 라인의 신호 진폭으로부터 결정되는 것을 특징으로 하는 신호 전송 장치.

청구항 9

제1항에 있어서, 상기 수신 회로에 사용되는 기준 전압은 상기 수신 회로의 내에서 발생되는 것을 특징으로 하는 신호 전송 장치.

청구항 10

제1항에 있어서, 상기 수신 회로 NMOS 형 차동 수신 회로이며, 상기 구동 회로는 스위칭 기능을 가진 소자를 통해 전원 및 접지에 접속되고, 상기 스위칭 기능을 가진 상기 소자의 최소 저항값은 50Ω이하인 것을 특징으로 하는 신호 전송 장치.

청구항 11

주 전송 라인의 임피던스 값과 동일 또는 이에 근사한 저항값을 각각이 갖는 소자들에 의해 종단되는 주 전송 라인 ; 및 상기 주 전송 라인에 접속되는 제1 및 제2회로 블럭을 구비하는데, 상기 회로 블럭 각각은 신호 구동용 구동 회로와, 신호 수신용 수신 회로와, 상기 주 전송 라인으로부터 입력된 신호를 상기 수신 회로로 전송하기 위한 블럭 내 전송 라인을 가지며, 상기 블럭 내 전송 라인은 그 자체의 임피던스로부터 상기 주 전송 라인의 임피던스의 1/2을 감산한 값과 동일 또는 이에 근사한 저항값을 가진 소자를 갖는 것을 특징으로 하는 신호 전송 장치.

청구항 12

제11항에 있어서, 상기 주 전송 라인이 형성되는 모 보드와 ; 상기 모 보드에 접속되는 제1 및 제2자 보드를 구비하는데, 상기 자 보드 각각은 상기 블럭 내 전송 라인을 인쇄 배선으로서 형성하고, 사익 구동 회로 및 상기 수신 회로를 탑재하는 것을 특징으로 하는 신호 전송 장치.

청구항 13

제12항에 있어서, 상기 모 보드와 상기 자 보드 각각을 접속시키기 위한 코넥터를 더 구비하는 것을 특징으로 하는 신호 전송 장치.

청구항 14

제11항에 있어서, 상기 회로 블럭의 상기 블럭 내 전송 라인에 상기 구동 회로가 신호를 출력할 때 상기 블럭간 전송 라인상의 신호 진폭을 변경하기 위한 회로를 더 포함하는 것을 특징으로 하는 신호 전송 장치.

청구항 15

제14항에 있어서, 상기 신호의 진폭을 변경하기 위한 상기 회로는 상기 블럭 내 전송 라인에 제공되는 소자에 병렬로 위치하는 저항기 소자와, 상기 저항기 소자를 온 및 오프로 스위칭하는 스위치 소자로 구성되며, 상기 스위치 소자는 신호가 전송될 때 폐쇄되고 신호가 수신된 후 소정시간 후에 개방되는 것을 특징으로 하는 신호 전송 장치.

청구항 16

제14항에 있어서, 상기 신호의 진폭을 변경하기 위한 상기 회로는 상기 블럭 내 전송 라인에 제공된 소자에 병렬로 위치하는 캐패시턴스 소자와, 상기 캐패시턴스 소자를 온 및 오프로 스위칭하는 스위치 소자로 구성되며, 상기 스위치 소자는 신호가 구동될 때 폐쇄되고 신호가 구동된 후 소정 시간후에 개방되는 것을 특징으로 하는 신호 전송 장치.

청구항 17

주 전송 라인 자체의 임피던스 값과 동일 또는 이에 근사한 저항값을 각각 갖는 소자들에 의해 종단되는 주 전송 라인과 ; 제1블럭간 전송 라인에 접속된 제1회로 블럭을 구비하는데, 상기 제1회로 블럭은 상기 블럭 내 전송 라인의 입피던스로부터 상기 주 전송 라인의 임피던스의 1/2을 감산한 값과 동일 또는 이에 근사한 저항값을 갖는 소자를 제공하는 제1블럭 내 전송 라인과, 신호를 전달하기 위한 회로와 상기 신호를 전송하기 위한 상기 제1블럭 내 전송 라인으로 구성된 신호 구동 회로 블럭을 갖고, 상기 전송 라인은 상기 제1블럭 내 전송 라인의 것과 동일한 임피던스를 가지며 ; 상기 주 전송 라인에 접속된 제2회로 블럭을 구비하는데, 상기 제2회로 블럭은 상기 블럭 내 전송 라인의 임피던스로부터 상기 주 전송 라인의 임피던스의 1/2을 감산한 값과 동일 또는 이에 근사한 저항값을 갖는 소자를 제공하는 제2블럭 내 전송 라인과, 신호를 수신하기 위한 수신 회로 및 상기 제2블럭 내 전송 라인으로부터 상기 신호를 전송하기 위한 제2블럭 내 전송 라인으로 구성된 신호 수신 회로 블럭을 가지며, 상기 블럭 내 전송 라인은 상기 제2블럭 내 전송 라인의 것과 동일한 임피던스를 갖는 것을 특징으로 하는 신호 전송 장치.

청구항 18

제17항에 있어서, 상기 주 전송 라인이 배치되는 모 보드와 ; 상기 제1블럭 내 전송 라인이 인쇄 회로 기판(PCB)상에 형성되어 있는 상기 모 보드에 접속된 제1자 보드와 ; 상기 PCB상에 배치되어 있으며, 상기 구동 회로를 탑재하고 있고 상기 구동 회로로부터 패키지 내 라인으로서의 상기 인쇄 배선으로 신호 전송을 하기 위한 상기 블럭 내 전송 라인을 갖는 집적 회로 래키지와 ; 상기 모 보드에 접속되어 있고 상기 PCB상에 상기 제2블럭 내 전송 라인을 형성한 제2자 보드와 ; 상기 제2자 보드 상에 배치되어 있고, 상기 PCB상에 형성된 상기 유닛내 전송 라인 및 상기 수신 회로를 갖고 있는 집적 회로 패키지를 더 구비하는 것을 특징으로 하는 신호 전송 장치.

청구항 19

제18항에 있어서, 상기 모 보드와 상기 자 보드를 각각 접속시키기 위한 코넥터를 더 구비하는 것을 특징으로 하는 신호 전송 장치.

청구항 20

주 전송 라인의 임피던스 값과 동일 또는 이에 근사한 저항값을 갖는 하나 또는 2개의 소자로 종단되는 주 전송 라인과 ; 상기 주 전송 라인에 접속되는 제1 및 제2회로 블럭을 구비하는데, 상기 제1 및 제2회로 블럭 각각은 상기 블럭 내 전송 라인의 임피던스로부터 상기 전송 라인의 임피던스의 1/2을 감산한 값과 동일 또는 이에 근사한 저항값을 가진 소자를 제공하는 블럭 내 전송 라인 및 신호를 전달하기 위한 구동 회로와, 신호 수신용 수신 회로와, 상기 구동 회로로부터 출력된 신호를 상기 수신 회로로 전송하기 위한 블럭 내 전송 라인을 갖는 신호 구동 및 수신 회로를 갖고, 상기 유닛내 전송 라인은 상기 블럭 내 전송 라인의 것과 동일한 임피던스를 갖는 것을 특징으로 하는 신호 전송 장치.

청구항 21

제20항에 있어서, 상기 주 전송 라인이 위치하는 모 보드와 ; 상기 주 전송 라인에 접속되고 인쇄 배선으로서 상기 블럭 내 전송 라인을 갖는 제1 및 제2자 보드와 ; 상기 PCB상에 배치되며, 상기 구동 회로 및 상기 수신 회로 그리고 패키지 내 라인으로서 상기 블럭 내 전송 라인을 갖는 집적 회로 패키지를 더 구비하는 것을 특징으로 하는 신호 전송 장치.

청구항 22

제21항에 있어서, 상기 모 보드와 상기 자 보드를 각각 접속하기 위한 코넥터를 더 구비하는 것을 특징으로 하는 신호 전송 장치.

청구항 23

주 전송 라인의 임피던스와 동일 도는 이에 근사한 저항값을 가진 소자들에 의해 종단되는 주 전송 라인과 ; 상기 주 전송 라인에 접속되며 신호를 전달하는 구동 회로를 갖는 회로 블럭과 ; 상기 구동 회로로부터 출력된 신호를 상기 주 전송 라인으로 전송하고, 블럭 내 전송 라인의 임피던스로부터 상기 주 전송 라인의 임피던스의 1/2을 감산한 값과 동일 또는 이에 근사한 저항값을 갖는 소자를 제공하는 블럭 내 전송 라인을 구비하는 것을 특징으로 하는 신호 전송 장치.

청구항 24

주 전송 라인의 임피던스 값과 동일 또는 이에 근사한 저항값을 가진 하나 또는 2개의 소자로 종단되는 상기 주 전송 라인에 접속되는 회로 블럭에 있어서, 신호를 구동하는 구동 회로 ; 및 상기 구동 회로와 사이 주 전송 라인 간에 신호를 전송하고, 상기 블럭 내 전송 라인의 임피던스로부터 상기 주 전송 라인의 임피던스의 1/2을 감산한 값과 동일 또는 이에 근사한 저항값을 가진 소자를 제공하는 블럭 내 전송 라인을 구비하는 것을 특징으로 하는 회로 블럭.

청구항 25

제24항에 있어서, 상기 신호를 수신하는 수신 회로를 더 구비하며, 상기 블럭 내 전송 라인을 상기 수신 회로와 상기 주 전송 라인간에 신호를 전송하기 위한 것을 특징으로 하는 회로 블럭.

청구항 26

주 전송 라인의 임피던스와 동일 또는 이에 근사한 저항값을 갖는 하나 또는 두 소자에 의해 종단되는 주 전송 라이네 접속되는 인쇄 회로 기판에 있어서, 신호 구동용 구동 회로를 가진 집적 회로와 ; 상기 집적 회로와 상기 주 전송 라인간에 신호를 전송하고, 상기 인쇄 배선의 임피던스로부터 상기 주 전송 라인의 임피던스의 1/2을 감산한 값과 동일 또는 이에 근사한 저항값을 가진 소자를 제공하기 위한 기판 라인과 ; 상기 집적 회로 및 상기 기판 라인이 배치된 보드를 구비하는 것을 특징으로 하는 인쇄 회로 기판.

청구항 27

제26항에 있어서, 상기 집적 회로는 신호 수신용 수신 블럭을 더 포함하는 것을 특징으로 하는 인쇄 회로 기판.

청구항 28

주 전송 라인의 임피던스와 동일 또는 이에 근사한 저항값을 갖는 하나 또는 2개의 소자에 의해 종단되는 상기 주 전송 라인을 갖는 모 보드와 ; 상기 모 보드에 접속되어 있으며 기판 라인을 배치한 둘 또는 그 이상의 자 보드를 구비하는데, 상기 인쇄 배선 각각은 상기 기판 라인의 임피던스로부터 상기 주 전송 라인의 임피던스의 1/2을 감산한 값과 동일 또는 이에 근사한 저항값을 가진 소자를 제공하며 ; 상기 자 보드에 배치되어 상기 인쇄 배선에 접속되고 신호의 구동 및 수신을 위한 회로 세트로 구성된 집적 회로를

구비하는 것을 특징으로 하는 신호 전송 장치.

청구항 29

제28항에 있어서, 상기 모 보드와 상기 자 보드를 접속시키는 코넥터를 더 구비하는 것을 특징으로 하는 신호 전송 장치.

청구항 30

인쇄 배선을 갖는 자 보드에 접속된 집적 회로 패키지에 있어서, 신호 구동용 구동 회로 ; 및 상기 구동 회로로부터 출력된 신호를 상기 블럭 내 전송 라인으로 전송하기 위한 패키지 내 라인을 구비하는데, 상기 패키지 내 라인은 상기 인쇄 배선과 동일한 임피던스를 갖는 것을 특징으로 하는 집적 회로 패키지.

청구항 31

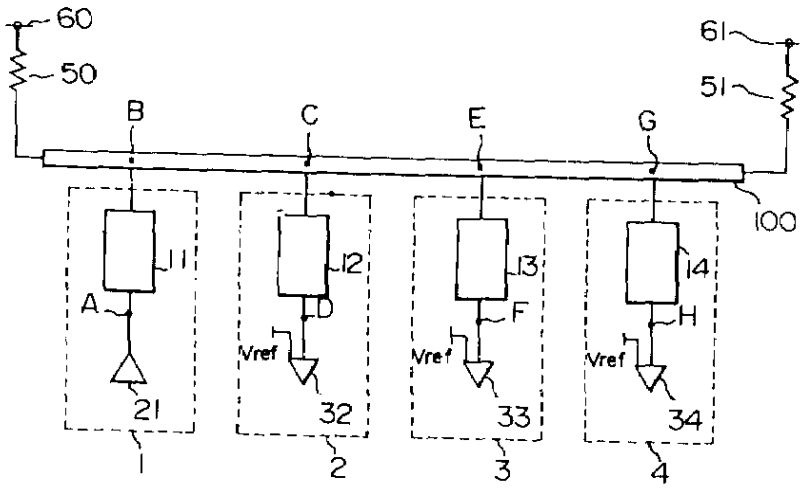
제30항에 있어서, 상기 패키지 내 라인은 60 내지 100Ω 범위의 임피던스를 갖는 것을 특징으로 하는 집적 회로 패키지.

청구항 32

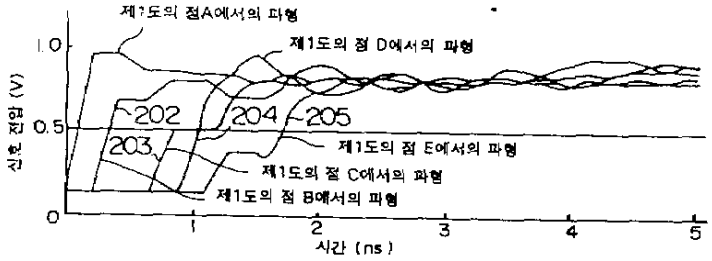
기판에 배치되는 전송 라인의 임피던스와 동일 또는 이에 근사한 임피던스를 가진 리드 프레임 또는 패키지내 라인을 얻는 단계와 ; 상기 얻어진 임피던스값에 일치하도록 하는 방식으로 상기 리드프레임 및 패키지내 라인을 결정하는 단계를 포함하는 것을 특징으로 하는 반도체 패키지 제조 방법.

도면

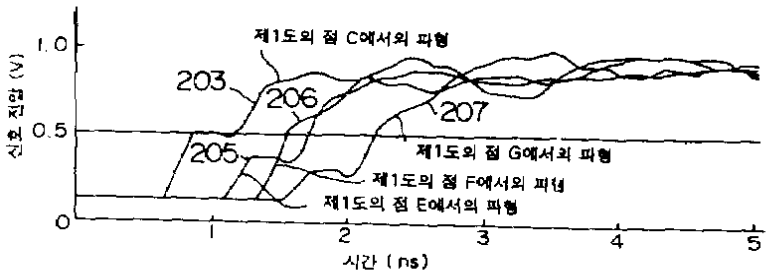
도면1



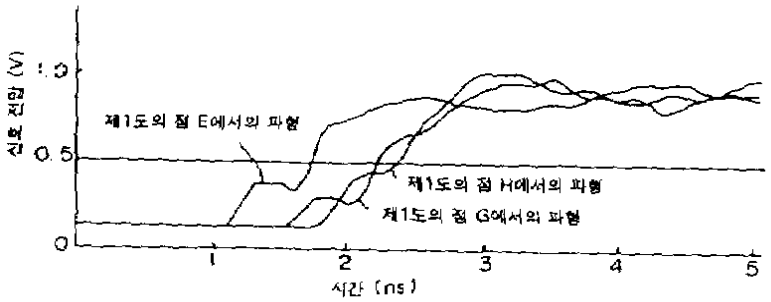
도면2a


제1도의 점A에서의 파형
제1도의 점 D에서의 파형
1.0
0.5
0
신호 진압 (V)
202
204
205
203
제1도의 점 E에서의 파형
제1도의 점 C에서의 파형
제1도의 점 B에서의 파형
1
2
3
4
5
시간 (ns)

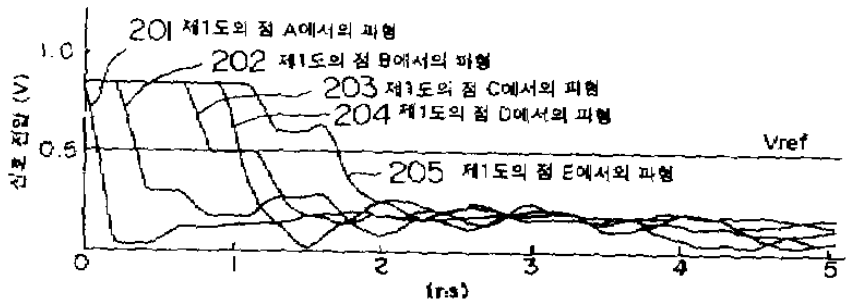
도면2b


제1도의 점 C에서의 파형
1.0
0.5
0
신호 진압 (V)
203
206
207
205
제1도의 점 G에서의 파형
제1도의 점 F에서의 파형
제1도의 점 E에서의 파형
1
2
3
4
5
시간 (ns)

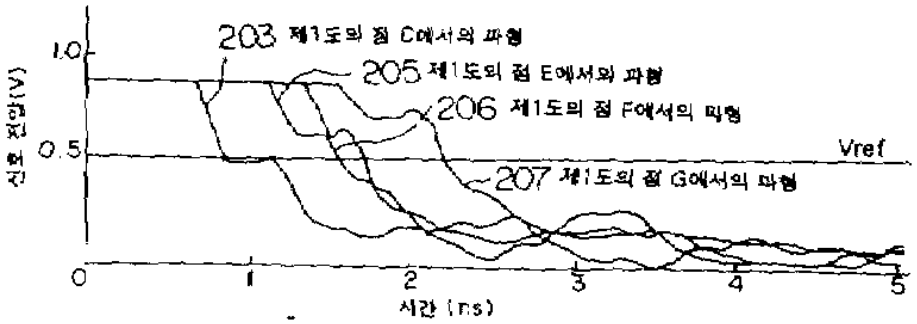
도면2c


신호 전압 (V)
1.0
0.5
0
제1도의 점 E에서의 파형
제1도의 점 H에서의 파형
제1도의 점 G에서의 파형
1
2
3
4
5
시간 (ns)

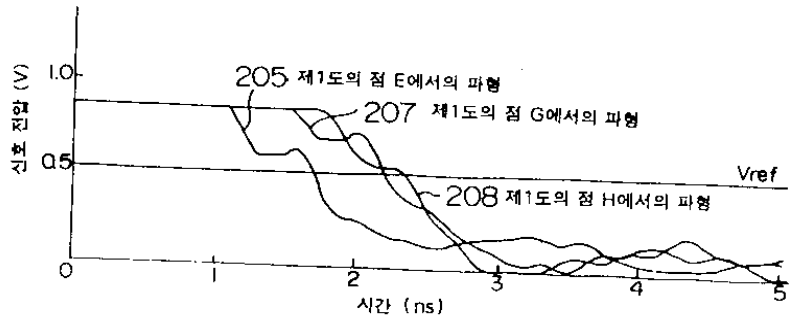
도면3a


201 제1도의 점 A에서의 파형
202 제1도의 점 B에서의 파형
203 제1도의 점 C에서의 파형
204 제1도의 점 D에서의 파형
205 제1도의 점 E에서의 파형
Vref
신호 전압 (V)
1.0
0.5
0
1
2
3
4
5
(ns)

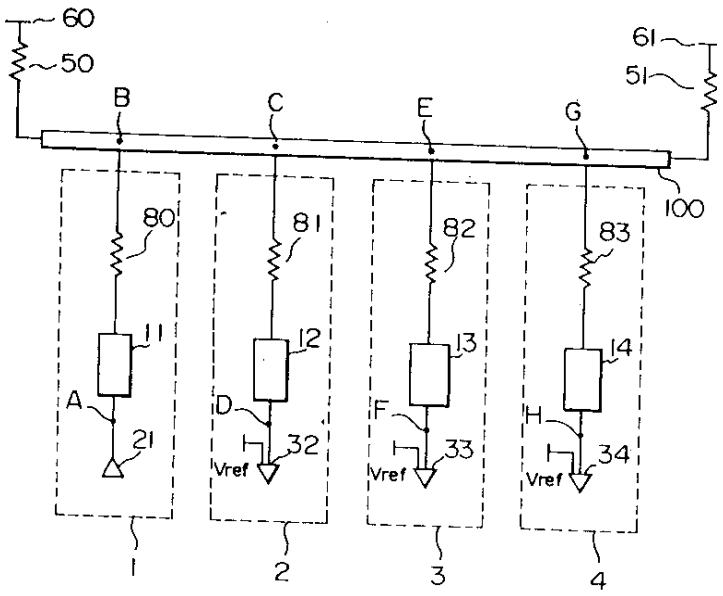
도면3b


203 제1도의 점 C에서의 파형
205 제1도의 점 E에서의 파형
206 제1도의 점 F에서의 파형
207 제1도의 점 G에서의 파형
Vref
1.0
0.5
0
1
2
3
4
5
신호 전압(V)
시간 (ns)

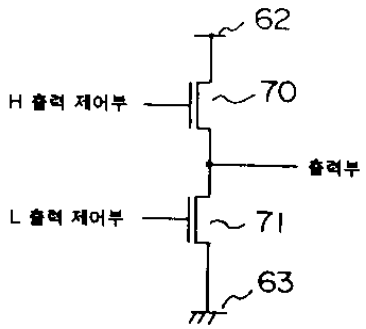
도면3c


205 제1도의 점 E에서의 파형
207 제1도의 점 G에서의 파형
208 제1도의 점 H에서의 파형
Vref
1.0
0.5
0
1
2
3
4
5
신호 전압 (V)
시간 (ns)

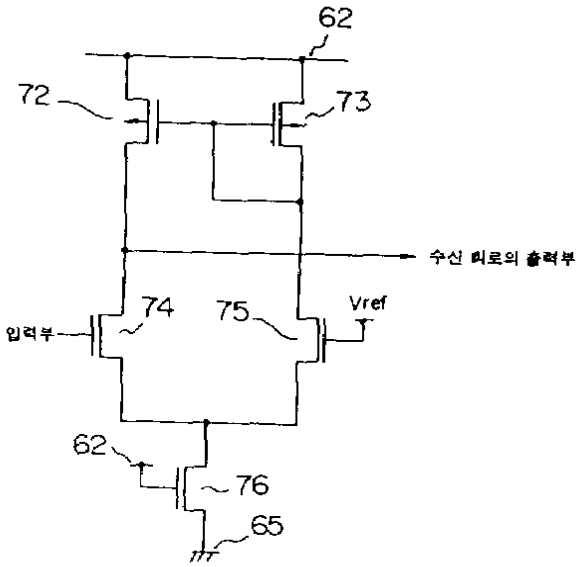
도면4


60
50
61
51
B
C
E
G
100
80
81
82
83
11
12
13
14
A
D
F
H
21
32
33
34
Vref
Vref
Vref
1
2
3
4

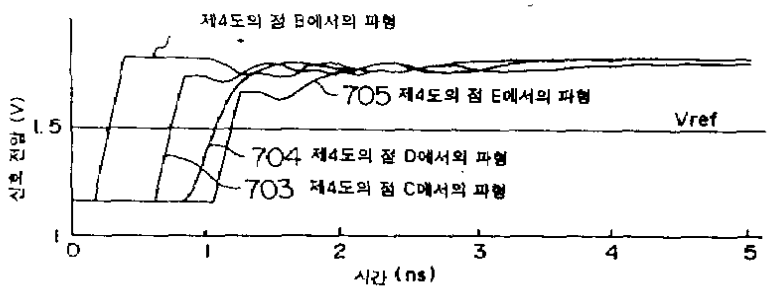
도면5


62
H 출력 제어부
70
출력부
L 출력 제어부
71
63

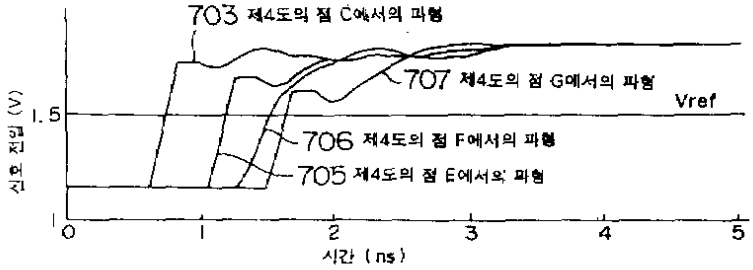
도면6


62
72
73
수신 회로의 출력부
74
75
Vref
입력부
62
76
65

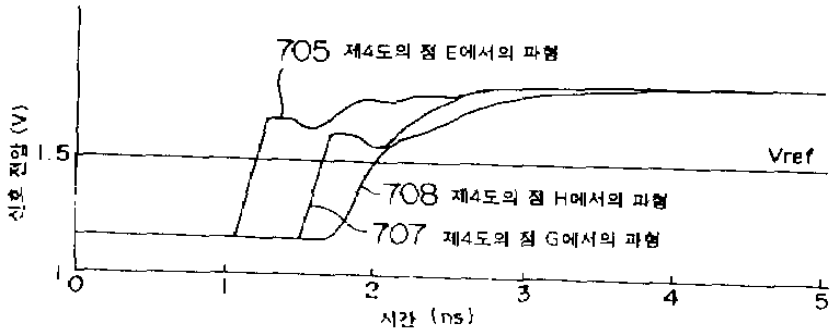
도면7a


제4도의 점 B에서의 파형
705 제4도의 점 E에서의 파형
Vref
704 제4도의 점 D에서의 파형
703 제4도의 점 C에서의 파형
신호전압 (V)
1.5
1
0
1
2
3
4
5
시간 (ns)

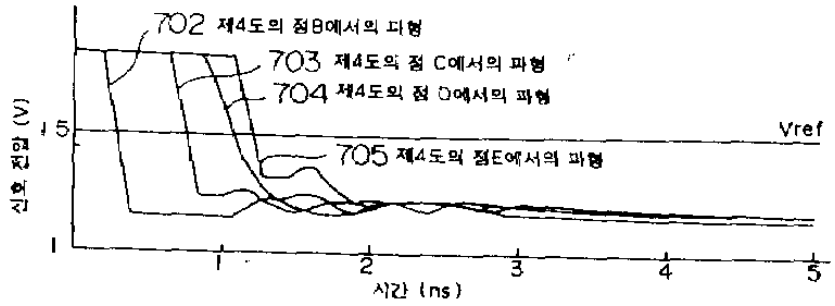
도면7b


703 제4도의 점 C에서의 파형
707 제4도의 점 G에서의 파형
Vref
706 제4도의 점 F에서의 파형
705 제4도의 점 E에서의 파형
신호 전압 (V)
1.5
0
1
2
3
4
5
시간 (ns)

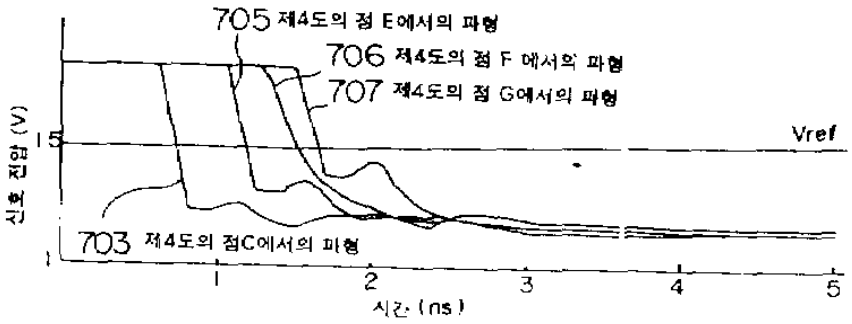
도면7c


705 제4도의 점 E에서의 파형
Vref
708 제4도의 점 H에서의 파형
707 제4도의 점 G에서의 파형
신호 전압 (V)
1.5
0
1
2
3
4
5
시간 (ns)

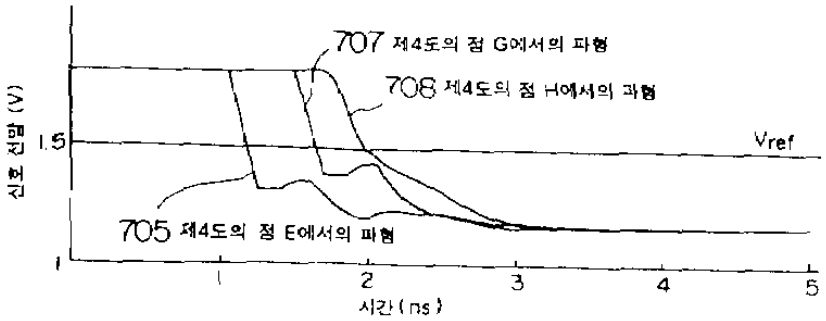
도면8a


702 제4도의 점B에서의 파형
703 제4도의 점 C에서의 파형
704 제4도의 점 D에서의 파형
705 제4도의 점E에서의 파형
Vref
신호 전압 (V)
1.5
1
1
2
3
4
5
시간 (ns)

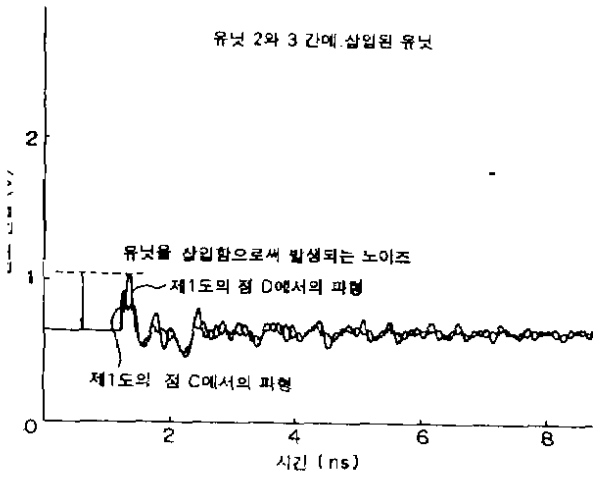
도면8b


705 제4도의 점 E에서의 파형
706 제4도의 점 F 에서의 파형
707 제4도의 점 G에서의 파형
Vref
신호 전압 (V)
1.5
1
703 제4도의 점C에서의 파형
1
2
3
4
5
시간 (ns)

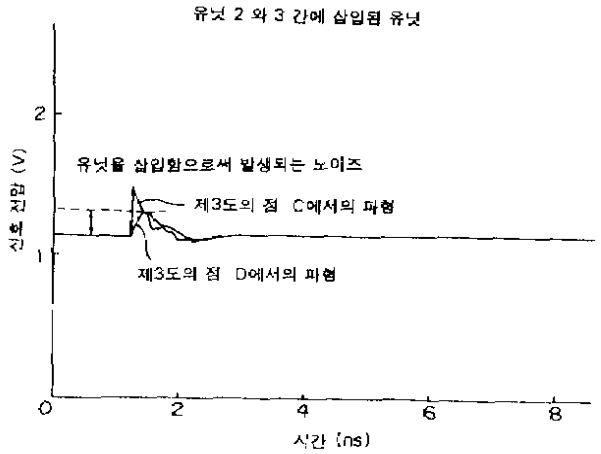
도면8c


707 제4도의 점 G에서의 파형
708 제4도의 점 H에서의 파형
Vref
705 제4도의 점 E에서의 파형
신호 전압 (V)
1.5
1
2
3
4
5
시간 (ns)

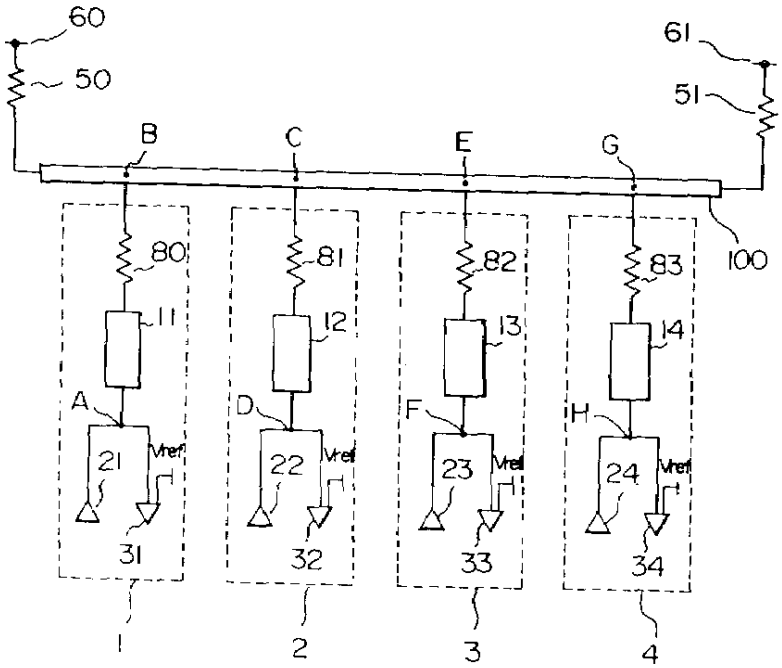
도면9


유닛 2와 3 간에 삽입된 유닛
유닛을 삽입함으로써 발생되는 노이즈
제1도의 점 D에서의 파형
제1도의 점 C에서의 파형
2
1
0
2
4
6
8
시간 (ns)

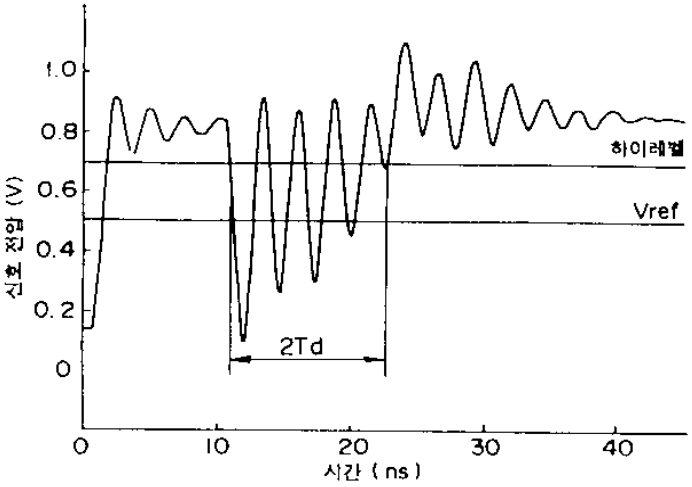
도면10


유닛 2 와 3 간에 삽입된 유닛
2
1
0
2
4
6
8
신호 진폭 (V)
유닛을 삽입함으로써 발생되는 노이즈
제3도의 점 C에서의 파형
제3도의 점 D에서의 파형
시간 (ns)

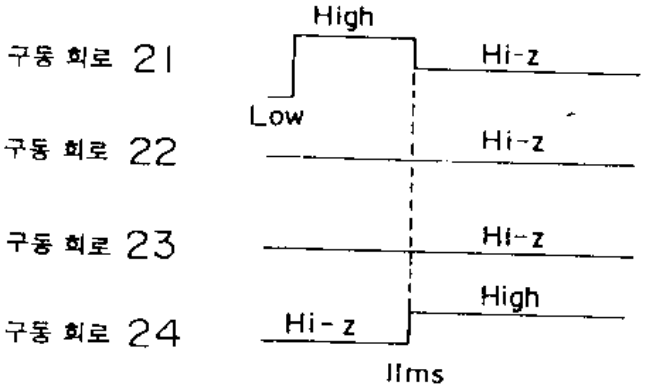
도면11


60
50
61
51
B
C
E
G
100
80
81
82
83
11
12
13
14
A
D
F
H
21
22
23
24
Vref
31
32
33
34
1
2
3
4

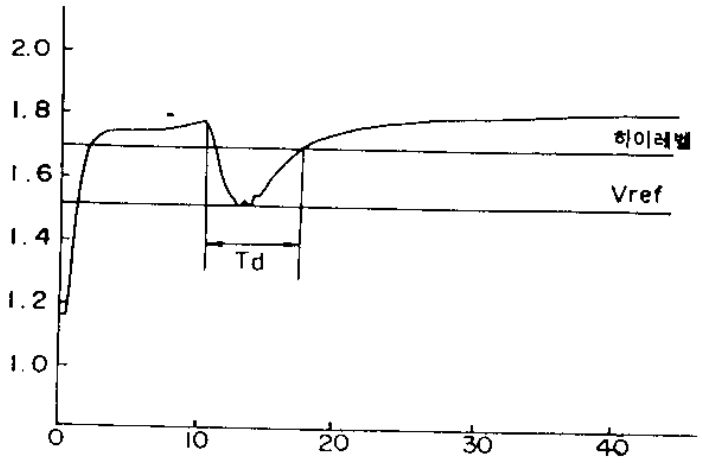
도면12a


1.0
0.8
0.6
0.4
0.2
0
신호 전압 (V)
하이레벨
Vref
2Td
0
10
20
30
40
시간 (ns)

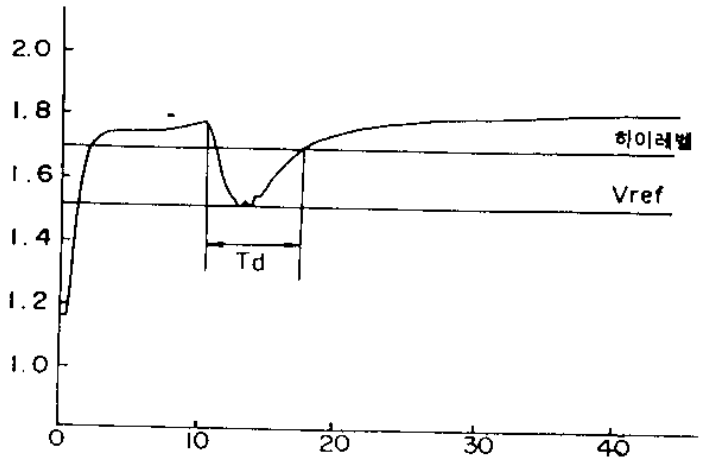
도면12b


구동 회로 21
구동 회로 22
구동 회로 23
구동 회로 24
High
Low
Hi-z
Hi-z
Hi-z
High
Hi-z
11ms

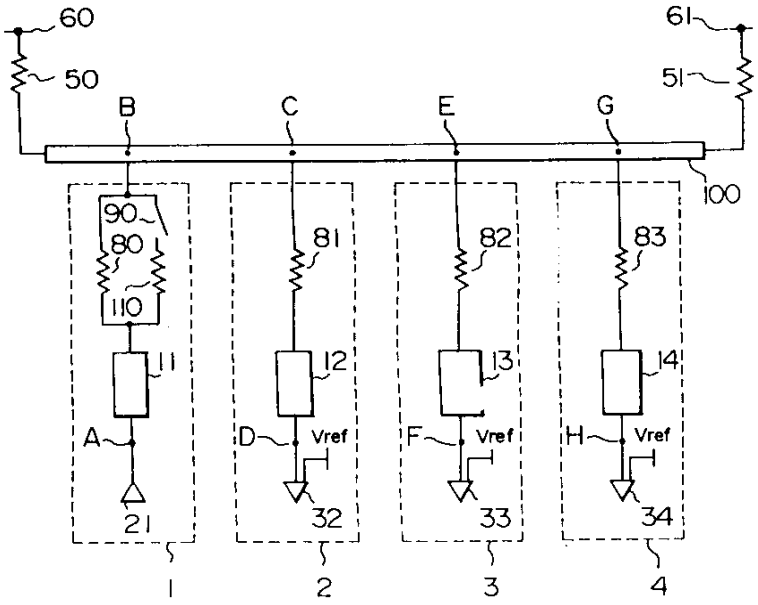
도면13a


2.0
1.8
1.6
1.4
1.2
1.0
0
10
20
30
40
히이레벨
Vref
Td

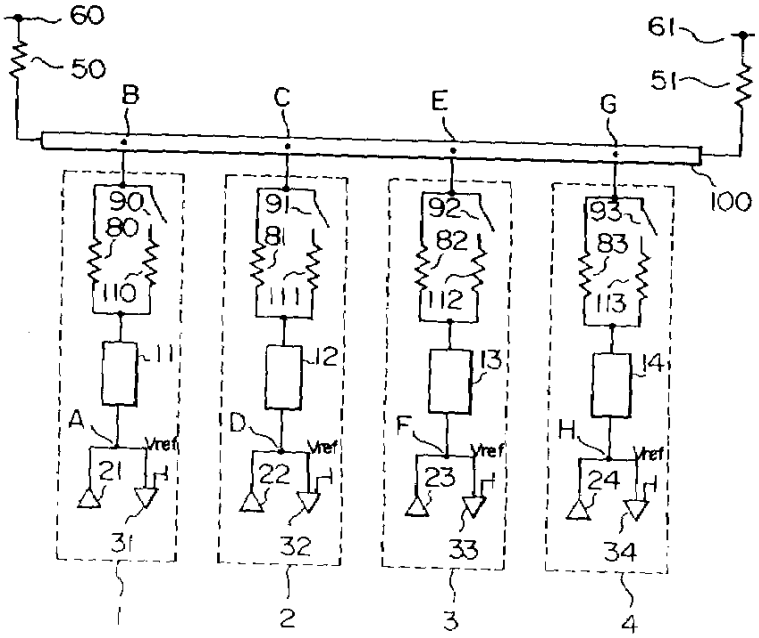
도면13b


2.0
1.8
1.6
1.4
1.2
1.0
0
10
20
30
40
히이레벨
Vref
Td

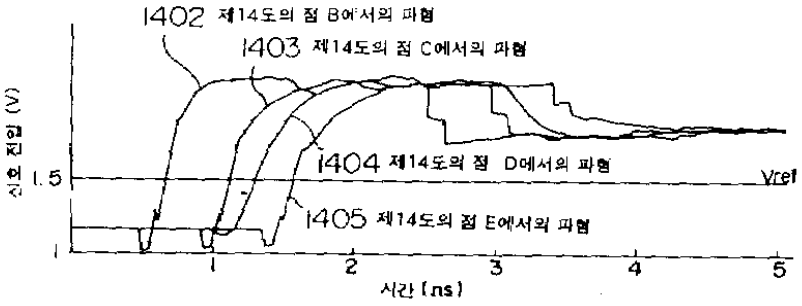
도면14


60
61
50
51
B
C
E
G
100
90
80
110
81
82
83
11
12
13
14
A
D
F
H
Vref
21
32
33
34
1
2
3
4

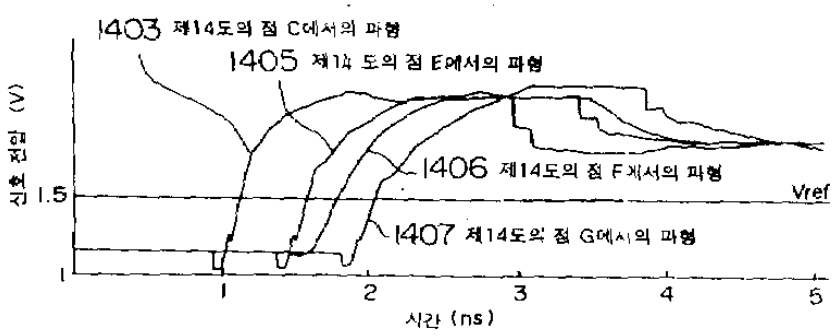
도면15


60
61
50
51
B
C
E
G
100
90
80
110
91
81
111
92
82
112
93
83
113
11
12
13
14
A
D
F
H
Vref
21
22
23
24
31
32
33
34
1
2
3
4

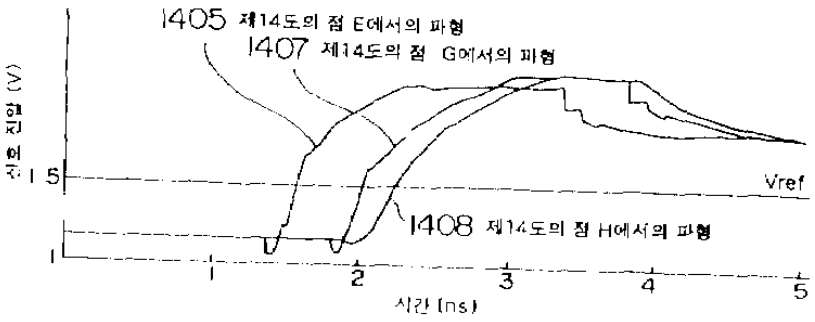
도면16a


1402 제14도의 점 B에서의 파형
1403 제14도의 점 C에서의 파형
1404 제14도의 점 D에서의 파형
1405 제14도의 점 E에서의 파형
Vref
1.5
1
2
3
4
5
신호 전압 (V)
시간 (ns)

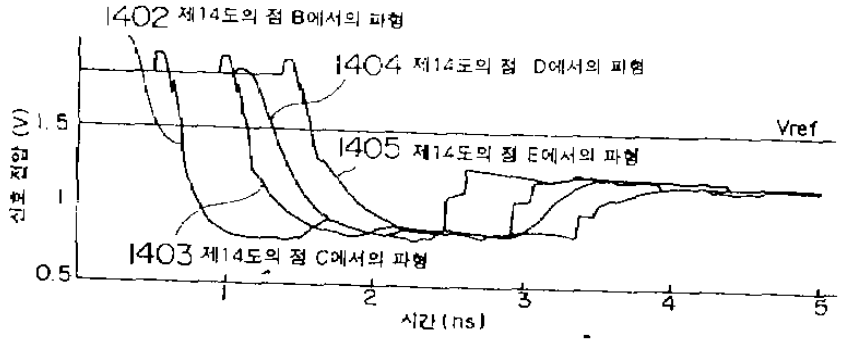
도면16b


1403 제14도의 점 C에서의 파형
1405 제14도의 점 E에서의 파형
1406 제14도의 점 F에서의 파형
1407 제14도의 점 G에서의 파형
Vref
1.5
1
2
3
4
5
신호 전압 (V)
시간 (ns)

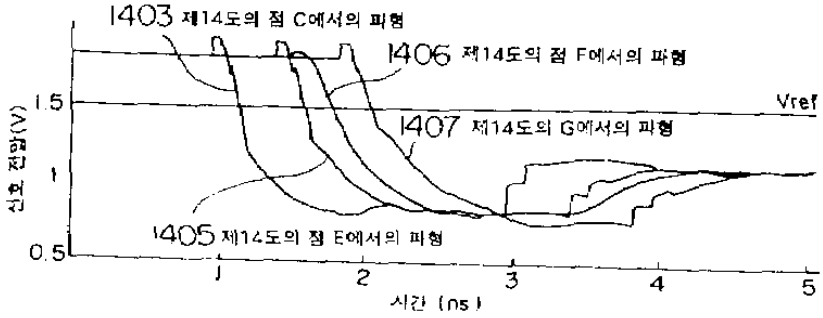
도면16c


1405 제14도의 점 E에서의 파형
1407 제14도의 점 G에서의 파형
신호 전압 (V)
1.5
1
Vref
1408 제14도의 점 H에서의 파형
1
2
3
4
5
시간 (ns)

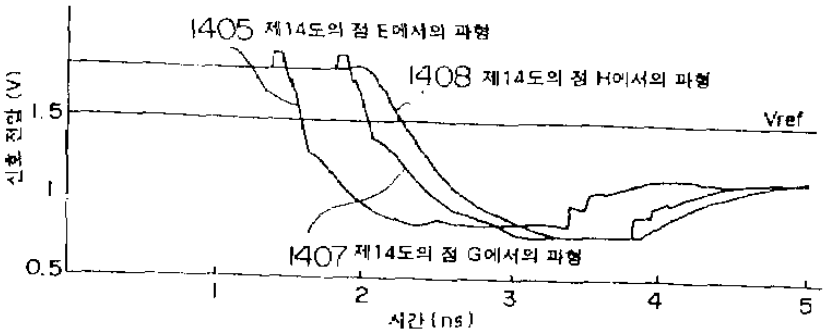
도면17a


1402 제14도의 점 B에서의 파형
1404 제14도의 점 D에서의 파형
신호 전압 (V)
1.5
1
0.5
Vref
1405 제14도의 점 E에서의 파형
1403 제14도의 점 C에서의 파형
1
2
3
4
5
시간 (ns)

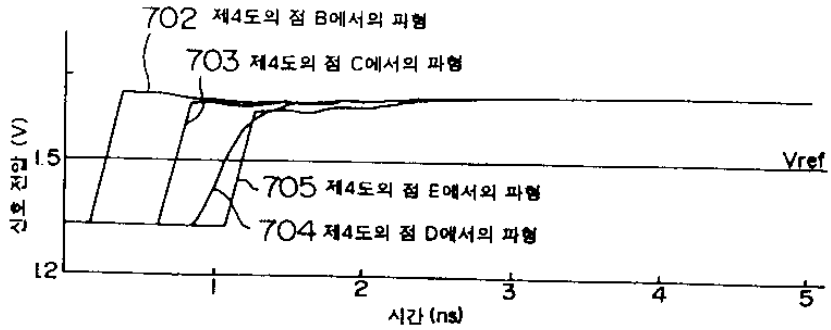
도면17b


1403 제14도의 점 C에서의 파형
1406 제14도의 점 F에서의 파형
Vref
1407 제14도의 G에서의 파형
1405 제14도의 점 E에서의 파형
신호 전압(V)
1.5
1
0.5
1
2
3
4
5
시간 (ns)

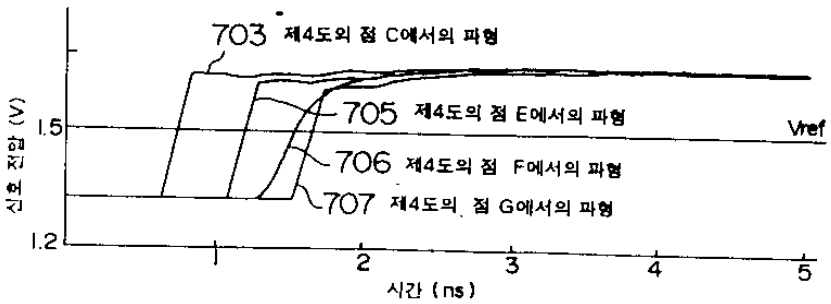
도면17c


1405 제14도의 점 E에서의 파형
1408 제14도의 점 H에서의 파형
Vref
1407 제14도의 점 G에서의 파형
신호 전압 (V)
1.5
1
0.5
1
2
3
4
5
시간 (ns)

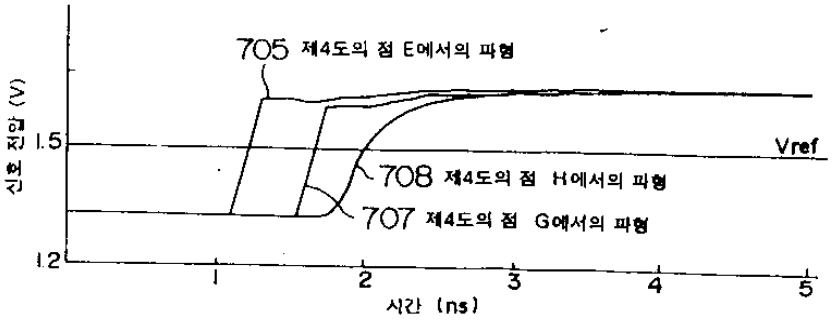
도면18a


702 제4도의 점 B에서의 파형
703 제4도의 점 C에서의 파형
705 제4도의 점 E에서의 파형
704 제4도의 점 D에서의 파형
Vref
신호 전압 (V)
1.5
1.2
1
2
3
4
5
시간 (ns)

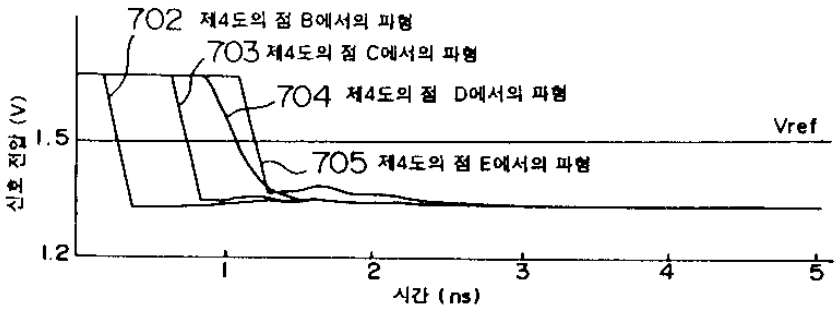
도면18b


703 제4도의 점 C에서의 파형
705 제4도의 점 E에서의 파형
706 제4도의 점 F에서의 파형
707 제4도의 점 G에서의 파형
Vref
신호 전압 (V)
1.5
1.2
2
3
4
5
시간 (ns)

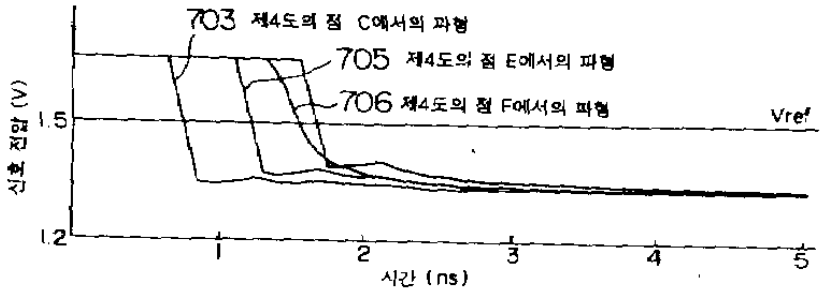
도면18c


705 제4도의 점 E에서의 파형
Vref
708 제4도의 점 H에서의 파형
707 제4도의 점 G에서의 파형
신호 전압 (V)
1.5
1.2
1
2
3
4
5
시간 (ns)

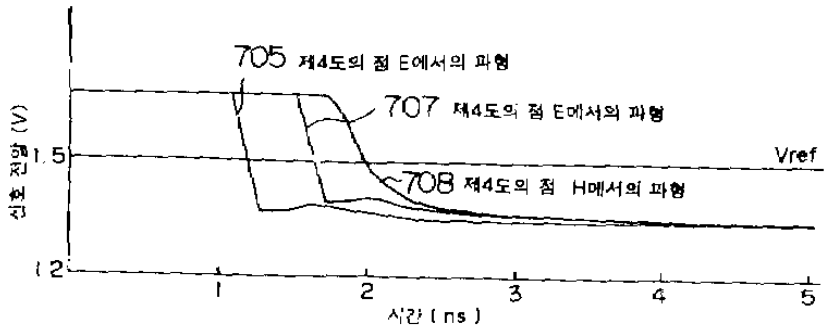
도면19a


702 제4도의 점 B에서의 파형
703 제4도의 점 C에서의 파형
704 제4도의 점 D에서의 파형
Vref
705 제4도의 점 E에서의 파형
신호 전압 (V)
1.5
1.2
1
2
3
4
5
시간 (ns)

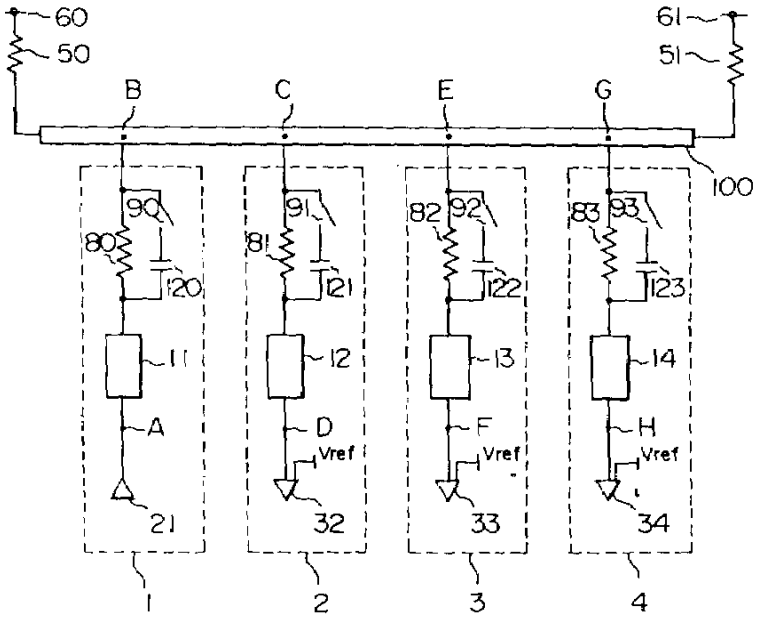
도면19b


703 제4도의 점 C에서의 파형
705 제4도의 점 E에서의 파형
706 제4도의 점 F에서의 파형
Vref
신호 전압 (V)
1.5
1.2
1
2
3
4
5
시간 (ns)

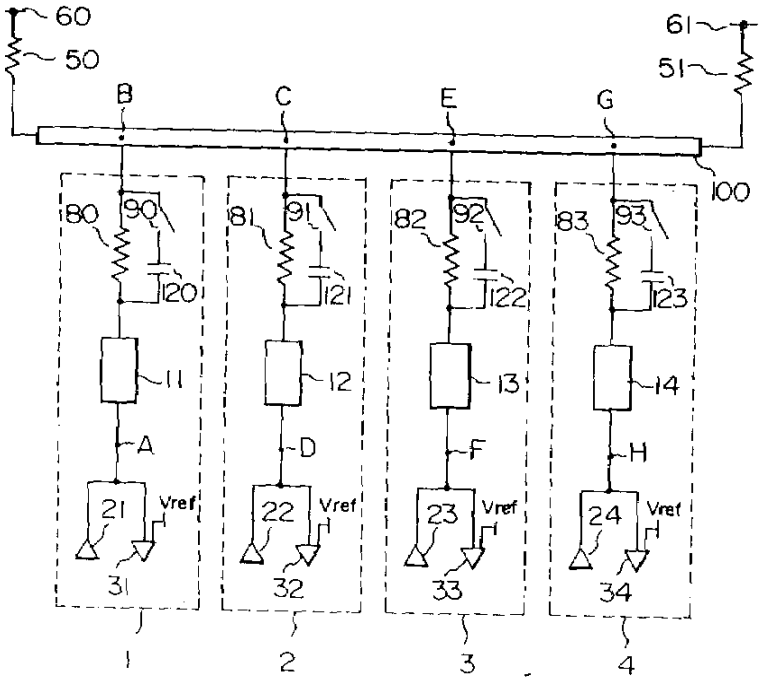
도면19c


705 제4도의 점 E에서의 파형
707 제4도의 점 E에서의 파형
Vref
708 제4도의 점 H에서의 파형
신호 전압 (V)
1.5
1.2
1
2
3
4
5
시간 (ns)

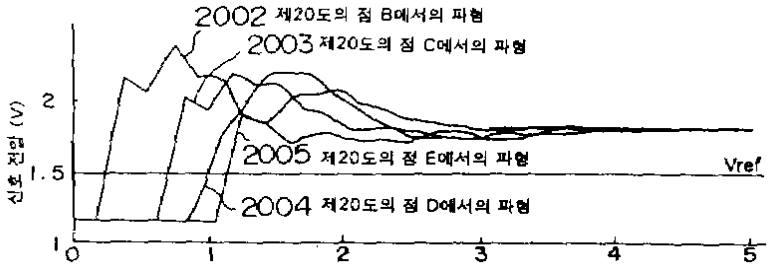
도면20


60
50
61
51
B
C
E
G
100
90
91
92
93
80
81
82
83
120
121
122
123
11
12
13
14
A
D
F
H
Vref
21
32
33
34
1
2
3
4

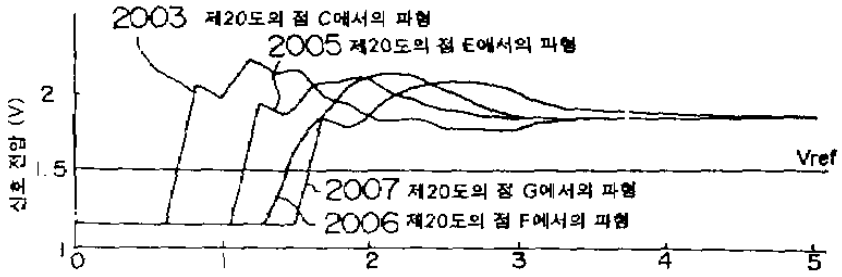
도면21


60
50
61
51
B
C
E
G
100
80
90
81
91
82
92
83
93
120
121
122
123
11
12
13
14
A
D
F
H
Vref
21
22
23
24
31
32
33
34
1
2
3
4

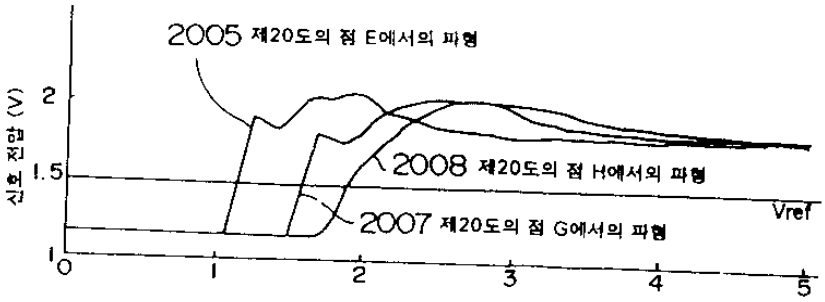
도면22a


2002 제20도의 점 B에서의 파형
2003 제20도의 점 C에서의 파형
2005 제20도의 점 E에서의 파형
2004 제20도의 점 D에서의 파형
Vref
신호 전압 (V)
2
1.5
1
0
1
2
3
4
5

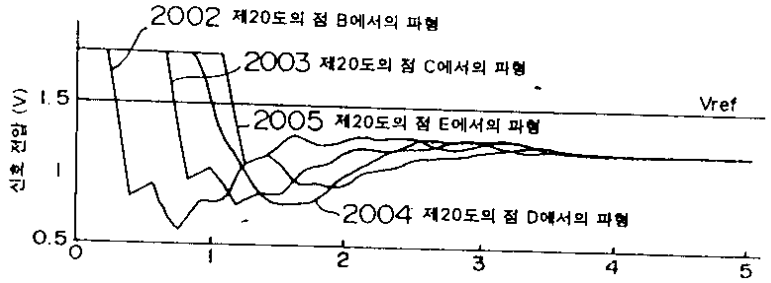
도면22b


2003 제20도의 점 C에서의 파형
2005 제20도의 점 E에서의 파형
2007 제20도의 점 G에서의 파형
2006 제20도의 점 F에서의 파형
Vref
신호 전압 (V)
2
1.5
1
0
1
2
3
4
5

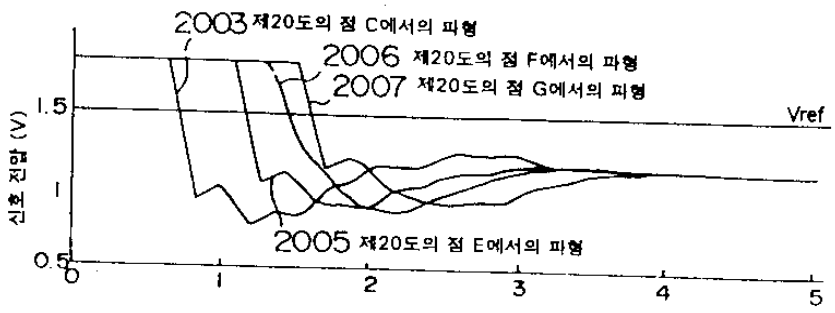
도면22c


2005 제20도의 점 E에서의 파형
2008 제20도의 점 H에서의 파형
2007 제20도의 점 G에서의 파형
Vref
신호 전압 (V)
2
1.5
1
0
1
2
3
4
5

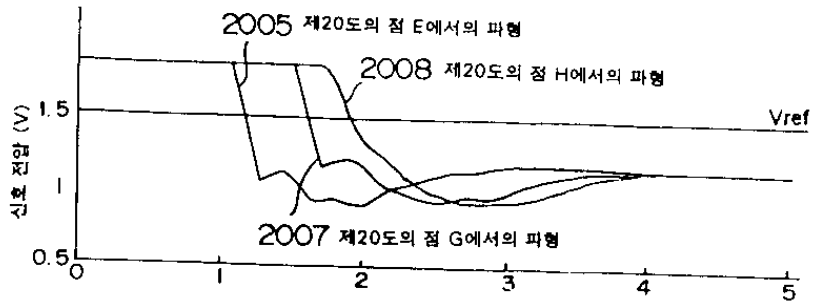
도면23a


2002 제20도의 점 B에서의 파형
2003 제20도의 점 C에서의 파형
2005 제20도의 점 E에서의 파형
2004 제20도의 점 D에서의 파형
Vref
신호 전압 (V)
1.5
1
0.5
0
1
2
3
4
5

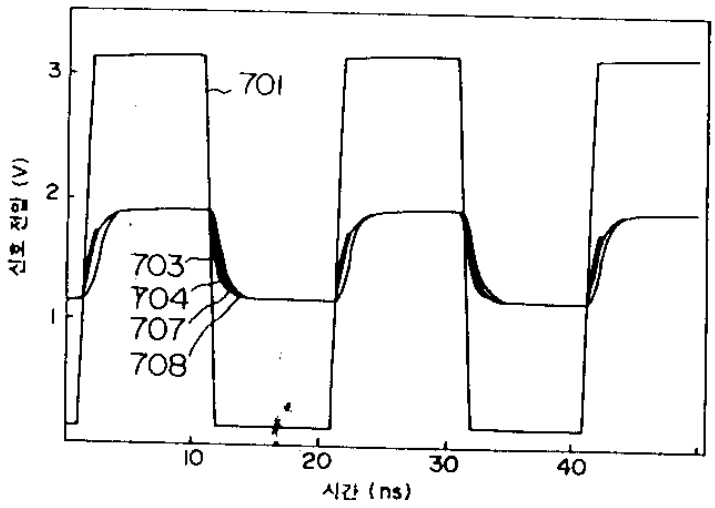
도면23b


2003 제20도의 점 C에서의 파형
2006 제20도의 점 F에서의 파형
2007 제20도의 점 G에서의 파형
Vref
2005 제20도의 점 E에서의 파형
신호 전압 (V)
1.5
1
0.5
0
1
2
3
4
5

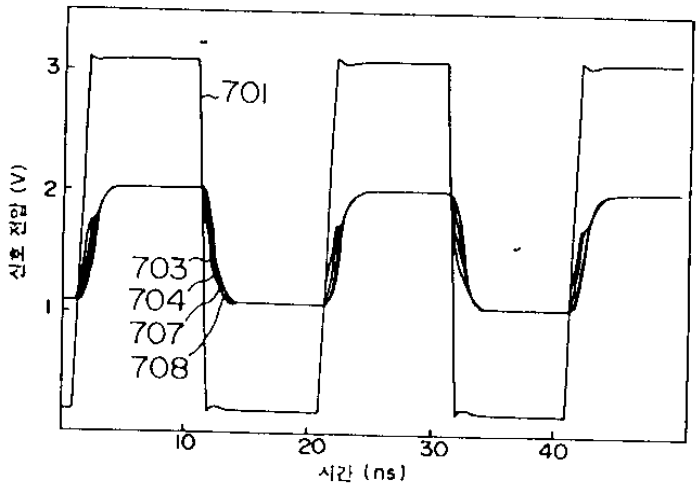
도면23c


2005 제20도의 점 E에서의 파형
2008 제20도의 점 H에서의 파형
Vref
2007 제20도의 점 G에서의 파형
신호 전압 (V)
1.5
1
0.5
0
1
2
3
4
5

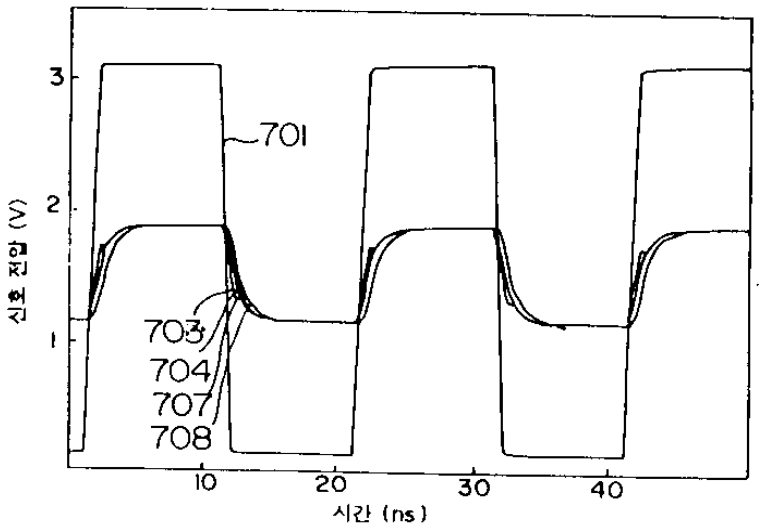
도면24


701
703
704
707
708
신호 전압 (V)
시간 (ns)
1
2
3
10
20
30
40

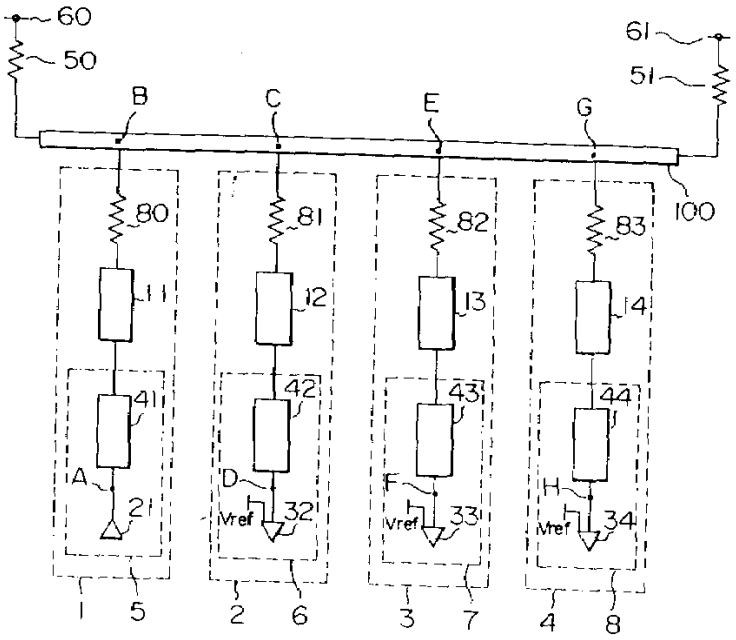
도면25


701
703
704
707
708
신호 전압 (V)
시간 (ns)
1
2
3
10
20
30
40

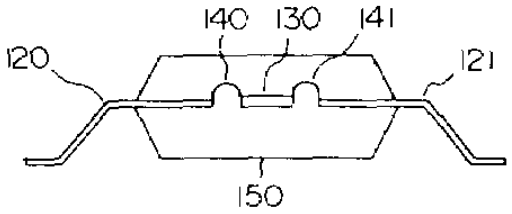
도면26


3
2
1
신호 전압 (V)
701
703
704
707
708
10
20
30
40
시간 (ns)

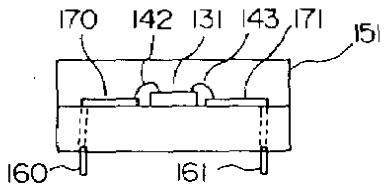
도면27


60
50
61
51
B
C
E
G
100
80
81
82
83
11
12
13
14
41
42
43
44
A
D
F
H
21
32
33
34
Vref
1
5
2
6
3
7
4
8

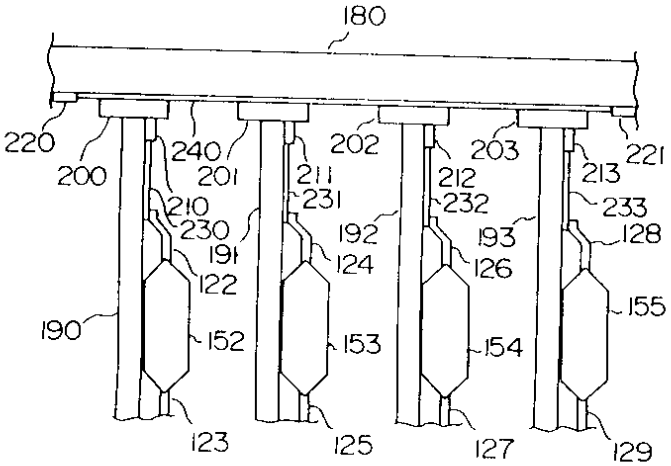
도면28



도면29



도면30


180
220
200
240
201
210
230
191
122
190
152
123
211
231
192
124
153
125
202
212
232
193
126
154
127
203
213
233
128
155
221
129