



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I710892 B

(45)公告日：中華民國 109 (2020) 年 11 月 21 日

(21)申請案號：106121723

(22)申請日：中華民國 106 (2017) 年 06 月 29 日

(51)Int. Cl. : **G06F11/10 (2006.01)****G11C29/52 (2006.01)**

(30)優先權：2016/08/15 美國

62/375,381

2016/10/05 美國

15/286,460

(71)申請人：南韓商三星電子股份有限公司(南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓

(72)發明人：牛迪民 NIU, DIMIN (CN)；張牧天 CHANG, MU-TIEN (TW)；鄭宏忠 ZHENG, HONGZHONG (CN)；金炫中 KIM, HYUN-JOONG (KR)；宋元亨 SONG, WON-HYUNG (KR)；崔璋石 CHOI, JANGSEOK (KR)

(74)代理人：林孟閱；盧佩君；陳怡如

(56)參考文獻：

TW 201604489A

TW 201619975A

CN 105493061A

CN 105575425A

審查人員：黃鴻鈞

申請專利範圍項數：11 項 圖式數：7 共 46 頁

(54)名稱

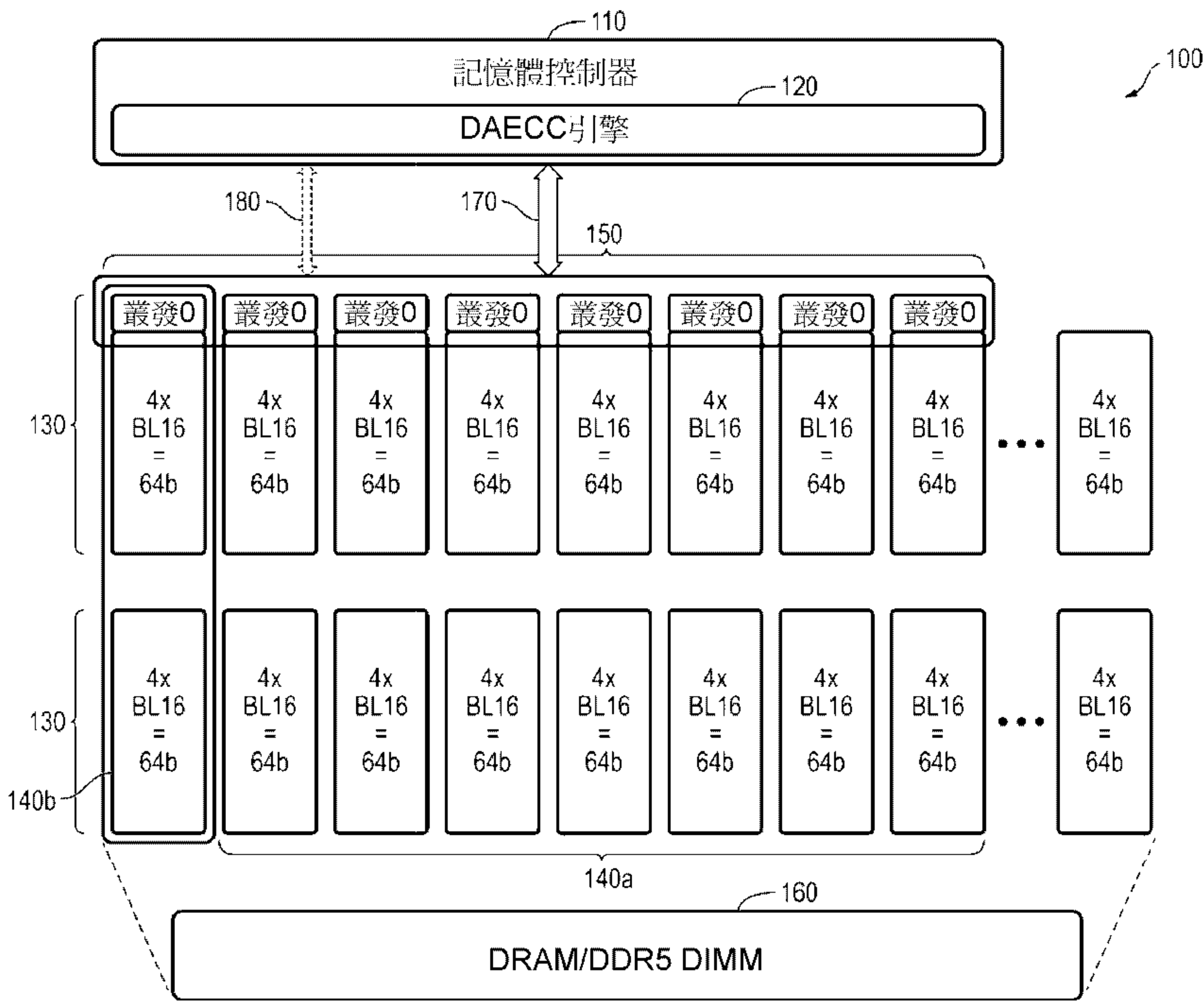
動態隨機存取記憶體之錯誤更正方法

(57)摘要

一種更正使用雙倍資料速率(DDR)介面之動態隨機存取記憶體(DRAM)模組的記憶體錯誤的方法，所述方法包括：與記憶體控制器進行包括多個叢發的記憶體事務，以自所述 DRAM 的資料晶片發送資料至所述記憶體控制器；使用所述 DRAM 的 ECC 晶片來偵測一或多個錯誤；使用所述 DRAM 的所述 ECC 晶片來確定具有所述錯誤的所述叢發的數目；判斷具有所述錯誤的所述叢發的所述數目是否大於臨界數目；確定所述錯誤的類型；以及基於所述錯誤的所述所確定類型來指示所述記憶體控制器，其中所述 DRAM 每一記憶體通道包括單個 ECC 晶片。

A method of correcting a memory error of a dynamic random-access memory module (DRAM) using a double data rate (DDR) interface, the method includes conducting a memory transaction including multiple bursts with a memory controller to send data from data chips of the DRAM to the memory controller, detecting one or more errors using an ECC chip of the DRAM, determining a number of the bursts having the errors using the ECC chip of the DRAM, determining whether the number of the bursts having the errors is greater than a threshold number, determining a type of the errors, and directing the memory controller based on the determined type of the errors, wherein the DRAM includes a single ECC chip per memory channel.

指定代表圖：



【圖1】

符號簡單說明：

100:系統

110:記憶體控制器

120:DRAM 協助錯誤
更正碼(DAECC)引擎

130:記憶體事務

140a:晶片/4 位元資料
晶片/4 位元晶片/資料
晶片

140b:晶片/ECC 晶片/4
位元晶片

150:記憶體通道

160:DDR DIMM/
DRAM

170:交換「正常的」
資料/正常的資料傳送

180:資訊讀出/DRAM
內 ECC 資訊讀出



109年4月17日修正本

I710892

【發明摘要】

【中文發明名稱】動態隨機存取記憶體之錯誤更正方法

【英文發明名稱】METHOD FOR CORRECTING ERROR OF DRAM

【中文】一種更正使用雙倍資料速率（DDR）介面之動態隨機存取記憶體（DRAM）模組的記憶體錯誤的方法，所述方法包括：與記憶體控制器進行包括多個叢發的記憶體事務，以自所述DRAM的資料晶片發送資料至所述記憶體控制器；使用所述DRAM的ECC晶片來偵測一或多個錯誤；使用所述DRAM的所述ECC晶片來確定具有所述錯誤的所述叢發的數目；判斷具有所述錯誤的所述叢發的所述數目是否大於臨界數目；確定所述錯誤的類型；以及基於所述錯誤的所述所確定類型來指示所述記憶體控制器，其中所述DRAM每一記憶體通道包括單個ECC晶片。

【英文】A method of correcting a memory error of a dynamic random-access memory module (DRAM) using a double data rate (DDR) interface, the method includes conducting a memory transaction including multiple bursts with a memory controller to send data from data chips of the DRAM to the memory controller, detecting one or more errors using an ECC chip of the DRAM, determining a number of the bursts having the errors using the ECC chip of the DRAM, determining whether the number of the bursts

having the errors is greater than a threshold number, determining a type of the errors, and directing the memory controller based on the determined type of the errors, wherein the DRAM includes a single ECC chip per memory channel.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

100：系統

110：記憶體控制器

120：DRAM協助錯誤更正碼（DAECC）引擎

130：記憶體事務

140a：晶片/4位元資料晶片/4位元晶片/資料晶片

140b：晶片/ECC晶片/4位元晶片

150：記憶體通道

160：DDR DIMM/DRAM

170：交換「正常的」資料/正常的資料傳送

180：資訊讀出/DRAM內ECC資訊讀出

【特徵化學式】

無

【發明說明書】

【中文發明名稱】動態隨機存取記憶體之錯誤更正方法

【英文發明名稱】METHOD FOR CORRECTING ERROR OF DRAM

【技術領域】

【0001】 根據本發明的實施例之一或多個態樣是有關於記憶體錯誤更正的方法及機制。

【先前技術】

【0002】 雙倍資料速率同步動態隨機存取記憶體（double data rate synchronous dynamic random-access memory，DDR SDRAM）是一種用於電腦中的記憶體積體電路（integrated circuit，IC）。DDR SDRAM 能夠利用對電性資料及時脈訊號的時序控制達成較快的傳送速率（transfer rate），且能夠在時脈訊號的上升邊緣及下降邊緣二者上傳送資料，由此有效地使資料匯流排頻寬相較於利用相同時脈頻率的單一資料速率（single data rate，SDR）SDRAM 介面而言翻倍，且由此達成所述頻寬的將近兩倍。

【0003】 不同世代的 DRAM 均能夠在資料儲存期間使用錯誤更正碼（error-correcting code，ECC）記憶體來偵測且有時更正常見類型的資料訛誤（data corruption）。ECC 記憶體藉由使用奇偶校驗（parity checking）而不受單個位元錯誤（single-bit error）影響。在 DRAM 系統中，奇偶校驗是藉由以下而達成：儲存代表儲存於記憶體中（例如，儲存於所述 DRAM 模組的奇偶校驗裝置中或 ECC

晶片中)的資料(例如,一個位元組的資料)的奇偶性(奇或偶)的冗餘奇偶校驗位元(redundant parity bit);獨立地計算所述奇偶性;以及將所儲存奇偶性與所計算奇偶性進行比較,以判斷是否已出現資料錯誤/記憶體錯誤。

【0004】 因此,為確保自 DRAM 模組(例如,雙列直插記憶體模組(dual in-line memory module, DIMM))擷取的可對應於資料字(data word)或資料符號(data symbol)的資料與被寫入至所述 DRAM 模組的資料相同, ECC 可更正當所述資料的一或多個位元翻轉成錯誤狀態時出現的錯誤。

【0005】 亦即,使用 ECC 冗餘使得 ECC 晶片能夠進行單錯誤更正雙錯誤偵測(single error correction double error detection, SEC-DED),此意指 ECC 晶片能夠偵測在單個叢發(burst)中出現的兩個錯誤的存在,且亦能夠更正單獨地出現的單個錯誤位元。亦即,若一個資料晶片訛誤或丟失,則可使用其餘資料晶片的資料及 ECC 晶片的 ECC 資料來重建訛誤的或缺失的資料晶片的資料。

【0006】 另外, DRAM 系統可具有用於抹除非功能性資料晶片或對非功能性資料晶片進行去能的晶片刪除機制(chipkill mechanism)。用於 DDR4 的各種晶片刪除機制每一記憶體通道使用兩個或更多個 ECC 裝置/晶片來偵測、定位、及抹除非功能性晶片。

【0007】 舉例而言,正常的 DDR4 具有為 $8n$ 的預取長度(prefetch

length)、為 8 的叢發長度 (burst length) (即, 每一記憶體事務 (memory transaction) 8 個叢發)、及為六十四位元的記憶體通道寬度, 其中 n 是對應系統架構中所使用的資料的介面寬度的位元數目 (例如, 若介面寬度為 4 位元, 則對應 DDR4 系統的預取長度為 32 位元)。因此, DDR4 將對每一記憶體事務傳輸 512 個位元。

【0008】 為持續增大 DDR 介面寬度, 新型 DDR 介面可增大預取長度。此新型 DDR 介面可具有為 $16n$ 的預取長度, 此為當前 DDR4 介面的預取長度的兩倍。新型 DDR 介面將因此對每一記憶體事務傳送為由 DDR4 系統所傳送的資料量的兩倍的資料量。此新型 DDR 介面亦可具有為 16 的叢發長度 (即, 每一個別記憶體事務中存在十六個資料叢發), 且每一記憶體通道具有為 32 位元的記憶體通道寬度, 且將因此亦在每一記憶體事務的每一記憶體通道中傳輸 512 個位元。然而, 此 DDR 介面每一 DIMM 具有兩個記憶體通道, 每一 DIMM 為在包括晶片接腳 (chip pin) 的電路板上具有多個 DRAM 晶片以能夠與電腦主板 (computer motherboard) 達成連接的模組。DDR DIMM 的所述兩個記憶體通道有效地彼此獨立地工作。

【0009】 儘管具有較 DDR4 窄的記憶體通道, 然而新型 DDR 介面每一記憶體通道具有為 32 位元的資料寬度, 且每一記憶體通道具有被配置成儲存及傳送資料的八個資料裝置 (例如, 4 位元資料晶片)。此新型 DDR 介面亦每一記憶體通道具有為四位元的 ECC 寬度, 且每一記憶體通道具有一個 4 位元 ECC 晶片。因此, 為了對

僅具有 DDR4 的記憶體通道寬度的一半進行補償，此新型 DDR 介面具有為 DDR4 的叢發長度的兩倍的叢發長度。由於此新型 DDR 介面具有兩個記憶體通道、每一記憶體通道具有專用於儲存資料的八個 4 位元資料晶片，因此每一叢發總共將有六十四位元的記憶體資料。

【0010】 此外，與每一記憶體通道具有兩個 ECC 晶片的 DDR4 不同，此新型 DDR 介面可每一記憶體通道具有單個 ECC 晶片、或甚至每一 DIMM 具有單個 ECC 晶片，以保護用於儲存資料的所述 16 個資料晶片。新型 DDR 介面可因此相較於 DDR4 而言具有減少的 ECC 製造費用（overhead）。因此，若新型 DDR 介面每一記憶體通道使用一個 ECC 晶片，則對於每一叢發將存在與所述兩個 4 位元 ECC 晶片對應的八個位元的 ECC 資料，DIMM 的所述兩個記憶體通道中的每一者中存在一個 ECC 晶片。因此，該新型 DDR 介面將對每一叢發傳輸 72 個位元的資料。

【0011】 由於系統 ECC 製造費用隨著資料寬度的對應減小而增加，因此可能難以使用當前的 DDR4 技術來維持 DDR 可靠性、可用性、及可服務性（reliability, availability, and serviceability, RAS）。此外，每一 DIMM 記憶體通道的數目的增加使得晶片刪除技術需要額外的 ECC 製造費用。

【0012】 因此，提供錯誤更正及資料恢復的新穎方法及提供 DRAM DIMM 可為有用的，所述 DRAM DIMM 能夠在無記憶體控制器協助的條件下在內部更正某些類型的記憶體錯誤，且此

DRAM DIMM 能夠指示記憶體控制器協助對 DRAM 所不能夠在內部更正的其他類型的錯誤進行記憶體更正。

【發明內容】

【0013】 本發明的實施例的態樣是有關於一種使用 DRAM 內錯誤更正碼（in-DRAM ECC）來達成錯誤更正的新型 DDR 介面。

【0014】 根據本發明的實施例，提供一種更正使用雙倍資料速率（DDR）介面之動態隨機存取記憶體模組（DRAM）的記憶體錯誤的方法，所述方法包括：與記憶體控制器進行包括多個叢發的記憶體事務，以自所述 DRAM 的資料晶片發送資料至所述記憶體控制器；使用所述 DRAM 的 ECC 晶片來偵測一或多個錯誤；使用所述 DRAM 的所述 ECC 晶片來確定具有所述錯誤的所述叢發的數目；判斷具有所述錯誤的所述叢發的所述數目是否大於臨界數目；確定所述錯誤的類型；以及基於所述錯誤的所述所確定類型來指示所述記憶體控制器，其中所述 DRAM 每一記憶體通道包括單個 ECC 晶片。

【0015】 使用所述 DRAM 的所述 ECC 晶片來偵測所述一或多個錯誤可包括使用所述 ECC 晶片對所述叢發中的每一者執行奇偶檢驗。

【0016】 所述方法可更包括：當具有錯誤的所述叢發的所述數目不大於所述臨界數目時，指示所述記憶體控制器重試自所述 DRAM 進行記憶體讀取。

【0017】 所述方法可更包括當所述記憶體控制器重試所述記憶體

讀取時偵測額外的錯誤；以及判斷所述額外的錯誤是否具有與所述所偵測的一或多個錯誤相同的錯誤圖案。

【0018】 所述方法可更包括當確定所述額外的錯誤具有與所述所偵測的一或多個錯誤不同的錯誤圖案時，指示所述記憶體控制器再次重試自所述 DRAM 進行記憶體讀取。

【0019】 所述方法可更包括：當確定所述額外的錯誤具有與所述所偵測的一或多個錯誤相同的錯誤圖案時，辨識出硬錯誤（hard error）；指示所述記憶體控制器協助所述 DRAM 進行錯誤更正；以及記錄所述錯誤的位址。

【0020】 所述方法可更包括：當具有所述錯誤的所述叢發的所述數目大於所述臨界數目時，判斷所述一或多個錯誤是否對應於同一晶片的同一接腳。

【0021】 所述方法可更包括：當確定所述一或多個錯誤對應於所述 DRAM 的同一晶片的同一接腳時，確定所述錯誤對應於 DQ 故障；以及當確定所述一或多個錯誤不對應於同一晶片的同一接腳時，確定所述一或多個錯誤對應於晶片故障。

【0022】 所述指示所述記憶體控制器可包括當所述一或多個錯誤對應於所述 DQ 故障或對應於所述晶片故障時，指示所述記憶體控制器協助進行晶片刪除偵測。

【0023】 所述方法可更包括：當具有所述錯誤的所述叢發的所述數目大於所述臨界數目時，判斷所述一或多個錯誤是否對應於所述 DRAM 的多於一個晶片；當確定所述一或多個錯誤對應於所述

DRAM 的同一晶片時，將所述 DRAM 的對應晶片標記為被抹除；以及當確定所述一或多個錯誤對應於所述 DRAM 的多於一個晶片時，辨識出嚴重錯誤。

【0024】 所述方法可更包括：當具有所述錯誤的所述叢發的所述數目大於所述臨界數目時，判斷所述 DRAM 的另一晶片是否此前已被抹除；以及當所述 DRAM 的所述另一晶片此前已被抹除時，辨識出嚴重錯誤。

【0025】 根據本發明的另一實施例，提供一種被配置成經由雙倍資料速率（DDR）介面而與記憶體控制器進行通訊的動態隨機存取記憶體模組（DRAM），所述 DRAM 包括：兩個記憶體通道，所述記憶體通道中的每一者包括：多個資料晶片，被配置成在上面儲存資料，且被配置成在與單個記憶體事務對應的多個叢發中的每一叢發期間將所述資料遞送至所述記憶體控制器一次；以及單個錯誤更正碼（ECC）晶片，被配置成確定具有與所述資料晶片中的一或多者對應的記憶體錯誤的所述多個叢發的數目。

【0026】 所述 ECC 晶片可被配置成偵測錯誤，且可被配置成將所述所偵測錯誤的類型確定為 DQ 故障、晶片故障、軟錯誤（soft error）、或硬錯誤中的一種。

【0027】 所述 ECC 晶片可被配置成指示所述記憶體控制器依據所述所偵測錯誤的所述所確定類型來協助進行晶片刪除偵測或協助進行錯誤更正。

【0028】 所述 ECC 晶片可被配置成當所述 ECC 晶片已偵測到錯誤

時向所述記憶體控制器發出命令，以使所述記憶體控制器執行所述 ECC 晶片的資訊讀出。

【0029】 所述 DRAM 可更包括耦合至所述 ECC 晶片的單個接腳，所述單個接腳被配置成在所述記憶體事務期間在所述 ECC 晶片已偵測到錯誤時利用 1 位元 ECC 旗標警示所述記憶體控制器。

【0030】 所述資料晶片及所述 ECC 晶片可被配置成在每一記憶體事務期間將除所述多個叢發之外的額外叢發遞送至所述記憶體控制器，以將所述 ECC 晶片的讀出資訊提供至所述記憶體控制器。

【0031】 根據本發明的另一實施例，提供一種記憶體系統，所述記憶體系統包括：記憶體控制器；以及動態隨機存取記憶體模組（DRAM），包括資料晶片及錯誤更正碼（ECC）晶片，其中所述 ECC 晶片中的每一者被配置成更正所述 DRAM 的對應記憶體通道的某些錯誤，且其中所述記憶體控制器被配置成協助所述 ECC 晶片更正所述 ECC 晶片所不能夠更正的其他錯誤。

【0032】 所述 ECC 晶片中的每一者可包括用於在偵測到錯誤時向所述記憶體控制器發送 1 位元 ECC 旗標的接腳。

【0033】 所述 DRAM 可包括多個記憶體通道，且所述 DRAM 的每一記憶體通道可包括所述 ECC 晶片中的單個錯誤更正碼晶片。

【圖式簡單說明】

【0034】 參照說明書、申請專利範圍、及附圖，將領會且理解本發明的該些及其他態樣，在附圖中：

圖 1 是繪示根據本發明實施例的用於 DDR 介面的錯誤更正機

制的方塊圖。

圖 2 是繪示根據本發明另一實施例的用於 DDR 介面的錯誤更正機制的方塊圖。

圖 3 是繪示根據本發明又一實施例的用於 DDR 介面的錯誤更正機制的方塊圖。

圖 4 是繪示根據本發明又一實施例的用於 DDR 介面的錯誤更正機制的方塊圖。

圖 5 是繪示根據本發明又一實施例的用於 DDR 介面的錯誤更正機制的方塊圖。

圖 6 是繪示根據本發明又一實施例的用於 DDR 介面的錯誤更正機制的方塊圖。

圖 7A 至圖 7B 是繪示根據本發明一或多個實施例的使用 DRAM 協助錯誤更正碼（DRAM Assist Error Correction Code，DAECC）機制來偵測錯誤、確定所述錯誤的類型、及處理所述錯誤的流程圖。

【實施方式】

【0035】 藉由參照以下對實施例的詳細說明及附圖，可更易於理解本發明概念的特徵及達成該些特徵的方法。在下文中，將參照附圖來更詳細地闡述示例性實施例，在所有附圖中相同的參考號碼指代相同的元件。然而，本發明可被實施為各種不同的形式，且不應被視為僅限於本文中所說明的實施例。確切而言，提供該些實施例作為實例是為了使此揭露內容將透徹及完整，並將向熟

習此項技術者充分傳達本發明的態樣及特徵。因此，可不再闡述對於此項技術中具有通常知識者全面理解本發明的態樣及特徵而言不必要的過程、元件、及技術。除非另外注明，否則在所有附圖及書面說明通篇中，相同的參考編號表示相同的元件，且因此將不再對其予以贅述。在圖式中，為清晰起見，可誇大元件、層、及區的相對大小。

【0036】 應理解，儘管本文中可能使用用語「第一（**first**）」、「第二（**second**）」、「第三（**third**）」等來闡述各種元件、組件、區、層、及/或區段，然而該些元件、組件、區、層、及/或區段不應受該些用語限制。該些用語用於區分各個元件、組件、區、層、或區段。因此，在不背離本發明的精神及範圍的條件下，可將以下所述的第一元件、組件、區、層、或區段稱為第二元件、組件、區、層、或區段。

【0037】 為易於闡釋，本文中可能使用例如「在...之下（**beneath**）」、「在...下面（**below**）」、「下方的（**lower**）」、「在...以下（**under**）」、「在...之上（**above**）」、「上方的（**upper**）」等空間相對性用語來闡述圖中所示的一個元件或特徵與另一（其他）元件或特徵的關係。應理解，所述空間相對性用語旨在除圖中所繪示的定向以外亦囊括裝置在使用或操作中的不同定向。舉例而言，若圖中裝置被翻轉，則被闡述為在其他元件或特徵「下面」或「之下」或者「以下」的元件此時將被定向為在其他元件或特徵「之上」。因此，實例性用語「在...下面」及「在...以下」可囊括上方

及下方兩種定向。所述裝置亦可具有其他定向（例如，旋轉 90 度或處於其他定向），且本文中所用的空間相對性描述語應相應地進行解釋。

【0038】 應理解，當稱元件、層、區、或組件位於另一元件、層、區、或組件「上 (on)」、「連接至 (connected to)」或「耦接至 (coupled to)」另一元件、層、區、或組件時，所述元件、層、區、或組件可直接位於所述另一元件、層、區、或組件上、直接連接至或直接耦接至所述另一元件、層、區、或組件，抑或可存在一或多個中間元件、層、區、或組件。另外，亦應理解，當稱元件或層位於兩個元件或層「之間 (between)」時，所述元件或層可為所述兩個元件或層之間的唯一元件或層，抑或亦可存在一或多個中間元件或層。

【0039】 在以下實例中，x 軸、y 軸、及 z 軸並非僅限於直角座標系的三個軸，而是可以更寬泛的意義進行解釋。舉例而言，x 軸、y 軸、及 z 軸可彼此垂直，或可代表彼此不垂直的不同的方向。

【0040】 本文中所用的術語僅是為了闡述具體實施例，而非旨在限制本發明。除非上下文中清楚地另外指明，否則本文所用的單數形式「一 (a 及 an)」旨在亦包含複數形式。更應理解，當在本說明書中使用用語「包括 (comprises/comprising)」、及「包含 (includes/including)」時，是指明所陳述特徵、整數、步驟、操作、元件、及/或組件的存在，但不排除一或多個其他特徵、整數、步驟、操作、元件、組件及/或其群組的存在或增添。本文中所用

用語「及/或」包括相關聯所列項其中一或多個項的任意及全部組合。當例如「...中的至少一者 (at least one of)」等表達出現在一系列元件之前時是修飾整個系列的元件且並非修飾所述系列中的個別元件。

【0041】 本文所用用語「實質上 (substantially)」、「大約 (about)」及類似用語用作近似值用語、而並非作為程度用語，並且旨在慮及此項技術中具有通常知識者將知的量測值或計算值的固有偏差。此外，在闡述本發明的實施例時使用「可 (may)」是指代「本發明的一或多個實施例」。本文所用用語「使用 (use)」、「正使用 (using)」、及「被使用 (used)」可視為分別與用語「利用 (utilize)」、「正利用 (utilizing)」、及「被利用 (utilized)」同義。此外，用語「示例性 (exemplary)」旨在指代實例或說明。

【0042】 當可以不同的方式實作某一實施例時，可與所述次序不同地執行一特定過程次序。舉例而言，可實質上同時執行或以與所述次序相反的次序執行兩個連續的所述過程。

【0043】 根據本文所述本發明的實施例的電子裝置或電裝置及/或任何其他相關裝置或組件可利用任何適合的硬體、韌體（例如，應用專用積體電路 (application-specific integrated circuit)）、軟體、或軟體、韌體、及硬體的組合來實作。舉例而言，可將該些裝置中的各種組件形成於一個積體電路 (IC) 晶片上或單獨的積體電路晶片上。此外，可將該些裝置的各種組件實作於撓性印刷電路膜、膠帶載體封裝 (tape carrier package, TCP)、印刷電路板

(printed circuit board, PCB) 上、或形成於一個基板上。此外，該些裝置的各種組件可為在一或多個計算裝置中由一或多個處理器運行、執行電腦程式指令並與用於執行本文所述各種功能性的其他系統組件進行交互的程序或執行緒。電腦程式指令儲存於可在使用的例如(舉例而言，隨機存取記憶體(random access memory, RAM)等)標準記憶體裝置的計算裝置中實作的記憶體中。電腦程式指令亦可儲存於例如(舉例而言，光碟唯讀記憶體(CD-ROM)、快閃隨身碟(flash drive)或類似元件等)其他非暫時性電腦可讀媒體中。此外，熟習此項技術者應知，在不背離本發明示例性實施例的精神及範圍的條件下，可將各種計算裝置的功能性組合或整合成單一的計算裝置，或者可使一特定計算裝置的功能性分佈在一或多個其他計算裝置上。

【0044】 除非另外定義，否則本文所用的全部用語(包括技術及科學用語)的含義皆與本發明所屬技術領域中具有通常知識者所通常理解的含義相同。更應理解，用語(例如在常用字典中所定義的用語)應被解釋為具有與其在相關技術的上下文及/或本說明書中的含義一致的含義，且除非本文中進行明確定義，否則不應將其解釋為具有理想化或過於正式的意義。

【0045】 以下參照圖 1、圖 2、及圖 3 所述的本發明的實施例能夠提供基礎的晶片刪除。儘管缺少與 DDR4 的晶片刪除機制相同的覆蓋率(coverage)、且每一記憶體通道僅具有一個 ECC 晶片，然而所述新型 DDR 介面仍能夠提供單個晶粒/晶片更正。另外，以下

所述機制能夠使用自 ECC 晶片提供的 ECC 資訊在資料晶片出現故障時進行辨識。

【0046】 圖 1 是繪示根據本發明實施例的用於 DDR 介面的錯誤更正機制的方塊圖。本實施例每一記憶體事務使用十六個叢發，且能夠使用 DRAM 內 ECC 來在多個叢發內保護一個資料晶片中的資料。本實施例亦使得 DRAM DIMM 能夠使用系統/記憶體控制器 ECC、藉由使得記憶體控制器能夠當 DRAM 內 ECC 確定已出現系統 ECC 錯誤時讀出所述 DRAM 內 ECC 的資訊，以在一或多個叢發內保護來自多個晶片的資料。

【0047】 如可在圖 1 中看出，本發明的實施例的系統 100 包括記憶體控制器 110，記憶體控制器 110 內儲存有 DRAM 協助錯誤更正碼（DAECC）引擎 120。記憶體控制器 110 能夠往來於雙倍資料速率同步動態隨機存取記憶體雙列直插記憶體模組（double data rate synchronous dynamic random-access memory dual in-line memory module）（DDR DIMM）/DRAM 160 的各種晶片 140a 及 140b 傳送資料。在圖 1 中，示出 DRAM 160 的一個記憶體通道 150。記憶體控制器 110 藉由正常的讀取過程及寫入過程進行用於與 DRAM 160 交換「正常的」資料 170 的記憶體事務 130。在本實施例中，DRAM 160 的每一晶片 140a 及 140b 經由所述晶片的四個接腳提供四個位元的資訊。

【0048】 DRAM 160 的每一記憶體通道 150 具有用於接收、儲存、及傳輸資料的八個 4 位元資料晶片（例如，八個資料裝置）140a。

與 DIMM/DRAM 的每一記憶體通道使用兩個 ECC 晶片的 DDR4 不同，本實施例的 DRAM 160 每一記憶體通道 150 具有用於將 ECC 資料傳送至記憶體控制器 110 的單個 4 位元 ECC 晶片（例如，一個奇偶校驗裝置、或奇偶校驗晶片）140b。儘管每一記憶體通道 150 僅具有單個 ECC 晶片 140b，然而本實施例的 DRAM 160 能夠提供以下將進一步論述的系統內錯誤更正（in-system error correction）及基礎晶片刪除能力（basic chip-kill capability）。

【0049】 在本實施例中，DRAM 160 使用叢發與記憶體控制器 110 進行記憶體事務 130，藉此 DRAM 160 會重複地傳輸資料，而不再進行原本在單獨的事務中傳輸每一資料所通常需要進行的其他步驟。因此，儘管僅在特定條件下持續有限的時間週期，然而 DRAM 160 能夠較不存在叢發時更快地傳送資料。

【0050】 為對 DRAM 160 的較窄的記憶體通道寬度進行補償，DRAM 160 具有為 16 的叢發長度，此為與 DDR4 一起使用的 DIMM 的叢發長度的兩倍，所述與 DDR4 一起使用的 DIMM 具有為 8 的叢發長度。亦即，為對所述兩個記憶體通道 150 中的每一者具有與 DD4 一起使用的記憶體通道的資料寬度的僅一半進行補償，DRAM 160 相較於 DDR4 而言能夠對每一記憶體事務 130 在內部預取所述 4 位元晶片 140a 及 140b 中的每一者上所儲存的資料的叢發數目的兩倍。

【0051】 因此，對於每一叢發，每一記憶體通道 150 發送 36 個位元（即，對於九個晶片 140a 及 140b 中的每一者，每一晶片具有

四個位元)，每一記憶體通道 150 的資料寬度為 32 位元，且每一記憶體通道 150 的 ECC 寬度為四位元。此對應於每一通道每一記憶體事務 130 的總共 576 個位元（即，每一叢發的 36 位元乘以每一記憶體事務 130 的十六個叢發），整個資料區塊為 512 位元，且其餘 64 個位元對應於記憶體通道 150 的 ECC 晶片 140b 的 ECC 資料。

【0052】 另外，與 DDR4 不同，本實施例的系統 100 能夠在無記憶體控制器 110 協助的條件下在 DRAM 160 內達成錯誤更正。DRAM 160 的 DRAM 內 ECC 在不與記憶體控制器 110 通訊的條件下執行內部錯誤更正以使得資料能夠在多個叢發內在資料晶片 140a 中的一者中得到保護，同時記憶體控制器協助錯誤更正使得資料能夠在一或多個叢發內在多個資料晶片 140a 內得到保護。因此，藉由使用記憶體控制器 110 的 ECC 及自 DRAM 160 的 DRAM 內 ECC 在內部提供的資訊，系統 100 能夠以記憶體控制器 110 與 DRAM 160 相結合地工作的方式使用記憶體控制器 110 及 DRAM 160 來執行錯誤更正。

【0053】 對於 DRAM 中的為 128 位元的每一群組，藉由使用單個 ECC 晶片 140b 在 DRAM 層階處執行內部錯誤偵測（即，在無記憶體控制器 110 協助的條件下），DRAM 內 ECC 能夠使用在所述晶片內在內部產生的 ECC 位元來更正單個位元的錯誤。本實施例不提供相較於 DDR4 的記憶體應用程式而言在記憶體應用程式方面的任何變化，且不在 DRAM 160 與記憶體控制器 110 之間提供

不同的介面。因此，藉由提供內部 ECC，正常的資料傳送 170 內不會含有錯誤恢復資訊，且所述錯誤恢復資訊不會被傳達至記憶體控制器 110。由 ECC 晶片 140b 進行的錯誤更正將因此不會影響與記憶體控制器 110 進行的記憶體事務 130 的速度或效能。

【0054】 然而，某些類型的錯誤是不能夠僅藉由 ECC 晶片 140b 來更正的。當記憶體控制器 110 偵測到資料中的錯誤時（例如，當 DRAM 160 向記憶體控制器 110 指示存在錯誤時），記憶體控制器 110 僅在此時向 DRAM 160 發出用以試圖更正錯誤的某些命令。亦即，記憶體控制器 110 將向 DIMM 發送專門命令且僅當發生系統/記憶體控制器 ECC 錯誤時自 DRAM 160 接收 DRAM 內 ECC 資訊讀出 180 中所含有的資訊。此後，記憶體控制器 110 將確定對應記憶體通道 150 的所述八個資料晶片 140a 中的哪一者造成了所偵測錯誤。以下參照圖 7A 至圖 7B 來進一步闡述被記憶體控制器 110 用來定位故障資料晶片的方法。

【0055】 圖 2 是繪示根據本發明另一實施例的用於 DDR 介面的錯誤更正機制的方塊圖。與此前所述實施例的錯誤更正機制相同，本實施例每一記憶體事務進行十六個叢發。相似地，記憶體控制器 210 中儲存有 DAECC 引擎 220，且 DRAM 260 的每一記憶體通道 250 具有用於交換正常的資料 270 的八個資料晶片 240a 及一個 ECC 晶片 240b。然而，與前一實施例不同，DRAM 260 藉由經由額外的接腳向記憶體控制器 210 發送 1 位元 ECC 旗標（flag）來向記憶體控制器 210 警示 ECC 錯誤。

【0056】 參照圖 2，本實施例的系統 200 相似於參照圖 1 所述的實施例的系統 100。然而本實施例的 DRAM/DDR DIMM 260 實作單個額外的接腳 290 以使得 DRAM 260 能夠容易地向記憶體控制器 210 遞送 ECC 資訊。與前一實施例不同，DRAM 260 內的不能夠更正的錯誤總總是會立即暴露至記憶體控制器 210，乃因 DRAM 260 能夠當在包括十六個叢發的記憶體事務 230 期間出現錯誤時傳輸由單個 1 位元 ECC 旗標組成的警示。因此，當出現錯誤時，資訊被自晶片 240a 及 240b 的 DRAM 內 ECC 晶片 240b 提供至記憶體控制器 210。

【0057】 因此，當出現與所述八個資料晶片 240a 中的一者對應的記憶體錯誤時，則將使用本實施例的 ECC 晶片 240b 的接腳 290 來將 1 位元 ECC 旗標設定成向記憶體控制器 210 警示已出現錯誤。當經由接腳 290 偵測到 1 位元 ECC 旗標時，記憶體控制器 210 將發出專門命令以自 DRAM 260 獲得與所述錯誤有關的更詳細的資訊。記憶體控制器 210 可以與參照圖 1 所述的實施例所示系統 100 相似的方式使用 DRAM 內 ECC 資訊讀出 280 而自 DRAM 260 獲得資訊。

【0058】 與參照圖 1 所述的系統 100 的實施例不同，DRAM 260 與記憶體控制器 210 之間的 DDR 介面是自 DDR4 修改而成。然而，效能不受負面影響，乃因 1 位元 ECC 旗標經由接腳 290 而與其他 576 個位元的資料一起被傳送，且因此不會增加每一記憶體事務 230 的時間量。

【0059】 圖 3 是繪示根據本發明又一實施例的用於 DDR 介面的錯誤更正機制的方塊圖。

【0060】 參照圖 3，相較於分別參照圖 1 及圖 2 所述的實施例的系統 100 及 200，本實施例所具有的記憶體控制器 310 中儲存有 DAECC 引擎 320，且 DRAM 360 的每一記憶體通道 350 具有用於交換正常的資料 370 的八個資料晶片 340a 及一個 ECC 晶片 340b。然而，本實施例的系統 300 的每一記憶體事務 330 具有額外的叢發，此使得總叢發長度為十七個叢發。然而，在記憶體事務 330 的第十七叢發期間，在 DRAM 內錯誤更正期間所確定的 ECC 資訊在 DRAM 內 ECC 資訊讀出 380 中自 DRAM/DDR DIMM 360 傳送至記憶體控制器 310。因此，記憶體控制器 310 能夠以降低與每一記憶體事務 330 的額外叢發相關聯的效能為代價來辨識每一記憶體事務 330 中的 DRAM 內 ECC 資訊。

【0061】 因此，與圖 1 所示實施例的其中記憶體控制器 110 僅當出現系統/記憶體控制器 ECC 錯誤（例如，DRAM 160 的 ECC 晶片 140b 所不能夠更正的錯誤）時進行 DRAM 內 ECC 資訊的資訊讀出 180 的系統 100 不同，本實施例的記憶體控制器 310 藉由額外的第十七叢發而在每一記憶體事務 330 中執行 DRAM 內 ECC 資訊讀出 380。另外，記憶體控制器 310 將總是執行與在系統層階中（例如，在 DRAM 360 中）由 DRAM 內 ECC 執行的用以更正錯誤的操作相同的操作。

【0062】 儘管以上所述實施例闡述可用於使用 4 位元 DRAM 晶片

的新型窄 DDR 介面的 DAECC 機制，然而所述 DAECC 機制可結合使用所述新型 DDR 介面的其他 DRAM 架構來使用，或者若 DRAM 內 ECC 是在所述 DRAM 晶片內執行，則可在 DDR4 類介面中使用。

【0063】 舉例而言，圖 4 示出 DAECC 引擎 420 可結合具有 8 位元 DRAM 晶片 440a 及 440b 的新型窄 DDR 介面來使用。在此實施例中，每一通道 450 具有用以儲存資料的四個 8 位元 DRAM 晶片 440a、及用以儲存系統 ECC 的一個 8 位元 DRAM 晶片 440b。因此，本實施例中的系統 ECC 製造費用為 1/4 或 25%。

【0064】 另舉一例，圖 5 示出 DAECC 引擎可用於具有 4 位元 DRAM 晶片 540a 及 540b 的 DDR 介面中。在本實施例中，每一通道 550 具有用以儲存資料的十六個 4 位元 DRAM 晶片 540a、及用以儲存系統 ECC 的一個 4 位元 DRAM 晶片 540b。在此實施例中，系統 ECC 製造費用因此為 1/16 或 6.25%，此為 DDR4 標準中的當前 ECC 製造費用的一半。

【0065】 再舉一例，圖 6 示出 DAECC 引擎可用於具有 8 位元 DRAM 晶片 640a 及 640b 的 DDR4 介面中。在此實施例中，每一通道 650 具有用於儲存資料的八個 8 位元 DRAM 晶片 640a、及用於儲存系統 ECC 的一個 8 位元 DRAM 晶片 640b。因此，系統 ECC 製造費用為 1/8 或 12.5%。

【0066】 綜上所述，以上所述實施例的 DAECC 是一種用於使用單個額外的 ECC DRAM 晶片、及用於使用 DRAM 內 ECC 資訊來對

具有任意種類的組織方式的記憶體系統提供基礎晶片刪除覆蓋的通用機制。

【0067】 圖 7A 至圖 7B 是繪示根據本發明一或多個實施例的使用 DAECC 機制來偵測錯誤、確定所述錯誤的類型、及處理所述錯誤的流程圖。

【0068】 可藉由分別參照圖 1、圖 2、圖 3、圖 4、圖 5、及圖 6 所述的系統中的任一者來實作以下所述流程圖。當記憶體控制器意識到 DRAM 中出現錯誤時，所述記憶體控制器可設法確定錯誤圖案。根據所述錯誤圖案，記憶體控制器將能夠判斷所述錯誤是否對應於隨機錯誤（非永久性錯誤）、永久性錯誤、或晶片刪除錯誤（chipkill error）。在確定錯誤的類型時，所述系統可執行錯誤更正。

【0069】 不同錯誤類型中的一種錯誤類型被稱作晶片刪除錯誤。晶片刪除錯誤一般對應於單個晶片/晶粒或晶片超過位元錯誤臨界值的永久性故障。記憶體通道的單個 4 位元資料晶片的故障可能使與所述資料晶片對應的數目較大的所述四個位元在記憶體事務期間在大量叢發中提供錯誤資料（例如，與所述資料晶片對應的 4 位元符號中的大量錯誤）。因此，本發明的實施例可當單個晶片出現故障時進行偵測，且此後可在繼續提供單個晶片更正的同時停用所述晶片。亦即，本發明的實施例可將與單個晶片對應的 4 個重複錯誤位元編組成一個符號，且可使用基於符號的機制（例如，奇偶校驗）來恢復與有故障的/失效的/被抹除的晶片對應的資料。

【0070】 另一錯誤類型被稱作 **DQ** 錯誤。如以上所提及，在所述實施例的 **DRAM** 中，每一晶片具有 4 個資料接腳，每一接腳用於輸出儲存於所述晶片上的所述四個位元中的一者。每一接腳可被稱作 **DQ**。若單個晶片的所述接腳中的一者出現故障（與整個晶片出現故障相對），則在所述叢發中的每一者中自此接腳提供的資料可能為錯誤的。因此，接腳故障可被稱作 **DQ** 錯誤。

【0071】 所述實施例可使用與每一晶片交織的簡單奇偶校驗演算法。舉例而言，所述實施例可使用獨立磁碟冗餘陣列（**redundant array of independent disk, RAID**）配置（例如，與 **RAID 4** 的組織方式相似的組織方式）。**RAID 4** 是一種使用專用奇偶校驗磁碟且跨越多個磁碟（例如，晶片）進行區塊層階分段（**block-level striping**）的 **RAID** 配置。磁碟分段（**disk striping**）包括將資料群組劃分成多個區塊並使所述區塊跨越兩個或更多個儲存裝置（例如，資料晶片）擴展。

【0072】 因此，儲存於 **ECC** 晶片上的資料將對應於四個奇偶校驗位元，其中來自所述八個資料晶片中的單個資料晶片的每一位元作為由 **ECC** 晶片儲存的不同的奇偶校驗位元，且其中來自所有資料晶片的對應接腳的一個位元作為所述奇偶校驗位元中的一者（例如，**ECC** 晶片的單個 **ECC** 群組）。若主機記憶體控制器使用資料及 **ECC** 資訊而偵測到與單個接腳對應的反復出現的單個 1 位元錯誤，則所述主機記憶體控制器將自所述四個可能位元位置中的同一位元位置辨識出所述錯誤（即，**ECC** 晶片的同一奇偶校驗

位元將在若干叢發中出現錯誤)。如以下所將闡述，可使用來自所偵測錯誤圖案的資訊來確定錯誤所在(例如，所述八個資料晶片中的哪一者具有造成所述錯誤的接腳)。

【0073】 參照圖 7A，在 S701 處，偵測錯誤。可藉由以上參照圖 1、圖 2、及圖 3 所述的錯誤偵測方法中的任一者(例如，由記憶體控制器 210 經由額外的接腳 290 偵測 ECC 旗標、或由記憶體控制器 310 在記憶體事務 330 的第 17 叢發期間在 DRAM 內 ECC 資訊讀出 380 中偵測錯誤)來偵測所述錯誤，及/或藉由在主機記憶體控制器中執行的系統 ECC(例如，RAID 類奇偶校驗)來偵測所述錯誤。

【0074】 當系統確定存在來自 S701 中的 DRAM/DDR DIMM 的某些錯誤時，在 S702 處確定多少叢發具有所述錯誤。此可藉由對記憶體事務的每一叢發進行奇偶校驗來執行。由於不同類型的故障具有不同的錯誤圖案、臨界值、或參考數目，因此可使用「n」來對所偵測錯誤的類型進行分類。舉例而言，儘管 ECC 錯誤將處於 ECC 晶片的同一接腳位置，然而 DQ 故障將在記憶體事務的諸多叢發或所有叢發中僅具有 1 位元奇偶校驗錯誤。然而，晶片故障將可能在諸多叢發或所有叢發中在多個位元中具有奇偶校驗錯誤(例如，4 位元奇偶校驗錯誤)。另外，隨機錯誤可對應於少量錯誤，以使在少量叢發中將存在非常少的錯誤位元(例如，在單個叢發中存在單個 1 位元錯誤)。

【0075】 因此，若所偵測錯誤的數目大於臨界值，則可預測已出

現 DQ 故障或晶片故障。然而，若所偵測錯誤的數目小於或等於臨界值，則可預測已自一或多個個別晶片出現一或多個隨機錯誤，所述一或多個隨機錯誤是 DRAM 內 ECC 所不能夠更正的且可能需要記憶體控制器協助進行更正。

【0076】 因此，在 S702 處，可判斷給定記憶體事務的具有錯誤的叢發的數目是否超過臨界值「n」。依據是否滿足所述臨界值，所述邏輯流程進行至 S703 或 S710。亦即，若確定充足數目的叢發具有奇偶校驗錯誤（例如，若給定記憶體事務中具有錯誤的叢發的數目高於臨界數目「n」），則更可能已存在 DQ 故障或晶片故障，且所述系統將轉到晶片刪除機制。然而，若具有所偵測錯誤的叢發的數目小於臨界數目「n」（例如，4 個叢發或少於 4 個叢發），則在 S701 處偵測到的錯誤有可能是來自個別晶片的隨機故障所造成。該些隨機故障是 DRAM 內 ECC 所不能夠更正的，但由於所述錯誤將不可能再次出現，因此不使用晶片刪除機制。

【0077】 應注意，儘管使用為 4 個叢發的臨界數目作為實例，然而在本發明的其他實施例中可使用不同的數目。此外，所述數目可在其他實施例中進行調整（例如，被調整成對應於特定裝置）。舉例而言，若對應的記憶體裝置具有相對高的裝置錯誤率而使得出現多個隨機錯誤，則可增大所述臨界數目。

【0078】 在 S703 處，當在 S702 處確定出具有奇偶校驗錯誤的叢發的數目大於臨界數目（例如，大於 4 個叢發）時，則所述系統確定所述八個資料晶片中的一者失效或被抹除，或者確定在所述

八個資料晶片中的多於一者中已出現錯誤。

【0079】 若在 S703 處確定出此前已對晶片進行抹除或者確定出在所述八個資料晶片中的多於一者中存在錯誤，則系統可在 S709 處確定已出現嚴重的不能夠更正的錯誤。可由記憶體控制器 110、210、310 在使用專門命令進行的或在記憶體事務 330 的第 17 叢發期間進行的 DRAM 內 ECC 資訊讀出 180、280、380 中偵測具有錯誤的晶片的數目。舉例而言，若晶片因 DQ 故障、晶片故障、記憶體庫故障（bank failure）、或列故障（row failure）而失效，則任意額外的 DQ 故障或晶片故障均會造成嚴重故障，乃因本實施例的系統每一記憶體通道僅具有單個 ECC 晶片，且因此將不再具有充足的資源來執行錯誤更正。相似地，若多個晶片具有錯誤，則會出現嚴重故障。

【0080】 然而，若在 S703 處確定出未抹除晶片且確定出所偵測錯誤對應於僅單個資料晶片，則過程可移動至 S704。舉例而言，若尚未抹除晶片且若所偵測錯誤對應於僅單個晶片，則系統能夠辨識出故障的類型，且記憶體控制器可記錄所述故障類型並可能採取進一步措施來更正所述錯誤。

【0081】 在 S704 處，可判斷所偵測錯誤是否出現於同一接腳處。亦即，在 S704 處，系統判斷對於叢發中的每一者，所偵測錯誤是否出現於同一接腳處。若所有錯誤皆對應於同一接腳，則在 S705a 處，DRAM 內系統（in-DRAM system）可向記憶體控制器進行報告，以使所述記憶體控制器可將錯誤的故障類型記錄為 DQ 故障。

若系統確定出所偵測錯誤並非皆出現於同一接腳處，則在 S705b 處，DRAM 內系統可向記憶體控制器進行報告，以使所述記憶體控制器可將故障類型記錄為晶片故障。

【0082】 在 S706 處，在將故障類型記錄為 DQ 故障或記錄為晶片故障之後，使用記憶體控制器來協助進行晶片刪除偵測。在 S706 處，記憶體控制器可開始診斷常式（diagnosis routine）以確定如何更正所述錯誤。將參照圖 7B 來闡述所述診斷常式。

【0083】 參照圖 7B，在 S706a 處，記憶體控制器已讀出在圖 7A 所示 S703 中自 DRAM 內 ECC 提供的 DRAM 內 ECC 資訊（例如，由 ECC 晶片提供的 ECC 位元的 DRAM 內 ECC 資訊讀出 180、280、或 380），使得所述記憶體控制器可此後執行錯誤偵測。此後，在 S706b 處，記憶體控制器將暫停所有正在進行的記憶體事務。此時，在 S706c 處，記憶體控制器儲存當前資料（例如，與所述八個 4 位元資料晶片的當前資料 D[511:0]對應的 512 個位元）。此時，在 S706d 處，記憶體控制器將與當前資料對應的反向資料（reversed data）（例如，與反向資料 D'[511:0]對應的 512 個位元）寫入至所述八個 4 位元資料晶片。此時，在 S706e 處，記憶體控制器再次將資料讀出。此時，在 S706f 處，記憶體控制器將新讀出的資料與已知的反向資料進行比較以辨識所述錯誤的位置。

【0084】 參照圖 7A，在記憶體控制器在 S706 處協助進行晶片刪除偵測之後，在 S707 處，所述記憶體控制器判斷所有所偵測錯誤是否皆對應於單個晶片。若僅單個資料晶片被抹除、或者若偵測

到多個 DQ 錯誤但所述多個 DQ 錯誤中的所有者皆對應於同一晶片，則在 S708 處記憶體控制器將會將資料寫回至其餘未被抹除的晶片，且所有後續的記憶體事務將使用簡單奇偶校驗演算法的奇偶校驗位元來恢復與被抹除晶片對應的資料。舉例而言，若記憶體控制器在讀出資料時確定出與資料晶片中的一者對應的多個位元不匹配在 S706d 處被寫入至所述資料晶片的反向資料的對應位元，則所述記憶體控制器將在 S708 處將此資料晶片標記為被抹除。然而，若記憶體控制器在讀出資料時確定出僅所述位元中與資料晶片中的一者的一個接腳對應的一個位元不匹配在 S706d 處被寫入至所述資料晶片的反向資料的對應位元，則所述記憶體控制器將在 S708 處將所述一個晶片的僅單個接腳標記為被抹除。

【0085】 然而，若多於一個晶片被標記為被抹除，則在 S709 處，記憶體控制器將確定已出現嚴重的不能夠更正的錯誤。亦即，若在多於一個晶片中存在錯誤，則 DRAM 將因未預留額外的晶片而不再具有充足的資源來執行奇偶校驗，且任意額外的晶片錯誤將為不能夠更正的需要置換 DRAM 的嚴重錯誤。

【0086】 返回至 S702，若確定錯誤的數目低於臨界數目（例如，僅記憶體事務的少量叢發具有錯誤），則在 S710 處，記憶體控制器藉由自 DRAM 接收額外的叢發而重試自資料晶片讀取資料。

【0087】 在 S710 處重試讀取資料之後，記憶體控制器在 S711 處判斷是否仍存在所偵測錯誤。若未在 S711 處偵測到額外的錯誤，則記憶體控制器在 S712 處確定已出現軟錯誤或暫態錯誤

(transient error)，且確定無需進行進一步更正。然而，若在 S710 處重試讀取資料之後在 S711 處偵測到額外的錯誤，則在 S713 處判斷所述錯誤是否具有與最初在 S701 處所偵測的錯誤相同的錯誤圖案。藉由判斷所述錯誤是否具有相同的錯誤圖案，可忽略不匹配的軟錯誤的情形，所述情形即最初在 S701 處偵測到軟錯誤，且在記憶體控制器在 S710 處重試讀取所述資料期間偵測到不同的後續軟錯誤。

【0088】 若在 S713 處偵測到的錯誤不具有與最初在 S701 處偵測到的錯誤相同的錯誤圖案，則過程返回至 S710，且記憶體控制器再次重試自資料晶片讀取所述資料。因此，若出現依序的且非相同的軟錯誤、進而造成不同的錯誤圖案，則記憶體控制器可能繼續試圖讀取所述資料。然而，若在 S713 處偵測到的錯誤具有與最初在 S701 處偵測到的錯誤相同的錯誤圖案，則在 S714 處確定已出現硬錯誤（非暫態錯誤）。

【0089】 在 S714 處確定存在硬錯誤（非暫態錯誤）且假定尚未有晶片被標記為被抹除時，DRAM 會在 S715 處觸發記憶體控制器使用記憶體控制器 ECC 機制來協助更正所述硬錯誤。記憶體控制器可藉由例如將所述錯誤的當前位址（例如，晶片及接腳位址）與 DRAM 上的晶片中的一或多者中的錯誤暫存器（error register）中所儲存的錯誤位址進行比較來協助進行錯誤更正。記憶體控制器亦可藉由使用 DRAM 內 ECC 資訊來協助進行錯誤更正。舉例而言，若 DRAM 內 ECC 資訊指示僅一個晶片具有不能夠更正的

DRAM 內 ECC 錯誤，則記憶體控制器可使用 ECC 晶片來恢復所述錯誤。

【0090】 在 S716 處，判斷記憶體控制器是否已成功更正所述硬錯誤。若錯誤更正成功，則在 S717 處，作業系統（operating system）可記錄錯誤事件，且記憶體控制器可發出用以抹除每一晶片中的 DRAM 內 ECC 資訊（例如，晶片錯誤暫存器）的另一專門命令。然而，若錯誤更正不成功（例如，若一個晶片已被移除，且因此系統不再具有 ECC 能力），則記憶體控制器將在 S709 處確定已出現嚴重錯誤。

【0091】 當記憶體控制器在 S709 處辨識出嚴重的不能夠更正的錯誤時，作業系統可執行系統 / 應用程式層階錯誤恢復（system/application level error recovery）。舉例而言，作業系統可藉由將頁面的內容重新定位至另一物理頁面來棄用對應的物理頁面，且可將所棄用的頁面放置於不應隨後由虛擬記憶體系統支配的物理頁面清單上。隨著所棄用的物理頁面的數目的增大（例如，隨著不能夠更正的錯誤的數目的增大），系統的有效記憶體能力降低。

【0092】 因此，本發明的實施例提供以下一種架構：所述架構能夠提供與 DDR4 所提供的基礎晶片刪除 RAS 特徵相同的基礎晶片刪除 RAS 特徵，同時為該些特徵提供降低的（例如，最低的）ECC 晶片製造費用（即，每一記憶體通道一個 ECC 晶片）、減小的（例如，最小的）內部預取大小（所述預取大小與 DRAM 內 ECC 的大

小相同)、及所述 DRR 介面相較於與 DDR4 對應的介面而言減少的(例如,最少的)變化。另外,本發明的實施例為具有較 DDR4 窄的通道寬度的新型 DDR 介面提供 12.5%的儲存製造費用,支援基礎晶片刪除能力及系統 ECC,且支援記憶體控制器協助進行錯誤偵測機制。

【0093】此外,本發明的實施例能夠提供基礎晶片刪除能力及系統 ECC,儘管每一記憶體通道僅具有一個 ECC 晶片。本發明的實施例亦提供一種使得記憶體控制器能夠在 DRAM 裝置的協助下辨識故障晶片的機制,提供一種用以讀出 DRAM 內 ECC 資訊(例如,使用自 DRAM 讀出的額外的叢發長度、額外的接腳、或暫存器)的機制,提供一種用以辨識錯誤類型(例如,是軟錯誤還是硬錯誤)的重試機制,並使用個別記憶體通道或鎖步記憶體通道(lock-step memory channel)且使用 SEC-DED 或晶片刪除 ECC 來提供不同的 ECC 能力。

【0094】前述者是對示例性實施例的說明,且不應被視為對示例性實施例進行限制。儘管已闡述了一些示例性實施例,然而熟習此項技術者將易於領會,可在不實際上背離示例性實施例的新穎教示內容及優點的條件下在示例性實施例中作出諸多潤飾。因此,所有此類潤飾皆旨在包含於如在申請專利範圍中所界定的示例性實施例的範圍內。在申請專利範圍中,方式加功能條款旨在涵蓋本文所述的用於執行所敘述功能的結構、且不僅涵蓋結構性等效形式而且亦涵蓋等效結構。因此,應理解,前述者是對示例

性實施例的說明且不應被視為僅限於所揭露的具體實施例，且對所揭露示例性實施例所作的潤飾以及其他示例性實施例皆旨在包含於隨附申請專利範圍的範圍內。本發明概念是由以下申請專利範圍所界定，其中在本發明概念中欲包含申請專利範圍的等效範圍。

【符號說明】

【0095】

100、200、300：系統

110、210、310：記憶體控制器

120、220、320、420：DRAM 協助錯誤更正碼（DAECC）引擎

130、230、330：記憶體事務

140a：晶片/4 位元資料晶片/4 位元晶片/資料晶片

140b：晶片/ECC）晶片/4 位元晶片

150、250、350：記憶體通道

160：DDR DIMM/DRAM

170：交換「正常的」資料/正常的資料傳送

180：資訊讀出/DRAM 內 ECC 資訊讀出

240a：晶片/資料晶片

240b：晶片/ECC 晶片

270、370：交換正常的資料

280、380：DRAM 內 ECC 資訊讀出

290：接腳

340a：資料晶片

340b：ECC 晶片

440a、440b、640a、640b：8 位元 DRAM 晶片

450、550、650：通道

540a、540b：4 位元 DRAM 晶片

S701、S702、S703、S704、S705a、S705b、S706、S707、S708、

S709、S710、S711、S712、S713、S714、S715、S716、S717、S706a、

S706b、S706c、S706d、S706e、S706f：步驟

【發明申請專利範圍】

【第1項】 一種更正使用雙倍資料速率（DDR）介面之動態隨機存取記憶體（DRAM）模組的記憶體錯誤的方法，在藉由使每一記憶體通道具有單個錯誤更正碼晶片來使用降低的錯誤更正碼晶片的製造費用的同時、或者使用降低的內部預取大小的同時，藉由使得記憶體控制器在所述動態隨機存取記憶體模組的協助下來辨識故障晶片，所述方法包括：

與記憶體控制器進行包括多個叢發的記憶體事務，以自所述動態隨機存取記憶體模組的資料晶片發送資料至所述記憶體控制器；

使用所述動態隨機存取記憶體模組的所述錯誤更正碼晶片來偵測一或多個錯誤；

使用所述動態隨機存取記憶體模組的所述錯誤更正碼晶片來確定具有所述錯誤的所述叢發的數目；

判斷具有所述錯誤的所述叢發的所述數目是否大於臨界數目；

確定所述錯誤的類型；以及

基於所確定的所述錯誤的所述類型來指示所述記憶體控制器，

其中所述動態隨機存取記憶體模組的每一記憶體通道包括單個錯誤更正碼晶片。

【第2項】 如申請專利範圍第1項所述的方法，其中使用所述動態

隨機存取記憶體模組的所述錯誤更正碼晶片來偵測所述一或多個錯誤包括使用所述錯誤更正碼晶片對所述叢發中的每一者執行奇偶校驗。

【第3項】 如申請專利範圍第1項所述的方法，更包括：當具有所述錯誤的所述叢發的所述數目不大於所述臨界數目時，指示所述記憶體控制器重試自所述動態隨機存取記憶體模組進行記憶體讀取。

【第4項】 如申請專利範圍第3項所述的方法，更包括當所述記憶體控制器重試所述記憶體讀取時偵測額外的錯誤；以及

判斷所述額外的錯誤是否具有與所偵測的所述一或多個錯誤相同的錯誤圖案。

【第5項】 如申請專利範圍第4項所述的方法，更包括當確定所述額外的錯誤具有與所偵測的所述一或多個錯誤不同的錯誤圖案時，指示所述記憶體控制器再次重試自所述動態隨機存取記憶體模組進行記憶體讀取。

【第6項】 如申請專利範圍第4項所述的方法，更包括：

當確定所述額外的錯誤具有與所偵測的所述一或多個錯誤相同的錯誤圖案時，辨識出硬錯誤；

指示所述記憶體控制器協助所述動態隨機存取記憶體模組進行錯誤更正；以及

記錄所述錯誤的位址。

【第7項】 如申請專利範圍第1項所述的方法，更包括：當具有所

述錯誤的所述叢發的所述數目大於所述臨界數目時，判斷所述一或多個錯誤是否對應於同一晶片的同一接腳。

【第8項】如申請專利範圍第7項所述的方法，更包括：當確定所述一或多個錯誤對應於所述動態隨機存取記憶體模組的同一晶片的同一接腳時，確定所述錯誤對應於DQ故障；以及

當確定所述一或多個錯誤不對應於同一晶片的同一接腳時，確定所述一或多個錯誤對應於晶片故障。

【第9項】如申請專利範圍第8項所述的方法，其中指示所述記憶體控制器包括當所述一或多個錯誤對應於所述DQ故障或對應於所述晶片故障時，指示所述記憶體控制器協助進行晶片刪除偵測。

【第10項】如申請專利範圍第1項所述的方法，更包括：當具有所述錯誤的所述叢發的所述數目大於所述臨界數目時，判斷所述一或多個錯誤是否對應於所述動態隨機存取記憶體模組的多於一個晶片；

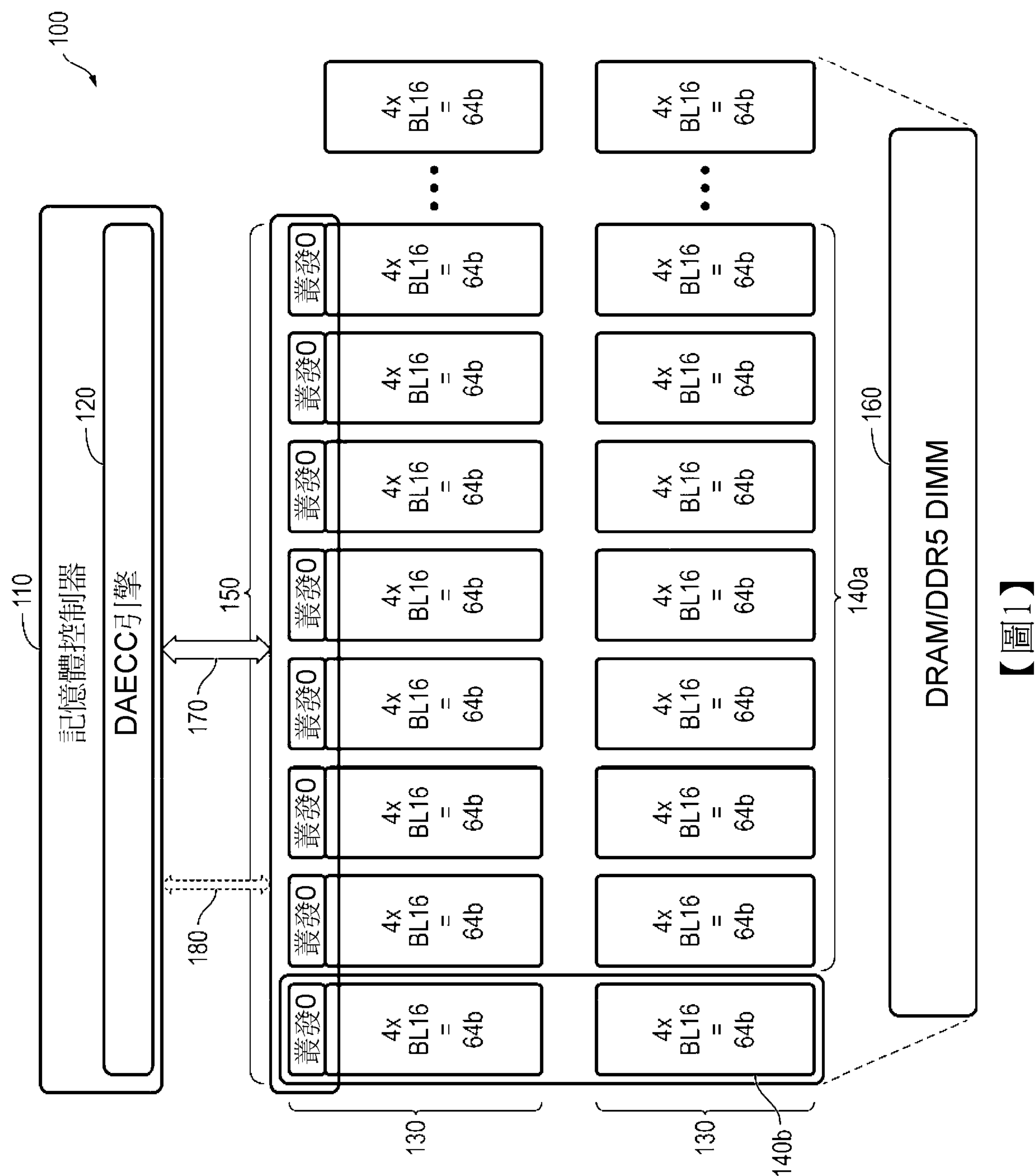
當確定所述一或多個錯誤對應於所述動態隨機存取記憶體模組的同一晶片時，將所述動態隨機存取記憶體模組的對應晶片標記為被抹除；以及

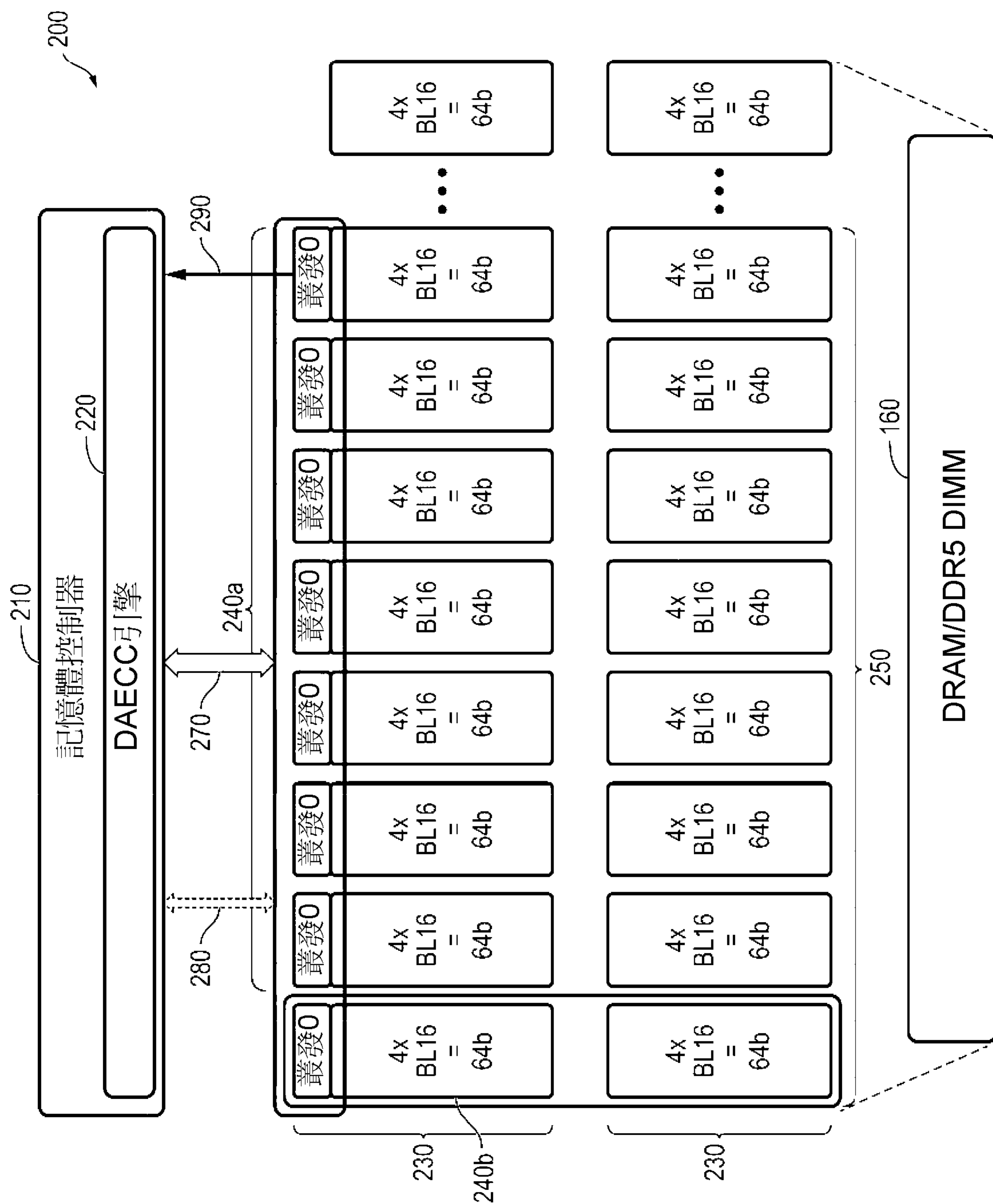
當確定所述一或多個錯誤對應於所述動態隨機存取記憶體模組的多於一個晶片時，辨識出嚴重錯誤。

【第11項】如申請專利範圍第1項所述的方法，更包括：當具有所述錯誤的所述叢發的所述數目大於所述臨界數目時，判斷所述動態隨機存取記憶體模組的另一晶片是否此前已被抹除；以及

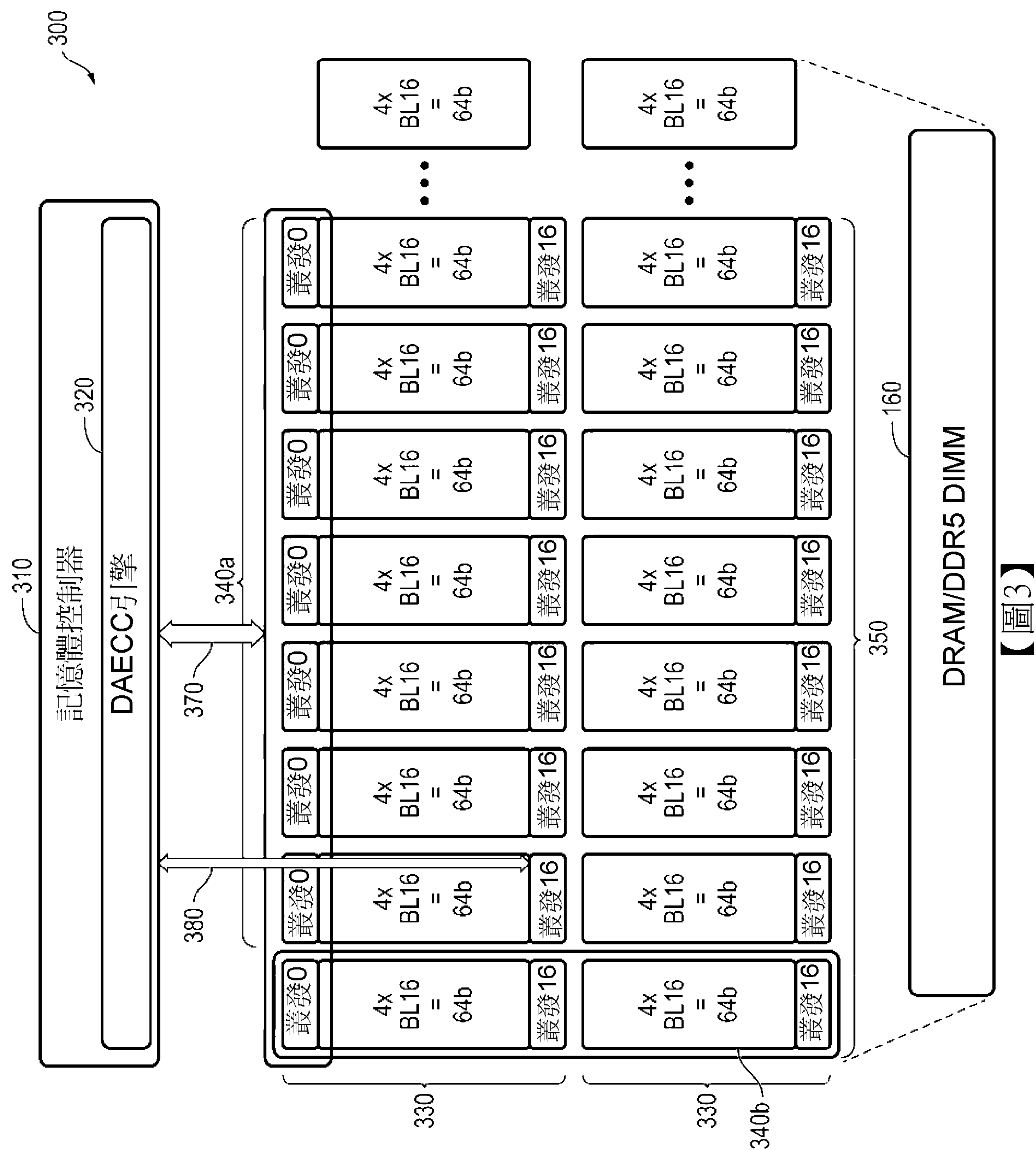
當所述動態隨機存取記憶體模組的所述另一晶片此前已被抹除時，辨識出嚴重錯誤。

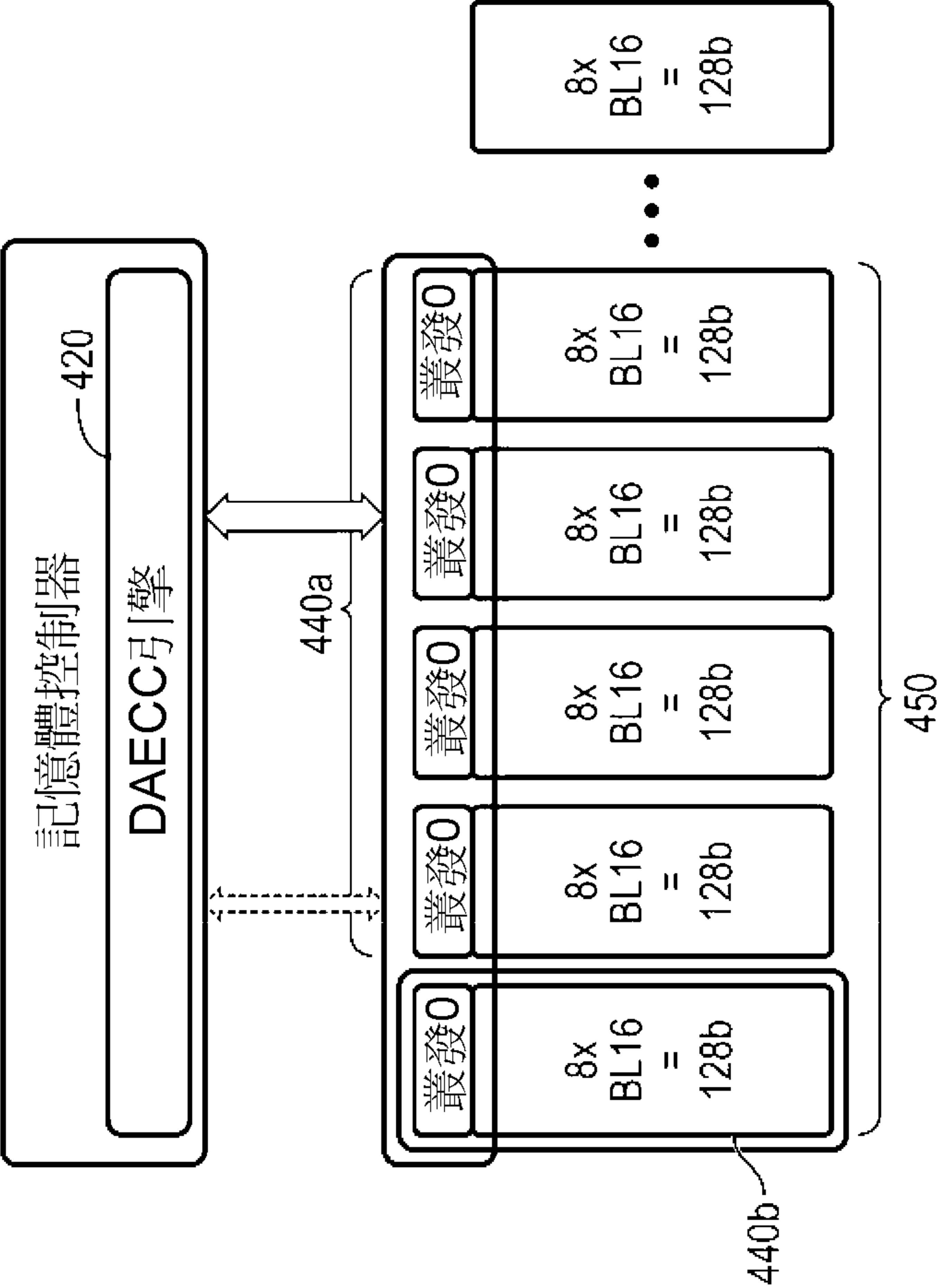
【發明圖式】



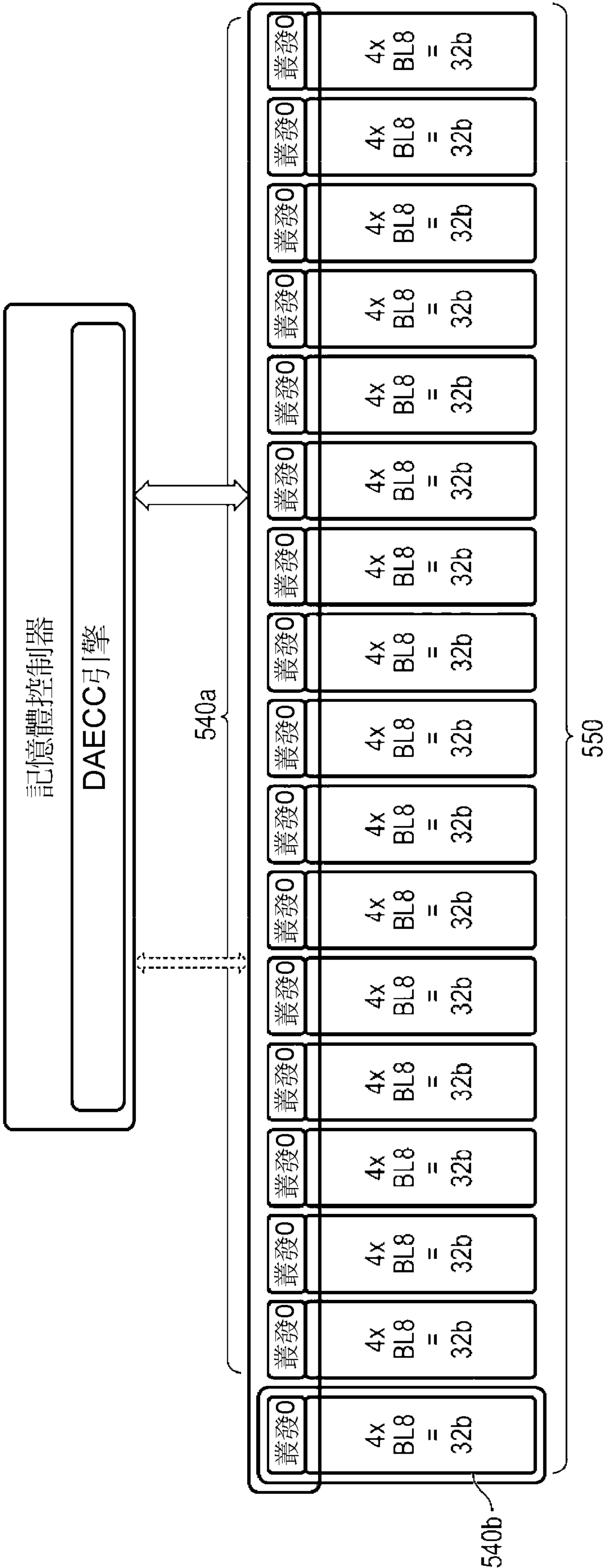


【2回】

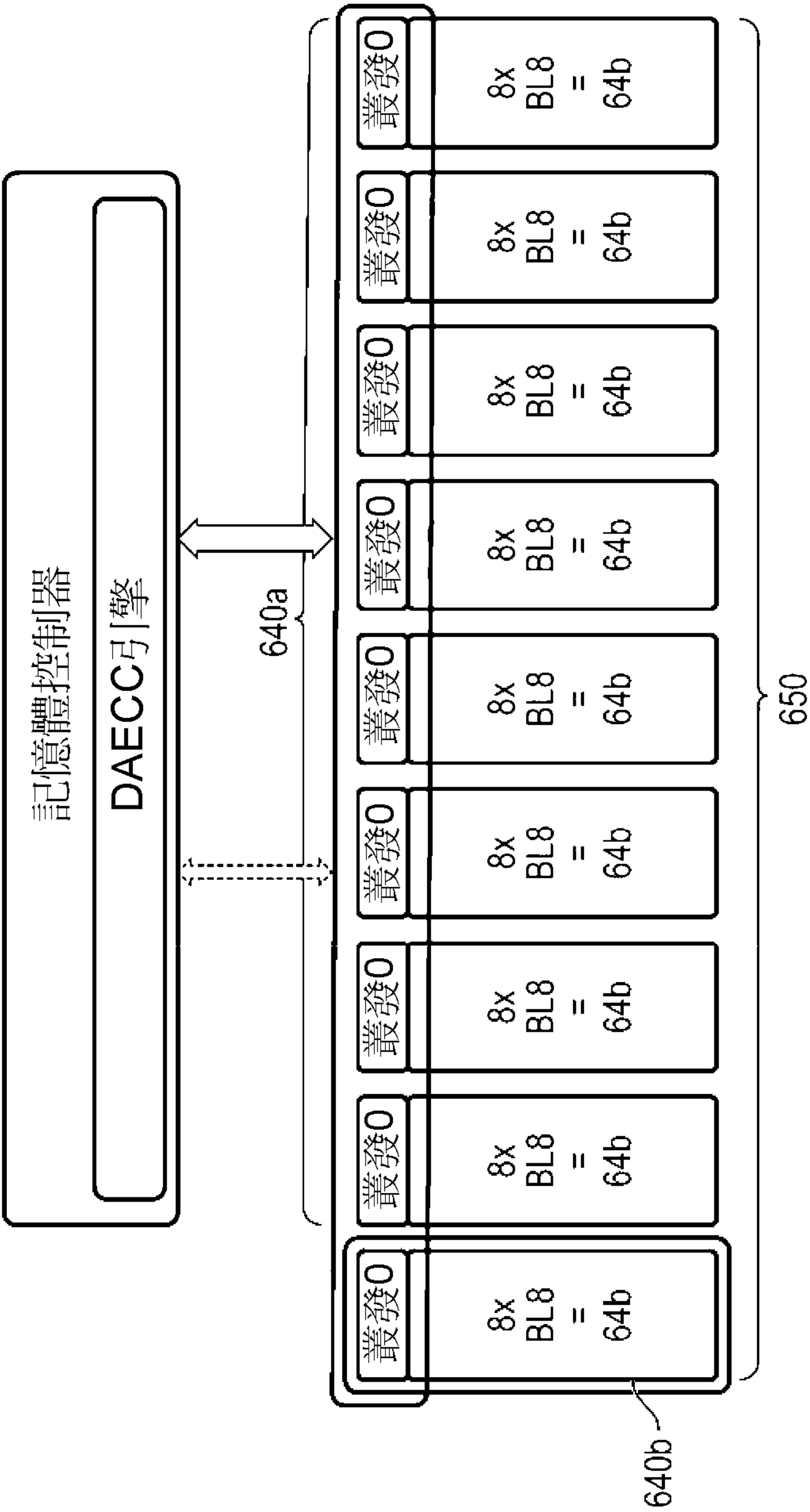




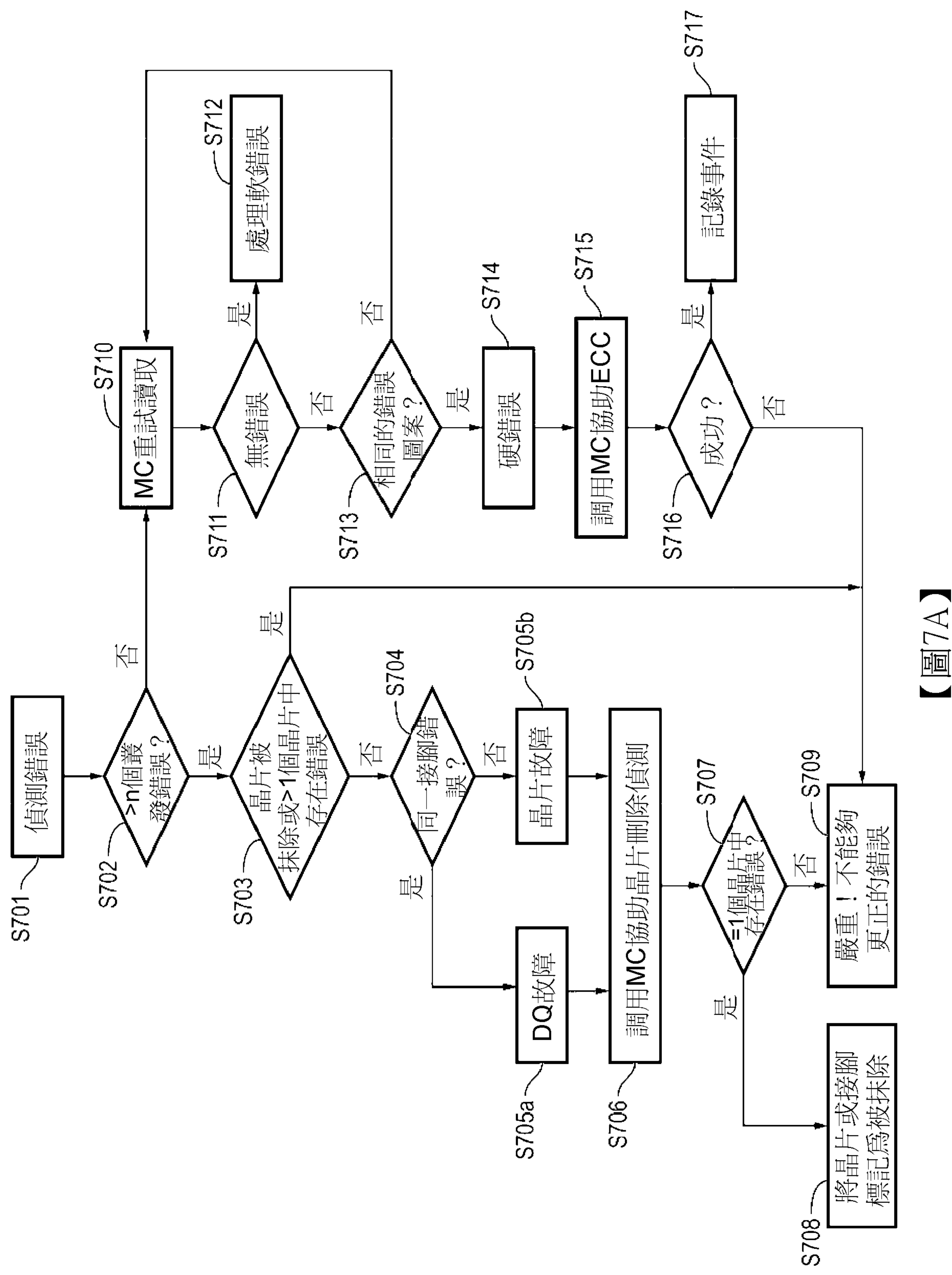
【圖4】



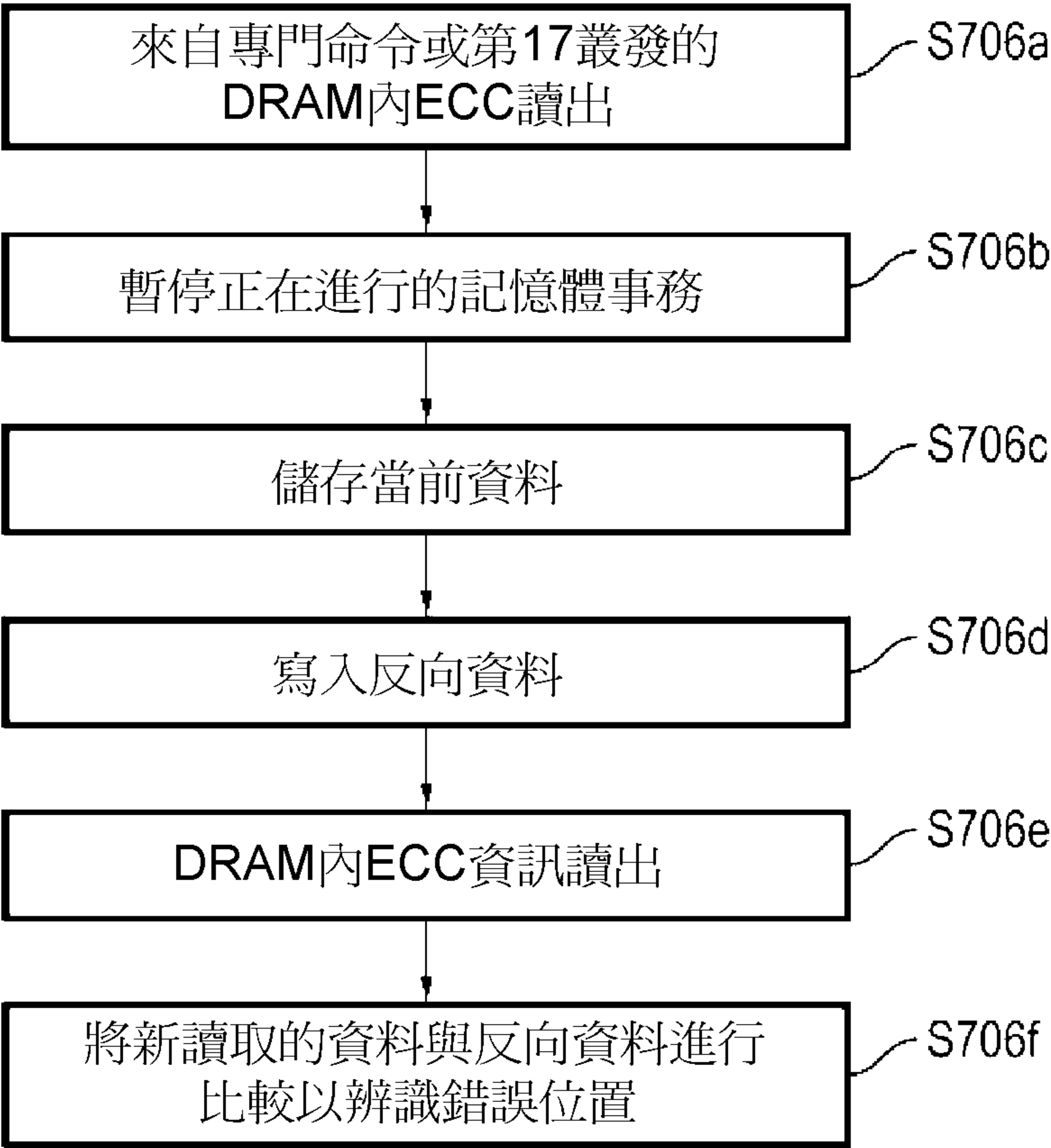
【圖5】



【圖6】



【圖7A】



【圖7B】