



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년07월29일
(11) 등록번호 10-1643828
(24) 등록일자 2016년07월22일

- (51) 국제특허분류(Int. Cl.)
H01L 21/683 (2006.01) H01L 21/30 (2006.01)
H01L 21/324 (2006.01)
- (21) 출원번호 10-2014-7010282
(22) 출원일자(국제) 2012년09월17일
심사청구일자 2015년09월18일
(85) 번역문제출일자 2014년04월17일
(65) 공개번호 10-2014-0063840
(43) 공개일자 2014년05월27일
(86) 국제출원번호 PCT/IB2012/054903
(87) 국제공개번호 WO 2013/042027
국제공개일자 2013년03월28일
(30) 우선권주장
13/238,396 2011년09월21일 미국(US)
- (56) 선행기술조사문헌
JP평성09205080 A
US20110143462 A1
JP2002299319 A
JP2005101237 A
- (73) 특허권자
램 리써치 코퍼레이션
미국 94538 캘리포니아주 프레몬트 쿠싱 파크웨이 4650
- (72) 발명자
개프 키이스 윌리엄
미국, 캘리포니아 94536, 프레몬트, 그랜빌 5363
커멘덴트 키이스
미국, 캘리포니아 94536, 프레몬트, 글리든 웨이 4350
리치 앤서니
미국, 캘리포니아 94087, 썬니베일, 유콘 드라이브 1513
- (74) 대리인
특허법인인벤투스

전체 청구항 수 : 총 36 항

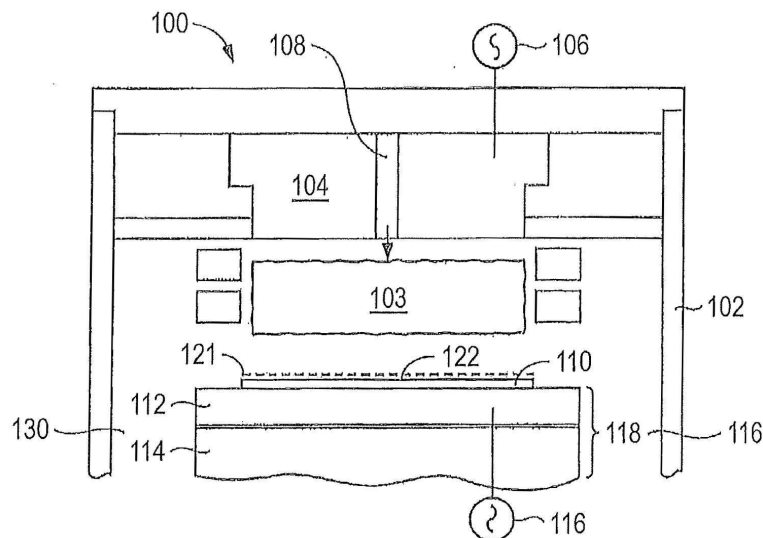
심사관 : 김대웅

(54) 발명의 명칭 반도체 처리를 위한 평면형 열적 존을 갖는 열적 플레이트

(57) 요약

반도체 플라즈마 처리 장치 내의 기관 지지 어셈블리를 위한 열적 플레이트는, 스케일링 가능한 다중화 층 내에 배열된 다중의 독립적으로 제어가능한 평면형 열적 존과, 상기 평면형 열적 존을 독립적으로 제어하고 전력을 공급하기 위한 전자 기술을 포함한다. 각각의 평면형 열적 존은 열전기 요소로서 적어도 하나의 펠티에 디바이스를 사용한다. 상기 열적 플레이트가 탑재된 기관 지지 어셈블리는 정전기적 클램핑 전극 층 및 온도 제어형 베이스 플레이트를 포함한다. 상기 열적 플레이트를 제조하는 방법은 평면형 열적 존을 갖는 세라믹 또는 폴리머 시트와, 양 전압 라인, 음 전압 라인 및 공통 라인과, 비아(via)를 포함한다.

대표도 - 도1



명세서

청구범위

청구항 1

반도체 처리 장치 내부의 반도체 기판을 지지하는데 사용되는 기판 지지 어셈블리의 온도 제어형 베이스 플레이트 (temperature controlled base plate) 위에 놓이도록 구성된 열적 플레이트 (thermal plate)로서,

전기 절연성 플레이트;

제1 평면형 열적 존 (thermal zone), 제2 평면형 열적 존, 제3 평면형 열적 존 및 제4 평면형 열적 존을 적어도 포함하는 평면형 열적 존들로서, 평면형 열적 존 각각은 열전기 요소로서 하나 이상의 펠티에 (Peltier) 디바이스들을 포함하며, 상기 평면형 열적 존들은 상기 전기 절연성 플레이트에 걸쳐서 측방향으로 (laterally) 분포되며, 상기 기판 상의 공간적 온도 프로파일을 튜닝하도록 동작 가능한, 상기 평면형 열적 존들;

상기 전기 절연성 플레이트에 걸쳐서 측방향으로 분포된 제1 전기 전도성 양 전압 라인 및 제2 전기 전도성 양 전압 라인을 포함하는 양 전압 라인들;

상기 전기 절연성 플레이트에 걸쳐서 측방향으로 분포되는 제1 전기 전도성 음 전압 라인, 제2 전기 전도성 음 전압 라인을 포함하는 음 전압 라인들;

상기 전기 절연성 플레이트에 걸쳐서 측방향으로 분포되는 제1 전기 전도성 공통 라인, 제2 전기 전도성 공통 라인을 포함하는 공통 라인들; 및

상기 전기 절연성 플레이트에 걸쳐서 측방향으로 분포되는 제1 다이오드, 제2 다이오드, 제3 다이오드, 제4 다이오드, 제5 다이오드, 제6 다이오드, 제7 다이오드 및 제8 다이오드를 포함하며,

상기 제1 다이오드의 양극은 상기 제1 양 전압 라인에 연결되고 상기 제1 다이오드의 음극은 상기 제1 평면형 열적 존에 연결되며;

상기 제2 다이오드의 양극은 상기 제1 평면형 열적 존에 연결되고 상기 제2 다이오드의 음극은 상기 제1 음 전압 라인에 연결되며;

상기 제3 다이오드의 양극은 상기 제1 양 전압 라인에 연결되고 상기 제3 다이오드의 음극은 상기 제2 평면형 열적 존에 연결되며;

상기 제4 다이오드의 양극은 상기 제2 평면형 열적 존에 연결되고 상기 제4 다이오드의 음극은 상기 제1 음 전압 라인에 연결되며;

상기 제5 다이오드의 양극은 상기 제2 양 전압 라인에 연결되고 상기 제5 다이오드의 음극은 상기 제3 평면형 열적 존에 연결되며;

상기 제6 다이오드의 양극은 상기 제3 평면형 열적 존에 연결되고 상기 제6 다이오드의 음극은 상기 제2 음 전압 라인에 연결되며;

상기 제7 다이오드의 양극은 상기 제2 양 전압 라인에 연결되고 상기 제7 다이오드의 음극은 상기 제4 평면형 열적 존에 연결되며;

상기 제8 다이오드의 양극은 상기 제4 평면형 열적 존에 연결되고 상기 제8 다이오드의 음극은 상기 제2 음 전압 라인에 연결되며;

상기 제1 공통 라인은 상기 제1 평면형 열적 존 및 제3 평면형 열적 존에 연결되며;

상기 제2 공통 라인은 상기 제2 평면형 열적 존 및 제4 평면형 열적 존에 연결되는, 열적 플레이트.

청구항 2

제1 항에 있어서,

상기 평면형 열적 존들은 어떠한 저항성 가열기 요소들을 포함하지 않는, 열적 플레이트.

청구항 3

제1 항에 있어서,

(a) 상기 평면형 열적 존들 각각의 상기 펠티에 디바이스들은 상기 전기 절연성 플레이트의 상부 부분에 위치하며; 상기 양 전압 라인들 및 음 전압 라인들은 상기 펠티에 디바이스들의 하측에 배치되고, 상기 전기 절연성 플레이트에 수직으로 연장된 비아들 (vias) 에 의해 상기 다이오드들에 전기적으로 연결되며; 상기 공통 라인들은 상기 양 전압 라인들 및 음 전압 라인들의 하측에 있고, 상기 전기 절연성 플레이트에 수직으로 연장된 비아들에 의해 상기 평면형 열적 존들에 전기적으로 연결되는, 열적 플레이트.

청구항 4

제1 항에 있어서,

- (a) 평면형 열적 존 각각이 상기 반도체 기판 상에서 제조되는 네 개의 디바이스 다이들보다 크지 않거나,
- (b) 평면형 열적 존 각각이 상기 반도체 기판 상에서 제조되는 두 개의 디바이스 다이들보다 크지 않거나,
- (c) 평면형 열적 존 각각이 상기 반도체 기판 상에서 제조되는 하나의 디바이스 다이보다 크지 않거나,
- (d) 평면형 열적 존 각각이 상기 반도체 기판 상의 디바이스 다이들의 크기들 및 상기 반도체 기판의 전체 크기에 맞게 스케일링되도록 상기 평면형 열적 존들이 크기를 갖는 (sized), 열적 플레이트.

청구항 5

제1 항에 있어서,

- (a) 평면형 열적 존 각각이 0.1 내지 1 cm^2 이거나,
- (b) 평면형 열적 존 각각이 2 내지 3 cm^2 이거나,
- (c) 평면형 열적 존 각각이 1 내지 15 cm^2 이거나,
- (d) 평면형 열적 존 각각이 16 내지 100 cm^2 이도록 상기 평면형 열적 존들이 크기를 갖는, 열적 플레이트.

청구항 6

제1 항에 있어서,

상기 열적 플레이트는 16 내지 400 개의 평면형 열적 존들을 포함하는, 열적 플레이트.

청구항 7

제1 항에 있어서,

상기 전기 절연성 플레이트는 폴리머 재료, 세라믹 재료, 유리섬유 복합재 또는 이들의 조합의 하나 이상의 층들을 포함하는, 열적 플레이트.

청구항 8

제1 항에 있어서,

상기 양 전압 라인들의 총 개수는 상기 평면형 열적 존들의 총 개수의 절반의 이하이거나, 상기 공통 라인들의 총 개수는 상기 평면형 열적 존들의 총 개수의 절반 이하인, 열적 플레이트.

청구항 9

제1 항에 있어서,

상기 평면형 열적 존들의 총 면적은 상기 열적 플레이트의 상부 표면의 50% 내지 100% 인, 열적 플레이트.

청구항 10

제1 항에 있어서,

상기 평면형 열적 존들은 직사각형의 그리드, 육각형의 그리드 또는 극성 어레이 (polar array) 로 배열되고; 상기 평면형 열적 존들은 최소 1 밀리미터의 폭 및 최대 10 밀리미터의 폭을 갖는 갭 (gap) 에 의해서 서로 분리되는, 열적 플레이트.

청구항 11

기관 지지 어셈블리로서:

상기 기관 지지 어셈블리 상에 반도체 기관을 정전기적으로 클램핑하도록 구성된 적어도 하나의 정전기적 클램핑 전극을 포함하는 정전척 (ESC, electrostatic chuck);

상기 정전척을 지지하는 제1 항에 기재된 상기 열적 플레이트의 상부 측; 및

상기 열적 플레이트의 하부 측에 부착되는 온도 제어형 베이스 플레이트를 포함하는, 기관 지지 어셈블리.

청구항 12

제11 항에 있어서,

상기 열적 플레이트 위 또는 아래에 배치된 적어도 하나의 주 (primary) 가열기 층을 더 포함하며,

상기 주 가열기 층은 상기 평면형 열적 존들과 전기적으로 절연되며,

상기 주 가열기 층은 상기 반도체 기관의 평균 온도 제어를 제공하는 적어도 하나의 저항 가열기를 포함하며,

상기 평면형 열적 존들은 상기 반도체 기관 처리 동안에 상기 반도체 기관의 방사상 및 방위각 온도 프로파일 제어를 제공하는, 기관 지지 어셈블리.

청구항 13

제1 항에 기재된 상기 열적 플레이트를 제조하는 방법으로서,

세라믹 분말, 바인더 및 액체의 혼합물을 시트들로 압축하는 (press) 단계;

상기 시트들을 건조하는 단계;

상기 시트들 내에 구멍들을 뚫어 상기 시트들 내에 비아들을 형성하는 단계;

상기 시트들 상에 상기 양 전압 라인들, 상기 음 전압 라인들 및 상기 공통 라인들을 형성하는 단계;

상기 시트들을 정렬하는 단계;

상기 열적 플레이트를 형성하도록 접착제에 의해 상기 시트들을 본딩하거나 소결시키는 단계;

전도성 분말의 슬러리로 상기 비아들을 충전 (filling) 하는 단계;

상기한 평면형 열적 존들 내의 어떠한 2 개의 펠티에 디바이스들도 하나의 공통 라인 및 양 전압 라인들과 음 전압 라인들의 쌍을 공유하지 않되, 평면형 열적 존 각각 내의 펠티에 디바이스는 양 전압 라인들 및 음 전압 라인들의 쌍과 동일한 상기 공통 라인에 연결되도록, 상기 열적 플레이트 상에 상기 펠티에 디바이스들 및 다이오드들을 본딩하는 단계를 포함하는, 열적 플레이트 제조방법.

청구항 14

제13 항에 있어서,

상기 양 전압 라인들, 상기 음 전압 라인들 및 상기 공통 라인들은, 전도성 분말의 슬러리를 스크린 프린팅하거나, 사전절단 금속박 (precut metal foil) 을 압축하거나, 또는 전도성 분말의 슬러리를 분사함으로써 형성되는, 열적 플레이트 제조방법.

청구항 15

제1 항에 기재된 상기 열적 플레이트를 제조하는 방법으로서,

- (a) 유리섬유 복합재 플레이트 상 또는 전기 절연성 폴리머 막에 의해 피복된 금속 플레이트 상에 금속 시트를 본딩하는 단계;
- (b) 상기 금속 시트의 표면에 패터닝된 (patterned) 레지스트 막을 도포하는 단계로서, 상기 패터닝된 레지스트 막 내의 개구들이 양 전압 라인들, 음 전압 라인들 및 공통 라인들 중 적어도 하나에 대응하는 도전체 라인들의 그룹의 형상들 및 위치들을 규정하는, 상기 레지스트 막을 도포하는 단계;
- (c) 상기 패터닝된 레지스트 막 내의 상기 개구들을 통해 노출된 상기 금속 시트의 부분들을 화학적으로 에칭 (etching) 함으로써 상기 도전체 라인들의 그룹을 형성하는 단계;
- (d) 상기 레지스트 막을 제거하는 단계;
- (e) 상기 금속 시트 상에 전기 절연성 폴리머 막을 도포하는 단계;
- (f) 선택적으로 (b) 내지 (e) 단계들을 일회 이상 반복하는 단계;
- (g) 상기 금속 시트 및 상기 전기 절연성 폴리머 막을 통해 구멍들을 뚫고, 금속, 전도성 분말의 슬러리, 전도성 접착제 또는 전도성 폴리머 중 적어도 하나로 상기 구멍들을 충전함으로써 비아들을 형성하는 단계;
- (h) 상이한 평면형 열적 존들 내의 어떠한 2 개의 웰티에 디바이스들도 하나의 공통 라인 및 양 전압 라인 및 음 전압 라인의 쌍을 공유하지 않으면서 평면형 열적 존 각각 내의 웰티에 디바이스들은 양 전압 라인 및 음 전압 라인의 쌍 및 동일한 상기 공통 라인에 연결되는 상기 열적 플레이트를 형성하도록 웰티에 디바이스들 및 다이오드들을 하나 이상의 전기 절연성 폴리머 막들에 본딩하고 상기 폴리머 막들을 어셈블리하는 단계를 포함하는, 열적 플레이트의 제조방법.

청구항 16

제11 항에 기재된 상기 기판 지지 어셈블리를 포함하는 플라즈마 처리 챔버 내에서 반도체 기판들을 플라즈마 처리하는 방법으로서,

- (a) 상기 처리 챔버 내로 반도체 기판을 로딩하고 상기 기판 지지 어셈블리 상에 상기 반도체 기판을 위치시키는 단계;
- (b) 임계 치수 (critical dimension: CD) 균일성에 영향을 미치는 처리 조건들을 보상하는 온도 프로파일을 결정하는 단계;
- (c) 상기 기판 지지 어셈블리를 사용하여 상기 온도 프로파일에 부합하도록 상기 반도체 기판을 가열하는 단계;
- (d) 상기 평면형 열적 존들의 독립적으로 제어되는 가열 또는 냉각에 의해서 상기 온도 프로파일을 제어하는 동안, 플라즈마를 점화하고 상기 반도체 기판을 처리하는 단계;
- (e) 상기 반도체 기판을 상기 처리 챔버로부터 언로딩 (unloading) 하고, 다른 반도체 기판에 대해서 (a) 내지 (e) 단계들을 반복하는 단계를 포함하는, 반도체 기판 플라즈마 처리방법.

청구항 17

제12 항에 있어서,

상기 주 가열기 층은 2 개 이상의 가열기를 포함하는, 기판 지지 어셈블리.

청구항 18

제1 항에 있어서,

상기 열적 플레이트는 정전기적 클램핑 층을 지지하도록 구성되는, 열적 플레이트.

청구항 19

반도체 처리 장치 내부의 반도체 기판을 지지하는데 사용되는 기판 지지 어셈블리의 온도 제어형 베이스 플레이트 위에 놓이도록 구성된 열적 플레이트로서,

전기 절연성 플레이트;

제1 평면형 열적 존, 제2 평면형 열적 존, 제3 평면형 열적 존 및 제4 평면형 열적 존을 적어도 포함하는 평면형 열적 존들로서, 평면형 열적 존 각각은 열전기 요소로서 하나 이상의 펠티에 디바이스들을 포함하며, 상기 평면형 열적 존들은 상기 전기 절연성 플레이트에 걸쳐서 측방향으로 분포되며, 상기 기관 상의 공간적 온도 프로파일을 튜닝하도록 동작 가능한, 상기 평면형 열적 존들;

상기 전기 절연성 플레이트에 걸쳐서 측방향으로 분포된 제1 전기 전도성 양 전압 라인 및 제2 전기 전도성 양 전압 라인을 포함하는 양 전압 라인들;

상기 전기 절연성 플레이트에 걸쳐서 측방향으로 분포되는 제1 전기 전도성 음 전압 라인, 제2 전기 전도성 음 전압 라인을 포함하는 음 전압 라인들; 및

상기 전기 절연성 플레이트에 걸쳐서 측방향으로 분포되는 제1 전기 전도성 공통 라인, 제2 전기 전도성 공통 라인을 포함하는 공통 라인들을 포함하며,

상기 제1 공통 라인은 상기 제1 평면형 열적 존 및 제3 평면형 열적 존에 연결되며;

상기 제2 공통 라인은 상기 제2 평면형 열적 존 및 제4 평면형 열적 존에 연결되는, 열적 플레이트.

청구항 20

제19 항에 있어서,

상기 평면형 열적 존들은 어떠한 저항성 가열기 요소들을 포함하지 않는, 열적 플레이트.

청구항 21

제19 항에 있어서,

(a) 상기 평면형 열적 존들 각각의 상기 펠티에 디바이스들은 상기 전기 절연성 플레이트의 상부 부분에 위치하며; 상기 양 전압 라인들 및 음 전압 라인들은 상기 펠티에 디바이스들의 하측에 배치되고, 상기 전기 절연성 플레이트에 수직으로 연장된 비아들에 의해 다이오드들에 전기적으로 연결되며; 상기 공통 라인들은 상기 양 전압 라인들 및 음 전압 라인들의 하측에 있고, 상기 전기 절연성 플레이트에 수직으로 연장된 비아들에 의해 상기 평면형 열적 존들에 전기적으로 연결되는, 열적 플레이트.

청구항 22

제19 항에 있어서,

- (a) 평면형 열적 존 각각이 상기 반도체 기관 상에서 제조되는 네 개의 디바이스 다이들보다 크지 않거나,
- (b) 평면형 열적 존 각각이 상기 반도체 기관 상에서 제조되는 두 개의 디바이스 다이들보다 크지 않거나,
- (c) 평면형 열적 존 각각이 상기 반도체 기관 상에서 제조되는 하나의 디바이스 다이보다 크지 않거나,
- (d) 평면형 열적 존 각각이 상기 반도체 기관 상의 디바이스 다이들의 크기 및 상기 반도체 기관의 전체 크기에 맞게 스케일링되도록 상기 평면형 열적 존들이 크기를 갖는 (sized), 열적 플레이트.

청구항 23

제19 항에 있어서,

- (a) 평면형 열적 존 각각이 0.1 내지 1 cm^2 이거나,
- (b) 평면형 열적 존 각각이 2 내지 3 cm^2 이거나,
- (c) 평면형 열적 존 각각이 1 내지 15 cm^2 이거나,
- (d) 평면형 열적 존 각각이 16 내지 100 cm^2 이도록 상기 평면형 열적 존들이 크기를 갖는, 열적 플레이트.

청구항 24

제19 항에 있어서,

상기 열적 플레이트는 16 내지 400 개의 평면형 열적 존들을 포함하는, 열적 플레이트.

청구항 25

제19 항에 있어서,

상기 전기 절연성 플레이트는 폴리머 재료, 세라믹 재료, 유리섬유 복합재 또는 이들의 조합의 하나 이상의 층들을 포함하는, 열적 플레이트.

청구항 26

제19 항에 있어서,

상기 양 전압 라인들의 총 개수는 상기 평면형 열적 존들의 총 개수의 절반의 이하이거나, 상기 공통 라인들의 총 개수는 상기 평면형 열적 존들의 총 개수의 절반 이하인, 열적 플레이트.

청구항 27

제19 항에 있어서,

상기 평면형 열적 존들의 총 면적은 상기 열적 플레이트의 상부 표면의 50% 내지 100% 인, 열적 플레이트.

청구항 28

제19 항에 있어서,

상기 평면형 열적 존들은 직사각형의 그리드, 육각형의 그리드 또는 극성 어레이 (polar array) 로 배열되고; 상기 평면형 열적 존들은 최소 1 밀리미터의 폭 및 최대 10 밀리미터의 폭을 갖는 갭 (gap) 에 의해서 서로 분리되는, 열적 플레이트.

청구항 29

기판 지지 어셈블리로서:

상기 기판 지지 어셈블리 상에 반도체 기판을 정전기적으로 클램핑하도록 구성된 적어도 하나의 정전기적 클램핑 전극을 포함하는 정전척 (ESC, electrostatic chuck);

상기 정전척을 지지하는 제19 항에 기재된 상기 열적 플레이트의 상부 측; 및

상기 열적 플레이트의 하부 측에 부착되는 온도 제어형 베이스 플레이트를 포함하는, 기판 지지 어셈블리.

청구항 30

제29 항에 있어서,

상기 열적 플레이트 위 또는 아래에 배치된 적어도 하나의 주 (primary) 가열기 층을 더 포함하며,

상기 주 가열기 층은 상기 평면형 열적 존들과 전기적으로 절연되며,

상기 주 가열기 층은 상기 반도체 기판의 평균 온도 제어를 제공하는 적어도 하나의 저항 가열기를 포함하며,

상기 평면형 열적 존들은 상기 반도체 기판 처리 동안에 상기 반도체 기판의 방사상 및 방위각 온도 프로파일 제어를 제공하는, 기판 지지 어셈블리.

청구항 31

제19 항에 기재된 상기 열적 플레이트를 제조하는 방법으로서,

세라믹 분말, 바인더 및 액체의 혼합물을 시트들로 압축하는 단계;

상기 시트들을 건조하는 단계;

상기 시트들 내에 구멍들을 뚫어 상기 시트들 내에 비아들을 형성하는 단계;

상기 시트들 상에 상기 양 전압 라인들, 상기 음 전압 라인들 및 상기 공통 라인들을 형성하는 단계;

상기 시트들을 정렬하는 단계;

상기 열적 플레이트를 형성하도록 접착제에 의해 상기 시트들을 본딩하거나 소결시키는 단계;

전도성 분말의 슬러리로 상기 비아들을 충전 (filling) 하는 단계;

상이한 평면형 열적 존들 내의 어떠한 2 개의 펠티에 디바이스들도 하나의 공통 라인 및 양 전압 라인들과 음 전압 라인들의 쌍을 공유하지 않되, 평면형 열적 존 각각 내의 펠티에 디바이스는 양 전압 라인들 및 음 전압 라인들의 쌍과 동일한 상기 공통 라인에 연결되도록, 상기 열적 플레이트 상에 상기 펠티에 디바이스들을 본딩하는 단계를 포함하는, 열적 플레이트 제조방법.

청구항 32

제31 항에 있어서,

상기 양 전압 라인들, 상기 음 전압 라인들 및 상기 공통 라인들은, 전도성 분말의 슬러리를 스크린 프린팅하거나, 사전절단 금속박 (precut metal foil) 을 압축 (pressing) 하거나, 또는 전도성 분말의 슬러리를 분사함으로써 형성되는, 열적 플레이트 제조방법.

청구항 33

제19 항에 기재된 상기 열적 플레이트를 제조하는 방법으로서,

(a) 유리섬유 복합재 플레이트 상 또는 전기 절연성 폴리머 막에 의해 피복된 금속 플레이트 상에 금속 시트를 본딩하는 단계;

(b) 상기 금속 시트의 표면에 패터닝된 (patterned) 레지스트 막을 도포하는 단계로서, 상기 패터닝된 레지스트 막 내의 개구들이 양 전압 라인들, 음 전압 라인들 및 공통 라인들 중 적어도 하나에 대응하는 도전체 라인들의 그룹의 형상을 및 위치들을 규정하는, 상기 레지스트 막을 도포하는 단계;

(c) 상기 패터닝된 레지스트 막 내의 상기 개구들을 통해 노출된 상기 금속 시트의 부분들을 화학적으로 에칭 (etching) 함으로써 상기 도전체 라인들의 그룹을 형성하는 단계;

(d) 상기 레지스트 막을 제거하는 단계;

(e) 상기 금속 시트 상에 전기 절연성 폴리머 막을 도포하는 단계;

(f) 선택적으로 (b) 내지 (e) 단계들을 일회 이상 반복하는 단계;

(g) 상기 금속 시트 및 상기 전기 절연성 폴리머 막을 통해 구멍들을 뚫고, 금속, 전도성 분말의 슬러리, 전도성 접착제 또는 전도성 폴리머 중 적어도 하나로 상기 구멍들을 충전함으로써 비아들을 형성하는 단계;

(h) 상이한 평면형 열적 존들 내의 어떠한 2 개의 펠티에 디바이스들도 하나의 공통 라인 및 양 전압 라인 및 음 전압 라인의 쌍을 공유하지 않으면서 평면형 열적 존 각각 내의 펠티에 디바이스들은 양 전압 라인 및 음 전압 라인의 쌍 및 동일한 상기 공통 라인에 연결되는 상기 열적 플레이트를 형성하도록 펠티에 디바이스들을 하나 이상의 전기 절연성 폴리머 막들에 본딩하고 상기 폴리머 막들을 어셈블리하는 단계를 포함하는, 열적 플레이트의 제조방법.

청구항 34

제29 항에 기재된 상기 기관 지지 어셈블리를 포함하는 플라즈마 처리 챔버 내에서 반도체 기관들을 플라즈마 처리하는 방법으로서,

(a) 상기 처리 챔버 내로 반도체 기관을 로딩하고 상기 기관 지지 어셈블리 상에 상기 반도체 기관을 위치시키는 단계;

(b) 임계 치수 (critical dimension: CD) 균일성에 영향을 미치는 처리 조건들을 보상하는 온도 프로파일을 결정하는 단계;

(c) 상기 기관 지지 어셈블리를 사용하여 상기 온도 프로파일에 부합하도록 상기 반도체 기관을 가열하는 단계;

(d) 상기 평면형 열적 존들의 독립적으로 제어되는 가열 또는 냉각에 의해서 상기 온도 프로파일을 제어하는 동안, 플라즈마를 점화하고 상기 반도체 기판을 처리하는 단계;

(e) 상기 반도체 기판을 상기 처리 챔버로부터 언로딩 (unloading) 하고, 다른 반도체 기판에 대해서 (a) 내지 (e) 단계들을 반복하는 단계를 포함하는, 반도체 기판 플라즈마 처리방법.

청구항 35

제30 항에 있어서,

상기 주 가열기 층은 2 개 이상의 가열기를 포함하는, 기판 지지 어셈블리.

청구항 36

제19 항에 있어서,

상기 열적 플레이트는 정전기적 클램핑 층을 지지하도록 구성되는, 열적 플레이트.

발명의 설명

배경 기술

[0001] 각 반도체 기술 세대가 계속됨에 따라, 기판 직경이 증가하는 경향이고 트랜지스터의 크기는 감소하여, 기판 처리에서 어느 때보다 더 높은 정확도와 재현성에 대한 요구를 야기하였다. 실리콘 기판과 같은 반도체 기판 재료는 진공 챔버의 사용을 포함하는 기술들에 의해 처리된다. 이러한 기술들은 스퍼터 증착, 플라즈마 강화 화학 기상 증착 (PECVD), 레지스트 스트리핑 및 플라즈마 에칭과 같은 플라즈마 적용뿐만 아니라 전자빔 증착과 같은 비플라즈마 (non-plasma) 적용을 포함한다.

[0002] 오늘날 입수 가능한 플라즈마 처리 시스템들은 개선된 정확도 및 재현성에 대한 증가하고 있는 요구를 받는 반도체 제조 툴들 중에 있다. 플라즈마 처리 시스템의 하나의 척도는 증가된 균일성이며, 이 균일성은 반도체 기판 표면 상의 프로세스 결과들의 균일성뿐만 아니라 명목상 동일한 입력 파라미터들로 처리된 연속하는 기판들 간의 프로세스 결과의 균일성을 포함한다. 기판-상 균일성 (on-substrate uniformity) 의 지속적인 개선은 바람직하다. 무엇보다도, 이는 개선된 균일성, 일관성, 자가 진단을 갖는 플라즈마 챔버를 필요로 한다.

발명의 내용

[0003] 반도체 처리 장치 내부의 반도체 기판을 지지하는데 사용되는 기판 지지 어셈블리의 온도 제어형 베이스 플레이트 (temperature controlled base plate) 위에 놓이도록 구성된 열적 플레이트 (thermal plate), 상기 열적 플레이트는 제1 평면형 열적 존, 제2 평면형 열적 존, 제3 평면형 열적 존 및 제4 평면형 열적 존들을 포함하는 평면형 열적 존들, 전기 절연성 플레이트를 포함한다. 각 평면형 열적 존은 열전기 요소들로서 일 이상의 펠티에 (Peltier) 디바이스들을 포함하며, 상기 평면형 열적 존들은 상기 전기 절연성 플레이트에 걸쳐서 측방향으로 (laterally) 분포되고 상기 기판 상의 공간적 온도 프로파일을 튜닝하도록 동작 가능하고, 양 전압 라인들은 상기 전기 절연성 플레이트에 걸쳐서 측방향으로 분포되는 제1 전기 전도성 양 전압 라인 및 제2 전기 전도성 양 전압 라인을 포함하며, 음 전압 라인들은 상기 전기 절연성 플레이트에 걸쳐서 측방향으로 분포되는 제1 전기 전도성 음전압 라인 및 제2 전기 전도성 음 전압 라인들을 포함하며, 공통 라인들은 상기 전기 절연성 플레이트에 걸쳐서 측방향으로 분포되는 제1 전기 전도성 공통 라인 및 제2 전기 전도성 공통 라인들을 포함하며, 제1 다이오드, 제2 다이오드, 제3 다이오드, 제4 다이오드, 제5 다이오드, 제6 다이오드, 제7 다이오드 및 제8 다이오드는 상기 전기 절연성 플레이트에 걸쳐서 측방향으로 분포된다.

[0004] 상기 제1 다이오드의 양극은 상기 제1 양 전압 라인에 연결되고 상기 제1 다이오드의 음극은 상기 제1 평면형 열적 존에 연결된다.

[0005] 상기 제2 다이오드의 양극은 상기 제1 평면형 열적 존에 연결되고 상기 제2 다이오드의 음극은 상기 제1 음 전압 라인에 연결된다.

[0006] 상기 제3 다이오드의 양극은 상기 제1 양 전압 라인에 연결되고 상기 제3 다이오드의 음극은 상기 제2 평면형 열적 존에 연결된다.

[0007] 상기 제4 다이오드의 양극은 상기 제2 평면형 열적 존에 연결되고 상기 제4 다이오드의 음극은 상기 제1 음 전

압 라인에 연결된다.

- [0008] 상기 제5 다이오드의 양극은 상기 제2 양 전압 라인에 연결되고 상기 제5 다이오드의 음극은 상기 제3 평면형 열적 존에 연결된다.
- [0009] 상기 제6 다이오드의 양극은 상기 제3 평면형 열적 존에 연결되고 상기 제6 다이오드의 음극은 상기 제2 음 전압 라인에 연결된다.
- [0010] 상기 제7 다이오드의 양극은 상기 제2 양 전압 라인에 연결되고 상기 제7 다이오드의 음극은 상기 제4 평면형 열적 존에 연결된다.
- [0011] 상기 제8 다이오드의 양극은 상기 제4 평면형 열적 존에 연결되고 상기 제8 다이오드의 음극은 상기 제2 음 전압 라인에 연결된다.
- [0012] 상기 제1 공통 라인은 상기 제1 평면형 열적 존 및 제3 평면형 열적 존에 연결된다.
- [0013] 상기 제2 공통 라인은 상기 제2 평면형 열적 존 및 제4 평면형 열적 존에 연결된다.

반도체 처리 장치 내부의 반도체 기판을 지지하는데 사용되는 기판 지지 어셈블리의 온도 제어형 베이스 플레이트 (temperature controlled base plate) 위에 놓이도록 구성된 열적 플레이트 (thermal plate) 가 제공된다.

열적 플레이트는, 전기 절연성 플레이트; 제1 평면형 열적 존 (thermal zone), 제2 평면형 열적 존, 제3 평면형 열적 존 및 제4 평면형 열적 존을 적어도 포함하는 평면형 열적 존들로서, 평면형 열적 존 각각은 열전기 요소로서 하나 이상의 펠티에 (Peltier) 디바이스들을 포함하며, 상기 평면형 열적 존들은 상기 전기 절연성 플레이트에 걸쳐서 측방향으로 (laterally) 분포되며, 상기 기판 상의 공간적 온도 프로파일을 튜닝하도록 동작 가능한, 상기 평면형 열적 존들; 상기 전기 절연성 플레이트에 걸쳐서 측방향으로 분포된 제1 전기 전도성 양 전압 라인 및 제2 전기 전도성 양 전압 라인을 포함하는 양 전압 라인들; 상기 전기 절연성 플레이트에 걸쳐서 측방향으로 분포되는 제1 전기 전도성 음 전압 라인, 제2 전기 전도성 음 전압 라인을 포함하는 음 전압 라인들; 상기 전기 절연성 플레이트에 걸쳐서 측방향으로 분포되는 제1 전기 전도성 공통 라인, 제2 전기 전도성 공통 라인을 포함하는 공통 라인들; 및 상기 전기 절연성 플레이트에 걸쳐서 측방향으로 분포되는 제1 다이오드, 제2 다이오드, 제3 다이오드, 제4 다이오드, 제5 다이오드, 제6 다이오드, 제7 다이오드 및 제8 다이오드를 포함하며, 상기 제1 다이오드의 양극은 상기 제1 양 전압 라인에 연결되고 상기 제1 다이오드의 음극은 상기 제1 평면형 열적 존에 연결되며; 상기 제2 다이오드의 양극은 상기 제1 평면형 열적 존에 연결되고 상기 제2 다이오드의 음극은 상기 제1 음 전압 라인에 연결되며; 상기 제3 다이오드의 양극은 상기 제1 양 전압 라인에 연결되고 상기 제3 다이오드의 음극은 상기 제2 평면형 열적 존에 연결되며; 상기 제4 다이오드의 양극은 상기 제2 평면형 열적 존에 연결되고 상기 제4 다이오드의 음극은 상기 제1 음 전압 라인에 연결되며; 상기 제5 다이오드의 양극은 상기 제2 양 전압 라인에 연결되고 상기 제5 다이오드의 음극은 상기 제3 평면형 열적 존에 연결되며; 상기 제6 다이오드의 양극은 상기 제3 평면형 열적 존에 연결되고 상기 제6 다이오드의 음극은 상기 제2 음 전압 라인에 연결되며; 상기 제7 다이오드의 양극은 상기 제2 양 전압 라인에 연결되고 상기 제7 다이오드의 음극은 상기 제4 평면형 열적 존에 연결되며; 상기 제8 다이오드의 양극은 상기 제4 평면형 열적 존에 연결되고 상기 제8 다이오드의 음극은 상기 제2 음 전압 라인에 연결되며; 상기 제1 공통 라인은 상기 제1 평면형 열적 존 및 제3 평면형 열적 존에 연결되며; 상기 제2 공통 라인은 상기 제2 평면형 열적 존 및 제4 평면형 열적 존에 연결된다.

상기 평면형 열적 존들은 어떠한 저항성 가열기 요소들을 포함하지 않는다.

(a) 상기 평면형 열적 존들 각각의 상기 펠티에 디바이스들은 상기 전기 절연성 플레이트의 상부 부분에 위치하며; 상기 양 전압 라인들 및 음 전압 라인들은 상기 펠티에 디바이스들의 하측에 배치되고, 상기 전기 절연성 플레이트에 수직으로 연장된 비아들 (vias) 에 의해 상기 다이오드들에 전기적으로 연결되며; 상기 공통 라인들은 상기 양 전압 라인들 및 음 전압 라인들의 하측에 있고, 상기 전기 절연성 플레이트에 수직으로 연장된 비아들에 의해 상기 평면형 열적 존들에 전기적으로 연결된다.

(a) 평면형 열적 존 각각이 상기 반도체 기판 상에서 제조되는 네 개의 디바이스 다이들보다 크지 않거나, (b) 평면형 열적 존 각각이 상기 반도체 기판 상에서 제조되는 두 개의 디바이스 다이들보다 크지 않거나, (c) 평면형 열적 존 각각이 상기 반도체 기판 상에서 제조되는 하나의 디바이스 다이보다 크지 않거나, (d) 평면형 열적 존 각각이 상기 반도체 기판 상의 디바이스 다이들의 크기들 및 상기 반도체 기판의 전체 크기에 맞게 스케일링 되도록 상기 평면형 열적 존들이 크기를 갖는 (sized) 다.

(a) 평면형 열적 존 각각이 0.1 내지 1 cm² 이거나, (b) 평면형 열적 존 각각이 2 내지 3 cm² 이거나, (c) 평면형 열적 존 각각이 1 내지 15 cm² 이거나, (d) 평면형 열적 존 각각이 16 내지 100 cm² 이도록 상기 평면형 열적 존들이 크기를 갖는다.

상기 열적 플레이트는 16 내지 400 개의 평면형 열적 존들을 포함한다.

상기 전기 절연성 플레이트는 폴리머 재료, 세라믹 재료, 유리섬유 복합재 또는 이들의 조합의 하나 이상의 층들을 포함한다.

상기 양 전압 라인들의 총 개수는 상기 평면형 열적 존들의 총 개수의 절반의 이하이거나, 상기 공통 라인들의 총 개수는 상기 평면형 열적 존들의 총 개수의 절반 이하이다.

상기 평면형 열적 존들의 총 면적은 상기 열적 플레이트의 상부 표면의 50% 내지 100% 이다.

상기 평면형 열적 존들은 직사각형의 그리드, 육각형의 그리드 또는 극성 어레이 (polar array) 로 배열되고; 상기 평면형 열적 존들은 최소 1 밀리미터의 폭 및 최대 10 밀리미터의 폭을 갖는 갭 (gap) 에 의해서 서로 분리된다.

기판 지지 어셈블리가 제공된다. 기판 지지 어셈블리는 상기 기판 지지 어셈블리 상에 반도체 기판을 정전기적으로 클램핑하도록 구성된 적어도 하나의 정전기적 클램핑 전극을 포함하는 정전척 (ESC, electrostatic chuck); 상기 정전척을 지지하는 제1 항에 기재된 상기 열적 플레이트의 상부 측; 및 상기 열적 플레이트의 하부 측에 부착되는 온도 제어형 베이스 플레이트를 포함한다.

상기 열적 플레이트 위 또는 아래에 배치된 적어도 하나의 주 (primary) 가열기 층을 더 포함하며, 상기 주 가열기 층은 상기 평면형 열적 존들과 전기적으로 절연되며, 상기 주 가열기 층은 상기 반도체 기판의 평균 온도 제어를 제공하는 적어도 하나의 저항 가열기를 포함하며, 상기 평면형 열적 존들은 상기 반도체 기판 처리 동안에 상기 반도체 기판의 방사상 및 방위각 온도 프로파일 제어를 제공한다.

상기 열적 플레이트를 제조하는 방법이 제공된다. 방법은 세라믹 분말, 바인더 및 액체의 혼합물을 시트들로 압축하는 (press) 단계; 상기 시트들을 건조하는 단계; 상기 시트들 내에 구멍들을 뚫어 상기 시트들 내에 비아들을 형성하는 단계; 상기 시트들 상에 상기 양 전압 라인들, 상기 음 전압 라인들 및 상기 공통 라인들을 형성하는 단계; 상기 시트들을 정렬하는 단계; 상기 열적 플레이트를 형성하도록 접착제에 의해 상기 시트들을 본딩하거나 소결시키는 단계; 전도성 분말의 슬러리로 상기 비아들을 충전 (filling) 하는 단계; 상이한 평면형 열적 존들 내의 어떠한 2 개의 웰트에 디바이스들도 하나의 공통 라인 및 양 전압 라인들과 음 전압 라인들의 쌍을 공유하지 않되, 평면형 열적 존 각각 내의 웰트에 디바이스는 양 전압 라인들 및 음 전압 라인들의 쌍과 동일한 상기 공통 라인에 연결되도록, 상기 열적 플레이트 상에 상기 웰트에 디바이스들 및 다이오드들을 본딩하는 단계를 포함한다.

상기 양 전압 라인들, 상기 음 전압 라인들 및 상기 공통 라인들은, 전도성 분말의 슬러리를 스크린 프린팅하거나, 사전절단 금속박 (precut metal foil) 을 압축하거나, 또는 전도성 분말의 슬러리를 분사함으로써 형성된다.

상기 열적 플레이트를 제조하는 방법이 제공된다. 방법은 (a) 유리섬유 복합재 플레이트 상 또는 전기 절연성 폴리머 막에 의해 피복된 금속 플레이트 상에 금속 시트를 본딩하는 단계; (b) 상기 금속 시트의 표면에 패터닝된 (patterned) 레지스트 막을 도포하는 단계로서, 상기 패터닝된 레지스트 막 내의 개구들이 양 전압 라인들, 음 전압 라인들 및 공통 라인들 중 적어도 하나에 대응하는 도전체 라인들의 그룹의 형상들 및 위치들을 규정하는, 상기 레지스트 막을 도포하는 단계; (c) 상기 패터닝된 레지스트 막 내의 상기 개구들을 통해 노출된 상기 금속 시트의 부분들을 화학적으로 에칭 (etching) 함으로써 상기 도전체 라인들의 그룹을 형성하는 단계; (d) 상기 레지스트 막을 제거하는 단계; (e) 상기 금속 시트 상에 전기 절연성 폴리머 막을 도포하는 단계; (f) 선택적으로 (b) 내지 (e) 단계들을 일회 이상 반복하는 단계; (g) 상기 금속 시트(들) 및 상기 전기 절연성 폴리머 막(들)을 통해 구멍들을 뚫고, 금속, 전도성 분말의 슬러리, 전도성 접착제 또는 전도성 폴리머 중 적어도 하나로 상기 구멍들을 충전함으로써 비아들을 형성하는 단계; (h) 상이한 평면형 열적 존들 내의 어떠한 2 개의 웰트에 디바이스들도 하나의 공통 라인 및 양 전압 라인 및 음 전압 라인의 쌍을 공유하지 않으면서 평면형 열적 존 각각 내의 웰트에 디바이스들은 양 전압 라인 및 음 전압 라인의 쌍 및 동일한 상기 공통 라인에 연결되는 상기 열적 플레이트를 형성하도록 웰트에 디바이스들 및 다이오드들을 하나 이상의 전기 절연성 폴리머 막들

에 본딩하고 상기 폴리머 막들을 어셈블리하는 단계를 포함한다.

상기 기판 지지 어셈블리를 포함하는 플라즈마 처리 챔버 내에서 반도체 기판들을 플라즈마 처리하는 방법이 제공된다. 방법은 (a) 상기 처리 챔버 내로 반도체 기판을 로딩하고 상기 기판 지지 어셈블리 상에 상기 반도체 기판을 위치시키는 단계; (b) 임계 치수 (critical dimension: CD) 균일성에 영향을 미치는 처리 조건들을 보상하는 온도 프로파일을 결정하는 단계; (c) 상기 기판 지지 어셈블리를 사용하여 상기 온도 프로파일에 부합하도록 상기 반도체 기판을 가열하는 단계; (d) 상기 평면형 열적 존들의 독립적으로 제어되는 가열 또는 냉각에 의해서 상기 온도 프로파일을 제어하는 동안, 플라즈마를 점화하고 상기 반도체 기판을 처리하는 단계; (e) 상기 반도체 기판을 상기 처리 챔버로부터 언로딩 (unloading) 하고, 다른 반도체 기판에 대해서 (a) 내지 (e) 단계를 반복하는 단계를 포함한다.

상기 주 가열기 층은 2 개 이상의 가열기를 포함한다.

상기 열적 플레이트는 정전기적 클램핑 층을 지지하도록 구성된다.

반도체 처리 장치 내부의 반도체 기판을 지지하는데 사용되는 기판 지지 어셈블리의 온도 제어형 베이스 플레이트 위에 놓이도록 구성된 열적 플레이트가 제공된다. 열적 플레이트는 전기 절연성 플레이트; 제1 평면형 열적 존, 제2 평면형 열적 존, 제3 평면형 열적 존 및 제4 평면형 열적 존을 적어도 포함하는 평면형 열적 존들로서, 평면형 열적 존 각각은 열전기 요소로서 하나 이상의 펠티에 디바이스들을 포함하며, 상기 평면형 열적 존들은 상기 전기 절연성 플레이트에 걸쳐서 측방향으로 분포되며, 상기 기판 상의 공간적 온도 프로파일을 튜닝하도록 동작 가능한, 상기 평면형 열적 존들; 상기 전기 절연성 플레이트에 걸쳐서 측방향으로 분포된 제1 전기 전도성 양 전압 라인 및 제2 전기 전도성 양 전압 라인을 포함하는 양 전압 라인들; 상기 전기 절연성 플레이트에 걸쳐서 측방향으로 분포되는 제1 전기 전도성 음 전압 라인, 제2 전기 전도성 음 전압 라인을 포함하는 음 전압 라인들; 및 상기 전기 절연성 플레이트에 걸쳐서 측방향으로 분포되는 제1 전기 전도성 공통 라인, 제2 전기 전도성 공통 라인을 포함하는 공통 라인들을 포함하며, 상기 제1 공통 라인은 상기 제1 평면형 열적 존 및 제3 평면형 열적 존에 연결되며; 상기 제2 공통 라인은 상기 제2 평면형 열적 존 및 제4 평면형 열적 존에 연결된다.

상기 평면형 열적 존들은 어떠한 저항성 가열기 요소들을 포함하지 않는다.

(a) 상기 평면형 열적 존들 각각의 상기 펠티에 디바이스들은 상기 전기 절연성 플레이트의 상부 부분에 위치하며; 상기 양 전압 라인들 및 음 전압 라인들은 상기 펠티에 디바이스들의 하측에 배치되고, 상기 전기 절연성 플레이트에 수직으로 연장된비아들에 의해 다이오드들에 전기적으로 연결되며; 상기 공통 라인들은 상기 양 전압 라인들 및 음 전압 라인들의 하측에 있고, 상기 전기 절연성 플레이트에 수직으로 연장된비아들에 의해 상기 평면형 열적 존들에 전기적으로 연결된다.

(a) 평면형 열적 존 각각이 상기 반도체 기판 상에서 제조되는 네 개의 디바이스 다이들보다 크지 않거나, (b) 평면형 열적 존 각각이 상기 반도체 기판 상에서 제조되는 두 개의 디바이스 다이들보다 크지 않거나, (c) 평면형 열적 존 각각이 상기 반도체 기판 상에서 제조되는 하나의 디바이스 다이보다 크지 않거나, (d) 평면형 열적 존 각각이 상기 반도체 기판 상의 디바이스 다이들의 크기 및 상기 반도체 기판의 전체 크기에 맞게 스케일링되도록 상기 평면형 열적 존들이 크기를 갖는 (sized) 다.

(a) 평면형 열적 존 각각이 0.1 내지 1 cm² 이거나, (b) 평면형 열적 존 각각이 2 내지 3 cm² 이거나, (c) 평면형 열적 존 각각이 1 내지 15 cm² 이거나, (d) 평면형 열적 존 각각이 16 내지 100 cm² 이도록 상기 평면형 열적 존들이 크기를 갖는다.

상기 열적 플레이트는 16 내지 400 개의 평면형 열적 존들을 포함한다.

상기 전기 절연성 플레이트는 폴리머 재료, 세라믹 재료, 유리섬유 복합재 또는 이들의 조합의 하나 이상의 층들을 포함한다.

상기 양 전압 라인들의 총 개수는 상기 평면형 열적 존들의 총 개수의 절반의 이하이거나, 상기 공통 라인들의 총 개수는 상기 평면형 열적 존들의 총 개수의 절반 이하이다.

상기 평면형 열적 존들의 총 면적은 상기 열적 플레이트의 상부 표면의 50% 내지 100% 이다.

상기 평면형 열적 존들은 직사각형의 그리드, 육각형의 그리드 또는 극성 어레이 (polar array) 로 배열되고; 상기 평면형 열적 존들은 최소 1 밀리미터의 폭 및 최대 10 밀리미터의 폭을 갖는 갭 (gap) 에 의해서 서로 분

리된다.

기관 지지 어셈블리가 제공된다. 기관 지지 어셈블리는 상기 기관 지지 어셈블리 상에 반도체 기관을 정전기적으로 클램핑하도록 구성된 적어도 하나의 정전기적 클램핑 전극을 포함하는 정전적 (ESC, electrostatic chuck); 상기 정전척을 지지하는 제19 항에 기재된 상기 열적 플레이트의 상부 측; 및 상기 열적 플레이트의 하부 측에 부착되는 온도 제어형 베이스 플레이트를 포함한다.

상기 열적 플레이트 위 또는 아래에 배치된 적어도 하나의 주 (primary) 가열기 층을 더 포함하며, 상기 주 가열기 층은 상기 평면형 열적 존들과 전기적으로 절연되며, 상기 주 가열기 층은 상기 반도체 기관의 평균 온도 제어를 제공하는 적어도 하나의 저항 가열기를 포함하며, 상기 평면형 열적 존들은 상기 반도체 기관 처리 동안에 상기 반도체 기관의 방사상 및 방위각 온도 프로파일 제어를 제공한다.

상기 열적 플레이트를 제조하는 방법이 제공된다. 방법은 세라믹 분말, 바인더 및 액체의 혼합물을 시트들로 압축하는 단계; 상기 시트들을 건조하는 단계; 상기 시트들 내에 구멍들을 뚫어 상기 시트들 내에 비아들을 형성하는 단계; 상기 시트들 상에 상기 양 전압 라인들, 상기 음 전압 라인들 및 상기 공통 라인들을 형성하는 단계; 상기 시트들을 정렬하는 단계; 상기 열적 플레이트를 형성하도록 접착제에 의해 상기 시트들을 본딩하거나 소결시키는 단계; 전도성 분말의 슬러리로 상기 비아들을 충전 (filling) 하는 단계; 상이한 평면형 열적 존들 내의 어떠한 2 개의 웰티에 디바이스들도 하나의 공통 라인 및 양 전압 라인들과 음 전압 라인들의 쌍을 공유하지 않되, 평면형 열적 존 각각 내의 웰티에 디바이스는 양 전압 라인들 및 음 전압 라인들의 쌍과 동일한 상기 공통 라인에 연결되도록, 상기 열적 플레이트 상에 상기 웰티에 디바이스들을 본딩하는 단계를 포함한다.

상기 양 전압 라인들, 상기 음 전압 라인들 및 상기 공통 라인들은, 전도성 분말의 슬러리를 스크린 프린팅하거나, 사전절단 금속박 (precut metal foil) 을 압축 (pressing) 하거나, 또는 전도성 분말의 슬러리를 분사함으로써 형성된다.

상기 열적 플레이트를 제조하는 방법이 제공된다. 방법은 (a) 유리섬유 복합재 플레이트 상 또는 전기 절연성 폴리머 막에 의해 피복된 금속 플레이트 상에 금속 시트를 본딩하는 단계; (b) 상기 금속 시트의 표면에 패터닝된 (patterned) 레지스트 막을 도포하는 단계로서, 상기 패터닝된 레지스트 막 내의 개구들이 양 전압 라인들, 음 전압 라인들 및 공통 라인들 중 적어도 하나에 대응하는 도전체 라인들의 그룹의 형상들 및 위치들을 규정하는, 상기 레지스트 막을 도포하는 단계; (c) 상기 패터닝된 레지스트 막 내의 상기 개구들을 통해 노출된 상기 금속 시트의 부분들을 화학적으로 에칭 (etching) 함으로써 상기 도전체 라인들의 그룹을 형성하는 단계; (d) 상기 레지스트 막을 제거하는 단계; (e) 상기 금속 시트 상에 전기 절연성 폴리머 막을 도포하는 단계; (f) 선택적으로 (b) 내지 (e) 단계들을 일회 이상 반복하는 단계; (g) 상기 금속 시트(들) 및 상기 전기 절연성 폴리머 막(들)을 통해 구멍들을 뚫고, 금속, 전도성 분말의 슬러리, 전도성 접착제 또는 전도성 폴리머 중 적어도 하나로 상기 구멍들을 충전함으로써 비아들을 형성하는 단계; (h) 상이한 평면형 열적 존들 내의 어떠한 2 개의 웰티에 디바이스들도 하나의 공통 라인 및 양 전압 라인 및 음 전압 라인의 쌍을 공유하지 않으면서 평면형 열적 존 각각 내의 웰티에 디바이스들은 양 전압 라인 및 음 전압 라인의 쌍 및 동일한 상기 공통 라인에 연결되는 상기 열적 플레이트를 형성하도록 웰티에 디바이스들을 하나 이상의 전기 절연성 폴리머 막들에 본딩하고 상기 폴리머 막들을 어셈블리하는 단계를 포함한다.

상기 기관 지지 어셈블리를 포함하는 플라즈마 처리 챔버 내에서 반도체 기관들을 플라즈마 처리하는 방법이 제공된다. 방법은 (a) 상기 처리 챔버 내로 반도체 기관을 로딩하고 상기 기관 지지 어셈블리 상에 상기 반도체 기관을 위치시키는 단계; (b) 임계 치수 (critical dimension: CD) 균일성에 영향을 미치는 처리 조건들을 보상하는 온도 프로파일을 결정하는 단계; (c) 상기 기관 지지 어셈블리를 사용하여 상기 온도 프로파일에 부합하도록 상기 반도체 기관을 가열하는 단계; (d) 상기 평면형 열적 존들의 독립적으로 제어되는 가열 또는 냉각에 의해서 상기 온도 프로파일을 제어하는 동안, 플라즈마를 점화하고 상기 반도체 기관을 처리하는 단계; (e) 상기 반도체 기관을 상기 처리 챔버로부터 언로딩 (unloading) 하고, 다른 반도체 기관에 대해서 (a) 내지 (e) 단계들을 반복하는 단계를 포함한다.

상기 주 가열기 층은 2 개 이상의 가열기를 포함한다.

상기 열적 플레이트는 정전기적 클램핑 층을 지지하도록 구성된다.

도면의 간단한 설명

도 1은 본 명세서에서 기술된 열적 플레이트를 갖는 기관 지지 어셈블리를 포함할 수 있는 예시적인 플라즈마

[0014]

처리 챔버의 개략도이다.

도 2는 양 전압 라인, 음 전압 라인, 및 공통 라인의 기관 지지 어셈블리 내에 포함될 수 있는 열적 플레이트 내의 펠티에 디바이스들의 전기적 접속을 예시한다.

도 3은 제 1 실시예에 따른 열적 플레이트가 합체되는 기관 지지 어셈블리의 개략적인 단면도이다.

도 4는 제 2 실시예에 따른 열적 플레이트가 합체되는 기관 지지 어셈블리의 개략적인 단면도이다.

도 5는 제 3 실시예에 따른 열적 플레이트가 합체되는 기관 지지 어셈블리의 개략적인 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 기관 상에서 목표된 임계 치수 (critical dimension, CD) 균일성을 얻기 위한 반도체 처리 장치에서의 방사상 및 방위각의 기관 온도 제어가 점점 더 요구되고 있다. 특히 반도체 제조 공정에서 임계 치수가 sub-100nm에 접근하면서 매우 작은 온도 변화도 임계 치수에 허용할 수 없는 정도로 영향을 줄 수 있다.
- [0016] 기관 지지 어셈블리는 처리 동안 기관을 지지하고, 기관 온도를 튜닝하며, 무선 주파수 전력을 공급하는 것과 같은 다양한 기능을 위해 구성될 수 있다. 기관 지지 어셈블리는 처리 동안 기관 지지 어셈블리 상에 기관을 정전기적으로 클램핑시키는데 유용한 정전 척 (electrostatic chuck, ESC) 을 포함할 수 있다. ESC는 튜닝가능한 ESC (tunable ESC, T-ESC) 일 수 있다. T-ESC는 본 명세서에서 참조로서 인용되는, 공동으로 양도된 미국 특허 번호 6,847,014와 6,921,724에서 설명된다. 기관 지지 어셈블리는 상부 기관 홀더, 하부 유체 냉각식 히트 싱크 (이하, 냉각 플레이트로 지칭됨) 및 이들 간에 존재하며 단계적이고 방사상의 온도 제어를 실현하는 복수의 동심 평면형 가열기 존들 (zones) 을 포함한다. 가열기들은 기관 지지 어셈블리의 지지 표면의 온도를 냉각 플레이트의 온도보다 높은 약 0° C에서 80° C 로 유지할 수 있다. 복수의 평면형 가열기 존들에서 가열기 전력을 변경함으로써, 기관 지지 온도 프로파일이 변화될 수 있다. 게다가, 평균 기관 지지 온도는 냉각 플레이트 온도보다 높은 0° C에서 80° C의 작동 범위 내에서 단계적으로 변경될 수 있다. 반도체 기술의 진보와 함께 임계 치수가 감소함에 따라서, 작은 방위각상의 온도 편차도 점점 더 큰 문제가 된다.
- [0017] 온도를 제어하는 것은 몇몇의 이유에서 쉽지 않은 일이다. 첫째로, 히트 소스들 (heat sources) 및 히트 싱크들의 위치, 매체의 움직임, 재료 및 형상과 같은 많은 요인들이 열 전달에 영향을 미칠 수 있다. 둘째로, 열 전달은 동적인 과정이다. 해당 시스템이 열 평형 안에 있지 않는다면, 열 전달이 발생할 것이고, 온도 프로파일 및 열 전달은 시간에 따라 변화할 수 있다. 셋째로, 물론 플라즈마 처리에서 항상 존재하는 플라즈마와 같은 비평형 현상이 임의의 실제의 플라즈마 처리 장치들의 열 전달 거동의 이론적인 예측을 불가능하지 않다면 매우 어렵게 만들 수 있다.
- [0018] 플라즈마 처리 장치에서 기관 온도 프로파일은 플라즈마 밀도 프로파일, 무선 주파수 전력 프로파일 및 척 (chuck) 내의 다양한 가열 및 냉각 요소들의 세부 구조와 같은 많은 요인들에 의해 영향을 받으므로, 기관 온도 프로파일은 종종 균일하지 않고, 적은 수의 가열 또는 냉각 요소들로 제어하기 어렵다. 이러한 문제는 기관 전체에 걸친 처리 레이트 (rate) 의 비균일성과 기관 상의 디바이스 다이들 (device dies) 의 임계 치수의 비균일성으로 이어진다.
- [0019] 온도 제어의 복잡한 성질을 감안하면, 장치들이 목표 공간 및 시간적 온도 프로파일을 능동적으로 생성하고 유지하며 임계 치수 균일성에 영향을 미치는 다른 불리한 요인들을 보상하도록 기관 지지 어셈블리 내에 다수의 독립적으로 제어가능한 평면형 열적 존들을 포함시키는 것이 유리할 수 있다.
- [0020] 다수의 독립적으로 제어가능한 평면형 열적 존들을 갖는 반도체 처리 장치 내의 기관 지지 어셈블리용 가열 플레이트는 본 명세서에서 참조로서 인용되는, 공동 소유된 미국 특허 공개 번호 2011/0092072 및 2011/0143462에서 개시된다. 이 가열 플레이트는 평면형 가열기 존들의 스케일가능한 (scalable) 다중화 레이아웃 구성 (multiplexing layout scheme) 및 평면형 가열기 존들에 전력을 제공하기 위한 도전체 라인을 포함한다. 평면형 가열기 존들의 전력을 튜닝함으로써, 처리 동안 온도 프로파일은 방사상으로 그리고 방위각을 따라서 성형될 수 있다.
- [0021] 반도체 처리 장치 내의 기관 지지 어셈블리용 열적 플레이트가 본 명세서에 기술되며, 상기 열적 플레이트는 다수의 독립적으로 제어가능한 평면형 열적 존들을 가지고, 각 열적 존은 예를 들어, 단일의 펠티에 (Peltier) 디바이스 또는, 직렬로 연결되며 전류 흐름의 방향에 따라서 가열 또는 냉각되는 상부 플레이트들 및 하부 플레이트들에 결합된 복수의 펠티에 디바이스들을 포함하는 모듈과 같은 최소 하나의 열전기 요소를 포함한다. 바람

직하게는, 상기 평면형 열적 존들은 저항성 가열기 요소들을 갖지 않는다. 하나 이상의 저항성 가열기 요소들을 갖는 주(primary) 가열기가 평균 온도 제어를 위해 기판 지지 어셈블리 안에 포함될 수 있다는 점은 이해되어야 한다.

[0022] 평면형 열적 존들은 바람직하게는 예를 들어, 직사각형의 그리드, 육각형의 그리드, 극성 어레이(polar array), 동심원상 링 또는 임의의 목표된 패턴과 같은 정의된 패턴으로 배열된다. 각 평면형 열적 존은 임의의 적절한 크기일 수 있고, 하나 이상의 열전기 요소를 가질 수 있다. 평면형 열적 존에 전력이 공급되면, 이 존 내의 모든 열전기 요소들에 전력이 공급되며; 평면형 열적 존에 전력이 공급되지 않으면, 이 존 내의 모든 열전기 요소들에 전력이 공급되지 않는다. 평면형 열적 존들 내의 펠티에 디바이스들을 사용하여 가열 능력 및 냉각 능력 모두를 가능하게 하면서 전기적인 접속들의 수를 최소화하기 위해서, 각 양 전압 라인이 다른 그룹의 평면형 열적 존들에 연결되고 양 전압 라인이 연결되는 것과 동일한 그룹의 평면형 열적 존에 연결되는 대응하는 음 전압 라인을 가지며, 어떤 두 평면형 열적 존도 동일한 쌍의 양 전압 라인 및 음 전압 라인과 동일한 공통 라인에 연결되지 않도록 각 공통 라인이 상이한 그룹의 평면형 열적 존들에 연결되게 음 전압 라인들, 양 전압 라인들 또는 공통 라인들이 배열된다. 그러므로, 평면형 열적 존은 양 전압 라인 또는 그것의 대응하는 음 전압 라인, 및 이 특정 평면형 열적 존이 연결되는 공통 라인을 통해 전류를 향하게 함으로써 활성화될 수 있다.

[0023] 열전기 요소들의 전력은 바람직하게는 20 W 보다 작으며, 더 바람직하게는 5 내지 10 W 이다. 일 실시예에서, 각 평면형 열적 존은 반도체 기판 상에서 제조되는 4 개의 디바이스 다이들보다 크지 않거나, 반도체 기판 상에서 제조되는 2 개의 디바이스 다이들보다 크지 않거나, 반도체 기판 상에서 제조되는 하나의 디바이스 다이보다 크지 않거나, 기판 상의 디바이스 다이들에 대응하도록 16 내지 100 cm²의 면적이거나, 1 내지 15 cm²의 면적이거나, 2 내지 3 cm²의 면적이거나, 0.1 내지 1 cm²의 면적이다. 열전기 요소들의 두께는 1 밀리미터 내지 1센티미터의 범위일 수 있다.

[0024] 열적 플레이트는 16 내지 400 개의 평면형 열적 존들과 같은 임의의 적절한 개수의 평면형 열적 존을 포함할 수 있다. 평면형 열적 존 및/또는 양 전압 라인, 음 전압 라인 및 공통 라인 사이의 공간을 허용하기 위해, 평면형 열적 존의 전체 면적은 기판 지지 어셈블리의 상부 표면의 면적의 90%, 예를 들어 상기 면적의 50~90%, 가 될 수 있다. 다른 실시예에서는, 평면형 열적 존이 상기 면적의 95% 또는 98%를 차지할 수 있다. 평면형 열적 존이 상기 면적의 100%이 될 수 있다. 양 전압 라인들, 음 전압 라인들 또는 공통 라인들(집합적으로, 도전체 라인들)은 평면형 열적 존들 간의 1 내지 10 mm 까지의 갭(gap) 내에 배열되거나 전기 절연성 층들에 의해 평면형 열적 존들 평면으로부터 분리된 별도의 평면들 내에 배열될 수 있다. 도전체 라인들은 큰 전류를 전달하고 줄열 가열(Joule heating)을 감소시키도록, 바람직하게는 공간이 허용하는 만큼 넓게 제조된다. 일 실시예에서는, 도전체 라인들이 평면형 열적 존들과 동일한 평면에 있으며, 도전체 라인들의 폭은 바람직하게는 0.3 mm 와 2 mm 사이이다. 또 다른 실시예에서는, 도전체 라인들이 평면형 열적 존들과 다른 평면들 상에 있으며, 도전체 라인들의 폭은 0.3부터 2 mm 까지 이거나 평면형 열적 존들의 폭까지 될 수 있으며, 예를 들어 300 mm의 척의 경우, 폭은 1부터 2 인치까지 될 수 있다. 도전체 라인들의 재료들은 바람직하게는 구리, 알루미늄, 텅스텐, Inconel® 또는 몰리브덴과 같은 저항이 낮은 재료들이 된다.

[0025] 열전기 요소들은 예를 들어 소형 저항 가열기들(예를 들어, 폭이 2 cm 보다 작음)의 어레이를 갖는 유사한 크기의 가열 요소들에 대해서 장점을 제공하는데, 이 가열 요소들에서는 이웃하는 평면형 열적 존들 사이의 열적 크로스토크(crosstalk)가 심해질 수 있으며, 이는 높은 공간적 주파수를 갖는 온도 프로파일을 생성하고/하거나 넓은 튜닝가능한 온도 범위를 제공할 수 있는 열적 플레이트의 능력을 제한한다. 통상적인 저항 가열기 요소들과 달리, 펠티에 디바이스들은 가열과 냉각 모두 할 수 있으므로, 열전기 요소들로서의 펠티에 디바이스들은 열적 크로스토크를 보상할 수 있다. 그러므로 열전기 요소들로서 펠티에 디바이스들을 사용하는 것은 더 많은 유연성, 더 넓은 튜닝가능한 온도 범위 및 높은 공간적 주파수를 갖는 온도 프로파일을 생성하는 능력을 제공할 수 있다.

[0026] 도 1은 일 실시예에 따른 플라즈마 반응기(100)를 도시한 것이다. 플라즈마 반응기(100)는 일반적으로 처리하기 위해 플라즈마(103)가 점화되고 지속될 수 있는 프로세스 챔버(102)를 포함한다. 프로세스 챔버(102) 내에는 일반적으로 매칭 네트워크(미도시)를 거쳐 제 1 RF 전원(106)에 연결될 수 있는 상부 전극(104)이 배치된다. 제 1 RF 전원(106)은 일반적으로 RF 에너지를 상부 전극(104)에 공급하도록 구성된다. 가스 유입구(108)는 프로세스 가스, 예를 들면, 예천트 가스를 상부 전극(104)과 기판(110) 사이의 활성 영역에 도입하기 위해 상부 전극(104) 내에 제공된다. 또한, 프로세스 가스는 가스 인젝터, 가스 분배 플레이

트 (예를 들면, 샤워헤드), 하나 이상의 가스 링 및/또는 다른 적합한 장치와 같은 다양한 종류의 가스 공급 장치에 의해 프로세스 챔버 (102) 내로 도입될 수 있다. 예시된 실시예에서, 프로세스 챔버 (102)는 실질적으로 원통형으로 구성되고, 챔버의 벽들은 실질적으로 수직으로 배열된다. 그러나, 프로세스 챔버 및 챔버의 벽들을 포함한 내부 구성요소들의 다양한 구성이 사용될 수 있다는 것을 알아야 한다.

[0027] 기판 (110)은 프로세스 챔버 (102) 내로 도입되며, 기판 지지부로서 기능하고 선택적으로 바람직한 실시예에서 하부 전극을 포함하는 기판 지지부 (112) 위에 배치될 수 있다. 기판 지지부 (112)는 열 전달 시스템 (118)의 상부 부분을 포함한다. 열 전달 부재 (114)는 열 전달 시스템 (118)의 하부 부분을 포함한다. 기판 지지부 (112)는 바람직하게는 열 전달 부재 (114)와 양호한 열적 접촉을 한다. 실리콘 접착제와 같은 접착층은 기판 지지부 (112)를 열 전달 부재 (114)에 결합하는데 사용될 수 있다. 또한, 기판 지지 (112)는 솔더링 (soldering) 또는 브레이징 (brazing)과 같은 다른 결합 기법을 사용하여 열 전달 부재 (114)에 부착될 수 있다. 열 전달 부재 (114) 및 기판 지지 (112)를 포함하는 열 전달 시스템 (118)은 이하에서 상세하게 기술될 것이다.

[0028] 기판 (110)은 예를 들어 반도체 웨이퍼가 될 수 있는, 처리될 작업 대상을 나타낸다. 반도체 웨이퍼뿐만 아니라, 기판 (110)은 평면 디스플레이 패널로 처리될 유리 패널을 포함할 수 있다. 기판 (110)은 처리 중에 제거 (식각)될 하나 이상의 층을 포함하거나, 이와 달리 그 처리가 기판 상에 하나 이상의 층을 형성하는 것을 포함할 수 있다.

[0029] 배기구 (130)는 바람직하게는 챔버 (102)의 벽들과 열 전달 시스템 (118)의 사이에 배치된다. 배기구 (130)는 처리 중 형성되는 배기 하기 위해 구성되며, 일반적으로 프로세스 챔버 (102)의 외부에 위치하는 터보분자 펌프 (미도시)에 연결된다. 대부분의 실시예들에서, 터보분자 펌프는 프로세스 챔버 (102) 내부의 적합한 압력을 유지하기 위해서 배치된다. 비록 배기구 (130)는 챔버의 벽들과 기판 지지부 사이에 배치되는 것으로 보일지라도, 배기구의 실제 배치는 플라즈마 처리 시스템의 특정 설계에 따라서 바뀔 수 있다. 예를 들어, 가스는 또한 프로세스 챔버의 벽들 내에 내장된 포트 (port)로부터 배기될 수 있다. 추가적으로, 플라즈마 한정 링 어셈블리는 기판 (110) 위의 플라즈마 (103)를 한정하기 위해 프로세스 챔버 (102) 내부에서 상부 전극 (104)과 기판 지지부 (112) 사이에 배치될 수 있다. 예를 들어, 내용 전체가 참조로서 본 명세서에서 인용되는, 공동 소유된 미국 특허 번호 5,534,751, 5,569,356, 및 5,998,932를 참조할 수 있다.

[0030] 플라즈마 (103)를 생성하기 위하여, 프로세스 가스는 통상적으로 가스 유입구 (108)를 통과하여 프로세스 챔버 (102)로 공급된다. 그 다음에, 하나 또는 둘 모두의 RF 전원이 에너지화 (energize)되면, 전기장은 하나 또는 둘 모두의 RF 전극을 통해서 프로세스 챔버 (102) 내에서 유도성 또는 용량성으로 결합된다.

[0031] 플라즈마 반응기 (100)가 상세하게 기술되었지만, 열 전달 시스템 그 자체는 임의의 특정 타입의 기판 처리 장치로 한정되지 않고, 건식 에칭, 플라즈마 에칭, 반응성 이온 에칭 (RIE), 자기 강화 반응성 이온 에칭 (magnetically enhanced reactive ion etching: MERIE), ECR (electron cyclotron resonance) 등을 포함하는 에칭 프로세스들을 위해서 구성된 기판 처리 시스템들을 포함하지만 이에 한정되지는 않는 임의의 알려진 기판 처리 시스템들에서 사용되도록 구성될 수 있음이 주목되어야 한다. 플라즈마 처리 반응기는 본 명세서에서 참조로서 인용되는, 공동 소유된 미국 특허 번호 6,090,304에서 설명된 이중 주파수 플라즈마 식각 반응기와 같은 평행 플레이트 식각 반응기를 포함할 수 있다. 또한, 열 전달 시스템은 화학 기상 증착 (CVD), 플라즈마 강화 화학 기상 증착 (PECVD), 스퍼터링 (sputtering)과 같은 물리 기상 증착 (PVD)을 위해서 구성된 것들을 다수의 증착 프로세스 중 임의의 것에서 사용될 수 있다. 열 전달 시스템은 이온 주입 장치에서 사용될 수 있다.

[0032] 또한 여전히, 열 전달 시스템은 상기 반응기들 중 임의의 것 및 플라즈마로의 에너지가 직류 플라즈마 소스, 용량 결합형 평행 전극 플레이트, ECR 마이크로웨이브 플라즈마 소스 또는, 헬리콘 (helicon) 공진기, 헬리컬 공진기 및 RF 안테나 (평면형 또는 비평면형)와 같은 유도 결합형 RF 소스를 통해 전달되는 지와 상관없이, 다른 적합한 플라즈마 처리 반응기들에서 실행될 수 있다는 점이 고려된다. 적합한 플라즈마 생성 장치는 전체 내용이 본 명세서에서 참조로서 인용되는, 공동 소유된 미국 특허 번호 4,340,462 (평행 플레이트), 미국 특허 번호 5,200,232 (ECR) 및 미국 특허 번호 4,948,458 (유도 결합형)에서 개시된다.

[0033] 도 2는 펄티에 디바이스들 (P1, P2, P3, P4)로의 접속을 예시하기 위해서 오직 4개의 열적 존들 (T1, T2, T3, T4)이 도시되고 도전체 라인들 (Y1 및 Y2)이 공통 라인들을 나타내며 도전체 라인들 ($X1^+$ 및 $X2^+$)이 양 전압 라인들을 예시하는, 열적 어레이 (thermal array)의 개략도이다. 라인들 ($X1^-$, $X2^-$)은 음 전압 라인들을 나타낸다. 라인들 ($X1^+$, $X2^+$, $X1^-$, $X2^-$)에 양 전압 또는 음 전압을 공급하고 공통 라인 (Y1 및 Y2)을 턴온 (turn

on) 함으로써, 펠티에 디바이스들 (P1, P2, P3, P4) 의 상부 표면을 가열 또는 냉각하는 것이 가능하다. 예를 들어, 라인 ($X1^+$) 을 통해 양의 전압을 공급하고 라인 (Y1) 을 턴온 함으로써, 펠티에 디바이스 (P1) 위의 존 (T1) 을 가열하도록 펠티에 디바이스 (P1) 가 활성화될 수 있다. 이와 달리, 펠티에 디바이스 (P1) 위의 존 (T1) 을 냉각하도록 라인 ($X1^+$) 은 턴오프 (turn off) 될 수 있고 라인 ($X1^-$) 이 턴온 될 수 있다. 열전기 요소들의 상기 열적 어레이는 $n \times n$ 격자 (예를 들어 4×4 , 5×5 , 6×6 , 7×7 , 8×8 , 9×9 , 10×10 등), $n \times m$ 격자 (예를 들어 4×5 , 6×9 , 12×15 등) 또는 서로 같거나 다른 형상 및 서로 같거나 다른 단면적의 열적 존들을 갖는 다른 배열이 될 수 있다.

[0034] 도 3은 열적 플레이트 (123) 를 갖는 가열 플레이트의 일 실시예를 포함하는 기관 지지 어셈블리 (120) 를 나타낸다. 열적 플레이트 (123) 는 폴리머 재료, 세라믹 재료, 유리섬유 복합재, 무기물 재료, 실리콘 산화물과 같은 세라믹, 알루미늄, 이트리아, 알루미늄 질화물, 다른 적절한 재료 또는 이들의 조합으로 형성될 수 있다. 기관 지지 어셈블리 (120) 는 DC 전압을 클램핑 전극에 가함으로써, 기관을 어셈블리 (120) 의 노출된 상부 표면으로 정전기적으로 클램핑하도록 열적 플레이트 (123) 에 합체되거나 부착된 적어도 하나의 ESC (electrostatic clamping) 전극 (124) (예를 들면, 단극성 또는 쌍극성) 을 포함하는 유전체 층을 더 포함하며, 냉각제 흐름을 위한 채널 (126) 들을 포함하는 냉각 플레이트 (105) 는 열적 플레이트 (123) 의 하부 표면에 부착된다. 냉각 플레이트는 예를 들어 -20°C 에서 $+80^\circ \text{C}$ 의 일정한 온도로 유지될 수 있다. 또한 기관 지지 어셈블리 (120) 는 열적 플레이트 (123) 에 포함된 열적 존들 (T1, T2, T3, T4) 을 포함하며, 각 열적 존은 공통 라인 (107), 양 전압 라인 (128) 및 음 전압 라인 (109) 에 연결된 단일 열전기 펠티에 디바이스 또는 펠티에 요소들 (P1, P2, P3, P4) 의 모듈을 포함한다. 다이오드들 (121) 은 라인 (128, 109) 과 펠티에 디바이스 (P1, P2, P3, P4) 의 사이에 제공된다. 정전기적 클램핑 전극 (124) 은 클램핑 전압 공급 라인 (111) 에 연결된다.

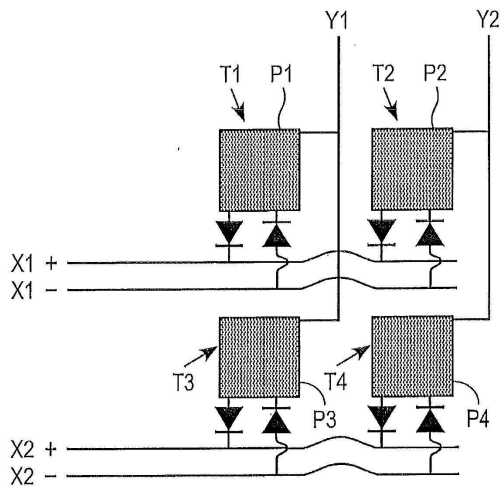
[0035] 도 3에서 보듯이, 각각의 평면형 열적 존들 (T1, T2, T3, T4) 은 양 전압 라인 (128), 음 전압 라인 (109) 및 공통 라인 (107) 에 연결된다. 어떤 두 평면형 열적 존 (T1, T2) 도 동일한 쌍의 라인들 (128 / 109 및 107) 을 공유하지 않는다. 적절한 전기적 스위칭 장치들을 통해, 양 전압 라인 (128) 또는 음 전압 라인 (109) 및 공통 라인들 (107) 중 하나를 전력 공급부 (미도시) 에 연결할 수 있으며, 이로써 이 라인들의 쌍과 연결된 평면형 열적 존만이 전력을 공급 받는다. 각 평면형 열적 존의 시간 평균적 가열 전력은 시간 영역 다중화 (time-domain multiplexing) 를 통해 개별적으로 튜닝될 수 있다. 각 평면형 열적 존 (T1, T2, T3, T4) 과 양 전압 라인 또는 음 전압 라인 사이에 연결된 다이오드 (121) 는 평면형 열적 존으로부터 비활성화 전압 라인으로 전류 흐름을 허용하지 않는다. 다이오드들 (121) 은 열적 플레이트 또는 임의의 적절한 장소에 물리적으로 위치될 수 있다. 양 전압 라인 또는 음 전압 라인을 활성화하는 것을 통해, 펠티에 디바이스들의 반대측이 냉각 플레이트 (105) 에 의해 냉각 또는 가열되는 동안 평면형 열적 존의 상부 표면의 가열 또는 냉각이 실행될 수 있다.

[0036] 공통 라인들 (107), 양 전압 라인들 (128) 및 음 전압 라인들 (109) 을 포함하는 전기적인 구성요소들은 열적 플레이트 (123) 내에서 전기 절연성 재료를 통해 서로 분리된 다양한 평면들 내에 임의의 적합한 순서로 배열될 수 있다. 상기 평면들 사이의 전기적인 접속들은 적합하게 배열되고 수직하게 연장된 비아들 (vias) 을 통해 이루어질 수 있다. 바람직하게는, 평면형 열적 존들 (T1, T2 등) 은 기관 지지 어셈블리 상부 표면과 가장 가깝게 배열된다. 버스 라인들 (125) 은 라인들 (128, 109) 을 펠티에 디바이스들 (P1-P4) 에 연결한다.

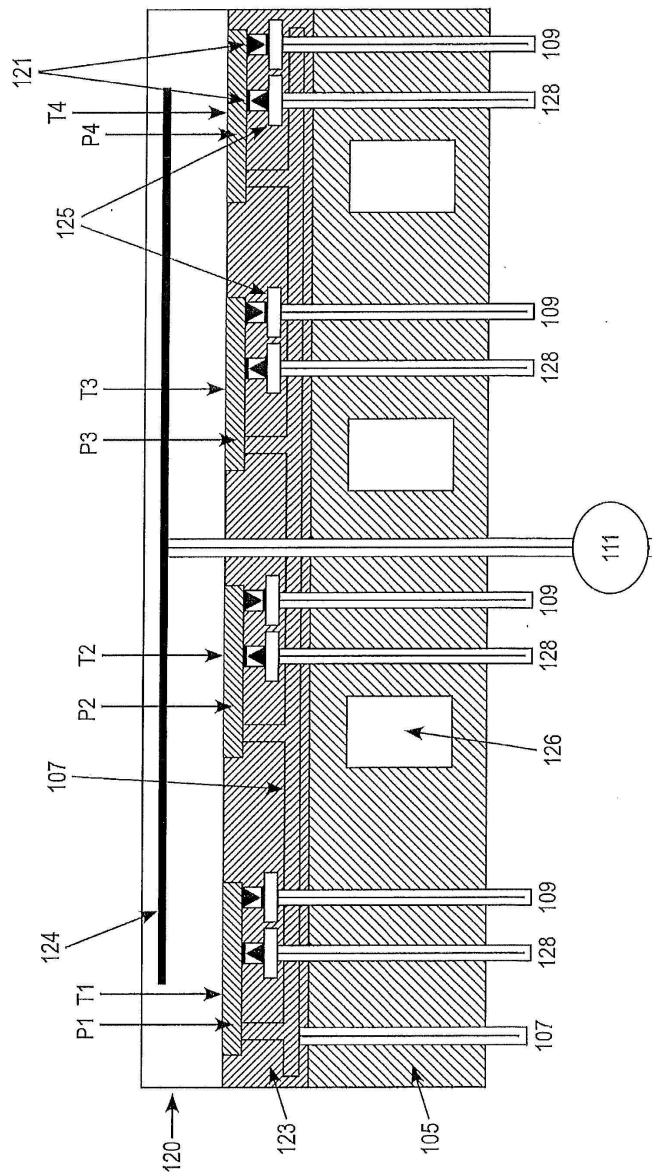
[0037] 도 4에서 보듯이, 기관 지지 어셈블리 (120) 는 하나 이상의 추가적인 가열기들 (122) (이하, 주 가열기로 지칭됨) 을 포함할 수 있다. 바람직하게는, 주 가열기들 (122) 은 개별적으로 제어되는 고전력 (high-power) 가열기이다. 각각의 주 가열기들의 전력은 100 과 10000W 사이이며, 바람직하게는 500 과 2000W 사이이다. 이 전력은 주 가열기 공급/복귀 라인 (113) 들을 통해 전달될 수 있다. 도 4에서는 오직 두 개의 주 가열기만이 도시되지만, 주 가열기들은 예를 들어 직사각형의 그리드, 동심 환형 존들, 방사상 존 또는 환형 존들과 방사상 존들의 조합과 같은 공간적인 배열로 배열된 3개 이상의 저항 가열기들을 포함할 수 있다. 주 가열기들 (122) 은 평균 온도를 변경하거나, 방사상의 온도 프로파일을 튜닝하거나, 기관상의 단계적인 온도 제어를 위해서 사용될 수 있다. 도 4에 도시된 바와 같이, 주 가열기들 (122) 은 열적 플레이트 (123) 의 평면형 열적 존들 (101) 아래에 위치되었지만, 도 5에 도시된 바와 같이 주 가열기들은 열적 플레이트 (123) 위에 위치될 수 있다.

[0038] 도 3 내지 5에 도시된 바와 같이, 열적 플레이트 (123) 는: 녹색 시트들 내로 세라믹 분말, 바인더 및 액체의 혼합물을 압축하는 단계; 상기 시트들을 건조하는 단계; 상기 시트들 내에 구멍을 뚫어 상기 녹색 시트들 내에 비아들 (vias) 을 형성하는 단계; 전도성 분말 (예를 들어, W, WC, SiC 또는 MoSi_2) 의 슬러리를 스크린 프린팅

도면2



도면3



도면4

